



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/22 (2006.01)  
H05B 33/02 (2006.01)

(11) 공개번호 10-2007-0004742  
(43) 공개일자 2007년01월09일

(21) 출원번호 10-2006-7019368

(22) 출원일자 2006년09월20일

심사청구일자 없음

번역문 제출일자 2006년09월20일

(86) 국제출원번호 PCT/IB2005/050982

(87) 국제공개번호 WO 2005/093838

국제출원일자 2005년03월22일

국제공개일자 2005년10월06일

(30) 우선권주장

0406540.5  
0425505.5

2004년03월24일  
2004년11월19일

영국(GB)  
영국(GB)

(71) 출원인

코닌클리케 필립스 일렉트로닉스 엔.브이.  
네델란드왕국, 아인드호펜, 그로네보르스베그 1

(72) 발명자

폰지, 마크, 더블유., 지.  
영국 레드힐 서레이 알에이치 1 5 에이치에이, 크로스 오크 레인, 필립스  
인텔렉추얼 프로퍼티 앤 스탠다드  
옵트스, 오우터  
영국 레드힐 서레이 알에이치 1 5 에이치에이, 크로스 오크 레인, 필립스  
인텔렉추얼 프로퍼티 앤 스탠다드  
로징크, 조하네스, 제이., 더블유., 엠.  
영국 레드힐 서레이 알에이치 1 5 에이치에이, 크로스 오크 레인, 필립스  
인텔렉추얼 프로퍼티 앤 스탠다드  
베즈텔, 한스-헬머  
영국 레드힐 서레이 알에이치 1 5 에이치에이, 크로스 오크 레인, 필립스  
인텔렉추얼 프로퍼티 앤 스탠다드  
영, 나이젤, 디.  
영국 레드힐 서레이 알에이치 1 5 에이치에이, 크로스 오크 레인, 필립스  
인텔렉추얼 프로퍼티 앤 스탠다드

(74) 대리인

문경진

전체 청구항 수 : 총 16 항

(54) 전계 발광 디스플레이 디바이스

(57) 요약

능동 매트릭스 디스플레이 디바이스는 공통 기관(60) 위에 제공된 디스플레이 픽셀의 어레이를 포함한다. 각 픽셀은 하부 전극(74) 및 실질적으로 투명한 상부 전극(80a)을 포함하는 상향 발산 전류-구동 발광 디스플레이 소자(2)를 구비한다. 디스플레이 소자(2) 광 출력을 센싱하기 위한 광 감응 디바이스(27)는 기관(60)과 디스플레이 소자(2) 사이에 배치되며, 구

동 트랜지스터(22)는 광-감응 디바이스(27) 출력에 응답하여 제어된다. 디스플레이 소자의 하부 전극(74)은 부분적으로 투과성이어서 하부 전극 상에 입사된 광을 최대 20% 투과시키며, 투과된 광의 적어도 일부는 기초 광-감응 디바이스(27)로 향한다.

**대표도**

도 8

**특허청구의 범위**

**청구항 1.**

공통 기관(60) 위에 제공된 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스로서, 각 픽셀은:

기관(60) 위에 제공된 구동 트랜지스터 회로; 및

구동 트랜지스터 회로 위에 제공되고, 하부 전극(74)과 실질적으로 투명한 상부 전극(80a)을 포함하는, 상향 발산 전류-구동 발광 디스플레이 소자(2); 및

디스플레이 소자(2) 광 출력을 센싱하고 기관(60)과 디스플레이 소자(2) 사이에 배치된 광 감응 디바이스(27)를 포함하며,

상기 구동 트랜지스터 회로의 구동 트랜지스터(22)는 광-감응 디바이스(27) 출력에 응답하여 제어되며,

상기 디스플레이 소자의 하부 전극(74)은 하부 전극 상에 입사된 광의 최대 20%를 투과하도록 부분적으로 투과되며, 투과된 광의 적어도 일부는 아래에 놓인 광-감응 디바이스(27)를 향하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 2.**

제 1항에 있어서, 하부 전극은 1% 내지 10%의 투과도를 지니는 금속층(74c)을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 3.**

제 2항에 있어서, 하부 전극은 10nm 내지 60nm의 금속막을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 4.**

제 2항 또는 제 3항에 있어서, 하부 전극은 금속막층(74c) 위에 배치된 전도성 투명층(74e)을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 5.**

제 1항에 있어서, 하부 전극은 광 감응 디바이스(27) 근처에 개구(150)가 제공된 실질적으로 불투명층(74c)을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 6.**

제 5항에 있어서, 실질적으로 투명한 전도성 소재는 개구(150)에 제공된, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 7.**

제 6항에 있어서, 상기 실질적으로 투명한 전도성 소재는 불투명층(74c) 위에 배치된 층(75)을 형성하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 8.**

제 5항 내지 제 7항 중 어느 한 항에 있어서, 광 감응 디바이스(27)는 개구(150)의 한 쪽 아래 및 옆에 배치된, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 9.**

제 5항 내지 제 7항 중 어느 한 항에 있어서, 광 감응 디바이스(27)는 개구(150)의 아래 및 그 주변에 배치된, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 10.**

제 9항에 있어서, 광 감응 디바이스는 내부 환상 소스 및 외부 환상 드레인을 구비하는 포토트랜지스터를 포함하고, 외부 환상 드레인은 개구(150)의 외부에 방사상으로 배치된, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 11.**

제 1항 내지 제 9항 중 어느 한 항에 있어서, 광 감응 디바이스(27)는 포토다이오드를 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 12.**

제 11항에 있어서, 포토다이오드(27)는 PIN 또는 NIP 다이오드 스택 또는 쇼트키 다이오드 및 상부와 하부 접촉 단자를 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 13.**

제 1항 내지 제 12항에 있어서, 디바이스는 상부 전극의 맨 위에 제공되고 픽셀의 광 감응 디바이스(27) 위에 놓인 광 차단 또는 반사 소자(152)를 더 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

**청구항 14.**

제 13항에 있어서, 광 차단 또는 반사 소자(152)는 상부 전극에 대해 저항 감소 부분(79)을 또한 한정하는 금속층으로부터 형성된, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

## 청구항 15.

제 1항 내지 제 14항 중 어느 한 항에 있어서, 기관(60)은 유리 기관을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

## 청구항 16.

제 1항 내지 제 14항 중 어느 한 항에 있어서, 기관(60)은 금속 호일과 절연 유전체층을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

## 명세서

### 기술분야

본 발명은, 전계 발광 디스플레이 디바이스, 특히 발광 전계 발광 디스플레이 소자 및 박막 트랜지스터를 포함하는 픽셀의 어레이를 구비한 능동 매트릭스 디스플레이 디바이스에 관한 것이다. 더 구체적이지만, 배타적이지 않게, 본 발명은 디스플레이 소자에 의해 발산되고 디스플레이 소자의 에너지화의 제어에서 사용된 광에 응답하는 광 센싱 소자를 포함하는 픽셀을 구비한 능동 매트릭스 전계 발광 디스플레이 디바이스에 관한 것이다.

### 배경기술

전계 발광, 발광, 디스플레이 소자를 이용한 매트릭스 디스플레이 디바이스는 잘 알려져 있다. 디스플레이 소자는 일반적으로, 폴리머 소재(PLED) 또는 다른 발광 다이오드(LED)를 포함하는, 유기 박막 전계발광 소자(OLED)를 포함한다. 이하 사용된 LED라는 용어는 이들 가능성 모두를 포괄하는 것으로 의도된다. 이들 소재들은 일반적으로 한 쌍의 전극 사이에 삽입된 반도체 결합된 폴리머의 하나 이상의 층을 포함하며, 이들 전극 중 하나는 투명하고 다른 하나는 폴리머 층에 홀 또는 전자를 주입하기에 적합한 소재이다.

이러한 디스플레이 디바이스 내의 디스플레이 소자는 전류 구동되며 종래의, 아날로그, 구동 구조는 디스플레이 소자에 제어 가능한 전류를 공급하는 것을 수반한다. 일반적으로 전류원 트랜지스터는 픽셀 구성의 일부로서, 전계 발광(EL) 디스플레이 소자에 흐르는 전류를 결정하는 전류원 트랜지스터에 공급된 게이트 전압이 제공된다. 저장 커패시터는 어드레스 지정 단계 이후에 게이트 전압을 유지한다. 이러한 픽셀 회로의 일례는 EP-A-0717446에 기술된다.

각 픽셀은 따라서 EL 디스플레이 소자와 관련 구동기 회로를 포함한다. 구동기 회로는 행 전도체 상의 행 어드레스 펄스에 의해 턴온되는 어드레스 트랜지스터를 구비한다. 어드레스 트랜지스터가 턴온될 때, 열 전도체 상의 데이터 전압은 픽셀의 나머지로 전달될 수 있다. 특히, 어드레스 트랜지스터는 열 전도체 전압을 전류원에 공급하며, 구동 트랜지스터 및 구동 트랜지스터의 게이트에 연결된 저장 커패시터를 포함한다. 열, 데이터 전압은 구동 트랜지스터의 게이트에 제공되며 게이트는 행 어드레스 펄스가 종료된 이후에조차 저장 커패시터에 의해 이 전압으로 유지된다. 이 회로 내의 구동 트랜지스터는 p-채널 TFT(Thin Film Transistor)로 구현되어서 저장 커패시터는 게이트-소스 전압을 고정된 상태로 유지한다. 이는 트랜지스터에 흐르는 고정된 소스-드레인 전류를 초래하며, 그러므로 이는 픽셀의 원하는 전류원 작동을 제공한다. EL 디스플레이 소자의 밝기는 이를 통과하는 전류에 대략 비례한다.

상기 기본 픽셀 회로에서, 주어진 구동 전류에 대한 픽셀의 밝기 레벨의 감소를 이끄는, LED 소재의 차동 노화 또는 저감은, 디스플레이 전체의 이미지 품질의 변경을 초래할 수 있다. 포괄적으로 사용되어 왔던 디스플레이 소자는 거의 사용되지 않았던 디스플레이 소자에 비해 훨씬 더 흐려질 것이다. 또한, 디스플레이 비균일성 문제는 구동 트랜지스터의 특성, 특히 임계 전압 레벨의 가변성으로 인해 발생할 수 있다.

LED 소재의 노화 및 트랜지스터 특성의 변화를 보상할 수 있는 개선된 전압-어드레스 지정된 픽셀 회로는 제안되어 왔다. 이들은 디스플레이 소자의 광 출력에 대해 응답하고 픽셀의 초기 어드레스 지정에 후속하는 구동 기간동안 디스플레이 소자의 결합된 광 출력을 제어하기 위해 광 출력에 응답하여 저장 커패시터 상의 저장된 전하를 누출시키는 광 센싱 소자를 포함한다. 이러한 유형의 픽셀 구성의 예는 WO01/20591 및 EP1 096 466에 자세히 기술된다. 일례의 실시예에서, 픽셀의 포토다이오드는 저장 커패시터 상에 저장된 게이트 전압을 방전하며 EL 디스플레이 소자는 구동 트랜지스터 상의 게이트 전압이 임계 전압에 도달할 때 발산을 중단하며, 이 때 저장 커패시터는 방전을 멈춘다. 전하가 포토다이오드로부터 누출된 비율은 디스플레이 소자 출력의 함수이며, 따라서 포토다이오드는 광-감응 피드백 디바이스로서 기능한다.

광 피드백 배열은 시간에 따른 이들 비균일성의 변화뿐만 아니라 TFT와 디스플레이 소자 사이의 초기 비균일성에 대한 보상을 가능케 한다. 디스플레이 소자로부터의 광 출력은 EL 디스플레이 소자 효율성과 무관하며 노화 보상은 이에 따라 제공된다. 이러한 기술은 시간 기간에 대해 비균일성을 덜 겪는 높은 품질의 디스플레이를 달성하는데 효율적인 것으로 보여져 왔다. 그러나, 이 방법은 높은 순간 피크 밝기 레벨이 프레임 시간에서 픽셀로부터 적절한 평균 밝기를 달성할 것을 필요로 하며 이는 LED 소재가 그 결과 더 급격히 노화되는 경향이 있으므로 디스플레이의 작동에 대해 유익하지 않다.

대안적인 접근 방식에서, 광학 피드백 시스템은 디스플레이 소자가 작동되는 듀티 사이클을 변경하는데 사용된다. 디스플레이 소자는 고정된 밝기로 구동되며, 광 피드백은 구동 트랜지스터를 급격히 턴오프하는 트랜지스터 스위치를 트리거하는데 사용된다. 이는 높은 순간 밝기 레벨의 필요성을 회피하지만 픽셀을 더욱 복잡하게 만든다.

광 피드백 시스템의 사용은 LED 디스플레이 소자의 차동 노화를 극복하는 효과적인 방법으로 간주된다.

광의 경로는 LED 디스플레이 소자와 광-감응 디바이스 사이에 제공되어야 한다. 발생하는 한 가지 문제점은 광-감응 디바이스에 의해 흡수되지 않은 임의의 표류 광(stray light)은 다른 픽셀의 광 감응 디바이스에 의해 캡처될 수 있다는 것이다. 게다가, 광-감응 디바이스에 대한 주변광의 경로는 회피되어야 한다.

하부(하향) 발산 구조에서, 광 출력은 EL층으로부터, 능동 매트릭스 픽셀 회로를 한정하는 기초 박막층을 통해, 그리고 아래의 기관을 통과한다. 광-감응 디바이스는 박막층으로부터 형성될 수 있으며 광감응 디바이스의 한쪽은 광 캡처를 위해 EL층을 향하는 한편, 반대쪽은 디스플레이 출력 표면을 향한다. 이는 광감응 디바이스가 주변광으로부터 차폐를 제공하는 것을 가능하게 한다.

상부(상향) 발산 구조에서, 광 출력은 디스플레이의 EL층으로부터 기초 투명 캐소드 전극을 통과한다. EL 층 아래의 박막층으로부터 형성된 광감응 디바이스와 함께, 광감응 디바이스의 같은 쪽은 EL 층과 주변광을 향하며, 따라서 주변광의 차폐가 문제가 된다. 게다가, EL 층 아래의 애노드는 디스플레이 콘트라스트를 제공하기 위해 이상적으로 불투명해야 하며, 광-감응 디바이스에 대한 광의 경로가 문제가 된다.

본 발명은 이들 상부 발산 구조에 관한 것이다.

### 발명의 상세한 설명

본 발명에 따라, 공통 기관 위에 제공된 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스가 제공되며, 각 픽셀은:

기관 위에 제공된 구동 트랜지스터 회로; 및

구동 트랜지스터 회로 위에 제공되고, 하부 전극 및 실질적으로 투명한 상부 전극을 포함하는 상향 발산 전류-구동 발광 디스플레이 소자; 및

디스플레이 소자 광 출력을 센싱하기 위해 그리고 기관과 디스플레이 소자 사이에 배치된 광 감응 디바이스를 포함하며,

상기 구동 트랜지스터 회로의 구동 트랜지스터는 광-감응 디바이스 출력에 응답하여 제어되며,

디스플레이 소자의 하부 전극은 부분적으로 투과성이어서 하부 전극 상에 입사된 광을 최대 20% 투과시키며, 상기 투과된 광의 적어도 일부는 기초 광-감응 디바이스를 향한다.

본 명세서와 청구항에서, "상향 발산"은 사용자에게 대한 디스플레이 출력은 기관으로부터(기관을 통과하지 않고) 떨어진 광-감응 디바이스로부터의 방향에 있다는 것을 의미한다. 디스플레이 소자 자체는 모든 방향으로 광을 발산할 수 있지만, 사용자에게 대한 디스플레이 출력은 기관으로부터 상향이다.

에노드일 수 있는, 하부 전극은 부분적으로 투과적이어서 디스플레이 출력의 일부는 광 감응 디바이스에 도달할 수 있다. 광 감응 디바이스가 디스플레이 소자의 아래에 있으므로, 그 크기는 픽셀 개구에 영향을 주지 않으므로, 광 감응 디바이스에 도달하도록 허용된 디스플레이 출력의 작은 부분에 대해 민감할만큼 충분히 크게 만들어질 수 있다.

하부 전극은 예를 들어 1% 내지 10%의 투과성을 구비한 금속층을 포함할 수 있으며, 10nm 내지 60nm의 금속막을 포함할 수 있다. 전도성 투명층은 전기 특성을 개선하기 위해 금속막층 위에 놓일 수 있다.

대안적인 배열에서, 하부 전극은 광 감응 디바이스의 근처에서 개구가 제공된 실질적으로 불투명한 층을 포함한다. 이는 거의 모든 전극이 완전히 반사적(또는 흡수적)이도록 허용하여, 디스플레이 콘트라스트 비율을 개선한다.

실질적으로 투명한 전도성 소재는 디스플레이 소자의 전기 구동을 유지하기 위해 개구에서 제공될 수 있다. 이러한 투명 전도성 소재는 불투명층 위에 놓인 층을 형성할 수 있어서 구동 특성은 디스플레이 소자 전체적으로 더욱 균일하다.

광 감응 디바이스는 개구의 한 쪽의 아래에 그리고 이에 측면으로 배치될 수 있으며, 이는 광 감응 디바이스 상에 주변광의 입사를 감소시킨다.

광 감응 디바이스는 포토트랜지스터 또는 포토다이오드일 수 있다.

디바이스는 상부 전극의 맨 위에 제공되고 픽셀의 광 감응 디바이스 위에 놓인 광차단 요소를 더 포함할 수 있다. 이들은 광 감응 디바이스에 도달하는 주변광을 감소시킬 수 있다. 광 차단 요소는 상부 전극에 대해 분로(shunt) 부분을 감소시키는 저항을 한정하는 금속층으로부터 형성될 수 있다.

본 발명은 이제 첨부 도면을 참조하여 자세히 설명될 수 있다.

## 실시예

동일한 참조 번호는 동일하거나 유사한 부분을 표시하기 위해 도면 전체에 사용된다.

도 1은 알려진 능동 매트릭스 전계 발광 디스플레이 디바이스를 도시한다. 디스플레이 디바이스는 블록(1)으로 표시된, 일정한 간격의 픽셀의 행 및 열 매트릭스 어레이를 구비하고 행(선택) 및 열(데이터) 어드레스 전도체(4 및 6)의 교차 세트 사이의 교차점에 위치한 관련 스위칭 수단과 함께 전계 발광 디스플레이 소자(2)를 포함하는 패널을 포함한다. 오직 소수의 픽셀만이 단순성을 위해 도면에 도시된다. 실제로 수백 행과 열의 픽셀이 존재할 수 있다. 픽셀(1)은 각 세트의 전도체의 단부에 연결된 행, 스캐닝, 구동기 회로(8) 및 열, 데이터, 구동기 회로(9)를 포함하는 주변 구동 회로에 의해 행 및 열 어드레스 전도체의 세트를 통해 어드레스 지정된다.

전계 발광 디스플레이 소자(2)는 여기서 다이오드 소자(LED)로 표시되고 한 쌍의 전극을 포함하는 유기 발광 다이오드를 포함하며, 이 전극 사이에는 유기 전계 발광 소재의 하나 이상의 능동층이 삽입된다. 어레이의 디스플레이 소자는 절연 지지체의 한쪽에서 관련 능동 매트릭스 회로와 함께 포함된다. 디스플레이 소자의 캐소드 또는 애노드는 투명 전도성 소재로 형성된다. 지지체는 유리나 같은 투명 소재이며 기관과 가장 가까운 디스플레이 소자(2)의 전극은 ITO와 같은 투명 전도성 소재로 구성될 수 있어서 전계 발광층에 의해 생성된 광은 이들 전극과 지지체를 통해 투과되어 지지체의 다른 쪽의 시청자가 볼 수 있다.

도 2는 전압-어드레스 지정된 작동을 제공하기 위한 가장 기본적인 픽셀 및 구동 회로 배열을 단순화된 개략적인 형태로 도시한다. 각 픽셀(1)은 EL 디스플레이 소자(2)와 관련 구동기 회로를 포함한다. 구동기 회로는 행 전도체(4) 상의 행 어드레스 펄스에 의해 턴온된 어드레스 트랜지스터(16)를 구비한다. 어드레스 트랜지스터(16)가 턴온될 때, 열 전도체(6) 상의 전압은 픽셀의 나머지에 전달될 수 있다. 특히, 어드레스 트랜지스터(16)는 열 전도체 전압을 전류원(20)에 공급하고, 구동 트랜지스터(22)와 저장 커패시터(24)를 포함한다. 열 전압은 구동 트랜지스터(22)의 게이트에 제공되고, 게이트는 행 어드레스 펄스가 종료된 후조차 저장 커패시터(24)에 의해 이 전압으로 유지된다.

이 회로 내의 구동 트랜지스터(22)는 p-형 TFT로 구현되어서, 저장 커패시터(24)는 게이트-소스 전압을 고정된 상태로 유지한다. 이는 트랜지스터에 흐르는 고정된 소스-드레인 전류를 야기하며, 따라서 픽셀의 원하는 전류원 작동을 제공한다.

전술한 기본 픽셀 회로에서, 폴리실리콘에 기반한 회로에 대해, 트랜지스터의 채널 내의 폴리실리콘 입자의 통계적 분포로 인해 트랜지스터의 임계 전압에 변경이 존재한다. 그러나, 폴리실리콘 트랜지스터는, 전류 및 전압 스트레스 하에서 상당히 안정적이어서, 임계 전압은 실질적으로 일정한 상태로 남는다.

임계 전압의 변경은 기관 위에서 적어도 짧은 범위에 대해, 무정형 실리콘 트랜지스터에서 작지만, 임계 전압은 전압 스트레스에 매우 민감하다. 구동 트랜지스터에 대해 필요한 임계 전압 이상의 고전압 인가는 임계 전압의 큰 변화를 초래하며, 이러한 변화는 디스플레이된 이미지의 정보 내용에 따른다. 그러므로, 무정형 실리콘 트랜지스터의 임계 전압에 큰 차이가 존재할 것이며, 무정형 실리콘 트랜지스터는 그렇지 않은 것에 비해 항상 온(on)상태이다. 이러한 차동 노화는 무정형 실리콘 트랜지스터로 구동된 LED 디스플레이에서 심각한 문제이다.

트랜지스터 특징의 변경이외에도, 또한 LED 자체의 차동 노화가 있다. 이는 전류 스트레스 이후 발광 소재의 효율성의 감소로 인한 것이다. 대부분의 경우, LED를 통하는 전류와 전하가 더 많을수록, 효율성이 더 낮아진다.

도 3과 도 4는 노화 보상을 제공하기 위해 광학 피드백을 구비한 픽셀 레이아웃의 예를 도시한다.

도 3의 픽셀 회로에서, 포토다이오드(27)는 커패시터(24)( $C_{data}$ ) 상에 저장된 게이트 전압을 방전하며, 밝기의 감소를 초래한다. 디스플레이 소자(2)는 구동 트랜지스터(22)( $T_{drive}$ ) 상의 게이트 전압이 임계 전압에 도달할 때 더 이상 발산하지 않으며, 저장 커패시터(24)는 이후 방전을 중단할 것이다. 전하가 포토다이오드(27)로부터 유출된 비율은 디스플레이 소자 출력의 함수이며, 따라서 포토다이오드(27)는 광-감응 피드백 디바이스로서 기능한다. 일단 구동 트랜지스터(22)가 스위칭 오프하면, 디스플레이 소자 애노드 전압은 방전 트랜지스터(29)( $T_{discharge}$ )가 턴온되도록 하며, 따라서 저장 커패시터(24) 상의 잔여 전하는 급격히 소실되며 휘도는 스위칭 오프된다.

게이트-소스 전압을 보유하는 커패시터가 방전됨에 따라, 디스플레이 소자에 대한 구동 전류는 점차 감소된다. 따라서, 밝기는 줄어든다. 이는 평균 광 세기를 더 낮게 한다.

도 4는 출원인이 제안한 회로를 도시하며, 이는 일정한 광 출력을 구비하여 다음 광 출력에 따른 시간에서 스위칭 오프한다.

구동 트랜지스터(22)에 대한 게이트-소스 전압은 다시 저장 커패시터(24)( $C_{store}$ ) 상에서 유지된다. 그러나, 이 회로에서, 이러한 커패시터(24)는 충전 트랜지스터(34)에 의해 충전 라인(32)으로부터 고정된 전압으로 대전된다. 따라서, 구동 트랜지스터(22)는 디스플레이 소자가 조명될 때 픽셀로의 데이터 입력과 무관한 일정한 레벨로 구동된다. 밝기는 듀티 사이클을 변경시킴으로써, 특히 구동 트랜지스터가 턴오프될 때 시간을 변경함으로써 제어된다.

구동 트랜지스터(22)는 저장 커패시터(24)를 방전시키는 방전 트랜지스터(36)에 의해 턴오프된다. 방전 트랜지스터(36)가 턴온될 때, 커패시터(24)는 급격히 방전되며 구동 트랜지스터는 턴오프된다.

방전 트랜지스터(36)는 게이트 전압이 충분한 전압에 도달할 때 턴온된다. 포토다이오드(27)는 디스플레이 소자(2)에 의해 조명되며 다시 디스플레이 소자(2)의 광 출력에 따라 광 전류를 생성한다. 이러한 광전류는 방전 커패시터(40)( $C_{data}$ )를 충전하며, 특정 시점에서, 커패시터(40)에 흐르는 전압은 방전 트랜지스터(36)의 임계 전압에 도달할 것이며 이에 따라 이를 스위칭온한다. 이 시간은 커패시터(40)에 원래 저장된 전하 및 광전류에 따르며, 계속해서 디스플레이 소자의 광 출력에 따른다. 방전 커패시터는 초기에 데이터 전압을 저장하며, 따라서 초기 데이터 및 광학 피드백은 회로의 듀티 사이클에 영향을 준다.

광학 피드백을 가진 픽셀 회로의 많은 대안적인 구현이 존재한다. 도 3과 도 4는 p-형 구현을 도시하며, 또한, 예를 들어, 무정형 실리콘 트랜지스터와 같은 n-형 구현예가 있다.

완전성을 위해, 도 5는 능동 매트릭스를 포함하는 알려진 기본 하부 발산 구조를 도시한다.

디바이스는 구동 트랜지스터 반도체 부재(62)가 배치된 기관(60)을 포함한다. 게이트 산화물 유전체층(64)은 반도체를 덮고, 상부 게이트 전극(66)은 게이트 유전체 층(64) 위에 제공된다.

제 1 절연층(68)(일반적으로 실리콘 이산화물 또는 실리콘 질소화물)은 게이트 전극(일반적으로 또한 행 전도체 형성) 및 소스 및 드레인 전극 사이에 간격을 제공한다. 이들 소스 및 드레인 전극은 절연체층(68) 위의 금속층(70)에 의해 한정되며, 전극들은 도시된 비어를 통해 반도체에 연결된다.

제 2 절연층(72)(역시 일반적으로 실리콘 이산화물 또는 실리콘 질소화물)은 소스 및 드레인 전극(일반적으로 또한 열 컨덕터를 형성함)과 LED 애노드 사이에 간격을 제공한다. LED 애노드(74)는 제 2 절연층(72) 위에 제공된다.

도 5에 도시된 하부 발산 디스플레이의 경우, 이 하부 애노드는 적어도 부분적으로 투명해야 하며, ITO는 일반적으로 사용된다.

EL 소재(76)는 애노드 위의 통로(well) 내에 형성되며, 인쇄에 의해 증착되는 것이 바람직하다. 분리된 서브-픽셀은 삼원색에 대해 형성되며, 인쇄담(78)은 다른 EL 소재의 정확한 인쇄를 돕는다.

인쇄 담(78)은 분리된 픽셀의 인쇄를 가능케 한다. 이러한 담층은 일반적으로 절연 폴리머로 구성되며 여러 마이크론의 높이를 가진다. 공통 캐소드(80)는 디스플레이 위에 제공되며, 이는 반사적이며 모든 픽셀(도 2의 접지)에 대해 공통 전위에 있다.

도 6은 능동 매트릭스를 포함하는 기본 알려진 상부 발산 구조를 도시한다. 구조는 본질적으로 도 5와 같지만, 애노드(74a)는 반사적이고 캐소드(80a)는 투과적이다. 캐소드는 다시 ITO로부터 형성될 수 있지만, 전자 주사를 위한 장벽을 제어하기 위해 ITO와 폴리머 사이에 얇은 금속 또는 규화물 코팅을 가질 수 있다. 예를 들어, 이는 바륨(Barium)의 얇은 층일 수 있다. 보호 및 캡슐화층(82)은 디스플레이를 덮는다.

상부-발산 디스플레이에서, 투명 캐소드가 필요하다. 그러나, 캐소드는 매우 전도적이어야 하며, 현재 매우 전도적인 투명 금속은 즉시 이용할 수 없다. 그러므로, 상부-발산 디스플레이의 캐소드는 발산 픽셀부분의 상부 상에 (반)투명층을 포함하며 더 낮은 저항 전도(불투명) 금속(79)으로 분로(分路;shunted)되어 있다. 도시된 것처럼 담(78)의 상부에 이러한 높은 전도성의 금속(79)을 배치하면 픽셀 개구에 손실이 없다.

애노드 금속은 높은 일함수 금속이어야 하며, 이는 LED 스택에 높은 일함수를 달성하기 위해 반사 금속의 상부에 ITO 층을 제공하는 것으로 알려져 있다.

본 발명은 특히 상부 발산 구조에 관한 것이다. 이들은 이하 설명되는 하부 발산 구조에 대해 다수의 이점을 가진다.

픽셀 회로는 발광 소자의 발광 영역 아래에 위치될 수 있다. 그 결과, 발광 영역(개구 비율)은 상부 발산 디바이스에 전체 디스플레이 영역의 90% 이상으로 증가될 수 있는 반면, 충족 계수(fill factor)는 종종 하부-발산 디바이스에서 50% 이하이다.

TFT 회로 상의 제한은 덜 심각하다. 하부-발산 디바이스에서, TFT 회로는 개구 비율을 가능한 크게 만들기 위해 가능한 작아야 한다. 상부-발산 디바이스에서, TFT 회로는 훨씬 더 커질 수 있으며, 이는 폴리실리콘 기술 대신에 무정형-실리콘 기술의 사용을 촉진시킨다. 무정형 실리콘 기술을 사용하는 능력은 능동 매트릭스 EL의 비용을 상당히 감소시키는데 이는 큰 영역 제조 공정이 이미 LCD 산업으로부터 이용가능하기 때문이다.

광학-전자 피드백에 대해 사용된 저장 커패시터 상의 제한은 또한 덜 심각하다. 하부-발산 디바이스에서, 저장 커패시터는 다시 개구 비율을 가능한 크게 만들기 위해 가능한 작아야 한다. 그 결과, 하부-발산 디스플레이 내의 광감응 디바이스에 의해 생성된 광전류는, 예를 들어 프레임 기간동안 TFT 게이트 전위를 적절히 제어하기 위해 1 nA 이하로, 매우 작아야 한다. 상부-발산 디바이스에서, 더 큰 저장 커패시터는 인가될 수 있으며, 이는 더 높은 광전류의 인가를 가능케한다. 이는 더 높은 광감응을 가진 광 센싱 요소 및/또는 더 큰 광감응 영역의 사용을 허용한다. 예를 들어, 더 큰 광감응 영역은 광 출력을 더 정확히 모니터링하기 위해 유익하다. 상부 발산 설계는 불투명 기관 및/또는 불투명 하부 전극이 사용되는 것을 허용한다.

불투명 기관을 사용하는 능력은 더 넓은 범위의 기관 소재가, 유연한 철강 호일과 같은, 디스플레이 디바이스를 위해 사용될 수 있도록 하며, 기관의 광학 품질(투명성, 흡수, 굽힘) 상에 제한이 덜하거나 없다. 게다가, 상부-발산 디바이스에서, 기관 내의 광의 파장-유도는 불투명 또는 반사 기관을 사용할 때 방지될 수 있다. 이는 기관 내의 파장-유도로 인한 광의 손실을 감소시키며 기관을 통하는 픽셀 사이를 이동하는 광으로 인한 픽셀 크로스-토크를 방지한다.

반사 애노드 또는 흡수 (검은색) 애노드와 같은, 불투명 애노드를 사용하는 능력은 또한 추가적인 설계 옵션을 제공한다. 반사 애노드는 광출력과 디바이스 효율성을 최적화하기 위해 마이크로-공동 효과를 이용하기 위해 사용될 수 있다. 원형 편광기와 결합하여, 금속 반사 애노드는 디바이스의 양호한 일광 콘트라스트를 제공한다. 이는 현재 시중에 있는 하부-발산 OLED 디바이스에 이미 채용된 방법이다. 검은색 애노드의 사용은 마이크로-공동 효과를 사용하여 광-출력 최적화의 관점에서 덜 유익하다고 해도, 이는 편광기에 대한 필요성이 없이 디바이스의 충분한 일광 콘트라스트를 제공할 수 있다. 검은색 애노드는 하부 발산 디바이스에 대해 알려진 검은색 캐소드와 유사할 수 있다.

그러나, 상부-발산 구조 내의 광학 피드백의 구현은 추가적인 어려움을 제공한다.

광 센싱 요소가 기관 상의 능동 매트릭스와 함께 처리되므로, 불투명 애노드층은 광 센싱 요소와 EL층 사이에 배치되며, 따라서 발광 소재에 의해 발산된 광이 광 센싱 요소에 도달하는 것을 막는다. 게다가, (반)투명 캐소드를 통해 디바이스로 진입하는 주변광은 또한 광 피드백 디바이스로 진입할 것이며, 이는 광-전자 피드백과 발광 소재의 광출력 규제를 방해한다.

본 발명은 디스플레이 소자의 하부 전극이 부분적으로 투과적인 상향 발산 전류-구동 발광 디스플레이용 픽셀 구조를 제공한다. 이 전극은 광학 피드백을 위해 기초 광-감응 디바이스로 하부 전극에 입사된 광의 일부를 투과시킨다. 그러나, 하부 전극에 입사된 대부분의 광은 디스플레이 디바이스가 양호한 콘트라스트를 유지하도록 반사되거나 흡수된다.

도 7 내지 도 12는 본 발명의 디스플레이 구조를 더욱 개략적으로 도시하는데 사용되며, 본 발명과 무관한 상부층은, 구동 트랜지스터 구조와 함께 제거되었다. 따라서, 도 7 내지 도 12는 더욱 자세히 도 6의 도시된 구조를 더 개략적으로 나타내는 것으로 의도된다.

도 7은 상향 발산 구조를 위한 광 감응 소자로의 광 경로를 제공하는 제 1 방법을 도시하며, 이 구조에서 반투명 애노드(74b)가 사용된다.

이 애노드(74b)는 매우 얇은 금속층으로부터 형성될 수 있어서, OLED에 의해 발산된 광의 일부는 애노드를 통과하여 광-센서를 향하게 하는 것이 허용된다. 예를 들어, 유한 전송(예, 1 내지 10%)을 가진 반사성 또는 검은색 애노드는 제공되어서, 충분한 광은 광-전자 피드백을 허용하기 위해 광 센싱 소자에 도달할 수 있다. 10nm 내지 60nm의 금속막은 (소재에 따라) 적절하며, 투과는 단순히 막의 두께의 변경에 의해 튜닝될 수 있다. 어떠한 추가적인 처리 단계도 이러한 접근 방식을 구현하기 위해 필요치 않다.

애노드의 전도성이 유한 전송을 얻기 위해 취해진 조치로 인해 충분치 않게 된 경우, 애노드는 불투명층의 상부에 전도성 투명 부분으로 구성될 수 있다. 애노드의 전도성 투명 부분은, 유한 전송을 가진 애노드의 불투명 부분의 광학 속성과 무관하게, 홀 주입을 최적화하는데 사용될 수 있다.

도 7에 도시된 배열에서, 광(a)은 피드백 기능을 제공하는 포토다이오드(27)에 진입하지만, 주변광(c)은 여전히 포토다이오드(27)에 도달할 수 있다. 이러한 문제를 회피하기 위한 조치는 이하 더 논의된다. 게다가, LED로부터 완전한 각도의 광(b)과 주변광 광선(c)은 유리 기관이 사용된 경우, 기관 내에 파이핑될 수 있으며, 긴 거리에 운반될 수 있어서 픽셀 사이에 크로스 토크를 유발한다. 이 예를 위해, 도 7의 구현에 대해, 금속 호일과 같은 비투과성 기관을 사용하는 것이 바람직할 수 있다.

기관으로의 광의 경로를 감소시키기 위해, 도 8에 도시된 대안적인 배열은 불투명한 애노드 구조(74c)에서, 다이오드 위에 제공된 소형 투명 개구(150)를 사용한다. 광은 이후 광 감응 디바이스(27)의 근처에서 오직 애노드를 통하여 투과된다.

상부 차폐(152)는 또한 주변광으로부터 광 감응 디바이스를 보호하기 위해 도 8에 도시되며, 이것이 금속인 경우, 이는 또한 154에서 도시된 것처럼 전기적으로 캐소드를 지원하는데 사용될 수 있는데, 이는 캐소드가 ITO와 같은, 비교적 낮은 전도성 투명 소재로 만들어졌기 때문이다. 실제로, 일부 픽셀 설계는 캐소드를 분로하기 위해 반투명 캐소드의 상부 상에 금속 구조를 이미 결합시키며, 이 경우 상부 차폐(152)는 어떠한 추가적 처리 단계 없이 이들 구조와 결합될 수 있다.

도 8의 상부 차폐는 물론 광 감응 디바이스(27)에 도달하는 주변광의 양을 감소시키기 위해 도 7의 설계에서 동일하게 채용될 수 있다.

광 센싱 요소는, 일반적으로 100x100 $\mu$ m의 픽셀 크기와 대조적으로, 일반적으로 10x10 $\mu$ m의 크기를 가질 수 있다. 그 결과, 불투명 애노드 내의 작은 투명한 캡은 애노드의 반사 또는 흡수 기능에 상당한 영향을 주지 않는다. 홀(150)은 표준 리소그래피 공정으로 불투명 애노드 내에 만들어질 수 있다.

능동 매트릭스 후면판 상에 불투명 애노드가 이미 패터닝되므로, 어떠한 추가적 마스크 단계도 홀을 제공하기 위해 불필요하다. 그러나, 더 적은 광이 홀의 위치 위의 전계 발광층 내에 생성되는데(또는 생성되지 않는데), 이는 이후 어떠한 전극 영역도 나타나지 않기 때문이다. 따라서, EL층의 이 부분은 EL 층의 나머지와 같은 디바이스 조건이 제공되지 않으며 그러므로 덜 예측가능한 방법으로 조명될 수 있으며 나머지 EL 소재에 비해 다르게 노화할 수 있다. 이는 광-전자 피드백의 성능을 감소시킬 수 있다. 그러나, 피드백 작동의 올바른 교정은 회로의 피드백 특성을 고려할 수 있다.

상부 차폐(152)는 애노드 내의 홀보다 크기가 상당히 더 클 필요는 없다. 특히, 반투명 캐소드를 통해 디스플레이로 진입하는 주변광은 광 센싱 소자와 캐소드의 상부 사이의 층의 굴절률에 따라서 특정 각도 범위(대략 0° 내지 40°) 내로 전파할 뿐이다. 광 센싱 요소(27)와 캐소드의 상부 사이의 층의 스택의 두께는 일반적으로 대략 1mm이므로, 광-차폐층의 크기는 단지 광 센싱 요소의 영역(일반적으로 10x10mm)에 대략 1mm의 폭의 추가적 테두리를 더한 것과 같아야 하며, 대략 12x12mm의 광-차폐 영역을 제공한다.

센싱 요소는 일반적으로 광 감응 영역과 비-광 감응 영역으로 구성되며, 후자는 예를 들어 접촉면에 의해 형성된다. 그러므로 홀(150)은 광 감응 영역의 크기로 제한될 수 있는 한편, 광 센싱 요소는 전체가 훨씬 더 클 수 있다. 홀(150)보다 더 큰 광 센서를 구비함으로써, 홀(150)을 통과하는 어떠한 광도 기판에 진입할 수 없으며 잠재적으로 픽셀 사이의 크로스 토크를 야기할 수 없다.

도 9는, 잉크-젯 인쇄를 사용하여 제조된 디바이스에 대해, 상부 차폐부(152)는 인쇄 댐(78) 위에 배치된 금속 막대(79)와 결합되는 방식(도 6을 참조해 설명한 것처럼)을 도시한다.

전술한 것처럼, 애노드 내의 홀의 존재는 EL 층의 대응부에서 광의 생성에 영향을 미칠 것이다. 가능한 일 개선에(refinement)는 애노드(74c) 내의 홀(150)을 전도성 투명 물질로 채우는 것이다. 전도성 투명 물질의 전도성이 충분히 높을 때, 광은 전계 발광 물질층의 대응부 내에 생성될 수 있어서, 광 센싱 요소 내의 생성된 광전류는 전체 전계발광 물질층 내에 생성된 광의 평균량을 나타낸다. 애노드 내의 홀(150)의 크기는 선택될 수 있어서 발광 소자의 특정 광 출력 레벨에서 광 센싱 요소 내에 생성된 광전류 홀의 크기 또는 그 정렬에 임계적으로 의존하지 않는다.

애노드 내의 홀을 채우는 것은 또한 평면화된 상부 표면을 제공하며, 이는 후속층의 배치에 유리하다. 추가적 마스크 단계는 이러한 개선예를 구현하는데 필요하다.

도 10에 도시된 것처럼, 애노드는 전도적이거나 비전도적인, 불투명층(74c)의 맨 위에 전도성 투명층(75)으로 구성될 수 있다. 불투명층(74c)은 홀을 포함하며 애노드의 전도성 투명부(75)와 기판 사이에 배치된다. 전도성 투명층(75)은 불투명층(74c) 내의 홀이 전계 발광 물질 내에 광의 생성에 영향을 미치지 않는다는 것을 보장한다. 홀은 도 10에 개략적으로 도시된 것처럼, 위층의 전도성 투명 물질(75)로(적어도 부분적으로) 채워지거나 그렇지 않을 수 있다. 추가적인 마스크 단계는 다시 층(74c 및 75)을 패터닝하기 위해, 이러한 구현예를 구현하는데 다시 필요하다.

전도성 투명층(75)은 불투명 애노드(74c)와 홀 주입층 사이에 추가적 층으로서 사용되거나 홀 주입층으로서 사용될 수 있다. 첫 번째 경우, ITO는 예를 들어 추가적 층으로 사용될 수 있다. ITO는 홀 주입층의 증착을 위해 적절한 기판을 제공한다.

위의 예에서, 광 차폐(152)는 애노드 내의 투명 홀을 통해 포토다이오드로의 주변광의 경로를 차단하는데 사용된다.

도 11에 도시된 변형예는 광 차폐에 대한 필요성을 회피한다.

광센서(27)의 광감응 영역은 직접 인입 주변광(광선(c))이 이 영역에 도달할 수 없도록 배치된다. 광의 굴절로 인해, 인입 일광은 전술한 것처럼, 인입 일광은 기판 법선에 대해 대략 40° 미만의 각을 가질 것이다. 그러므로, 애노드 내의 홀의 센서(27)를 약간 측면으로 배치함으로써, 인입광(c)은 포토다이오드(27)에 도달할 수 없다.

EL층(76)에 의해 생성된 광은 모든 방향으로 발산되며 또한 층의 평면에서 파장-유도된다. 이 공정은 포토센서(27)가 EL층으로부터 직접 발산된 광을 센싱할 수 있도록 한다.

이러한 아키텍처는 광학 피드백 없이 종래의 상부 발산 디스플레이에 대한 임의의 추가적인 처리 단계 없이 일광의 차폐를 가능케 한다.

포토센서(27)는 예를 들어 포토 다이오드(N-I-P 스택) 또는 포토트랜지스터와 같이, 임의의 유형의 광-감응 디바이스가 될 수 있다. 무정형 실리콘 PIN/NIP 포토-다이오드는, 무정형 실리콘은 광 흡수에 대해 높은 양자 효율성을 지니므로 바람직할 수 있다.

포토트랜지스터는 무정형 실리콘 또는 저온 폴리실리콘(LTPS)으로부터 형성될 수 있다.

LTPS 포토트랜지스터가 채용된 경우, 광작용 영역은 드레인 다음의 좁은 영역이다. 도 12는 도 11의 구조에서 LTPS 포토트랜지스터의 사용을 가능케 하는 포토트랜지스터 형태를 도시한다.

포토트랜지스터(27)는 광작용 영역(270)(드레인에 가까움)이 애노드 내의 홀 외부에 방사상으로 배치되도록 배치된다. 포토트랜지스터는, 홀에 대해 중간에 위치한, 원형 소스 및 드레인 패턴을 지닌다. 또한, 발산층에 의해 발산된 광만이 센싱될 것이며, 주변광은 포토트랜지스터의 드레인부에 도달하지 않을 것이다. 이점은 전체 광작용 영역이 애노드 내의 홀의 크기에 비해 클 수 있다는 것이다. 애노드 내의 큰 홀을 가진 디스플레이 픽셀은 시청자가 볼 수 있는 위험이 있으므로 홀은 가능한 작게 유지되어야 한다.

완결성을 위해, 도 13은 도 8의 구조를 도 6의 구조로 구현하는데 사용된 층을 더 자세히 도시하며 도 14는 도 7의 구조를 도 6의 구조로 구현하는데 사용된 층을 더 자세히 도시한다.

도 13은 상부 접촉부(28)와 함께 홀(150) 아래의 PIN/NIP 다이오드 스택(27)을 도시한다.

도 14는 또한 PIN/NIP 다이오드 스택(27)과 상부 접촉부(28)를 도시하며, ITO 층(74e) 아래의 얇은 금속층(74d)으로 구현된 애노드를 도시한다.

금속 광-차폐는 특히 금속 애노드가 원형 편광기와 결합하여 사용될 때 특히 바람직하다. 이렇게 하여, 금속 광-차폐는 일광 콘트라스트를 낮추지 않는다. 흡수 광 차폐는 선택된 애노드 합성물과 무관하게 적용될 수 있다.

본 개시를 읽음으로써, 다른 변경예는 당업자에게 명백해질 것이다.

### 산업상 이용 가능성

본 발명은, 전계 발광 디스플레이 디바이스에 관한 것으로서, 발광 전계 발광 디스플레이 소자 및 박막 트랜지스터를 포함하는 픽셀의 어레이를 구비한 능동 매트릭스 디스플레이 디바이스에 이용가능하다.

### 도면의 간단한 설명

도 1은 능동 매트릭스 EL 디스플레이 디바이스의 일 실시예의 단순화된 개략도.

도 2는 픽셀 회로의 알려진 형태를 도시한 도면.

도 3은 제 1 알려진 광학 피드백 픽셀 설계를 도시한 도면.

도 4는 제 2 알려진 광학 피드백 픽셀 설계를 도시한 도면.

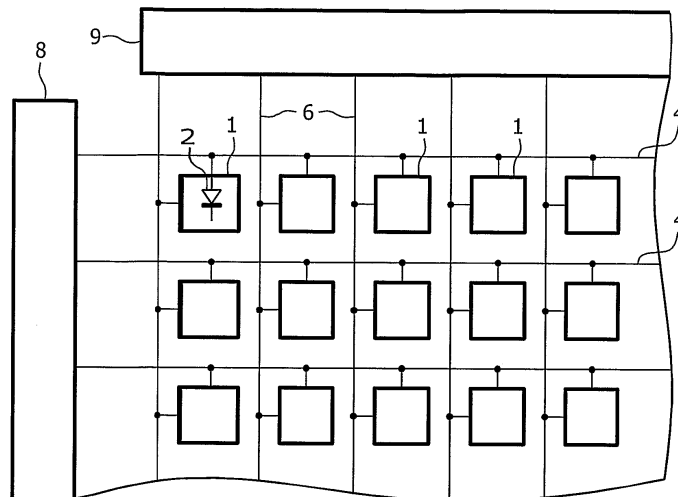
도 5는 하부 발산 디스플레이 픽셀의 알려진 구조를 도시한 도면.

도 6은 상부 발산 디스플레이 픽셀의 알려진 구조를 도시한 도면.

- 도 7은 본 발명에 따른 상부 발산 디스플레이 내의 광-감응 소자에 대한 광 경로를 제공하는 제 1 방법을 도시한 도면.
- 도 8은 본 발명에 따른 상부 발산 디스플레이 내의 광-감응 소자에 대한 광 경로를 제공하는 제 2 방법을 도시한 도면.
- 도 9는 도 8의 디바이스에 사용된 광 차단 소자를 더 명확히 도시한 도면.
- 도 10은 도 8의 디바이스에 대한 제 1 변경예를 도시한 도면.
- 도 11은 도 8의 디바이스에 대한 제 2 변경예를 도시한 도면.
- 도 12는 도 8의 디바이스에 대한 제 3 변경예를 도시한 도면.
- 도 13은 도 10의 디바이스의 가능한 일 구성을 더 자세히 도시한 도면.
- 도 14는 도 7의 디바이스의 가능한 일 구성을 더 자세히 도시한 도면.

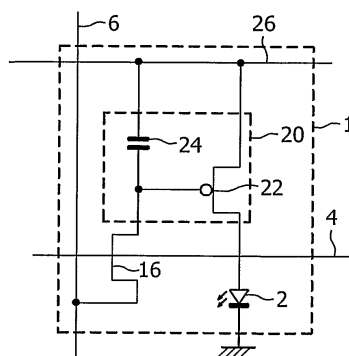
도면

도면1



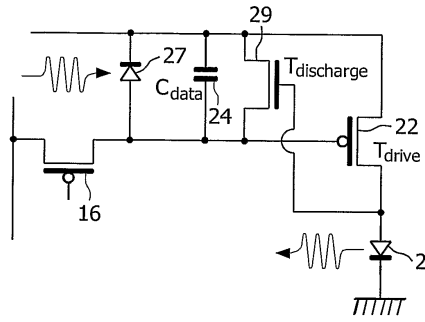
종래 기술

도면2



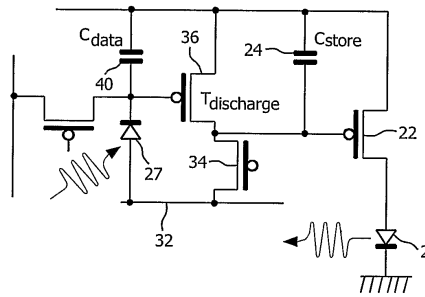
종래 기술

도면3



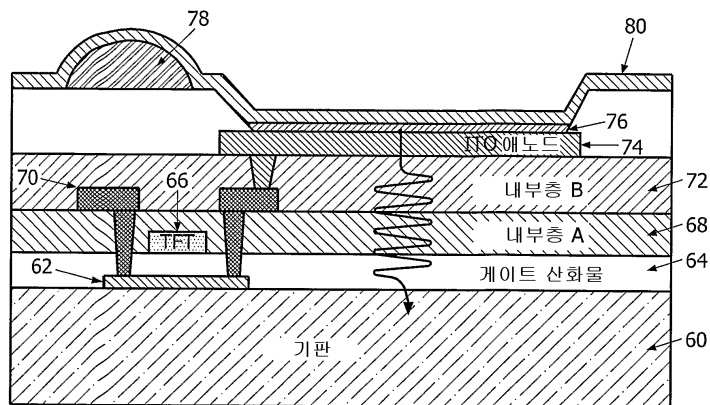
종래 기술

도면4



종래 기술

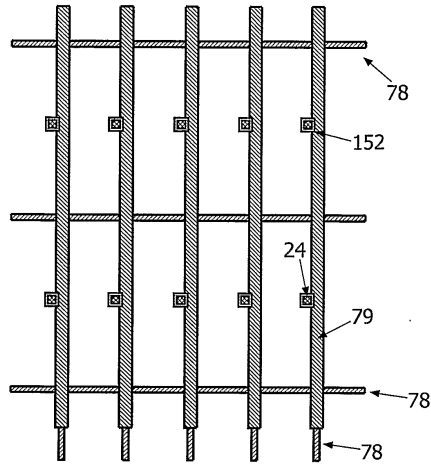
도면5



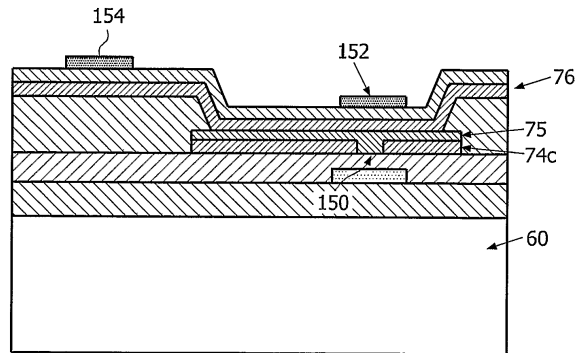
종래 기술



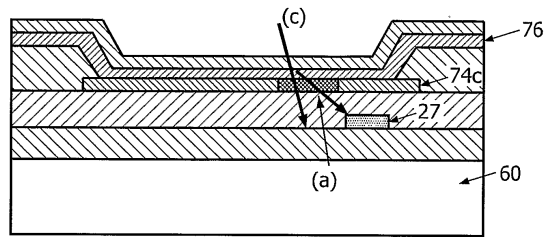
도면9



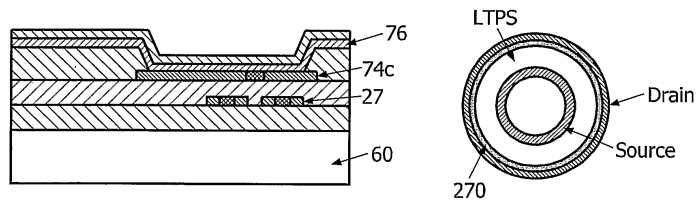
도면10



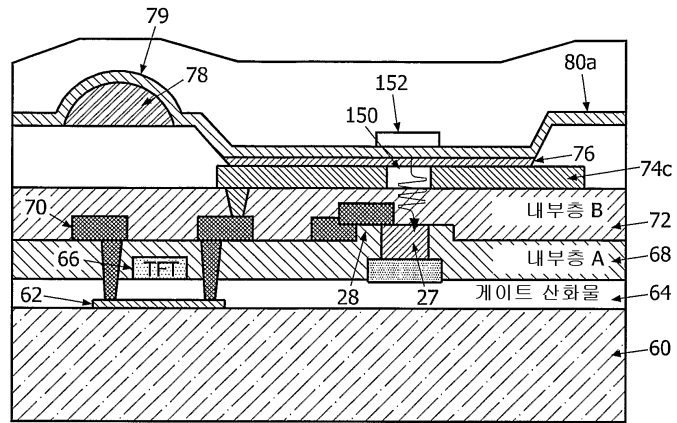
도면11



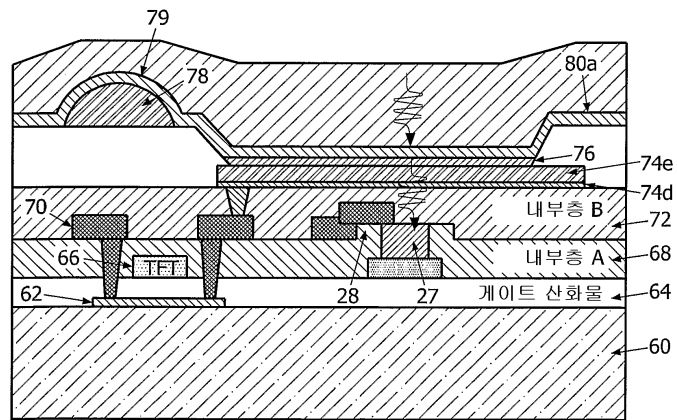
도면12



도면13



도면14



专利名称(译)	电致发光显示装置		
公开(公告)号	<a href="#">KR1020070004742A</a>	公开(公告)日	2007-01-09
申请号	KR1020067019368	申请日	2005-03-22
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	PONJEE MARC W G 폰지마크더블유지 OEPTS WOUTER 옵트스오우터 ROSINK JOHANNES J W M 로징크조하네스제이더블유엠 BECHTEL HANS HELMUT 베츠텔한스헬멧 YOUNG NIGEL D 영나이젤디		
发明人	폰지,마크,더블유.,지. 옵트스,오우터 로징크,조하네스,제이.,더블유.,엠. 베츠텔,한스 헬멧 영,나이젤,디.		
IPC分类号	H05B33/22 H05B33/02 H01L27/32 H01L51/52		
CPC分类号	H01L51/5203 H01L2251/5315 H01L27/3269 H01L27/3246		
代理人(译)	MOON , KYOUNG 金		
优先权	2004006540 2004-03-24 GB 2004025505 2004-11-19 GB		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有源矩阵显示装置包括设置在公共基板 ( 60 ) 上的显示像素的阵列。每个像素包括底部电极 ( 74 ) 和上行发射电流 - 驱动LED元件 ( 2 ) , 其包括材料上透明的上部电极 ( 80a ) 。用于感测显示装置 ( 2 ) 光功率的光接收装置 ( 27 ) 布置在基板 ( 60 ) 和显示装置 ( 2 ) 之间。并且响应于光感测装置 ( 27 ) 输出来控制驱动晶体管 ( 22 ) 。透明性和显示装置的部分底部电极 ( 74 ) 将在底部电极上收益的光透射最大20%。并且至少一部分光透射面向基础光感测装置 ( 27 ) 。

