

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30

(11) 공개번호
(43) 공개일자

10-2004-0031039
2004년04월09일

(21) 출원번호 10-2004-7003226

(22) 출원일자 2004년03월04일

번역문 제출일자 2004년03월04일

(86) 국제출원번호 PCT/JP2002/009112

(87) 국제공개번호

WO 2003/023752

(86) 국제출원출원일자 2002년09월06일

(87) 국제공개일자

2003년03월20일

(30) 우선권주장

JP - P - 2001 - 00271311

2001년09월07일

일본(JP)

JP - P - 2001 - 00347014

2001년11월13일

일본(JP)

(71) 출원인

마츠시타 덴끼 산교 가부시기가이샤

일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자

츠게히토시

일본오사카후가도마시미야마에초16-1-314

다카하라히로시

일본오사카후네야가와시오아자우즈마사1011-1-345-씨-345

(74) 대리인

김창세

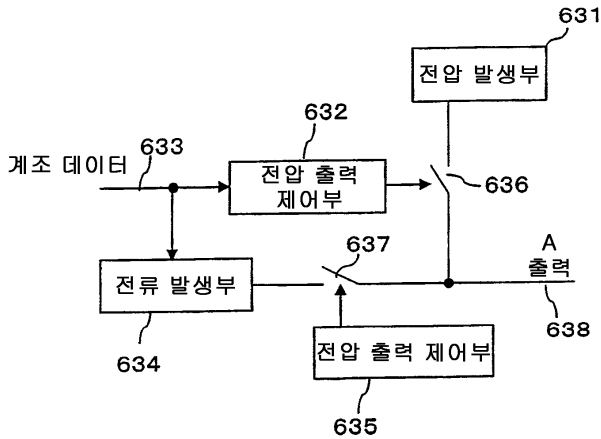
심사청구 : 있음

(54) E L 표시 장치와 E L 표시 장치의 구동 회로 및 화상표시 장치

요약

본 발명에 따른 EL 표시 장치는 EL 발광 소자와, 전류로 나타내어지는 소스 신호에 대응하는 전류로 EL 발광 소자를 구동하는 전류 구동 장치와, 영상 신호에 따라 상기 소스 신호를 소스 신호선을 통해 상기 전류 구동 장치로 출력하는 신호용 전류원(634)을 포함하는 EL 표시 장치에 있어서, 소정 전압을 출력하는 프리차지용 전압원(631)과, 신호용 전류원(634)과 프리차지용 전압원(631)을 전환하여 소스 신호선(638)에 접속할 수 있는 전환 접속 수단(636, 637)을 더 포함한 것이다.

대표도



- 631 ... 전압 발생부(프리차지 전압 발생 회로)
- 632 ... 전압 출력 제어부
- 633 ... 계조 데이터 신호선
- 634 ... 전류 발생부(계조 전류 발생 회로)
- 635 ... 전류 출력 제어부
- 636 ... 프리차지 스위치(아날로그 스위치)
- 637 ... 출력 전류 스위치(아날로그 스위치)
- 638 ... 내부 배선
- A ... 출력

명세서

기술분야

본 발명은 유기 또는 무기 전계 발광(EL) 소자를 이용한 EL 표시 패널 등의 자발광 표시 패널에 관한 것이다. 또한, EL 표시 패널의 구동 방법과 구동 회로 및 그들을 이용한 전자 표시 기기 등에 관한 것이다.

배경기술

일반적으로, 액티브 매트릭스형 표시 장치에서는 다수의 화소를 매트릭스 형상으로 배열하고, 인가된 영상 신호에 따라 화소마다 광강도를 제어함으로써 화상을 표시한다. 예를 들면, 전기 광학 물질로서 액정을 이용한 경우는 각 화소에 기입되는 전압에 따라 화소의 투과율이 변화한다. 전기 광학 변환 물질로서 유기 전계 발광(EL) 재료를 이용한 액티브 매트릭스형 화상 표시 장치도 기본적인 동작은 액정을 이용한 경우와 마찬가지로이다.

액정 표시 패널에서 각 화소는 셔터로서 동작하며, 백 라이트로부터의 광을 화소인 셔터에 의해 온오프시킴으로써 화상을 표시한다. 유기 EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형이다. 그 때문에, 유기 EL 표시 패널 등의 자발 광형 표시 패널은 액정 표시 패널에 비교해서 화상의 시인성이 높고, 백 라이트가 불필요하며, 응답 속도가 빠르다는 등의 이점을 갖는다.

유기 EL 표시 패널에서 각 발광 소자(화소)의 휘도는 전류량에 의해 제어된다. 즉, 발광 소자가 전류 구동형 또는 전류 제어형이라고 하는 점에서 액정 표시 패널과는 크게 다르다.

유기 EL 표시 패널도 단순 매트릭스 방식과 액티브 매트릭스 방식의 구성이 가능하다. 전자는 구조가 단순하지만 대형이고 또 고정밀도 표시 패널의 실현이 곤란하다. 그러나, 염가이다. 후자는 대형이고, 고정밀도 표시 패널을 실현할 수 있다. 그러나, 제어 방법이 기술적으로 어렵고, 비교적 고가라고 하는 문제가 있다. 현재로서는, 액티브 매트릭스 방식의 개발이 열심히 행해지고 있다. 액티브 매트릭스 방식은, 각 화소에 마련된 발광 소자에 흐르는 전류를 화소 내부에 마련된 박막 트랜지스터(TFT)에 의해 제어한다.

이 액티브 매트릭스 방식의 유기 EL 표시 패널은, 일본국 특허 공개 평성 제 8-234683 호 공보에 개시되어 있다. 이 표시 패널의 1 화소분의 등가 회로가 도 62에 도시되어 있다. 화소(16)는 발광 소자인 EL 소자(15), 제 1 트랜지스터(11a), 제 2 트랜지스터(11b) 및 축적 용량(19)을 갖추고 있다. 발광 소자(15)는 유기 전계 발광(EL) 소자이다. 본 발명에서는, EL 소자(15)에 전류를 공급(제어)하는 트랜지스터(11a)를 구동용 트랜지스터(11)라고 부른다. 또한, 도 62의 트랜지스터(11b)와 같이, 스위치로서 동작하는 트랜지스터를 스위치용 트랜지스터(11)라고 부른다.

유기 EL 소자(15)는 많은 경우 정류성이 있기 때문에, OLED(유기 발광 다이오드)라고 불리는 일이 있다. 도 62에는 발광 소자 OLED(15)로서 다이오드의 기호가 이용되고 있다.

단지, 본 발명에 있어서의 발광 소자(15)는 OLED에 한정되는 것이 아니라, 소자(15)에 흐르는 전류량에 의해 휘도가 제어되는 것이면 좋다. 예를 들면, 무기 EL 소자가 예시된다. 그 밖에, 반도체로 구성되는 백색 발광 다이오드가 예시된다. 또한, 일반적인 발광 다이오드가 예시된다. 그 밖에, 발광 트랜지스터라도 좋다. 또한, 발광 소자(15)는 반드시 정류성이 요구되는 것은 아니다. 쌍방향성 다이오드이어도 좋다.

도 62의 예에서는, P 채널형의 트랜지스터(11a)의 소스 단자(S)를 Vdd(전원 전위)로 하고, EL 소자(15)의 캐소드(음극)는 접지 전위(Vk)에 접속된다. 한편, 애노드(양극)는 트랜지스터(11b)의 드레인 단자(D)에 접속되어 있다. 한편, P 채널형의 트랜지스터(11a)의 게이트 단자는 게이트 신호선(17a)에 접속되고, 소스 단자는 소스 신호선(18)에 접속되고, 드레인 단자는 축적 용량(19) 및 트랜지스터(11a)의 게이트 단자(G)에 접속되어 있다.

화소(16)를 동작시키기 위해서, 우선, 게이트 신호선(17a)을 선택 상태로 하고, 소스 신호선(18)에 휘도 정보를 나타내는 영상 신호를 인가한다. 그렇게 하면, 트랜지스터(11a)가 도통하고, 축적 용량(19)이 충전 또는 디스차지되어, 트랜지스터(11b)의 게이트 전위는 영상 신호의 전위에 일치한다. 게이트 신호선(17a)을 비선택 상태로 하면, 트랜지스터(11a)가 오프되고, 트랜지스터(11b)는 전기적으로 소스 신호선(18)으로부터 분리된다. 그러나, 트랜지스터(11a)의 게이트 전위는 축적 용량(19)에 의해 안정하게 유지된다. 트랜지스터(11a)를 거쳐서 발광 소자(15)에 흐르는 전류는 트랜지스터(11a)의 게이트/소스 단자간 전압 V_{gs} 에 따른 값이 되며, 발광 소자(15)는 트랜지스터(11a)를 통해 공급되는 전류량에 따른 휘도로 발광을 계속한다.

이상 도 62의 구성에는 1 화소가 하나의 선택 트랜지스터(스위칭 소자)와, 하나의 구동용 트랜지스터로 구성된 것이다. 그 밖의 구성예로서, 일본국 특허 출원 평성 제 11-327637 호 공보에 예시된 구성이 있다. 상기 공보에는, 화소가 커런트 미러(current-mirror) 회로로 구성된 실시예가 개시되어 있다.

도 62 등과 같이 소스 드라이버(14)로부터 영상 신호를 전압으로 출력하는 방식에서는 소스 드라이버(14)의 출력단 임피던스가 낮다. 그 때문에, 소스 신호선(18)으로의 영상 신호의 기록은 용이하다.

도 1 또는 일본국 특허 출원 평성 제 11-327637 호의 커런트 미러 구성 등의 영상 신호를 전류로 출력하는 방식에서는 소스 드라이버(14)의 출력단 임피던스가 높다. 그 때문에, 소스 신호선(18)으로의 영상 신호의 기록이 흑표시 영역에서 곤란하게 된다고 하는 문제가 있다. 도 2는 그 이유를 설명하기 위한 설명도이다.

도 2에서 각 화소(16)의 발광 소자(15)를 표시시키기 위해서는, 1 수평 주사 기간내에서 게이트 신호선(17a)에 의해 트랜지스터(11b) 및 (11c)를 도통 상태로 하고, 전원 Vdd로부터 구동용 트랜지스터(11a) 및 소스 신호선(18)을 거쳐서 소스 드라이버(14)에 전류 I_w 를 주입한다. 이 때의 전류량의 대소에 의해 계조 표시를 행한다. 축적 용량(19)에는 트랜지스터(11a)의 드레인 전류에 대응하는 게이트 전압에 따른 전하가 축적된다.

그 후, 게이트 신호선(17b)에 의해 트랜지스터(11d)를 도통시키고, 게이트 신호선(17a)에 의해 트랜지스터(11b, 11c)를 비도통 상태로 하여, Vdd로부터 축적 용량(19)의 전하에 따른 전류가 트랜지스터(11a)를 거쳐서 발광 소자(15)에 흐른다.

소스 신호선(18)의 부유 용량(기생 용량)(641)과 트랜지스터(12a)의 소스-드레인(S-D)간 저항의 곱에 의해 소스 신호선(18)에 흐르는 전류는 서서히 변화한다. 그 때문에, 용량값(641) 및 저항치가 커지면, 1 수평주사 기간내에 전류가 소정의 값까지 변화하지 않는 경우가 있다.

소스 신호선(18)에 흐르는 전류가 작게(저계조로) 됨에 따라서, 트랜지스터(11a)의 소스-드레인간 저항이 커지기 때문에, 전류가 작아질수록 변화하는데 시간이 걸린다. 트랜지스터(11a)의 다이오드 특성과 소스 신호선(18)의 부유 용량(641)의 용량값에 의하지만, 예컨대 소스 신호선(18)에 흐르는 전류가 $1\mu A$ 에서 변화하는데 $50\mu s$ 초 걸리는 데 대하여, $10nA$ 에서 변화하는데에는 $250\mu s$ 초 걸린다.

소스 신호선(18)에 흐르는 전류치는 Vdd로부터 트랜지스터(12a)를 거쳐서, 전하를 소스 신호선(18)에 공급하며, 부유 용량(641)의 전하를 변화시킴으로써 소스 신호선(18)의 전압을 변화시켜 트랜지스터(12a)를 흐르는 전류(=소스 신호선(18)을 흐르는 전류)가 변화한다. 전하의 공급량이 전류가 작은 영역에서는 적기 때문에, 소스 신호선(18)의 전압 변화가 지연되고, 그 결과 전류치의 변화도 지연된다.

이에 따라 수평 주사 기간을 짧게 할 수 없고, 표시행 수에 따라서는 프레임 주파수의 저하에 의해 플리커(flicker)가 발생한다고 하는 문제가 있었다.

발명의 상세한 설명

본 발명은 이러한 과제를 해결하기 위해 이루어진 것으로, 프레임 주파수의 저하에 의한 플리커의 발생을 방지하는 것을 목적으로 하고 있다.

이러한 목적을 달성하기 위해, 본 발명에 따른 EL 표시 장치는, EL 발광 소자와, 전류로 표시되는 소스 신호에 따른 전류에 의해서 상기 EL 발광 소자를 구동하는 전류 구동 장치와, 영상 신호에 따라 상기 소스 신호를 소스 신호선을 통하여 상기 전류 구동 장치에 출력하는 신호용 전류원을 구비한 EL 표시 장치에 있어서, 소정 전압을 출력하는 프리차지용 전압원과, 상기 신호용 전류원과 상기 프리차지용 전압원을 전환하여 상기 소스 신호선에 접속가능한 전환 접속 수단을 또한 구비한다.

이러한 구성으로 하면, 소스 신호선에 소스 신호 전류를 출력하는 것뿐만 아니라, 가장 기입이 어려운 저계조시 전류가 흐르는 때의 소스 신호선에 프리차지용 전압을 인가할 수 있다. 그 결과, 출력 임피던스가 낮은 전압원에 의해 소스 신호선의 부유 용량을 조속히 충전할 수 있기 때문에, 전류 구동 장치의 전류치의 변화를 빨리할 수 있다. 이에 따라, 수평주사 기간을 짧게 할 수 있어, 프레임 주파수 의 저하에 의한 플리커의 발생을 방지할 수 있다.

상기 전환 접속 수단은, 1 수평주사 기간내에서 상기 소정 전압이 상기 소스 신호선에 인가된 후, 상기 소스 신호가 상기 소스 신호선으로 출력되도록, 상기 프리차지용 전압원 및 상기 신호용 전류원을 상기 소스 신호에 접속하여도 좋다. 이러한 구성으로 하면, 소스 신호선의 부유 용량을 조속히 충전하여, 전류 구동 장치의 전류치의 변화를 빨리할 수 있다.

또한, 상기 소정 전압의 인가 기간이 $0.2\mu\text{s}$ 이상 $3\mu\text{s}$ 이하인 것이 바람직하다. 이러한 구성으로 하면, 적합하게 전류 구동 장치의 전류치의 변화를 빨리할 수 있다.

또한, 상기 전류 구동 장치가 상기 소스 신호선에 접속된 제어 단자의 전압에 따른 전류에 의해서 상기 EL 발광 소자를 구동하는 것이고, 상기 소정 전압은 상기 전류 구동 장치가 상기 EL 발광 소자를 흑표시하도록 구동하는 전압이라고 하여도 좋다. 이러한 구성으로 하면, 저계조시에 있어서 전류 구동 장치의 전류치의 변화를 효과적으로 빨리할 수 있다.

또한, 상기 전류 구동 장치가 상기 소스 신호선에 접속된 제어 단자의 전압에 따른 전류에 의해서 상기 EL 발광 소자를 구동하는 것이고, 상기 소정 전압이 상기 영상 신호의 계조 정보에 따른 것으로 해도 좋다. 이러한 구성으로 하면, 소스 신호에 의한 계조의 조정량을 적게 할 수 있기 때문에, 보다 빠르게 전류 구동 장치의 전류치를 변화시킬 수 있다.

또한, 상기 전환 접속 수단은, 상기 영상 신호의 계조 정보가 소정의 것인 경우에 상기 프리차지용 전압원을 상기 소스 신호선에 접속하여도 좋다. 이러한 구성으로 하면, 원래 전류 구동 장치의 전류치 변화가 빠른 고계조시나 동일 계조가 계속되는 때에는 프리차지 전압을 인가하지 않도록 함으로써, 그와 같은 경우에 있어서의 휘도 저하를 막을 수 있다.

또한, 복수 종류의 색을 발광하는 복수의 상기 EL 발광 소자가 상기 색마다 복수의 상기 소스 신호선에 각각 접속되고, 상기 프리차지용 전압원은 상기 색마다 정해진 상기 소정 전압을 상기 소스 신호선으로 각각 출력하여도 좋다. EL 발광 소자의 상승 전압은 발광색에 따라 다르지만, 이러한 구성으로 하면, 발광색에 최적인 프리차지 전압을 인가할 수 있기 때문에, 적합하게 컬러 표시할 수 있다.

또한, 상기 전류 구동 장치가 트랜지스터로 이루어져 있어도 좋다. 이러한 구성으로 하면, 프로그램 전류 방식으로 EL 발광 소자를 구동할 수 있다.

또한, 상기 전류 구동 장치가 커런트 미러 회로로 이루어져 있어도 좋다.

또한, 복수의 화소가 매트릭스 형상으로 배치되고, 상기 화소마다 상기 EL 발광 소자 및 상기 전류 구동 장치가 배치되며, 열 또는 행마다 상기 소스 신호선이 배치되고, 각 열 또는 행의 상기 전류 구동 장치가 선택가능하게 각 소스 신호선에 접속되며, 상기 신호용 전류원, 상기 프리차지용 전압원 및 상기 전환 접속 수단이 상기 소스 신호선마다 마련되고, 상기 복수 화소의 상기 전류 구동 장치를 행 또는 열마다 선택하는 게이트 신호를 전달하기 위한 복수의 게이트선이 배치되며, 상기 게이트 신호를 상기 복수의 게이트선으로 출력하는 게이트 드라이버가 마련되어도 좋다.

또한, 본 발명에 따른 전자 표시 기기는, 복수의 화소가 매트릭스 형상으로 배치되고, 상기 화소마다 상기 EL 발광 소자 및 상기 전류 구동 장치가 배치되며, 열 또는 행마다 상기 소스 신호선이 배치되고, 각 열 또는 행의 상기 전류 구동 장치가 선택가능하게 각 소스 신호선에 접속되며, 상기 신호용 전류원, 상기 프리차지용 전압원 및 상기 전환 접속 수

단이 상기 소스 신호선마다 마련되고, 상기 복수 화소의 상기 전류 구동 장치를 행 또는 열마다 선택하는 게이트 신호를 전달하기 위한 복수의 게이트선이 배치되며, 상기 게이트 신호를 상기 복수의 게이트선으로 출력하는 게이트 드라이버가 마련된 청구 범위 제 1 항 기재의 EL 표시 장치로 이루어지는 화상 표시부와, 수화기와, 스피커를 구비한다. 이러한 구성으로 하면, 프레임 주파수의 저하에 의한 플리커의 발생을 방지가능한 EL 표시 방식의 전자 표시 기기를 실현할 수 있다.

또한, 본 발명에 따른 EL 표시 장치의 구동 회로는, 복수의 단위 전류원과, 상기 단위 전류원에서 출력되는 전류를 규정하는 기준 전류 발생 회로와, 상기 단위 전류원의 출력단에 배치된 복수의 전류 스위치 회로와, 한쪽 단부가 제 1 전환 스위치를 거쳐서 상기 복수의 전류 스위치 회로에 각각 접속되고 다른쪽 단부가 소스 신호선에 접속되는 전류 배선과, 소정 전압을 출력하며 제 2 전환 스위치를 거쳐 상기 전류 배선에 접속된 프리차지용 전압원을 구비하여, 상기 전류 스위치 회로는 영상 신호의 계조 정보에 따라 온오프되고, 상기 제 1, 제 2 전환 스위치는 상기 전류 스위치 회로와 상기 프리차지용 전압원을 전환하여 상기 소스 신호선에 접속시키는 것이다.

이러한 구성으로 하면, 프레임 주파수의 저하에 의한 플리커의 발생을 방지 가능한 EL 표시 장치의 구동 회로를 실현할 수 있다.

상기 복수의 단위 전류원은, 2의 배수의 개수마다 병렬로 하나의 상기 전류 스위치에 접속되어 있어도 좋다. 이러한 구성으로 하면, 디지털 계조 정보에 대응하여 소스 신호를 출력할 수 있다.

또한, 상기 기준 전류 발생 회로는 op 앰프 회로를 갖고, 해당 op 앰프 회로가 상기 단위 전류원에서 출력되는 전류를 규정하여도 좋다.

본 발명의 상기 목적, 다른 목적, 특징, 및 이점은, 첨부 도면을 참조하여, 이하의 바람직한 실시예의 상세한 설명으로부터 분명하게 된다.

도면의 간단한 설명

도 1은 본 발명의 표시 패널의 화소구성도이다.

도 2는 본 발명의 표시 패널의 화소구성도이다.

도 3은 본 발명의 표시 패널의 동작의 설명도이다.

도 4는 본 발명의 표시 패널의 동작의 설명도이다.

도 5는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 6은 본 발명의 표시 장치의 구성도이다.

도 7은 본 발명의 표시 패널의 제조 방법의 설명도이다.

도 8은 본 발명의 표시 장치의 구성도이다.

도 9는 본 발명의 표시 장치의 구성도이다.

도 10은 본 발명의 표시 패널의 단면도이다.

도 11은 본 발명의 표시 패널의 단면도이다.

도 12는 본 발명의 표시 패널의 설명도이다.

도 13은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 14는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 15는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 16은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 17은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 18은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 19는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 20은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 21은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 22는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 23은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 24는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 25는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 26은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 27은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 28은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 29는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 30은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 31은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 32는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 33은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 34는 본 발명의 표시 장치의 구성도이다.

도 35는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 36은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 37은 본 발명의 표시 장치의 구성도이다.

도 38은 본 발명의 표시 장치의 구성도이다.

도 39는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 40은 본 발명의 표시 장치의 구성도이다.

도 41은 본 발명의 표시 장치의 구성도이다.

도 42는 본 발명의 표시 패널의 화소구성도이다.

도 43은 본 발명의 표시 패널의 화소구성도이다.

도 44는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 45는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 46은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 47은 본 발명의 표시 패널의 화소구성도이다.

도 48은 본 발명의 표시 장치의 구성도이다.

도 49는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 50은 본 발명의 표시 패널의 화소구성도이다.

도 51은 본 발명의 표시 패널의 화소도이다.

도 52는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 53은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 54는 본 발명의 표시 패널의 화소구성도이다.

도 55는 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 56은 본 발명의 표시 장치의 구동 방법의 설명도이다.

도 57은 본 발명의 휴대 전화의 설명도이다.

도 58은 본 발명의 뷰 화인더의 설명도이다.

도 59는 본 발명의 비디오 카메라의 설명도이다.

도 60은 본 발명의 디지털 카메라의 설명도이다.

도 61은 본 발명의 텔레비전(모니터)의 설명도이다.

도 62는 종래의 표시 패널의 화소구성도이다.

도 63은 본 발명의 구동 회로의 블럭도이다.

도 64는 본 발명의 구동 회로의 설명도이다.

도 65는 본 발명의 구동 회로의 설명도이다.

도 66은 본 발명의 구동 회로의 설명도이다.

도 67은 본 발명의 구동 회로의 설명도이다.

도 68은 본 발명의 구동 회로의 설명도이다.

도 69는 본 발명의 구동 회로의 설명도이다.

도 70은 본 발명의 구동 회로의 설명도이다.

도 71은 본 발명의 구동 회로의 블럭도이다.

도 72는 본 발명의 구동 회로의 설명도이다.

도 73은 본 발명의 구동 방법의 설명도이다.

도 74는 본 발명의 구동 회로의 설명도이다.

도 75는 본 발명의 구동 회로의 설명도이다.

도 76은 본 발명의 구동 회로의 설명도이다.

실시에

이하, 본 발명의 실시예에 대해 도면을 참조하여 설명한다.

본 명세서에 있어서 각 도면은 이해를 용이하게 또는/및 작도를 쉽게 하기 위하여 생략 또는/및 확대 축소한 개소가 있다. 예를 들면, 도 11에 도시하는 표시 패널의 단면도에서는 밀봉막(111) 등을 충분히 두텁게 도시하고 있다. 한편, 도 10에 있어서, 밀봉 뚜껑(85)은 얇게 도시하고 있다. 또한, 생략한 개소도 있다. 예를 들면, 본 발명의 표시 패널 등에서는, 반사 방지를 위해 원편광판 등의 위상 필름이 필요하다. 그러나, 본 명세서의 각 도면에서는 생략하고 있다. 이상의 것은 이하의 도면에 대하여도 마찬가지이다. 또한, 동일한 번호 또는 기호 등을 부여한 개소는 동일 또는 유사한 형태 또는 재료 또는 기능 또는 동작을 갖는다.

또, 각 도면 등으로 설명한 내용은 특별한 언급이 없더라도, 다른 실시예 등과 조합할 수 있다. 예를 들면, 도 8의 표시 패널에 터치 패널 등을 부가하여, 도 19, 도 59~도 61에 도시하는 전자 표시 기기로 할 수 있다. 또한, 확대 렌즈(582)를 장착하여, 비디오 카메라(도 59 등 참조) 등에 이용하는 뷰 파인더(view finder)(도 58 참조)를 구성할 수도 있다. 또한, 도 4, 도 15, 도 18, 도 21, 도 23 등으로 설명한 본 발명의 구동 방법은 어느 본 발명의 표시 장치 또는 표시 패널에도 적용할 수 있다.

또, 본 명세서에서, 구동용 트랜지스터(전류 구동 장치)(11a), 스위칭용 트랜지스터(11b~11d)는 박막 트랜지스터로 설명하였지만, 이에 한정되는 것은 아니다. 박막 다이오드(TFD), 링다이오드 등으로 구성할 수도 있다. 또한, 박막 소자에 한정되는 것은 아니고, 실리콘 웨이퍼에 형성한 것이어도 좋다. 물론, FET, MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터이어도 좋다. 이들도 기본적으로 박막 트랜지스터이다. 그 밖에, 배리스터(varistor), 사이리스터(thyristor), 링다이오드(ring diode), 포토다이오드, 포토트랜지스터, PLZT 소자 등이어도 됨은 말할 필요도 없다. 즉, 스위치 소자(11), 구동용 소자(11)로서 구성하는 것은 이들중 어느것도 사용할 수 있다.

이하, 본 발명의 EL 패널에 대하여 도면을 참조하여 설명한다. 유기 EL 표시 패널은, 도 10에 도시하는 바와 같이 화소 전극으로서의 투명 전극(105)이 형성된 유리판(71)(어레이 기판)상에, 전자 수송층, 발광층, 정공 수송층 등으로 이루어지는 적어도 1층의 유기 기능층(EL 층)(15), 및 금속 전극(반사막)(캐소드)(106)이 적층된 것이다. 투명 전극(화소 전극)(105)인 양극(애노드)에 플러스, 금속 전극(반사 전극)(106)의 음극(캐소드)에 마이너스의 전압을 인가하여, 즉, 투명 전극(105) 및 금속 전극(106) 사이에 직류를 인가함으로써, 유기 기능층(EL 층)(15)이 발광한다.

애노드 또는 캐소드로 전류를 공급하는 배선(도 8의 캐소드 배선(86), 애노드 배선(87))에는 큰 전류가 흐른다. 예를 들면, EL 표시 장치의 화면 사이즈가 40인치 사이즈가 되면 100(A) 정도의 전류가 흐른다. 따라서, 이들 배선의 저항치는 충분히 낮게 제작해야 한다. 이러한 과제에 대하여, 본 발명에서는, 우선, 애노드 등의 배선(EL 소자에 발광 전류를 공급하는 배선)을 박막으로 형성한다. 그리고, 이 박막 배선에 전해 도금 기술 또는 무전해 도금 기술로 배선의 두께를 두텁게 형성하고 있다.

도금 금속으로서, 크롬, 니켈, 금, 동, 알루미늄 또는 이들의 합금, 아만감 또는 적층 구조 등이 예시된다. 또한, 필요에 따라서, 배선 그자체 또는 배선에 동박으로 이루어지는 금속 배선을 부가하고 있다. 또한, 배선의 위에 동 페이스트 등을 스크린 인쇄하고, 페이스트 등을 적층시킴으로써 배선의 두께를 두껍게 하여, 배선 저항을 저하시킨다. 또한, 본딩 기술로 배선을 중복해 형성하여, 배선을 보강하여도 좋다. 또한, 필요에 따라서, 배선에 적층시켜 그라운드 패턴을 형성하여 배선과의 사이에 콘덴서(용량)를 형성하여도 좋다.

또한, 애노드 또는 캐소드 배선에 큰 전류를 공급하기 위해서, 전류 공급 수단으로부터 고전압 소전류의 전력 배선으로, 상기 애노드 배선 등의 근방까지 배선하고, DC-DC 컨버터 등을 이용하여 저전압 고전류로 전력 변환하여 공급하고 있다. 즉, 전원으로부터 고전압 소전류 배선으로 전력 소비 대상까지 배선하고 전력 소비 대상의 근방에서 대전류 저전압으로 변환한다. 이러한 것으로서, DC-DC 컨버터, 트랜스 등이 예시된다.

금속 전극(106)에는, 리튬, 은, 알루미늄, 마그네슘, 인듐, 동 또는 각각의 합금 등의 일함수가 작은 것을 이용하는 것이 바람직하다. 특히, 예컨대 Al-Li 합금을 이용하는 것이 바람직하다. 또한, 투명 전극(105)에는, ITO 등의 일함수가 큰 도전성 재료 또는 금 등을 이용할 수 있다. 또, 금을 전극 재료로서 이용한 경우, 전극은 반투명의 상태가 된다. 또, ITO는 IZO 등의 다른 재료이어도 좋다. 이러한 사항은 다른 화소 전극(105)에 대하여도 마찬가지이다.

또, 화소 전극(105) 등에 박막을 증착시킬 때는, 아르곤 분위기속에서 유기 EL막(15)을 성막하면 좋다. 또한, 화소 전극(105)으로서의 ITO 상에 카본막을 20 이상 50nm 이하로 성막함으로써, 계면의 안정성이 향상하고 발광 휘도 및 발광 효율도 양호한 것으로 된다. 또한, EL막(15)은 증착으로 형성하는 것에 한정되지 않고, 잉크젯으로 형성하여도 되는 말할 필요도 없다.

또, 밀봉 뚜껑(85)과 어레이 기판(71)과의 공간에는 건조제(107)를 배치한다. 이것은 유기 EL 막(15)은 습도에 약하기 때문이다. 건조제(107)에 의해 밀봉제를 침투하는 수분을 흡수시켜 유기 EL막(15)의 열화를 방지한다.

도 10은 유리의 뚜껑(85)을 이용하여 밀봉하는 구성이지만, 도 11과 같이 필름(박막이라도 좋다. 즉, 박막 밀봉막이다)(111)을 이용한 밀봉이어도 좋다. 예를 들면, 밀봉 필름(박막 밀봉막)(111)으로서의 전해 콘덴서의 필름에 DLC(다이아몬드 라이크 카본)을 증착시킨 것을 이용한 것이 예시된다. 이 필름은 수분 침투 성이 매우 나쁘다(방습 성능이 높다). 이 필름을 밀봉막(111)으로서 이용한다. 또한, DLC막 등을 전극(106)의 표면에 직접 증착시키는 구성의 것도 되는 말할 필요도 없다. 그 밖에, 수지 박막과 금속 박막을 다층으로 적층하여 박막 밀봉막을 구성하여도 좋다.

박막의 막두께는 $n \cdot d$ (n 은 박막의 굴절율, 복수의 박막이 적층되어 있는 경우는 그들의 굴절율을 종합(각 박막의 $n \cdot d$ 를 계산)하여 계산한다. d 는 박막의 막두께, 복수의 박막이 적층되어 있는 경우는 그들의 굴절율을 종합하여 계산한다)가 EL 소자(15)의 발광 주파장 λ 이하로 되도록 하면 좋다. 이 조건을 만족시킴으로써, EL 소자(15)로부터의 광취득 효율이 유리 기판으로 밀봉한 경우에 비교하여 2배 이상으로 된다. 또한, 알루미늄과 은의 합금 또는 혼합물 또는 적층물을 형성하여도 좋다.

이상과 같이 뚜껑(85)을 이용하지 않고, 밀봉막(111)으로 밀봉하는 구성을 박막 밀봉이라고 부른다. 기판(71)측으로부터의 광을 획득하는 「하방 취출」(도 10을 참조, 광 취득 방향은 도 10의 화살표 방향)의 경우 박막 밀봉은 EL막을 형성한 후, EL막상에 캐소드로 되는 알루미늄 전극을 형성한다. 다음에 이 알루미늄막상에 완충층으로서의 수지층을 형성한다. 완충층으로서, 아크릴, 에폭시 등의 유기 재료가 예시된다. 또한, 막두께는 $1\mu\text{m}$ 이상 $10\mu\text{m}$ 이하의 두께가 적합하다. 더욱 바람직하게는, 막두께는 $2\mu\text{m}$ 이상 $6\mu\text{m}$ 이하의 두께가 적합하다. 이 완충막상에 밀봉막(74)을 형성한다. 완충막이 없으면 응력에 의해 EL 막의 구조가 무너져, 줄무늬로 결함이 발생한다. 밀봉막(111)은 상술한 바와 같이, DLC(diamond like carbon) 또는 전해 콘덴서의 층구조(유전체 박막과 알루미늄 박막을 교대로 다층 증착한 구조)가 예시된다.

EL층(15)측으로부터 광을 획득하는 「상방 취출」(도 11 참조, 광 획득 방향은 도 11의 화살표 방향)의 경우의 박막 밀봉은, EL 막(15)을 형성한 후, EL 막(15)상에 캐소드(애노드)로 되는 Ag-Mg 막을 $20\text{\AA}$ 이상 $300\text{\AA}$ 의 막두께로 형성한다. 그 위에, ITO 등의 투명 전극을 형성하여 저저항화한다. 다음에 이 전극막상에 완충층으로서의 수지층을 형성한다. 이 완충막상에 밀봉막(111)을 형성한다.

유기 EL층(15)으로부터 발생한 광의 절반은 반사막(106)에서 반사되어, 어레이 기판(71)을 투과하여 출사된다. 그러나, 반사막(106)에는 외광의 편광 반사가 발생하여 표시 콘트라스트를 저하시킨다. 이에 대한 대책을 위해, 어레이 기판(71)에 $\lambda/4$ 판(108) 및 편광판(편광 필름)(109)을 배치하고 있다. 이들은 일반적으로 원편광판(원편광 시트)이라고 불린다.

또, 화소가 반사 전극인 경우는 EL층(15)으로부터 발생한 광은 위 방향으로 출사된다. 따라서, 위상판(108) 및 편광판(109)은 광 출사측에 배치한다는 것은 말할 필요도 없다. 또, 반사형 화소는 화소 전극(105)을, 알루미늄, 크롬, 은 등으로 구성하여 얻어진다. 또한, 화소 전극(105)의 표면에 불록부(또는 요철부)를 설치함으로써 유기 EL층(15)과의 계면이 넓어져 발광 면적이 커지고, 또한, 발광 효율이 향상한다. 또, 캐소드(106)(애노드(105))로 되는 반사막을 투명 전극에 형성하거나, 또는 반사율을 30% 이하로 감소시킬 수 있는 경우는, 원편광판은 불필요하다. 편광 반사가 대폭 감소하기 때문이다. 또한, 광 간섭도 감소시켜 바람직하다.

트랜지스터(11)는 LDD(로우 도핑 드레인) 구조를 채용하는 것이 바람직하다. 또한, 본 명세서에서는 EL 소자로서 유기 EL 소자(OEL, PEL, PLED, OLED 등 다종 다양한 약칭으로 기술된다)(15)를 예로 들어 설명하였지만 이에 한정되지 않고, 무기 EL 소자에도 적용되는 것은 말할 필요도 없다.

우선, 유기 EL 표시 패널에 이용되는 액티브 매트릭스 방식은,

1. 특정한 화소를 선택하여 필요한 표시 정보를 인가시키는 것.
2. 1프레임 기간을 통해 EL 소자에 전류를 흘릴 수 있는 것

이라는 2개의 조건을 만족시켜야 한다.

이 2개의 조건을 만족시키기 위해, 도 62에 도시하는 종래의 유기 EL의 화소 구성에서, 제 1 트랜지스터(11b)는 화소를 선택하기 위한 스위칭용 트랜지스터, 제 2 트랜지스터(11a)는 EL 소자(EL 막)(15)에 전류를 공급하기 위한 구동용 트랜지스터로 한다.

이러한 구성을 이용하여 계조를 표시시키는 경우, 구동용 트랜지스터(11a)의 게이트 전압으로서 계조에 따른 전압을 인가할 필요가 있다. 따라서, 구동용 트랜지스터(11a)의 온 전류의 편차가 그대로 표시에 나타난다.

트랜지스터의 온 전류는, 단결정으로 형성된 트랜지스터이면 대단히 균일하지만, 염가의 유리 기판에 형성할 수 있는 형성 온도가 450도 이하의 저온 폴리실리콘 기술로 형성한 저온 다결정 트랜지스터에서는, 그 임계값의 편차가 ± 0.2 V ~ 0.5V의 범위로 차이가 있다. 그 때문에, 구동용 트랜지스터(11a)를 흐르는 온 전류가 이에 대응하여 편차가 생기고, 표시에 얼룩이 발생한다. 이들 얼룩은, 임계값 전압의 편차뿐만 아니라, 트랜지스터의 이동도(mobility), 게이트 절연막의 두께 등에서도 발생한다. 또한, 트랜지스터(11)의 열화에 의해서도 특성은 변화한다.

이 현상은, 저온 폴리실리콘 기술에 한정되는 것이 아니라, 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술에서도, 고상(CGS) 성장시킨 반도체막을 이용하여 트랜지스터 등을 형성한 것에서도 발생한다. 그 밖에, 유기 트랜지스터에서도 발생한다. 비결정 실리콘 트랜지스터에도 발생한다. 따라서, 이하에 설명하는 본 발명은, 이들 기술에 대응하여 대책이 될 수 있는 구성 또는 방식이다. 또, 본 명세서에서는 저온 폴리실리콘 기술로 형성한 트랜지스터를 주로 하여 설명한다.

따라서, 도 62와 같이, 전압을 기입하는 것에 의해 계조를 표시시키는 방법에서는 균일한 표시를 얻기 위해서 장치의 특성을 엄밀히 제어해야 한다. 그러나, 현재의 저온 다결정 폴리실리콘 트랜지스터 등에서는 이 편차를 소정범위 이내로 억제한다고 하는 스펙(spec)을 만족시킬 수 없다.

본 발명의 EL 표시 장치의 화소 구조는, 구체적으로는 도 1에 도시하는 바와 같이 단위 화소가 최저 4개로 이루어지는 복수의 트랜지스터(11) 및 EL 소자에 의해 형성된다. 화소 전극은 소스 신호선과 겹치도록 구성한다. 즉, 소스 신호선(18)상에 절연막 또는 아크릴 재료로 이루어지는 평탄화막을 형성해 절연시키고, 이 절연막상에 화소 전극(105)을 형성한다. 이와 같이 소스 신호선(18)상의 적어도 1부분에 화소 전극을 중첩시킨 구성을 하이애퍼처(HA) 구조라고 부른다. 불필요한 간섭광 등이 감소하여, 양호한 발광 상태가 기대될 수 있다.

게이트 신호선(제 1 주사선)(17a)을 액티브(온 전압을 인가)로 하는 것에 의해 EL 소자(15)의 구동용 트랜지스터(11a) 및 스위칭용 트랜지스터(11c)를 통해서, 상기 EL 소자(15)에 흘릴 전류치를 소스 드라이버(14)로부터 흘린다. 또한, 게이트 신호선(17a)을 액티브(온 전압을 인가)시킴으로써 트랜지스터(11a)의 게이트와 드레인간을 단락시키도록 트랜지스터(11b)가 도통됨과 동시에, 트랜지스터(11a)의 게이트와 소스 사이에 접속된 콘덴서(캐패시터, 축적 용량, 부가 용량)(19)에 트랜지스터(11a)의 게이트 전압(또는 드레인 전압)이 기억된다(도 3(a) 참조 것). 또, 트랜지스터(11a)의 소스(S)-게이트(G)간 용량(콘덴서)(19)은 0.2pF 이상의 용량으로 하는 것이 바람직하다. 다른 구성으로서, 별도로 콘덴서(19)를 형성하는 구성도 예시된다. 즉, 콘덴서 전극층과 게이트 절연막 및 게이트 금속으로부터 축적 용량을 형성하는 구성이다. 트랜지스터(11c)의 리크(leak)에 의한 휘도 저하를 방지하는 관점, 표시 동작을 안정화시키기 위한 관점에서는 이와 같이 별도 콘덴서를 구성하는 쪽이 바람직하다.

또, 콘덴서(축적 용량)(19)의 크기는, 0.2pF이상 2pF이하로 하는 것이 좋고, 그 중에서도 콘덴서(축적 용량)(19)의 크기는, 0.4pF이상 1.2pF이하로 하는 것이 좋다. 화소 사이즈를 고려하여 콘덴서(19)의 용량을 결정한다. 1화소에 필요한 용량을 C_s (pF)로 하고, 1 화소가 차지하는 면적(개구율이 아니다)을 S_p (평방 μm)라고 하면, $500/S \leq C_s \leq 20000/S$ 로 하고, 더욱 바람직하게는, $1000/S_p \leq C_s \leq 10000/S_p$ 로 되도록 한다. 또, 트랜지스터의 게이트 용량은 작기 때문에, 여기서 말하는 Q는 축적 용량(콘덴서)(19)의 단독 용량이다.

콘덴서(19)는 인접하는 화소간의 비표시 영역에 대체로 형성하는 것이 바람직하다. 일반적으로, 전색(full color) 유기 EL(15)을 작성하는 경우, 유기 EL층(15)을 금속 마스크에 의한 마스크 증착으로 형성하기 때문에 마스크 위치 어긋남에 의한 EL층의 형성 위치가 발생한다. 위치 어긋남이 발생하면 각 색의 유기 EL층(15)(15R, 15G, 15B)이 겹칠 위험성이 있다. 그 때문에, 각 색의 인접하는 화소간의 비표시 영역은 10 μm 이상 이격되어야 한다. 이 부분은 발광에 기여하지 않는 부분이 된다. 따라서, 축적 용량(19)을 이 영역에 형성하는 것은 개구율 향상을 위해 유효한 수단이 된다.

다음에, 게이트 신호선(17a)을 비액티브(오프 전압을 인가)로 하고, 게이트 신호선(17b)을 액티브로 해서, 전류가 흐르는 경로를 상기 제 1 트랜지스터(11a) 및 EL 소자(15)에 접속된 트랜지스터(11d) 및 상기 EL 소자(15)를 포함하는 경로로 전환시켜, 기억한 전류를 상기 EL 소자(15)에 흘리도록 동작한다(도 3(b) 참조).

이 회로는 1 화소내에 4개의 트랜지스터(11)를 갖고, 트랜지스터(11a)의 게이트는 트랜지스터(11b)의 소스에 접속되어 있다. 또한, 트랜지스터(11b) 및 트랜지스터(11c)의 게이트는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b)의 드레인온 트랜지스터(11c)의 소스 및 트랜지스터(11d)의 소스에 접속되고, 트랜지스터(11c)의 드레인온 소스

신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인은 EL 소자(15)의 애노드 전극에 접속되어 있다.

또, 도 1에서 모든 트랜지스터는 P채널로 구성되어 있다. P 채널은 다소 N 채널의 트랜지스터에 비교하여 이동도가 낮지만, 내압이 크고 또 열화도 발생하기 어렵기 때문에 바람직하다. 그러나, 본 발명은 EL 소자 구성을 P채널로 구성하는 것에만 한정되는 것은 아니다. N채널만으로 구성하여도 좋다. 또한, N 채널과 P 채널의 양쪽을 이용하여 구성하여도 좋다.

또, 도 1에서 트랜지스터(11c, 11b)는 동일한 극성으로, 또한 N 채널로 구성하고, 트랜지스터(11a, 11d)는 P 채널로 구성하는 것이 바람직하다. 일반적으로 P 채널 트랜지스터는 N 채널 트랜지스터에 비교하여 신뢰성이 높고, 킥(kink) 전류가 적은 등의 특징이 있어, 전류를 제어함으로써 목적으로 하는 발광 강도를 얻는 EL 소자(15)에 대해서는 트랜지스터(11a)를 P 채널로 하는 것이 효과적이다.

최적으로는 화소를 구성하는 트랜지스터(11)를 전부 P채널로 형성하고, 내장 게이트 드라이버(12)도 P 채널로 형성하는 것이 바람직하다. 이와 같이 어레이를 P 채널만의 트랜지스터로 형성함으로써, 마스크 매수가 5장이 되어, 저비용화, 고양품화를 실현할 수 있다.

이하, 본 발명의 이해를 더욱 쉽게 하기 위해서, 본 발명의 EL 소자 구성에 대하여 도 3을 이용하여 설명한다. 본 발명의 EL 소자 구성은 2개의 타이밍에 의해 제어된다. 제 1 타이밍은 필요한 전류치를 기억시키는 타이밍이다. 이 타이밍에서 트랜지스터(11b) 및 트랜지스터(11c)가 온됨으로써, 등가 회로로서 도 3(a)가 된다. 여기서, 신호선으로부터 소정의 전류 I_w 가 기입된다. 이에 따라 트랜지스터(11a)는 게이트와 드레인이 접속된 상태가 되며, 이 트랜지스터(11a)와 트랜지스터(11c)를 통하여 전류 I_w 가 흐른다. 따라서, 트랜지스터(11a)의 게이트-소스의 전압은 I 이 흐르는 것과 같은 전압이 된다.

제 2 타이밍은 트랜지스터(11a)와 트랜지스터(11c)가 개방되고, 트랜지스터(11d)가 도통하는 타이밍으로서, 그 때의 등가 회로는 도 3(b)가 된다. 트랜지스터(11a)의 소스-게이트간 전압은 유지된 그대로가 된다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에, I_w 의 전류는 일정하게 된다.

이와 같이 동작시키면, 도 5에 도시하는 바와 같이 된다. 즉, 도 5(a)의 51a는 표시 화면(50)에 있어서 임의의 시각에 전류 프로그램되어 있는 화소(행)(기입 화소행)을 나타내고 있다. 이 화소(행)(51a)은, 도 5(b)에 도시하는 바와 같이 비점등(비표시 화소(행))으로 한다. 그 밖의 화소(행)은 표시 화소(행)(53)으로 한다(비화소(53)의 EL 소자(15)에는 전류가 흘러 EL 소자(15)가 발광하고 있다).

도 1의 화소 구성의 경우, 도 3(a)에 도시하는 바와 같이 전류 프로그램시에는 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터(11a)에 흐르고, I_w 를 흘리는 전류가 유지되도록, 콘덴서(19)에 전압설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류가 흐르는 기간은 도 3(b)와 같이, 트랜지스터(11c, 11b)가 오프되어 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되어, 트랜지스터(11b, 11c)가 오프된다. 한편, 게이트 신호선(17b)에 온 전압(V_{gl})이 인가되어, 트랜지스터(11d)가 온된다.

이 타이밍도가 도 4에 도시되어 있다. 또, 도 4등에 있어서, 괄호내의 부호(예를 들면, (1)등)는 화소행의 번호를 나타내고 있다. 즉, 게이트 신호선(17a) (1)이란, 화소행 (1)의 게이트 신호선(17a)을 나타내고 있다. 또한, 도 4의 상단의 * H(「*」에는 임의의 기호, 수치가 들어가며, 수평 주사선의 번호를 나타낸다)는 수평 주사 기간을 나타내고 있다. 즉, 1H는 첫번째의 수평 주사 기간이다. 또, 이상의 사항은 설명을 쉽게 하기 위한 것으로서, 한정적(1H의 번호, 1 H 주기, 화소행번호의 순서등)인 것은 아니다.

도 4에서 알 수 있는 바와 같이, 각 선택된 화소행(선택 기간은 1 H로 한다)에 있어서, 게이트 신호선(17a)에 온 전압이 인가되는 때에는, 게이트 신호선(17b)에는 오프 전압이 인가되어 있다. 또한, 이 기간은 EL 소자(15)에는 전류가 흐르지 않는다(비점등 상태). 선택되지 않은 화소행에 있어서, 게이트 신호선(17a)에 오프 전압이 인가되고, 게이트 신호선(17b)에는 온 전압이 인가되어 있다. 또한, 이 기간은 EL 소자(15)에 전류가 흐른다(점등 상태).

또, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트는 동일한 게이트 신호선(11a)에 접속되어 있다. 그러나, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트를 다른 게이트 신호선(11)에 접속하여도 좋다(도 32 참조). 1 화소의 게이트 신호선은 3개로 된다(도 1의 구성은 2개이다). 트랜지스터(11b)의 게이트의 온/오프 타이밍과 트랜지스터(11c)의 게이트의 온/오프 타이밍을 개별적으로 제어함으로써, 트랜지스터(11a)의 편차에 의한 EL 소자(15)의 전류치 편차를 더욱 감소시킬 수 있다.

게이트 신호선(17a)과 게이트 신호선(17b)을 공통으로 하고, 트랜지스터(11c)와 (11d)를 다른 도전형(N 채널과 P 채널)으로 하면, 구동 회로의 간략화 및 화소의 개구율을 향상시킬 수 있다.

이와 같이 구성하면, 본 발명의 동작 타이밍에서는 신호선으로부터의 기입 경로가 오픈된다. 즉 소정의 전류가 기억될 때에, 전류가 흐르는 경로에 분기가 있으면 정확한 전류치가 트랜지스터(11a)의 소스(S)-게이트(G)간 용량(콘덴서)에 기억되지 않는다. 트랜지스터(11c)와 트랜지스터(11d)를 다른 도전 형태로 함으로써, 서로의 임계값을 제어함에 따라 주사선의 전환 타이밍에서 반드시 트랜지스터(11c)가 오픈한 후에 트랜지스터(11d)가 온되는 것이 가능하게 된다.

단지, 이 경우 서로의 임계값을 정확히 제어해야 하기 때문에 프로세스의 주의가 필요하다. 또, 이상 언급한 회로는 최저 4개의 트랜지스터로 실현 가능하지만, 보다 정확한 타이밍의 제어 또는 후술하는 바와 같이, 미러 효과 감소를 위해 트랜지스터(11e)를 도 2에 도시하는 바와 같이 캐스캐이드 접속하여 트랜지스터의 총수가 4 이상으로 되어도 동작 원리는 동일하다. 이와 같이 트랜지스터(11e)를 부가한 구성으로 하는 것에 의해, 트랜지스터(11c)를 거쳐서 프로그램한 전류가 보다 정밀도 좋게 EL 소자(15)에 흐를 수 있게 된다.

트랜지스터(11a)의 특성의 편차는 트랜지스터 사이즈에 상관이 있다. 특성편차를 작게 하기 위해서, 제 1 트랜지스터(11a)의 채널 길이를 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 제 1 트랜지스터(11a)의 채널 길이를 $10\mu\text{m}$ 이상 $50\mu\text{m}$ 이하로 하는 것이 바람직하다. 이것은 채널 길이 L을 길게한 경우 채널에 포함되는 입계가 증가함에 의해 전계가 완화되어 킥 효과는 낮게 억제되기 때문으로 생각된다.

또한, 화소를 구성하는 트랜지스터(11)가, 레이저 재결정화 방법(레이저 어닐)에 의해 형성된 폴리실리콘 트랜지스터로 형성되고, 모든 트랜지스터에 있어서의 채널의 방향이 레이저 조사 방향에 대해 동일한 방향인 것이 바람직하다. 또한, 레이저는 동일 개소를 2회 이상 스캔하여 반도체막을 형성하는 것이 바람직하다.

본 특허의 발명의 목적은 트랜지스터 특성의 편차가 표시에 영향을 주지 않는 회로 구성을 제안하는 것이고, 그 때문에 4개 트랜지스터 이상이 필요하다. 이들 트랜지스터 특성에 의해 회로 정수를 결정하는 경우, 4개 트랜지스터의 특성이 갖추어지지 않으면, 적절한 회로 정수를 구하기 어렵다. 레이저 조사의 장축 방향에 대하여, 채널 방향이 수평인 경우와 수직인 경우에는, 트랜지스터 특성의 임계값과 이동도(mobility)가 다르게 형성된다. 또, 어느쪽의 경우에도 편차의 정도는 동일하다. 수평 방향과 수직 방향에서는 이동도(mobility), 임계값의 평균치가 다르다. 따라서, 화소를 구성하는 모든 트랜지스터의 채널 방향은 동일한 쪽이 바람직하다.

또한, 축적 용량(19)의 용량값을 C_s , 제 2 트랜지스터(11b)의 오프 전류치를 I_{off} 로 한 경우, 다음식을 만족시키는 것이 바람직하다.

$$3 < C_s/I_{\text{off}} < 24$$

더욱 바람직하게는 다음식을 만족시키는 것이 바람직하다.

$$6 < C_s/I_{\text{off}} < 18$$

트랜지스터(11b)의 오프 전류를 5pA 이하로 하는 것에 의해, EL에 흐르는 전류치의 변화를 2% 이하로 억제하는 것이 가능하다. 이것은 리크 전류가 증가하면, 전압 비기입 상태에 있어서 게이트-소스간(콘덴서 양단)에 축적된 전하를 1 필드간 유지할 수 없기 때문이다. 따라서, 콘덴서(19)의 축적 용량이 크면 오프 전류의 허용량도 커진다. 상기 식을 만족시킴에 따라 인접 화소간의 전류치의 변동을 2% 이하로 억제할 수 있다.

또한, 액티브 매트릭스를 구성하는 트랜지스터가 p채널 폴리실리콘 박막 트랜지스터로 구성되며, 트랜지스터(11b)가 듀얼 게이트 이상인 멀티게이트 구조로 하는 것이 바람직하다. 트랜지스터(11b)는 트랜지스터(11a)의 소스-드레인간의 스위치로서 작용하기 때문에, 될 수 있는 한 온/오프비가 높은 특성이 요구된다. 트랜지스터(11b)의 게이트의 구조를 듀얼 게이트 구조 이상의 멀티게이트 구조로 하는 것에 의해 온/오프비가 높은 특성을 실현할 수 있다.

화소(16)의 트랜지스터(11)를 구성하는 반도체막은, 저온 폴리실리콘 기술에 있어서, 레이저 어닐에 의해 형성하는 것이 일반적이다. 이 레이저 어닐의 조건의 편차가 트랜지스터(11) 특성의 편차로 된다. 그러나, 1 화소(16)내의 트랜지스터(11)의 특성이 일치하면, 도 1 등의 전류 프로그램을 행하는 방식에서는, 소정의 전류가 EL 소자(15)에 흐르도록 구동할 수 있다. 이 점은, 전압 프로그램에는 없는 이점이다. 레이저로는 엑시머 레이저를 이용하는 것이 바람직하다.

또, 본 발명에 있어서, 반도체막의 형성은 레이저 어닐 방법에 한정되지 않고, 열어닐 방법, 고상(CGS) 성장에 의한 방법이어도 좋다. 그 밖에, 저온 폴리실리콘 기술에 한정되는 것은 아니고, 고온 폴리실리콘 기술을 이용하여도 좋은

것은 말할 필요도 없다.

이러한 과제에 대하여, 본 발명에서는 도 7에 도시하는 바와 같이 어닐시의 레이저 조사 스폿(레이저 조사 범위)(72)을 소스 신호선(18)에 평행하게 조사한다. 또한, 1 화소열에 일치하도록 레이저 조사 스폿(72)을 이동시킨다. 물론, 1 화소열에 한정되지 않고, 예를 들면, 도 72의 R, G, B를 1 화소(16)라는 단위로 레이저를 조사하더라도 좋다(이 경우는, 3 화소열이라는 것으로 된다). 또한, 복수의 화소에 동시에 조사하여도 좋다. 또한, 레이저의 조사 범위의 이동이 오버랩하여도 되는 것은 말할 필요도 없다(통상, 이동하는 레이저광의 조사 범위는 오버랩하는 것이 보통이다).

화소는 R, G, B의 3 화소로 정방형의 형상이 되도록 제작되어 있다. 따라서, R, G, B의 각 화소는 세로길이의 화소 형상이 된다. 따라서, 레이저 조사 스폿(72)을 세로길이를 하여 어닐함으로써, 1 화소내에서는 트랜지스터(11)의 특성 편차가 발생하지 않도록 할 수 있다. 또한, 하나의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성(이동도, V_t , S 값 등)을 균일하게 할 수 있다(즉, 인접한 소스 신호선(18)의 트랜지스터(11)와는 특성이 다른 경우가 있지만, 하나의 소스 신호선에 접속된 트랜지스터(11)의 특성은 대략 같게 할 수 있다).

일반적으로, 레이저 조사 스폿(72)의 길이는 10인치라는 고정값이다. 이 레이저 조사 스폿(72)을 이동시키는 것이므로, 하나의 레이저 조사 스폿(72)을 이동시킬 수 있는 범위내에 놓이도록 패널을 배치할 필요가 있다(즉, 패널의 표시 영역(50) 중앙부에서 레이저 조사 스폿(72)이 겹치지 않도록 한다).

도 7의 구성에서는, 레이저 조사 스폿(72)의 길이의 범위내에 3개의 패널이 세로로 배치되도록 형성되어 있다. 레이저 조사 스폿(72)을 조사하는 어닐 장치는 유리 기판(74)의 위치 결정 마커(73a, 73b)를 인식(패턴 인식에 의한 자동 위치 결정)하여 레이저 조사 스폿(72)을 이동시킨다. 위치 결정 마커(73)의 인식은 패턴 인식 장치로 행한다. 어닐 장치(도시하지 않음)는 위치 결정 마커(73)를 인식하여, 화소열의 위치를 산출한다(레이저 조사 범위(72)가 소스 신호선(18)과 평행하게 되도록 한다). 화소열 위치에 겹치도록 레이저 조사 스폿(72)을 조사하여 어닐을 순차적으로 행한다.

도 7에서 설명한 레이저 어닐 방법(소스 신호선(18)에 평행하게 라인 형상의 레이저 스폿을 조사하는 방식)은 유기 EL 표시 패널의 전류 프로그램 방식의 경우에 채용하는 것이 특히 바람직하다. 왜냐하면, 소스 신호선에 평행 방향으로 트랜지스터(11)의 특성이 일치하고 있기 때문이다(세로 방향으로 인접한 화소 트랜지스터의 특성이 근사하고 있다). 그 때문에, 전류 구동시에 소스 신호선의 전압 레벨의 변화가 적어, 전류 기입 부족이 발생하기 어렵다.

예를 들면, 백 래스터 표시이면, 인접한 각 화소의 트랜지스터(11a)에 흐르는 전류는 거의 동일하기 때문에, 소스 드라이버 IC(14)로부터 출력되는 전류 진폭의 변화가 적다. 만약 도 1의 트랜지스터(11a)의 특성이 동일하고, 각 화소에 전류 프로그램하는 전류치가 화소열에서 같은 것이면, 전류 프로그램시 소스 신호선(18)의 전위는 일정하다. 따라서, 소스 신호선(18)의 전위 변동은 발생하지 않는다. 하나의 소스 신호선(18)에 접속된 트랜지스터(11a)의 특성이 대략 동일하면, 소스 신호선(18)의 전위 변동은 작게 된다. 이것은, 도 38 등의 다른 전류 프로그램 방식의 화소 구성에서도 동일하다(즉, 도 7의 제조 방법을 적용하는 것이 바람직하다).

또한, 도 27, 도 30 등으로 설명하는 복수의 화소행을 동시 기입하는 방식으로 균일한 화상 표시(주로 트랜지스터 특성의 편차에 기인하는 표시 얼룩이 발생하기 어렵기 때문임)를 실현할 수 있다. 도 27 등은 복수 화소행을 동시에 선택하기 때문에, 인접한 화소행의 트랜지스터가 균일하면, 세로 방향의 트랜지스터 특성 얼룩은 드라이버(14)에 의해 흡수할 수 있다.

또, 도 7에서 소스 드라이버(14)는 IC 칩을 적재하도록 도시하고 있지만, 이에 한정되지 않고, 소스 드라이버(14)를 화소(16)와 동일 프로세스로 형성하여도 되는 말할 필요도 없다.

본 발명에서는 특히 구동용 트랜지스터(11b)의 임계 전압 V_{th2} 이 화소내에서 대응하는 구동용 트랜지스터(11a)의 임계 전압 V_{th1} 보다 낮게 되지 않도록 설정하고 있다. 예컨대, 트랜지스터(11b)의 게이트 길이 L_2 를 트랜지스터(11a)의 게이트길이 L_1 보다도 길게 하여, 이들의 박막 트랜지스터의 프로세스 파라미터가 변동하더라도, V_{th2} 가 V_{th1} 보다도 낮게 되지 않도록 한다. 이에 따라, 미소한 전류 리크를 억제하는 것이 가능하다.

또, 이상의 사항은 도 38에 도시하는 커런트 미러의 화소 구성에도 적용할 수 있다. 도 38에서는, 신호 전류가 흐르는 구동용 트랜지스터(11a), EL 소자(15)등으로 이루어지는 발광 소자에 흐르는 구동 전류를 제어하는 구동용 트랜지스터(11b) 외에, 게이트 신호선(17a1)의 제어에 의해 화소 회로와 데이터선 data를 접속 또는 차단시키는 취입용 트랜지스터(11c), 게이트 신호선(17a2)의 제어에 의해 기입 기간 동안에 트랜지스터(11a)의 게이트-드레인을 단락시키는 스위치용 트랜지스터(11d), 트랜지스터(11a)의 게이트-소스간 전압을 기록 종료 후에도 유지하기 위한 용량 C19 및 발광 소자로서의 EL 소자(15) 등으로 구성된다.

도 38에서 트랜지스터(11c, 11d)는 N 채널 트랜지스터, 그 밖의 트랜지스터는 P 채널 트랜지스터로 구성되어 있지만

, 이것은 일레이며 반드시 이와 같을 필요는 없다. 용량 Cs는 그 한쪽 단자가 트랜지스터(11a)의 게이트에 접속되고, 다른쪽 단자는 Vdd(전원 전위)에 접속되어 있지만, Vdd에 한하지 않고 임의의 일정 전위라도 좋다. EL 소자(15)의 캐소드(음극)는 접지 전위에 접속되어 있다.

다음으로, 본 발명의 EL 표시 패널 또는 EL 표시 장치에 대하여 설명한다. 도 6은 EL 표시 장치의 회로를 중심으로 한 설명도이다. 화소(16)가 매트릭스 형상으로 배치 또는 형성되어 있다. 각 화소(16)에는 각 화소의 전류 프로그램을 행하는 전류를 출력하는 소스 드라이버(14)가 접속되어 있다. 소스 드라이버(14)의 출력단은 영상 신호의 비트 수에 대응한 커런트 미러 회로가 형성되어 있다(나중에 설명한다). 예를 들어, 64계조이면 63개의 커런트 미러 회로가 각 소스 신호선에 형성되고, 이들 커런트 미러 회로의 개수를 선택함으로써 소망하는 전류를 소스 신호선(18)에 인가할 수 있도록 구성되어 있다.

또, 하나의 커런트 미러 회로의 최소 출력 전류는 10nA이상 50nA로 하고 있다. 특히 커런트 미러 회로의 최소 출력 전류는 15nA이상 35nA로 하는 것이 좋다. 드라이버 IC(14)내의 커런트 미러 회로를 구성하는 트랜지스터의 정밀도를 확보하기 위해서이다.

또한, 소스 신호선(18)의 전하를 강제로 방출 또는 충전시키는 프리차지 또는 디스차지 회로를 내장한다. 소스 신호선(18)의 전하를 강제로 방출 또는 충전시키는 프리차지 또는 디스차지 회로의 전압(전류) 출력값은, R, G, B에서 독립적으로 설정할 수 있도록 구성하는 것이 바람직하다. EL 소자(15)의 임계값이 R, G, B에서 다르기 때문이다.

유기 EL 소자는 큰 온도 의존성 특성(온도특성)이 있는 것으로 알려져 있다. 이 온도 특성에 의해 발광 휘도 변화를 조정하기 때문에, 커런트 미러 회로에 출력 전류를 변화시키는 서미스터(thermistor) 또는 포지스터(posistor) 등의 비직선 소자를 부가하여, 온도 특성에 의한 변화를 상기 더미스터 등으로 조정하는 것에 의해 아날로그적으로 기준 전류를 작성한다.

본 발명에 있어서, 소스 드라이버(14)는 반도체 실리콘 칩으로 형성하여, 글래스-온-칩(COG) 기술로 기판(71)의 소스 신호선(18)의 단자와 접속하고 있다. 소스 신호선(18) 등의 신호선의 배선은 크롬, 동, 알루미늄, 은 등의 금속 배선이 이용된다. 가는 배선폭으로 저저항의 배선을 얻을 수 있기 때문이다. 배선은 화소가 반사형인 경우는 화소의 반사막을 구성하는 재료에 의해 반사막과 동시에 형성 하는 것이 바람직하다. 공정이 간략해질 수 있기 때문이다.

소스 드라이버(14)의 실장은, COG 기술에 한정되는 것은 아니고, 칩-온-필름(COF) 기술로 전술한 소스 드라이버 IC(14) 등을 적재하여, 표시 패널의 신호선과 접속한 구성으로 해도 좋다. 또한, 드라이브 IC는 전원 IC(82)를 별도 제작하여, 3 칩 구성으로 해도 좋다.

한편, 게이트 드라이버(12)는 저온 폴리실리콘 기술로 형성하고 있다. 즉, 화소의 트랜지스터와 동일한 프로세스로 형성하고 있다. 이것은, 소스 드라이버(14)에 비교해서 내부의 구조가 용이하고, 동작 주파수도 낮기 때문이다. 따라서, 저온 폴리실리콘 기술로 형성하여도 용이하게 형성할 수 있고, 또, 프레임의 협박화를 실현할 수 있다. 물론, 게이트 드라이버(12)를 실리콘 칩으로 형성하고, COG 기술 등을 이용해 기판(71)상에 실장하여도 됨은 말할 필요도 없다. 또한, 화소 트랜지스터 등의 스위칭 소자, 게이트 드라이버 등은 고온 폴리실리콘 기술로 형성하여도 좋고, 유기 재료로 형성(유기 트랜지스터)하여도 좋다.

게이트 드라이버(12)는 게이트 신호선(17a)용 시프트 레지스터 회로(61a)와, 게이트 신호선(17b)용 시프트 레지스터 회로(61b)를 내장한다. 각 시프트 레지스터 회로(61)는 정위상과 부위상의 클럭 신호(CLKxP, CLKxN), 개시 펄스(STx)에 의해 제어된다. 그 밖에, 게이트 신호선의 출력, 비출력을 제어하는 인에이블(ENABL) 신호, 시프트 방향을 상하 역전시키는 업/다운(UPDWM) 신호를 부가하는 것이 바람직하다. 그 밖에, 개시 펄스가 시프트 레지스터에서 시프트되어, 그리고 출력되고 있는 것을 확인하는 출력 단자 등을 마련하는 것이 바람직하다. 또, 시프트 레지스터의 시프트 타이밍은 콘트롤 IC(81)로부터의 제어 신호로 제어된다. 또한, 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로를 내장한다. 또한, 검사 회로를 내장한다.

시프트 레지스터 회로(61)의 버퍼 용량은 작기 때문에, 직접 게이트 신호선(17)을 구동할 수 없다. 그 때문에, 시프트 레지스터 회로(61)의 출력과 게이트 신호선(17)을 구동하는 출력 게이트(63) 사이에는 적어도 2개 이상의 인버터 회로(62)가 형성되어 있다.

소스 드라이버(14)를 저온 폴리실리콘 등의 폴리실리콘 기술로 기판(71)상에 직접 형성하는 경우도 마찬가지이며, 소스 신호선(18)을 구동하는 전송 게이트 등의 아날로그 스위치의 게이트와 소스 드라이버(14)의 시프트 레지스터 사이에는 복수의 인버터 회로가 형성된다. 이하의 사항(시프트 레지스터의 출력과, 신호선을 구동하는 출력단(출력 게이트 또는 전송 게이트 등의 출력단) 사이에 배치되는 인버터 회로에 관한 사항)은 소스 드라이브 및 게이트 드라이브 회로에 공통 사항이다.

예를 들면, 도 6에서는 소스 드라이버(14)의 출력이 직접 소스 신호선(18)에 접속되어 있는 것으로 도시했지만, 실제로는 소스 드라이버의 시프트 레지스터의 출력은 다단의 인버터 회로가 접속되고, 인버터의 출력이 전송 게이트 등의 아날로그 스위치의 게이트에 접속되어 있다.

인버터 회로(62)는 P 채널의 MOS 트랜지스터와 N 채널의 MOS 트랜지스터로 구성된다. 앞서도 설명한 바와 같이 게이트 드라이버(12)의 시프트 레지스터 회로(61)의 출력단에는 인버터 회로(62)가 다단으로 접속되어 있고, 그 최종 출력이 출력 게이트 회로(63)에 접속되어 있다. 또, 인버터 회로(62)는 P 채널만으로 구성하여도 좋다. 단지, 이 경우는 인버터가 아니라 단순한 게이트 회로로서 구성하여도 좋다.

도 8은 본 발명의 표시 장치의 신호, 전압의 공급의 구성도 또는 표시 장치의 구성도이다. 콘트롤 IC(81)로부터 소스 드라이버(14a)에 공급되는 신호(전원 배선, 데이터 배선 등)는 플렉서블 기판(84)을 거쳐 공급된다.

도 8에서는 게이트 드라이버(12)의 제어 신호가 콘트롤 IC에서 발생되어, 소스 드라이버(14)에서 레벨 시프트를 행한 뒤, 게이트 드라이버(12)에 인가되고 있다. 소스 드라이버(14)의 구동 전압은 4~8(V)이므로, 콘트롤 IC(81)로부터 출력된 3.3(V) 진폭의 제어 신호를, 게이트 드라이버(12)가 받아들일 수 있는 5(V) 진폭으로 변환할 수 있다.

소스 드라이버(14)내에는 화상 메모리가 구비되는 것이 바람직하다. 화상 메모리의 화상 데이터는 오차 확산 처리 또는 데이터 처리를 행한 후의 데이터를 메모리하여도 좋다. 오차 확산 처리, 디터 처리 등을 하는 것에 의해, 26만색 표시 데이터를 4096색 등으로 변환할 수 있고, 화상 메모리의 용량을 작게 할 수 있다. 오차 확산 처리 등은 오차 확산 콘트롤러(81)로 실행할 수 있다. 또한, 디터 처리를 행한 후, 또 오차 확산 처리를 하여도 좋다. 이상의 사항은, 역오차 확산 처리에도 적용된다.

또, 도 8 등에 있어서 14를 소스 드라이버로 기재했지만, 단순한 드라이버뿐 만 아니라, 전원 회로, 버퍼 회로(시프트 레지스터 등의 회로를 포함), 데이터 변환 회로, 래치 회로, 커맨드 디코더, 시프트 회로, 어드레스 변환 회로, 화상 메모리 등을 내장시켜도 좋다. 또, 도 8 등으로 설명하는 구성에 있어서도, 도 9 등으로 설명하는 3변 프리 구성 또는 구성, 구동 방식 등을 적용할 수 있음은 말할 것도 없다.

표시 패널을 휴대 전화 등의 전자 표시 기기에 사용하는 경우, 소스 드라이버 IC(회로)(14), 게이트 드라이버 IC(회로)(12)를 도 9에 도시하는 바와 같이 표시 패널의 한변에 실장(형성)하는 것이 바람직하다(또, 이와 같이 한변에 드라이버 IC(회로)를 실장(형성)하는 형태를 3변 프리 구성(구조)이라고 부른다. 종래에는, 표시 영역의 X변에 게이트 드라이버 IC(12)가 실장되고, Y변에 소스 드라이버 IC(14)가 실장되어 있었다). 화면(50)의 중심선이 표시 장치의 중심이 되도록 설계하기 쉽고, 또한, 드라이버 IC의 실장도 용이해지기 때문이다. 또, 게이트 드라이버를 고온 폴리실리콘 또는 저온 폴리실리콘 기술 등으로 3변 프리의 구성으로 제작하여도 좋다(즉, 도 9의 소스 드라이버(14)와 게이트 드라이버(12)중 적어도 한쪽을 폴리실리콘 기술로 기판(71)에 직접 형성한다).

또, 3변 프리 구성이란 기판(71)에 직접 IC를 적재 또는 형성한 구성뿐만 아니라, 소스 드라이버 IC(회로)(14), 게이트 드라이버 IC(회로)(12) 등을 붙인 필름(TCP, TAB 기술 등)을 기판(71)의 1변(또는 거의 1변)에 장착한 구성도 포함한다. 즉, 2변에 IC가 실장 또는 붙여져 있지 않은 구성, 배치 또는 그에 유사하는 전부를 의미한다.

도 9와 같이 게이트 드라이버(12)를 소스 드라이버(14)의 옆에 배치하면, 게이트 신호선(17)은 변C를 따라 형성해야 한다.

또, 도 9 등에 있어서 굵은 실선으로 도시한 개소는 게이트 신호선(17)이 병렬로 형성된 개소를 나타내고 있다. 따라서, b의 부분(화면 하부)은 주사 신호선의 개수만큼의 게이트 신호선(17)이 병렬 형성되고, a의 부분(화면 상부)은 게이트 신호선(17)이 1개 형성되어 있다.

C변에 형성하는 게이트 신호선(17)의 피치는 $5\mu\text{m}$ 이상 $12\mu\text{m}$ 이하로 한다. $5\mu\text{m}$ 미만에서는 인접 게이트 신호선에 기생 용량의 영향에 의해 노이즈가 발생한다. 실험에 의하면 $7\mu\text{m}$ 이하에서 기생 용량의 영향이 현저히 발생한다. 또한 $5\mu\text{m}$ 미만에서는 표시 화면에 비트 형상 등의 화상 노이즈가 심하게 발생한다. 특히 노이즈의 발생은 화면의 좌우에서 다르고, 이 비트 형상 등의 화상 노이즈를 감소시키는 것은 곤란하다. 또한, $12\mu\text{m}$ 를 넘으면 표시 패널의 프레임폭 D가 지나치게 커져 실용적이지 않다.

전술한 화상 노이즈를 감소시키기 위해서는, 게이트 신호선(17)을 형성한 부분의 하층 또는 상층에, 그랜트 패턴(일정 전압에 전압 고정 또는 전체로서 안정한 전위로 설정되어 있는 도전 패턴)을 배치함으로써 감소시킬 수 있다. 또한, 별도 마련된 쉴드판(쉴드박(일정 전압에 전압 고정 또는 전체로서 안정한 전위로 설정되어 있는 도전 패턴))을 게이트 신호선(17)상에 배치하면 좋다.

도 9에서 C변의 게이트 신호선(17)은 ITO 전극으로 형성하여도 좋지만, 저저항화를 위해, ITO와 금속 박막을 적층하

여 형성하는 것이 바람직하다. 또한, 금속 막으로 형성하는 것이 바람직하다. ITO와 적층하는 경우는, ITO상에 티타늄막을 형성하고, 그 위에 알루미늄 또는 알루미늄과 몰리브덴의 합금 박막을 형성한다. 또는 ITO상에 크롬막을 형성한다. 금속막의 경우는, 알루미늄 박막, 크롬 박막으로 형성한다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

또, 도 9 등에 있어서, 게이트 신호선(17) 등은 표시 영역의 한쪽에 배치한다고 했지만 이에 한정되지 않고 양쪽에 배치하여도 좋다. 예를 들면, 게이트 신호선(17a)을 표시 영역(50)의 우측에 배치(형성)하고, 게이트 신호선(17b)을 표시 영역(50)의 좌측에 배치(형성)하여도 좋다. 이상의 사항은 다른 실시예에서도 마찬가지이다.

또한, 소스 드라이버 IC(14)와 게이트 드라이버 IC(12)를 1칩화하여도 좋다. 1칩화하면, 표시 패널에의 IC칩의 실장이 1개로 완성된다. 따라서, 실장 비용도 감소시킬 수 있다. 또한, 1칩 드라이버 IC내에서 사용되는 각종 전압도 동시에 발생할 수 있다.

또, 소스 드라이버 IC(14), 게이트 드라이버 IC(12)는 실리콘 등의 반도체 웨이퍼로 제작하여, 표시 패널에 실장한다고 했지만 이에 한정되는 것은 아니고, 저온 폴리실리콘 기술, 고온 폴리실리콘 기술에 의해 표시 패널(82)에 직접 형성하여도 되는 것은 말할 필요도 없다.

도 1 등에 도시한 구성에서는 EL 소자(15)의 트랜지스터(11a)를 거쳐서 Vdd 전위에 접속되어 있다. 그러나, 각 색을 구성하는 유기 EL의 구동 전압이 다르다는 문제가 있다. 예를 들면, 단위 평방 센티미터당 0.01(A)의 전류를 흘린 경우, 블루(B)에서는 EL 소자의 단자 전압은 5(V)이지만, 그린(G) 및 레드(R)에서는 9(V)이다. 즉, 단자 전압이 B와 G, R에서 다르다. 따라서, B와 G, R에서는 유지하는 트랜지스터(11a)의 소스-드레인 전압(SD 전압)이 다르다. 그 때문에, 각 색에서 트랜지스터의 소스-드레인 전압(SD 전압)간 오프리크 전류가 달라지게 된다. 오프리크 전류가 발생하고, 또 오프리크 특성이 각 색에서 상이하면, 색 밸런스의 어긋난 상태에서 플리커가 발생하며, 발광색에 상관하여 감마 특성이 어긋난다고 하는 복잡한 표시 상태를 나타낸다.

이러한 과제에 대응하기 위해서, 적어도 R, G, B 색중 하나의 캐소드 전극의 전위를 다른 색의 캐소드 전극의 전위와 달라지도록 구성하고 있다. 또는 R, G, B 색중 하나의 Vdd의 전위를 다른 색의 Vdd의 전위와 달라지도록 구성하고 있다.

R, G, B의 EL 소자(15)의 단자 전압은 가능한한 일치시키는 것이 바람직함은 말할 필요도 없다. 적어도, 백피크 휘도를 표시하고 있고, 색온도(color temperature)가 7000K 이상 12000K 이하인 범위에서, R, G, B의 EL 소자의 단자 전압은 10(V) 이하가 되도록 재료 또는 구조 선택을 해야 한다. 또한, R, G, B중 EL 소자의 최대 단자 전압과 최소 단자 전압과의 차는 2.5(V) 이내로 할 필요가 있다. 더욱 바람직하게는 1.5(V) 이하로 할 필요가 있다. 또, 이상의 실시예에서는, 색을 R, G, B로 했지만 이에 한정되는 것은 아니다. 이것은 나중에 설명한다.

또, 화소는, R, G, B의 3원색으로 했지만 이에 한정되지 않고, 시안(cyan), 옐로우(yellow), 마젠타(magenta)의 3색이어도 좋다. 또한, B와 옐로우의 2색이어도 좋다. 물론, 단색이어도 좋다. 또한, R, G, B, 시안, 옐로우, 마젠타의 6색이어도 좋다. R, G, B, 시안, 마젠타의 5색이라도 좋다. 이들은 자연색으로서 색 재현 범위가 확대되어 양호한 표시를 실현할 수 있다. 기타, R, G, B, 백의 4색이라도 좋다. R, G, B, 시안, 옐로우, 마젠타, 흑, 백의 7색이라도 좋고, 또, 백색 발광의 화소를 표시 영역(50) 전체에 형성(제작)하고, R, G, B 등의 컬러 필터로 3원색 표시로 해도 좋다. 이 경우는, EL 층에 각 색의 발광 재료를 적층하여 형성하면 좋다. 또한, 1 화소를 B 및 옐로우와 같이 나누어 컬러화하여도 좋다. 이상과 같이 본 발명의 EL 표시 장치는, R, G, B의 3원색으로 컬러 표시를 행하는 것에 한정되는 것은 아니다.

유기 EL 표시 패널의 컬러화에는 주로 세가지 방식이 있고, 색 변환 방식은 이중 하나이다. 발광층으로서 청색만의 단층을 형성하면 좋고, 풀컬러화에 필요한 나머지의 녹색과 적색은 청색광으로부터 색 변환에 의해 만들어낸다. 따라서, R, G, B의 각 층을 나누어 컬러화할 필요가 없어, R, G, B의 각 색의 유기 EL 재료를 갖출 필요가 없다고 하는 이점이 있다. 색변환 방식은 나누어 컬러화하는 방식 쪽은 양품율의 저하가 없다. 본 발명의 EL 표시 패널 등은 이중 어느쪽의 방식에서도 적용된다.

또한, 3원색 외에 백색 발광의 화소를 형성하여도 좋다. 백색 발광의 화소는 R, G, B 발광의 구조를 적층하는 것의 의해 제작(형성 또는 구성)함으로써 실현할 수 있다. 1조의 화소는, R, G, B의 3원색과, 백색 발광의 화소(16W)로 이루어진다. 백색 발광의 화소를 형성함으로써, 백색의 피크 휘도를 표현하기 쉽게 된다. 따라서, 밝은 느낌이 있는 화상 표시를 실현할 수 있다.

R, G, B 등의 3원색을 1조의 화소로 한 경우에도 각 색의 화소 전극의 면적은 다르게 하는 것이 바람직하다. 물론, 각 색의 발광 효율이 잘 밸런스되고, 색순도(colormetric purity)도 잘 밸런스되면, 동일 면적이라도 괜찮다. 그러나, 하나 또는 복수 색의 밸런스가 나쁘면, 화소 전극(발광 면적)을 조정하는 것이 바람직하다. 각 색의 전극 면적은 전류 밀도를 기준으로 결정하면 좋다. 즉, 색온도가 7000K(켈빈) 이상 12000K 이하의 범위에서, 화이트 밸런스를 조정할 경

우, 각 색의 전류 밀도의 차가 $\pm 30\%$ 이내가 되도록 한다. 더욱 바람직하게는 $\pm 15\%$ 이내가 되도록 한다. 예를 들면, 전류 밀도가 100A/평방미터라고 하면, 3원색이 모두 70 A/평방미터 이상 130 A/평방미터 이하가 되도록 한다. 더욱 바람직하게는, 3원색이 모두 85 A/평방미터 이상 115 A/평방미터 이하가 되도록 한다.

유기 EL(15)은 자기발광 소자이다. 이 발광에 의한 빛이 스위칭 소자로서의 트랜지스터에 입사하면 포토컨덕터 현상(포트콘)이 발생한다. 포토콘이란, 광여기에 의해 트랜지스터 등의 스위칭 소자의 오프시에 리크(오프 리크)가 증대하는 현상을 말한다.

이러한 과제에 대처하기 위해서, 본 발명에서는 게이트 드라이버(12)(경우에 따라서는 소스 드라이버(14)) 하층, 화소 트랜지스터(11) 하층의 차광막을 형성하고 있다. 차광막은 크롬 등의 금속 박막으로 형성하고, 그 막두께는 50nm 이상 150nm 이하로 한다. 막두께가 얇으면 차광 효과가 부족하고, 두꺼우면 요철이 발생하여 상층의 트랜지스터(11A1)의 패터닝이 곤란하게 된다.

차광막상에 20이상 100nm 이하의 무기 재료로 이루어지는 평활화막을 형성한다. 이 차광막의 층을 이용하여 축적 용량(19)의 한쪽 전극을 형성하여도 좋다. 이 경우, 평활막은 매우 얇게 제작하여 축적 용량의 용량값을 크게 하는 것이 바람직하다. 또한, 차광막을 알루미늄으로 형성하고, 양극 산화 기술을 이용하여 산화 실리콘막을 차광막의 표면에 형성하며, 이 산화 실리콘막을 축적 용량(19)의 유전체막으로서 이용하여도 좋다. 평활화막상에는 하이애퍼처(HA) 구조의 화소 전극이 형성된다.

드라이버(12) 등은 이면뿐만 아니라, 표면으로부터의 광 진입도 억제해야 한다. 포토콘의 영향에 의해 오동작 하기 때문이다. 따라서, 본 발명에서는, 캐소드 전극이 금속막인 경우는 드라이버(12) 등의 표면에도 캐소드 전극을 형성하고, 이 전극을 차광막으로 이용하고 있다.

그러나, 드라이버(12)의 위에 캐소드 전극을 형성하면, 이 캐소드 전극으로부터의 전계에 의한 드라이버의 오동작 또는 캐소드 전극과 드라이버의 전기적 접촉이 발생할 가능성이 있다. 이러한 과제에 대처하기 위해서, 본 발명에서는 드라이버(12) 등의 위에 적어도 1층, 바람직하게는 복수층의 유기 EL막을 화소 전극상의 유기 EL막 형성과 동시에 형성한다.

기본적으로 유기 EL막은 절연물이므로, 드라이버상에 유기 EL막을 형성함으로써, 캐소드와 드라이버간이 격리된다. 따라서, 전술한 과제를 해소할 수 있다.

화소의 하나 이상의 트랜지스터(11)의 단자간 또는 트랜지스터(11)와 신호선이 단락되면, EL 소자(15)가 항상 점등하는 휘점(spot)으로 되는 경우가 있다. 이 휘점은 시각적으로 눈에 띄기 때문에 흑점화(비점등)시켜야 한다. 휘점에 대해서는 해당 화소(16)를 검출하고, 콘덴서(19)에 레이저 광을 조사하여 콘덴서의 단자간을 단락시킨다. 따라서, 콘덴서(19)에는 전하가 유지될 수 없게 되기 때문에, 트랜지스터(11a)는 전류를 흘리지 않게 할 수 있다.

또, 레이저 광을 조사하는 위치에 대응하는 캐소드 막을 제거해 놓는 것이 바람직하다. 레이저 조사에 의해, 콘덴서(19)의 단자 전극과 캐소드 막이 쇼트(short)되는 것을 방지하기 위해서이다.

화소(16)의 트랜지스터(11)의 결함은, 드라이버 IC(14)등에도 영향을 준다. 예컨대, 도 56에서 구동용 트랜지스터(11a)에 소스-드레인(SD) 쇼트(562)가 발생하고 있으면, 패널의 Vdd 전압이 소스 드라이버 IC(14)에 인가된다. 따라서, 소스 드라이버 IC(14)의 전원 전압은 패널의 전원 전압 Vdd와 동일하던지 또는 높게 해 놓는 것이 바람직하다. 또, 소스 드라이버 IC에서 사용하는 기준 전류는 전자 볼륨(561)으로 조절할 수 있도록 구성해 놓는 것이 바람직하다.

트랜지스터(11a)에 SD 쇼트(562)가 발생하고 있으면, EL 소자(15)에 과대한 전류가 흐른다. 즉, EL 소자(15)가 항상 점등 상태(휘점)로 된다. 휘점은 결함으로서 눈에 띄기 쉽다. 예를 들면, 도 56에 있어서 트랜지스터(11a)의 소스-드레인(SD) 쇼트가 발생하고 있으면, 트랜지스터(11a)의 게이트(G) 단자 전위의 대소에 관계없이, Vdd 전압으로부터 EL 소자(15)에 전류가 항상 흐른다(트랜지스터(11d)가 온인 때). 따라서, 휘점으로 된다.

한편, 트랜지스터(11a)에 SD 쇼트가 발생하고 있으면, 트랜지스터(11c)가 온 상태일 때, Vdd 전압이 소스 신호선(18)에 인가되어 소스 드라이버(14)에 Vdd 전압이 인가된다. 만약에 소스 드라이버(14)의 전원 전압이 Vdd 이하이면, 내압을 넘어서 소스 드라이버(14)가 파괴될 우려가 있다. 그 때문에, 소스 드라이버(14)의 전원 전압은 Vdd 전압(패널이 높은 쪽의 전압) 이상으로 하는 것이 바람직하다.

트랜지스터(11a)의 SD 쇼트 등은 점결함으로 머물지 않고, 패널의 소스 드라이버를 파괴하기에 이를 우려가 있고, 또한, 휘점은 눈에 띄기 때문에 패널은 불량으로 된다. 따라서, 트랜지스터(11a)와 EL 소자(15) 사이를 접촉하는 배선을 절단하여, 휘점을 흑점 결함으로 할 필요가 있다. 이러한 절단은 레이저 광 등의 광학 수단을 이용하여 행하는 것이 좋다.

또, 이상의 실시예에서는 배선을 절단시킨다고 했지만, 흑표시하기 위해서는 이에 한정되는 것은 아니다. 예를 들면, 도 1에서도 알 수 있는 바와 같이, 트랜지스터(11a)의 전원 Vdd가 트랜지스터(11a)의 게이트(G) 단자에 항시 인가되도록 수정하여도 좋다. 예를 들면, 콘덴서(19)의 2개 전극간을 쇼트시키면, Vdd 전압이 트랜지스터(11a)의 게이트(G) 단자에 인가되게 된다. 따라서, 트랜지스터(11a)는 완전히 오프 상태가 되고, EL 소자(15)에 전류를 흘리지 않게 할 수 있다. 이것은, 콘덴서(19)에 레이저광을 조사함으로써 콘덴서 전극을 쇼트할 수 있으므로, 용이하게 실현할 수 있다.

또한, 실제로는 화소 전극의 하층에 Vdd 배선이 배치되어 있으므로, Vdd 배선과 화소 전극에 레이저 광을 조사함으로써, 화소의 표시 상태를 제어(수정)할 수 있다.

그 밖에, 트랜지스터(11a)의 SD간(채널)을 오픈시키는 것으로도 실현할 수 있다. 간단하게는 트랜지스터(11a)에 레이저광을 조사하여, 트랜지스터(11a)의 채널을 오픈시킨다. 마찬가지로, 트랜지스터(11d)의 채널을 오픈시켜도 좋다. 물론, 트랜지스터(11b)의 채널을 오픈시키더라도 해당 화소(16)가 선택되지 않으므로, 흑 표시로 된다.

화소(16)를 흑표시하기 위해서는 EL 소자(15)를 열화시켜도 좋다. 예를 들면, 레이저 광을 EL 층(15)에 조사해 EL 층(15)을 물리적으로 또는 화학적으로 열화시켜, 발광하지 않도록 한다(항시 흑 표시). 레이저광의 조사에 의해 EL 층(15)을 가열하여 용이하게 열화시킬 수 있다. 또한, 엑시머 레이저를 이용하면, EL 막(15)의 화학적 변화를 용이하게 실행할 수 있다.

또, 이상의 실시예는 도 1에 도시한 화소 구성을 예시했지만, 본 발명은 이에 한정되는 것은 아니다. 레이저광을 이용하여 배선 또는 전극을 오픈 또는 쇼트시키는 것은, 커런트 미러 등의 다른 전류 구동의 화소 구성 또는 도 62, 도 51 등에서 도시하는 전압 구동의 화소 구성에도 적용할 수 있는 것은 말할 필요도 없다.

이하, 도 1의 화소 구성에 대하여, 그 구동 방법에 대하여 설명한다. 도 1에 도시하는 바와 같이 게이트 신호선(17a)은 행선택 기간에 도통 상태(여기서는 도 1의 트랜지스터(11)가 p 채널 트랜지스터이기 때문에 로우 레벨에서 도통된다)로 되고, 게이트 신호선(17b)은 비선택 기간시에 도통 상태로 된다.

소스 신호선(18)에는 기생 용량(부유 용량: 도시하지 않음)이 존재한다. 기생 용량은 소스 신호선(18)과 게이트 신호선(17)과의 크로스부의 용량, 트랜지스터(11b, 11c)의 채널 용량 등에 의해 발생한다.

소스 신호선(18)의 전류치 변화에 요하는 시간 t 는 부유 용량의 크기를 C , 소스 신호선의 전압을 V , 소스 신호선에 흐르는 전류를 I 라고 하면 $t=C \cdot V/I$ 이기 때문에, 전류치를 10배 크게 할 수 있으면 전류치 변화에 요하는 시간을 10분의 1가까이까지 짧게 할 수 있다. 또는 소스 신호선(18)의 기생 용량이 10배로 되어도 소정의 전류치로 변화할 수 있다는 것을 나타낸다. 따라서, 짧은 수평주사 기간내에 소정의 전류치를 기입하기 위해서는 전류치를 증가시키는 것이 효과적이다.

입력 전류를 10배로 하면 출력 전류도 10배가 되어 EL의 휘도가 10배가 되기 때문에 소정의 휘도를 얻기 위해서, 도 1의 트랜지스터(17d)의 도통 기간을 종래의 10분의 1로 하고 발광 기간을 10분의 1로 함으로써 소정 휘도를 표시하도록 했다.

즉, 소스 신호선(18)의 기생 용량의 충방전을 충분히 실행하고, 소정의 전류치를 화소(16)의 트랜지스터(11a)에 프로그램 행하기 위해서는, 소스 드라이버(14)로부터 비교적 큰 전류를 출력해야 한다. 그러나, 이와 같이 큰 전류를 소스 신호선(18)에 흘리면 이 전류치가 화소에 프로그램되어 버려, 소정의 전류에 대하여 큰 전류가 EL 소자(15)에 흐른다. 예를 들면, 10배의 전류로 프로그램하면, 당연히 10배의 전류가 EL 소자(15)에 흘러, EL 소자(15)는 10배의 휘도로 발광한다. 소정의 발광 휘도로 하기 위해서는, EL 소자(15)에 흐르는 시간을 1/10로 하면 좋다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있고, 소정의 발광 휘도를 얻을 수 있다.

또, 10 배의 전류치를 화소의 트랜지스터(11a)(정확하게는 콘덴서(19)의 단자 전압을 설정하고 있다)에 기입하고, EL 소자(15)의 온 시간을 1/10로 한다고 했지만 이것은 일례이다. 경우에 따라서는, 10배의 전류치를 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 1/5로 해도 좋다. 반대로, 10배의 전류치를 화소의 트랜지스터(11a)에 기록하고, EL 소자(15)의 온 시간을 1/2배로 하는 경우도 있을 것이다.

본 발명은 화소에의 기입 전류를 소정값 이외의 값으로 하고, EL 소자(15)에 흐르는 전류를 간헐 상태로 하여 구동하는 것에 특징이 있다. 본 명세서에서는 설명을 쉽게 하기 위해서, N 배의 전류치를 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 1/N 배로 한다고 해서 설명한다. 그러나, 이에 한정되는 것은 아니고, N1배의 전류치를 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 1/(N2)배(N1과 N2는 다르다)로 해도 되는 것은 말할 필요도 없다. 또, 간헐적인 간격은 등간격에 한정되지 않는다. 예를 들면, 랜덤이어도 좋다(전체로서, 표시 기간 또는 비표시 기간이 소정값(일정 비율)이면 된다). 또한, R, G, B에서 다르더라도 좋다. 즉, 백(white) 밸런스가 최적으로

되도록, R, G, B 표시 기간 또는 비표시 기간이 소정값(일정 비율)으로 되도록 조정(설정)하면 좋다.

또, 설명을 쉽게 하기 위해서, $1/N$ 이란, $1F$ (1 필드 또는 1 프레임)를 기준으로 하여 이 $1F$ 를 $1/N$ 으로 한다고 해서 설명한다. 그러나, 1 화소행이 선택되어, 전류치가 프로그램되는 시간(통상, 1 수평주사 기간(1H))이 있고, 또한, 주사 상태에 따라서는 오차도 발생한다. 따라서, 이상의 설명은 어디까지나 설명을 쉽게 하기 위한 단지 편의상의 문제일 뿐이며, 이에 한정되는 것은 아니다.

예를 들면, $N=10$ 배의 전류로 화소(16)에 전류 프로그램을 행하고, $1/5$ 의 기간동안 EL 소자(15)를 점등시켜도 좋다. EL 소자(15)는 $10/5=2$ 배의 휘도로 점등한다. 반대로, $N=2$ 배의 전류로 화소(16)에 전류 프로그램을 행하고, $1/4$ 의 기간동안, EL 소자(15)를 점등시켜도 좋다. EL 소자(15)는 $2/4=0.5$ 배의 휘도로 점등한다. 즉, 본 발명은 $N=1$ 배가 아닌 전류로 프로그램을 행하고, 또, 항시 점등($1/1$, 즉, 간헐 구동이 아니다) 상태 이외의 표시를 실시하는 것이다. 또한, 광의로는, EL 소자(15)에 공급하는 전류를 1프레임(또는 1 필드)의 기간에 있어서 적어도 한 번 오프하는 구동 방식이다. 또한, 소정값보다도 큰 전류로 화소(16)에 프로그램을 행하여, 적어도 간헐 표시를 실시하는 구동 방식이다.

유기(무기) EL 표시 장치는 CRT와 같이 전자총에 의해 선표시의 집합으로서 화상을 표시하는 디스플레이와는 표시 방법이 기본적으로 다른 점에도 문제가 있다. 즉, EL 표시 장치는 $1F$ (1 필드 또는 1 프레임)의 기간동안은 화소에 기입한 전류(전압)을 유지한다. 그 때문에 동화상 표시를 행하면 표시 화상의 윤곽 흐려짐이 발생한다고 하는 문제가 발생한다.

본 발명에서는, $1F/N$ 의 기간 동안만 EL 소자(15)에 전류를 흘리고, 그 밖의 기간($1F(N-1)/N$)은 전류를 흘리지 않는다. 이 구동 방식을 실시하여 화면의 일점을 관측한 경우를 생각한다. 이 표시 상태에서는 $1F$ 마다 화상 데이터 표시, 흑표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄 띄엄 표시(간헐 표시) 상태로 된다. 동화상 데이터 표시를 이 간헐 표시 상태에서 보면 화상의 윤곽 흐려짐이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다. 또한, 간헐 표시를 실현하지만, 회로의 메인 클럭은 종래와 변하지 않는다. 따라서, 회로의 소비 전력이 증가하는 일도 없다.

액정 표시 패널의 경우, 광변조를 행하는 화상 데이터(전압)는 액정층에 유지된다. 따라서, 흑삽입 표시를 실시하고자 하면 액정층에 인가하고 있는 데이터를 오버라이트(overwrite)할 필요가 있다. 그 때문에, 소스 드라이버 IC(14)의 동작 클럭을 높게 하여, 화상 데이터와 흑표시 데이터를 교대로 소스 신호선(18)에 인가해야 한다. 따라서, 흑삽입(흑표시 등의 간헐 표시)을 실현하도록 하면 회로의 메인 클럭을 올릴 필요가 있다. 또한, 시간축 신장을 실시하기 위한 화상 메모리도 필요하게 된다.

도 1, 도 2, 도 38 등에 나타내는 본 발명의 EL 표시 패널의 화소 구성에서 화상 데이터는 콘덴서(19)에 유지되어 있다. 이 콘덴서(19)의 단자 전압에 대응하는 전류가 EL 소자(15)에 흐른다. 따라서, 화상 데이터는 액정 표시 패널과 같이 광변조층에 유지되어 있는 것은 아니다.

본 발명은 스위칭 트랜지스터(11d), 또는 트랜지스터(11e) 등을 온오프시키는 것만으로 EL 소자(15)에 흘리는 전류를 제어한다. 즉, EL 소자(15)에 흐르는 전류 I_w 를 오프하더라도, 화상 데이터는 그대로 콘덴서(19)에 유지되어 있다. 따라서, 다음 타이밍에서 스위칭 소자(11d) 등을 온시켜, EL 소자(15)에 전류를 흘리면, 그 흐르는 전류는 전에 흐르고 있었던 전류치와 동일하다. 본 발명에서는 흑삽입(흑표시 등의 간헐 표시)를 실현할 때에 있어서도, 회로의 메인 클럭을 올릴 필요가 없다. 또한, 시간축 신장을 실시할 필요도 없기 때문에 화상 메모리도 불 필요하다. 또한, 유기 EL 소자(15)는 전류를 인가하고 나서 발광하기 까지의 시간이 짧아서, 고속으로 응답한다. 그 때문에, 동화상 표시에 적합하며, 또한 간헐 표시를 실시하는 것에 의해 종래의 데이터 유지형 표시 패널(액정 표시 패널, EL 표시 패널 등)의 문제인 동화상 표시의 문제를 해결할 수 있다.

또한, 대형의 표시 장치에서 소스 용량이 커지는 경우는 소스 전류를 10배 이상으로 해 주면 좋다. 일반적으로 소스 전류치를 N 배로 한 경우, 게이트 신호선(17b)(트랜지스터(11d))의 도통 기간을 $1F/N$ 으로 하면 좋다. 이에 따라 텔레비전, 모니터용의 표시 장치 등에도 적용이 가능하다.

이하, 도면을 참조하면서 본 발명의 구동 방법에 대하여 더욱 자세하게 설명한다. 소스 신호선(18)의 기생 용량은 인접한 소스 신호선(18)간의 결합 용량, 소스 드라이브 IC(회로)(14)의 버퍼 출력 용량, 게이트 신호선(17)과 소스 신호선(18)과의 크로스 용량 등에 의해 발생한다. 이 기생 용량은 통상 $10pF$ 이상으로 된다. 전압 구동의 경우, 드라이버 IC(14)로부터는 저 임피던스로 전압이 소스 신호선(18)에 인가되기 때문에, 기생 용량이 다소 크더라도 구동에는 문제로 되지 않는다.

그러나, 전류 구동에서는 특히 흑레벨의 화상 표시에서는 $20nA$ 이하의 미소 전류로 화소의 콘덴서(19)를 프로그램해야 한다. 따라서, 기생 용량이 소정값 이상의 크기로 발생하면, 1 화소행에 프로그램하는 시간(통상, $1H$ 이내, 단, 2 화소행을 동시에 기입하는 경우도 있으므로 $1H$ 이내로 한정되는 것은 아니다.)내에 기생 용량을 충방전시킬 수가 없

다. 1H 기간으로 총방전시킬 수 없으면, 화소예의 기입 부족으로 되어 해상도가 나오지 않는다.

도 1의 화소 구성의 경우, 도 3(a)에 도시하는 바와 같이 전류 프로그램시에는 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터(11a)에 흐르고, I_w 를 흘리는 전류가 유지되도록 콘덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은 도 3(b)와 같이, 트랜지스터(11c, 11b)가 오프되어 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되어 트랜지스터(11b, 11c)가 오프된다. 한편, 게이트 신호선(17b)에 온 전압(V_{gl})이 인가되어 트랜지스터(11d)가 온된다.

지금, 전류 I_1 이 본래 흘리는 전류(소정값)의 N배이라고 하면, 도 3(b)의 EL 소자(15)에 흐르는 전류도 I_w 로 된다. 따라서, 소정값의 10배의 휘도로 EL 소자(15)는 발광한다. 즉, 도 12에 도시하는 바와 같이, 배율 N을 높게 할수록, 표시 패널의 표시 휘도 B도 높아진다. 따라서, 배율과 휘도는 비례 관계가 된다. 반대로, $1/N$ 로 구동함으로써, 휘도와 배율은 반비례의 관계로 된다.

그래서, 트랜지스터(11d)를 본래 온시키는 시간(약 1 F)의 $1/N$ 의 기간만 온시키고, 다른 기간 $(N-1)/N$ 기간은 오프시키면, 1F 전체의 평균 휘도는 소정의 휘도로 된다. 이 표시 상태는, CRT가 전자총으로 화면을 주사하고 있는 것과 비슷하다. 다른 점은, 화상을 표시하고 있는 범위가 화면 전체의 $1/N$ (전체 화면을 1로 한다)이 점등하고 있는 점이다(CRT에서는 점등하고 있는 범위는 1 화소행이다(엄밀하게는 1 화소이다)).

본 발명에서는 이 $1 F/N$ 의 화상 표시 영역(53)이 도 13(b)에 도시하는 바와 같이 화면(50)의 위에서 밑으로 이동한다. 본 발명에서는, $1 F/N$ 의 기간 동안만, EL 소자(15)에 전류가 흐르고, 다른 기간($1F \cdot (N-1)/N$)은 전류가 흐르지 않는다. 따라서, 각 화소는 간헐 표시로 된다. 그러나, 인간의 눈에는 잔상에 의해 화상이 유지된 상태로 되기 때문에, 전체 화면이 균일하게 표시되고 있는 것과 같이 보인다.

또, 도 13에 도시하는 바와 같이, 기입 화소행(51a)은 비점등 표시(52a)로 한다. 그러나, 이것은 도 1, 도 2 등의 화소 구성의 경우이다. 도 38 등으로 도시하는 커런트 미러의 화소 구성에서는 기입 화소행(51a)은 점등 상태로 해도 좋다. 그러나, 본 명세서에서는 설명을 쉽게 하기 위해서 주로 도 1의 화소 구성을 예시하여 설명한다. 또한, 도 13, 도 16 등의 소정 구동 전류 I_w 보다도 큰 전류로 프로그램하여, 간헐 구동하는 구동 방법을 N배 펄스 구동이라고 부른다.

이 표시 상태에서는 1F마다 화상 데이터 표시, 흑표시(비점등)를 되풀이하여 표시한다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄 띄엄 표시(간헐 표시) 상태로 된다. 액정 표시 패널(본 발명 이외의 EL 표시 패널)에서는 1F의 기간 동안 화소에 데이터가 유지되어 있기 때문에, 동화상 표시의 경우, 화상 데이터가 변화하여도 그 변화에 추종할 수 없고, 동화상 흐려짐으로 되어 있었다(화상의 윤곽 흐려짐). 그러나, 본 발명에서는 화상을 간헐 표시하기 때문에, 화상의 윤곽 흐려짐이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

이러한 타이밍도가 도 14에 도시되어 있다. 또, 본 발명에 있어서, 특별한 언급이 없는 경우 화소 구성은 도 1이라고 한다. 도 14에서 알 수 있는 바와 같이, 각 선택된 화소행(선택 기간은, 1H로 하고 있다)에 있어서, 게이트 신호선(17a)에 온 전압(V_{gl})이 인가하고 있는 경우(도 14(a) 참조)에는, 게이트 신호선(17b)에는 오프 전압(V_{gh})이 인가된다(도 14(b) 참조). 또한, 이 기간에는 EL 소자(15)에 전류가 흐르지 않는다(비점등 상태). 선택되어 있지 않은 화소행에 있어서, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가되어 있다. 또한, 이 기간에는 EL 소자(15)에 전류가 흐르고 있다(점등 상태). 또한, 점등 상태에서는 EL 소자(15)는 소정의 N 배의 휘도($N \cdot B$)로 점등하고, 그 점등 기간은 $1 F/N$ 이다. 따라서, 1 F를 평균한 표시 패널의 표시 휘도는 $(N \cdot B) \times (1/N) = B$ (소정 휘도)로 된다.

도 15는 도 14의 동작을 각 화소행에 적용한 실시예이다. 게이트 신호선(17)에 인가되는 전압 파형을 도시하고 있다. 전압 파형은 오프 전압을 V_{gh} (H 레벨)로 하고, 온 전압을 V_{gl} (L 레벨)로 하고 있다. (1), (2) 등의 첨자는 선택되어 있는 화소행 번호를 나타내고 있다.

도 15에 있어서, 게이트 신호선(17a)(1)이 선택되고(V_{gl} 전압), 선택된 화소행의 트랜지스터(11a)에서 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서 $N=10$ 으로 해서 설명한다. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로 백 라스터 표시 등이 아닌한 고정값이 아니다)이다. 따라서, 콘덴서(19)에는 10배로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소행 (1)이 선택되어 있는 때는, 도 1의 화소 구성에서는 게이트 신호선(17b)(1)에는 오프 전압(V_{gh})이 인가되어, EL 소자(15)에 전류가 흐르지 않는다.

1H 후에는, 게이트 신호선(17a)(2)가 선택되고(V_{gl} 전압), 선택된 화소행의 트랜지스터(11a)에서 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서,

N=10로 해서 설명한다)이다. 따라서, 콘덴서(19)에는 10배로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소행 (2)가 선택되어 있는 때는, 도 1의 화소 구성에서는 게이트 신호선(17b)(2)에는 오프 전압(Vgh)이 인가되어, EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 전번의 화소행(1)의 게이트 신호선(17a)(1)에는 오프 전압(Vgh)이 인가 되고, 게이트 신호선(17b)(1)에는 온 전압(V91)이 인가되기 때문에, 점등 상태로 되어 있다.

다음 1H 후에는, 게이트 신호선(17a)(3)이 선택되고 게이트 신호선(17b)(3)에는 오프 전압(Vgh)이 인가되어, 화소행 (3)의 EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 전번의 화소행(1), (2)의 게이트 신호선(17a)(1), (2)에는 오프 전압(Vgh)이 인가되고 게이트 신호선(17b)(1),(2)에는 온 전압(V91)이 인가되기 때문에, 점등 상태로 되어 있다.

이상의 동작으로 1H의 동기 신호에 동기하여 화상을 표시해 간다. 그러나, 도 15의 구동 방식에서, EL 소자(15)에는 10배의 전류가 흐른다. 따라서, 표시 화면(50)은 약 10배의 휘도로 표시된다. 물론, 이 상태에 소정의 휘도 표시를 하기 위해서는 프로그램 전류를 1/10로 해 두면 되는 것은 말할 필요도 없다. 그러나, 1/10의 전류라면 기생 용량 등에 의해 기입 부족이 발생하기 때문에, 높은 전류로 프로그램하고, 흑화면(52) 삽입에 의해 소정의 휘도를 얻는 것은 본 발명의 기본적인 요지이다.

또, 본 발명의 구동 방법에 있어서, 소정 전류보다도 높은 전류가 EL 소자(15)에 흐르도록 하고, 소스 신호선(18)의 기생 용량을 충분히 충전시킨다는 개념이다. 즉, EL 소자(15)에 N배의 전류를 흘리지 않아도 좋다. 예를 들면, EL 소자(15)에 병렬로 전류 경로를 형성하고(더미의 EL 소자를 형성하고, 이 EL 소자는 차광막을 형성해 발광시키지 않는 등), 더미 EL 소자와 EL 소자(15)로 분류하여 전류를 흐르게 해도 좋다. 예를 들면, 신호 전류가 0.2 μ A인 때, 프로그램 전류를 2.2 μ A로 하여, 트랜지스터(11a)에는 2.2 μ A를 흘린다. 이 전류중 신호 전류 0.2 μ A를 EL 소자(15)에 흘리고, 2 μ A를 더미의 EL 소자에 흘리는 등의 방식이 예시된다. 즉, 도 27의 더미 화소행(281)을 항상 선택 상태로 한다. 또, 더미 화소행은 발광시키지 않던가, 또는 차광막 등을 형성하여 발광하고 있더라도 시각적으로 보이지 않도록 구성한다.

이상과 같이 구성함으로써, 소스 신호선(18)에 흘리는 전류를 N 배로 증가시킴으로써, 구동용 트랜지스터(11a)에 N 배의 전류가 흐르도록 프로그램할 수 있고, 또한, 전류 EL 소자(15)에는 N배보다는 충분히 작은 전류를 흐르게 할 수 있게 된다. 이상의 방법에서는, 도 5에 도시하는 바와 같이, 비점등 영역(52)을 마련하는 일없이, 전체 표시 영역(50)을 화상 표시 영역(53)으로 할 수 있다.

도 13(a)는 표시 화상(50)에의 기록 상태를 도시하고 있다. 도 13(a)에 있어서, 51a는 기입 화소행이다. 소스 드라이버 IC(14)로부터 각 소스 신호선(18)으로 프로그램 전류가 공급된다. 또, 도 13 등에서는 1H 기간에 기입하는 화소행은 1행이다. 그러나, 전혀 1H에 한정되는 것은 아니고, 0.5H기간이어도, 2 H 기간이어도 좋다. 또한, 소스 신호선(18)에 프로그램 전류를 기입한다고 했지만, 본 발명은 전류 프로그램 방식에 한정되는 것은 아니고, 소스 신호선(18)에 기입되는 것이 전압인 전압 프로그램 방식(도 62 등)이어도 좋다.

도 13(a)에 있어서, 게이트 신호선(17a)이 선택되면 소스 신호선(18)에 흐르는 전류가 트랜지스터(11a)에 프로그램 된다. 이 때, 게이트 신호선(17b)에는 오프 전압이 인가되어 EL 소자(15)에는 전류가 흐르지 않는다. 이것은, EL 소자(15)측에서 트랜지스터(11d)가 온 상태이면, 소스 신호선(18)으로부터 EL 소자(15)의 용량 성분이 나타나고, 이 용량에 영향을 받아 콘덴서(19)에 충분히 정확한 전류 프로그램을 할 수 없게 되기 때문이다. 따라서, 도 1의 구성을 예로 하면, 도 13(b)로 도시하는 바와 같이 전류가 기입되고 있는 화소행은 비점등 영역(52)으로 된다.

지금, N(여기서는, 앞서 언급한 것처럼 N=10으로 한다)배의 전류로 프로그램했다고 한다면, 화면의 휘도는 10배가 된다. 따라서, 표시 영역(50)의 90%의 범위를 비점등 영역(52)으로 하면 좋다. 따라서, 화상 표시 영역의 수평 주사선이 QCIF의 220개(S=220)라고 하면, 22개를 표시 영역(53)으로 하고, 220-22=198개를 비표시 영역(52)으로 하면 좋다. 일반적으로 말하면, 수평 주사선(화소행 수)을 S라고 하면, S/N의 영역을 표시 영역(53)으로 하여 이 표시 영역(53)을 N 배의 휘도 로 발광시킨다. 그리고, 이 표시 영역(53)을 화면의 상하 방향으로 주사한다. 따라서, S (N-1)/N의 영역은 비점등 영역(52)으로 한다. 이 비점등 영역은 흑표시(비발광)이다. 또한, 이 비발광부(52)는 트랜지스터(11d)를 오프시킴으로써 실현된다. 또, N배의 휘도로 점등시킨다고 했는데, 당연한 일이지만 밝기 조정, 감마 조정에 의해 N 배의 값으로 조정하는 것은 말할 필요도 없다.

또한, 앞서의 실시예에서는 10배의 전류로 프로그램했다고 하면 화면의 휘도는 10배가 되어 표시 영역(50)의 90%의 범위를 비점등 영역(52)으로 하면 좋다고 했다. 그러나, 이것은, R, G, B의 화소를 공통으로 비점등 영역(52)으로 하는 것에 한정되는 것은 아니다. 예컨대, R의 화소는 1/8을 비점등 영역(52)으로 하고, G의 화소는 1/6을 비점등 영역(52)으로 하고, B의 화소는 1/10을 비점등 영역(52)으로 해서, 각각의 색에 의해 변화시켜도 좋다. 또한, R, G, B의 색으로 개별적으로 비점등 영역(52)(또는 점등 영역(53))을 조정할 수 있도록 하여도 좋다. 이들을 실현하기 위해서는, R, G, B에서 개별의 게이트 신호선(17b)이 필요하게 된다. 그러나, 이상의 R, G, B의 개별 조정을 가능하게 하는 것에 의해 화이트 밸런스를 조정하는 것이 가능하게 되어, 각 계조에 있어서 색의 밸런스 조정이 용이하게 된다(도 41 참조).

도 13(b)에 도시하는 바와 같이, 기입 화소행(51a)을 포함하는 화소행을 비점등 영역(52)으로 하고, 기입 화소행(51a)보다도 위 화면의 S/N(시간적으로는 1 F/N)의 범위를 표시 영역(53)으로 한다(기입 주사가 화면의 위에서 아래 방향의 경우이며, 화면을 아래로부터 위로 주사하는 경우는 그 역으로 된다). 화상 표시 상태는 표시 영역(53)이 띠형으로 되어 화면의 위에서 아래로 이동한다.

도 13의 표시에서는, 하나의 표시 영역(53)이 화면의 위에서 아래 방향으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 닫을 때, 또는 얼굴을 상하로 이동시킨 때 등에서 인식되기 쉽게 된다.

이러한 문제에 대해서는, 도 16에 도시하는 바와 같이, 표시 영역(53)을 복수로 분할하면 좋다. 이 분할된 총합이 $S(N-1)/N$ 의 면적이 되면, 도 13의 밝기와 동등하게 된다. 또, 분할된 표시 영역(53)은 동일(등분)하게 할 필요는 없다. 또한, 분할된 비표시 영역(52)도 동일하게 할 필요는 없다.

이상과 같이, 표시 영역(53)을 복수 분할함으로써 화면의 어른거림이 감소한다. 따라서, 플리커의 발생이 없어 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더 세분시켜 하여도 좋다. 그러나, 분할할수록 동화상 표시 성능은 저하한다.

도 17은 게이트 신호선(17)의 전압 파형 및 EL의 발광 휘도를 도시하고 있다. 도 17에서 분명한 바와 같이, 게이트 신호선(17b)를 V_{gl} 로 하는 기간(1 F/N)을 복수로 분할(분할수 K)하고 있다. 즉, V_{gl} 로 하는 기간은 $1 F/(K/N)$ 의 기간을 K 회 실시한다. 이와 같이 제어하면, 플리커의 발생을 억제할 수 있고, 저 프레임 레이트의 화상 표시를 실현할 수 있다. 또한, 이 화상의 분할수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 누르는 것에 의해 또는 밝기 조정 볼륨을 돌리는 것에 의해 이 변화를 검출하여 K의 값을 변경하여도 좋다. 또한, 사용자가 휘도를 조정하도록 구성하여도 좋다. 표시할 화상의 내용이나 데이터에 따라 수동으로 또는 자동적으로 변화시키도록 구성하여도 좋다.

또, 도 17 등에 있어서, 게이트 신호선(17b)을 V_{gl} 로 하는 기간(1 F/N)을 복수로 분할(분할수 K)하고, V_{gl} 으로 하는 기간은 $1 F/(K/N)$ 의 기간을 K 회 실시한다고 했지만 이에 한정되는 것은 아니다. $1 F/(K/N)$ 의 기간을 $L(L \neq K)$ 회 실시하여도 좋다. 즉, 본 발명은 EL 소자(15)에 흐르는 기간(시간)을 제어함으로써 화상(50)을 표시하는 것이다. 따라서, $1 F/(K/N)$ 의 기간을 $L(L \neq K)$ 회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, $L=2$ 와 $L=3$ 는 50%의 휘도(콘트라스트) 변화로 된다. 또한, 화상의 표시 영역(53)을 분할하는 경우, 게이트 신호선(17b)을 V_{gl} 로 하는 기간은 동일 기간에 한정되지 않는다.

이상의 실시예는, EL 소자(15)에 흐르는 전류를 차단하고, 또, EL 소자에 흐르는 전류를 접속함으로써, 표시 화면(50)을 온오프(점등, 비점등)시키는 것이었다. 즉, 콘덴서(19)에 유지된 전하에 의해 트랜지스터(11a)에 복수회, 대략 동일한 전류를 흘리는 것이다. 본 발명은 이에 한정되지 않는다. 예를 들면, 콘덴서(19)에 유지된 전하를 총방전시킴으로써, 표시 화면(50)을 온오프(점등, 비점등)시키는 방식이어도 좋다.

도 18은 도 16의 화상 표시 상태를 실현하기 위해 게이트 신호선(17)에 인가되는 전압 파형이다. 도 18과 도 15의 차이는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하여, 그 개수분만큼 온/오프(V_{gl} 와 V_{gh}) 동작한다. 나머지는 도 15와 동일하기 때문에 설명을 생략한다.

EL 표시 장치에서 흑표시는 완전히 비점등이므로, 액정 표시 패널을 간헐 표시한 경우와 같이 콘트라스트 저하도 없다. 또한, 도 1의 구성에 있어서는, 트랜지스터(11d)를 온/오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 또한, 도 38, 도 51의 구성에 있어서는, 트랜지스터 소자(11e)를 온/오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 이것은 콘덴서(19)에 화상 데이터가 메모리(아날로그 값)이므로 게조수는 무한대되어 있기 때문이다. 즉, 각 화소(16)에 화상 데이터는 1F의 기간 동안 유지되어 있다. 이 유지되어 있는 화상 데이터에 상당하는 전류를 EL 소자(15)에 흘릴지 아닐지를 트랜지스터(11d, 11e)의 제어에 의해 실현하고 있는 것이다. 따라서, 이상의 구동 방법은 전류 구동 방식에 한정되는 것이 아니라, 전압 구동 방식에도 적용할 수 있는 것이다. 즉, EL 소자(15)에 흐르는 전류가 각 화소 내에 보존되어 있는 구성에 있어서, 구동용 트랜지스터(11)와 EL 소자(15)간 전류 경로를 온/오프함으로써, 간헐 구동을 실현하는 것이다.

콘덴서(19)의 단자 전압을 유지하는 것은 중요하다. 1 필드(프레임) 기간에서 콘덴서(19)의 단자 전압이 변화(총방전)하면, 화면 휘도가 변화하여 프레임 레이트가 저하한 때에 어른거림(플리커 등)이 발생하기 때문이다. 트랜지스터(11a)가 1 프레임(1 필드) 기간에서 EL 소자(15)에 흐르는 전류는 적어도 65% 이하로 저하하지 않도록 해야 한다. 이 65%란, 화소(16)에 기입하고, EL 소자(15)에 흐르는 처음 전류를 100%로 했을 때, 다음 프레임(필드)에서 상기 화소(16)에 기입하기 직전 EL 소자(15)에 흐르는 전류를 65% 이상으로 하는 것이다.

도 1의 화소 구성에서는, 간헐 표시를 실현하는 경우와 하지 않는 경우에서 1 화소를 구성하는 트랜지스터(11)의 개수에 변화는 없다. 즉, 화소 구성은 그대로이고, 소스 신호선(18)의 기생 용량의 영향을 제거하여, 양호한 전류 프로그

램을 실현하고 있다. 게다가, CRT에 가까운 동화상 표시를 실현하고 있는 것이다.

또한, 게이트 드라이버(12)의 동작 클럭은 소스 드라이버(14)의 동작 클럭에 비하여 충분히 느리기 때문에, 회로의 메인 클럭이 높아지는 일은 없다. 또한, N 값의 변경도 용이하다.

또, 화상 표시 방향(화상 기록 방향)은, 1 필드(1 프레임) 때에는 화면의 위에서 아래 방향으로 하고, 다음의 2 필드(프레임) 때에는 화면의 아래로부터 위 방향으로 해도 좋다. 즉, 위에서 아래 방향과, 아래로부터 위 방향을 교대로 반복한다.

또한, 1 필드(1 프레임) 때에는 화면의 위에서 아래 방향으로 하여 일단 전체 화면을 흑표시(비표시)로 한 후, 다음의 제 2 필드(프레임) 때에는 화면의 아래로부터 위 방향으로 해도 좋다. 또한, 일단 전체 화면을 흑표시(비표시)로 해도 좋다.

또, 이상의 구동 방법의 설명에서는, 화면의 기입 방법을 화면의 위에서 아래 또는 아래로부터 위로 했지만, 이에 한정되지 않는다. 화면의 기입 방향은 끊임없이 화면의 위에서 아래 또는 아래로부터 위로 고정하여, 비표시 영역(52)의 동작 방향을 1 필드 때에는 화면의 위에서 아래 방향으로 하고 다음 제 2 필드 때에는 화면의 아래로부터 위 방향으로 해도 좋다. 또한, 1 프레임을 3 필드로 분할하고 제 1 필드에서는 R, 제 2 필드에서는 G, 제 3 필드에서는 B로 하여 3 필드로 1 프레임을 형성한다고 해도 좋다. 또한, 1 수평 주사 기간(1H)마다, R, G, B를 전환하여 표시하여도 좋다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

비표시 영역(52)은 완전히 비점등 상태일 필요는 없다. 미약한 발광 또는 어렴풋한 화상 표시가 있어도 실용상 문제는 없다. 즉, 화상 표시 영역(53)보다도 표시 휘도가 낮은 영역으로 해석해야 한다. 또한, 비표시 영역(52)이란, R, G, B 화상 표시중, 1색 또는 2색만 비표시 상태로 하는 경우도 포함된다.

기본적으로는 표시 영역(53)의 휘도(밝기)가 소정값으로 유지되는 경우, 표시 영역(53)의 면적이 넓을수록, 화면(50)의 휘도는 높아지게 된다. 예를 들면, 표시 영역(53)의 휘도가 100(nt)인 경우, 표시 영역(53)이 전체 화면(50)에서 차지하는 비율을 10%로부터 20%로 하면, 화면의 휘도는 2배로 된다. 따라서, 전체 화면(50)에서 차지하는 표시 영역(53)의 면적을 변화시킴으로써, 화면의 표시 휘도를 변화시킬 수 있다.

표시 영역(53)의 면적은 시프트 레지스터(61)로의 데이터 펄스(ST2)를 제어함으로써 임의로 설정할 수 있다. 또한, 데이터 펄스의 입력 타이밍, 주기를 변화시킴으로써, 도 16의 표시 상태와 도 13의 표시 상태를 전환할 수 있다. 1 F 주기에서의 데이터 펄스 수를 많게 하면 화면(50)은 밝아지고, 적게 하면 화면(50)은 어둡게 된다. 또한, 연속하여 데이터 펄스를 인가하면 도 13의 표시 상태로 되며, 간헐적으로 데이터 펄스를 입력하면 도 16의 표시 상태로 된다.

도 19(a)는 도 13과 같이 표시 영역(53)이 연속하고 있는 경우의 밝기 조정 방식이다. 도 19(a1)의 화면(50)이 표시 휘도가 가장 밝다. 도 19(a2)의 화면(50)이 표시 휘도가 다음으로 밝고, 도 19(a3)의 화면(50)이 표시 휘도가 가장 어둡다. 도 19(a1)으로부터 도 19(a3)로의 변화(또는 그 반대)는 앞서도 기재한 바와 같이 게이트 드라이버(12)의 시프트 레지스터 회로(61) 등의 제어에 의해 용이하게 실현할 수 있다. 이 때, 도 1의 Vdd 전압은 변화시킬 필요가 없다. 즉, 전원 전압을 변화시키지 않고서 표시 화면(50)의 휘도 변화를 실시할 수 있다. 또한, 도 19(a1)으로부터 도 19(a3)로의 변화의 경우, 화면의 감마 특성은 전혀 변화하지 않는다. 따라서, 화면(50)의 휘도에 상관없이, 표시 화상의 콘트라스트, 계조 특성이 유지된다. 이것은 본 발명의 효과가 있는 특징이다. 종래의 경우 화면의 휘도 조정시 화면(50)의 휘도가 낮은 때는 계조 성능이 저하한다. 즉, 고휘도 표시의 경우는 64계조 표시를 실현할 수 있더라도, 저휘도 표시의 경우는, 절반 이하의 계조수밖에 표시할 수 없는 경우가 대개이다. 이에 비교하여, 본 발명의 구동 방법에서는, 화면의 표시 휘도에 의존하지 않고 최고 64계조 표시를 실현할 수 있다.

도 19(b)는 도 16과 같이 표시 영역(53)이 분산되어 있는 경우의 밝기 조정 방식이다. 도 19(b1)의 화면(50)이 표시 휘도가 가장 밝다. 도 19(b2)의 화면(50)이 표시 휘도가 다음으로 밝고, 도 19(b3)의 화면(50)이 표시 휘도가 가장 어둡다. 도 19(b1)으로부터 도 19(b3)로의 변화(또는 그 반대)는 앞서도 기재한 바와 같이 게이트 드라이버(12)의 시프트 레지스터 회로(61) 등의 제어에 의해 용이하게 실현할 수 있다. 도 19(b)와 같이 표시 영역(53)을 분산시키면, 저 프레임 레이트라도 플리커가 발생하지 않는다.

또한 저 프레임 레이트에서도 플리커가 발생하지 않도록 하기 위해서는, 도 19(c)와 같이 표시 영역(53)을 세분하여 분산시키면 좋다. 그러나, 동화상의 표시 성능은 저하한다. 따라서, 동화상을 표시하기 위해서는, 도 19(a)의 구동 방법이 적합하다. 정지 화상을 표시하고 저소비 전력화를 요망하는 때는, 도 19(c)의 구동 방법이 적합하다. 도 19(a)로부터 도 19(c)의 구동 방법으로의 전환도, 시프트 레지스터(61)의 제어에 의해 용이하게 실현할 수 있다.

도 20은 소스 신호선(18)에 흐르는 전류를 증대시키는 다른 실시예의 설명도이다. 기본적으로 복수의 화소행을 동시에 선택하고, 복수의 화소행을 합친 전류로 소스 신호선(18)의 기생 용량 등을 충방전시켜 전류 기입 부족을 대폭 개

선하는 방식이다. 단지, 복수의 화소행을 동시에 선택하기 때문에, 1 화소당 구동하는 전류를 감소시킬 수 있다. 따라서, EL 소자(15)에 흐르는 전류를 감소시킬 수 있다. 여기서, 설명을 쉽게 하기 위해, 일례로서, $N=10$ 으로서 설명한다(소스 신호선(18)에 흐르는 전류를 10배로 한다).

도 20으로 설명하는 본 발명에서 화소행은 동시에 K 화소행을 선택한다. 소스 드라이버 IC(14)로부터는 소정 전류의 N배 전류가 소스 신호선(18)에 인가된다. 각 화소에는 EL 소자(15)에 흐르는 전류의 N/K 배의 전류가 프로그램된다. EL 소자(15)를 소정의 발광 휘도로 하기 위해 EL 소자(15)에 흐르는 시간을 1 프레임(1 필드)의 K/N 시간으로 한다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충방전시킬 수 있고, 양호한 해상도를 소정의 발광 휘도로 얻을 수 있다.

즉, 1 프레임(1 필드)의 K/N 의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간($(1-F)(N-1)K/N$)은 전류를 흘리지 않는다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 흑표시(비점등)가 되풀이하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄 띄엄 표시(간헐 표시) 상태로 된다. 따라서, 화상의 윤곽 흐려짐이 없어져 양호한 동화상 표시를 실현할 수 있다. 또한, 소스 신호선(18)에는 N 배의 전류로 구동되기 때문에, 기생 용량의 영향을 받지 않고 고정밀 표시 패널에도 대응할 수 있다.

도 21은 도 20의 구동 방법을 실현하기 위한 구동 파형의 설명도이다. 신호 파형은 오프 전압을 V_{gh} (H 레벨)로 하고, 온 전압을 V_{gl} (L 레벨)로 하고 있다. 각 신호선의 첨자는 화소행의 번호(1, (2), (3) 등)를 기재하고 있다. 또, 행수는 QCIF 표시 패널의 경우는 220개이며, VGA 패널에서는 480개이다.

도 21에 있어서, 게이트 신호선(17a) (1)이 선택되고(V_{gl} 전압), 선택된 화소행의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 여기서 설명을 쉽게 하기 위해서, 우선, 기입 화소행(51a)이 화소행 (1)번째라고 하여 설명한다.

또한, 소스 신호선(18)에 흐르는 프로그램 전류는 소정값의 N 배(설명을 쉽게 하기 위해서, $N=10$ 으로서 설명한다. 물론, 소정값은 화상을 표시하는 데이터 전류이므로, 백 래스터 표시등이 아닌한 고정값이 아니다)이다. 또한, 5 화소행이 동시에 선택($K=5$)된 것으로 해서 설명한다. 따라서, 이상적으로는 하나의 화소의 콘덴서(19)에는 2배($N/K=10/5=2$)로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다.

기입 화소행이 (1)화소행때인 때, 도 21로 도시한 바와 같이, 게이트 신호선(17a)은 (1), (2), (3), (4), (5)가 선택되어 있다. 즉, 화소행 (1), (2), (3), (4), (5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 게이트 신호선(17b)은 게이트 신호선(17a)의 반대 위상으로 되어 있다. 따라서, 화소행 (1), (2), (3), (4), (5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르지 않는다. 즉, 비점등 상태(52)이다.

이상적으로는, 5화소의 트랜지스터(11a)가, 각각 $I_w \times 2$ 의 전류를 소스 신호선(18)에 흘린다(즉, 소스 신호선(18)에는 $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$. 따라서, 본 발명의 N배 펄스 구동을 실시하지 않는 경우가 소정 전류 I_w 라고 하면, I_w 의 10배의 전류가 소스 신호선(18)에 흐른다).

이상의 동작(구동 방법)에 의해, 각 화소(16)의 콘덴서(19)에는 2배의 전류가 프로그램된다. 여기서, 이해를 쉽게 하기 위해서, 각 트랜지스터(11a)는 특성(V_t , S 값)이 일치하고 있다고 하여 설명한다.

동시에 선택하는 화소행이 5화소행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 $10/5=2$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소행(51a)에 본래 기입할 전류 I_w 로 하여, 소스 신호선(18)에는 $I_w \times 10$ 의 전류를 흘린다. 기입 화소행 (1)보다 이후에 화상 데이터를 기입하는 기입 화소행(51b)은 소스 신호선(18)으로의 전류량을 증가시키기 위해서, 보조적으로 이용하는 화소행이다. 그러나, 기입 화소행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 4 화소행(51b)에서, 1H 기간 동안은 51a와 동일 표시이다. 그 때문에, 기입 화소행(51a)과 전류를 증가시키기 위해서 선택한 화소행(51b)을 적어도 비표시 상태(52)로 하는 것이다. 단지, 도 38과 같은 커런트 미러의 화소 구성, 그 밖의 전압 프로그램 방식의 화소 구성에서는 표시 상태로 해도 좋다.

1H 후에 게이트 신호선(17a) (1)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가된다. 또한, 동시에, 게이트 신호선(17a) (6)이 선택되고(V_{gl} 전압), 선택된 화소행 (6)의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해 화소행 (1)에는 정규의 화상 데이터가 유지된다.

다음, 1H 후에 게이트 신호선(17a) (2)는 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가된다. 또한,

동시에, 게이트 신호선(17a) (7)이 선택되고(Vgl 전압), 선택된 화소행(7)의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해 화소행 (2)에는 정규의 화상 데이터가 유지된다. 이상의 동작으로 1 화소행씩 시프트하면서 주사함으로써 1 화면이 오버라이트된다.

도 20의 구동 방법에서는, 각 화소에 2배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 2배로 된다. 따라서, 표시 화면의 휘도는 소정값보다도 2배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16에 도시하는 바와 같이, 기입 화소행(51)을 포함하고, 또한 표시 영역(50)의 1/2의 범위를 비표시 영역(52)으로 하면 좋다.

도 13과 마찬가지로, 도 20과 같이 하나의 표시 영역(53)이 화면의 위에서 아래 방향으로 이동하면, 프레임 레이트가 낮은 경우, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀이 닫힐 때, 또는 얼굴을 상하로 이동시킬 때 등에서 인식되기 쉽게 된다.

이러한 문제에 대해서는, 도 22에 도시하는 바와 같이, 표시 영역(53)을 복수로 분할하면 좋다. 분할된 비표시 영역(52)을 가한 부분이 $S(N-1)/N$ 의 면적으로 되면 분할하지 않는 경우와 동일해진다.

도 23은 게이트 신호선(17)에 인가되는 전압 파형이다. 도 21과 도 23의 차이는, 기본적으로는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하여, 그 개수만큼 온/오프(Vgl과 Vgh) 동작한다. 나머지는 도 21과 대략 동일 또는 유추할 수 있기 때문에 설명을 생략한다.

이상과 같이, 표시 영역(53)을 복수로 분할함으로써 화면의 어른거림이 감소한다. 따라서, 플리커의 발생이 없고, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더욱 세분하여 하여도 좋다. 그러나, 분할하면 할수록 플리커는 경감한다. 특히 EL 소자(15)의 응답성은 빠르므로, 5 μ s보다도 작은 시간으로 온오프하더라도 표시 휘도의 저하는 없다.

본 발명의 구동 방법에 있어서, EL 소자(15)의 온/오프는 게이트 신호선(17b)에 인가되는 신호의 온오프로 제어할 수 있다. 그 때문에, 클럭 주파수는 KHz 정도의 저주파수로 제어가 가능하다. 또한, 흑화면 삽입(비표시 영역(52) 삽입)을 실현하는 데에는, 화상 메모리 등을 필요로 하지 않는다. 따라서, 저비용으로 본 발명의 구동 회로 또는 방법을 실현할 수 있다.

도 24는 동시에 선택하는 화소행이 2 화소행인 경우이다. 검토한 결과에 의하면, 저온 폴리실리콘 기술로 형성한 표시 패널에서는, 2 화소행을 동시에 선택하는 방법은 표시 균일성이 실용적이었다. 이것은 인접한 화소의 구동용 트랜지스터(11a)의 특성이 매우 일치하고 있기 때문으로 추정된다. 또한, 레이저 어닐할 때에, 스트라이프 형상의 레이저의 조사 방향은 소스 신호선(18)과 평행하게 조사하는 것으로 양호한 결과를 얻을 수 있었다.

이것은 동일 시간에 어닐되는 범위의 반도체막은 특성이 균일하기 때문이다. 즉, 스트라이프 형상의 레이저 조사 범위 내에서는 반도체막이 균일하게 제작되고, 이 반도체막을 이용한 트랜지스터의 V_t , 이동도가 거의 같아지기 때문이다. 따라서, 소스 신호선(18)의 형성 방향에 평행하게 스트라이프 형상의 레이저 샷을 조사하고, 이 조사 위치를 이동시키는 것에 의해, 소스 신호선(18)에 따른 화소(화소열, 화면의 상하 방향의 화소)의 특성은 거의 동일하게 제작된다. 따라서, 복수의 화소행을 동시에 온시켜 전류 프로그램을 행한 때, 프로그램 전류는, 동시에 선택된 복수의 화소에는 프로그램 전류를 선택된 화소수로 분할한 전류가 대략 동일하게 전류 프로그램된다. 따라서, 목표값에 가까운 전류 프로그램을 실시할 수 있고, 균일 표시를 실현할 수 있다. 따라서, 레이저 샷 방향과 도 24 등으로 설명하는 구동 방식은 상승 효과가 있다.

이상과 같이, 레이저 샷의 방향을 소스 신호선(18)의 형성 방향과 대략 일치시킴으로써, 화소의 상하 방향의 트랜지스터(11a)의 특성이 거의 동일하게 되고, 양호한 전류 프로그램을 실시할 수 있다(화소의 좌우 방향의 트랜지스터(11a)의 특성이 일치하지 않고 있어도). 이상의 동작은, 1H(1 수평주사 기간)에 동기하여, 1 화소행 또는 복수 화소행씩 선택 화소행 위치를 어긋나게 하여 실시한다. 또, 본 발명은 레이저 샷의 방향을 소스 신호선(18)과 평행하게 한다고 했지만, 반드시 평행하지 않아도 좋다. 소스 신호선(18)에 대하여 경사 방향으로 레이저 샷을 조사하더라도 하나의 소스 신호선(18)에 따른 화소의 상하 방향의 트랜지스터(11a)의 특성은 거의 일치하여 형성되기 때문이다. 따라서, 소스 신호선에 평행하게 레이저 샷을 조사한다는 것은 소스 신호선(18)을 따라 임의의 화소의 위 또는 아래에 인접한 화소를 하나의 레이저 조사 범위에 들어가도록 형성한다는 것이다. 또한, 소스 신호선(18)은 일반적으로는 영상 신호로 되는 프로그램 전류 또는 전압을 전달하는 배선이다.

또, 본 발명의 실시예에서는 1H마다 기입 화소행 위치를 시프트시킨다고 했지만, 이에 한정되는 것은 아니고, 2H마다 시프트하여도 좋고, 또한, 그 이상의 화소행씩 시프트시켜도 좋다. 또한, 임의의 시간 단위로 시프트하여도 좋다. 또한, 화면 위치에 따라서 시프트하는 시간을 변화시켜도 좋다. 예를 들면, 화면의 중앙부에서의 시프트 시간을 짧게 하고, 화면의 상하부에서 시프트 시간을 길게 하여도 좋다. 또한, 프레임마다 시프트 시간을 변화시켜도 좋다. 또한, 연속한 복수 화소행을 선택하는 것에 한정되지 않는다. 예컨대, 1 화소행 떨어진 화소행을 선택하여도 좋다. 즉, 제 1

번째의 수평주사 기간에 제 1 번째의 화소행과 제 3 번째의 화소행을 선택하고, 제 2 번째의 수평주사 기간에 제 2 번째의 화소행과 제 4 번째의 화소행을 선택하며, 제 3 번째의 수평주사 기간에 제 3 번째의 화소행과 제 5 번째의 화소행을 선택하고, 제 4 번째의 수평주사 기간에 제 4 번째의 화소행과 제 6 번째의 화소행을 선택하는 구동 방법이다. 물론, 제 1 번째의 수평주사 기간에 제 1 번째의 화소행과 제 3 번째의 화소행과 제 5 번째의 화소행을 선택한다고 하는 구동 방법도 기술적 範圍이다. 물론, 복수 화소행 떨어진 화소행 위치를 선택하여도 좋다.

또, 이상의 레이저 샷 방향과, 복수 개의 화소행을 동시에 선택한다고 하는 조합은, 도 1, 도 2, 도 32의 화소구성에만 한정되는 것이 아니라, 커런트 미러의 화소 구성인 도 38, 도 42, 도 50 등의 다른 전류 구동 방식의 화소 구성에도 적용할 수 있음은 말할 필요도 없다. 또한, 도 43, 도 51, 도 54, 도 62 등의 전압 구동의 화소 구성에도 적용할 수 있다. 즉, 화소 상하의 트랜지스터의 특성이 일치하고 있으면, 동일한 소스 신호선(18)에 인가된 전압치에 의해 양호하게 전압 프로그램을 실시할 수 있기 때문이다.

도 24에 있어서, 기입 화소행이 (1)화소행때인 때, 게이트 신호선(17a)은 (1), (2)가 선택되고 있다(도 25 참조). 즉, 화소행 (1), (2)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 게이트 신호선(17b)은 게이트 신호선(17a)의 반대 위상으로 되어 있다. 따라서, 적어도 화소행 (1), (2)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다. 또, 도 24에서는 플리커의 발생을 감소시키기 위해서 표시 영역(53)을 5분할하고 있다.

이상적으로는, 2 화소(행)의 트랜지스터(11a)가 각각 $lw \times 5$ ($N=10$ 의 경우. 즉, $K=2$ 이므로, 소스 신호선(18)에 흐르는 전류는 $lw \times K \times 5 = lw \times 10$ 으로 된다)의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 콘덴서(19)에는, 5배의 전류가 프로그램된다.

동시에 선택하는 화소행이 2 화소행($K=2$)이므로, 2개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 $10/2=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 2개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

예를 들면, 기입 화소행(51a)에, 본래 기입 전류 Id 로 하여 소스 신호선(18)에는 $lw \times 10$ 의 전류를 흘린다. 기입 화소행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다. 화소행(51b)은, 1H 기간 동안은 51a와 동일 표시이다. 그 때문에, 기입 화소행(51a)과 전류를 증가시키기 위해 선택한 화소행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음, 1H 후에, 게이트 신호선(17a) (1)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가된다. 또한, 동시에, 게이트 신호선(17a) (3)이 선택되고(V_{gl} 전압), 선택된 화소행 (3)의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해 화소행 (1)에는 정규의 화상 데이터가 유지된다.

다음, 1H 후에 게이트 신호선(17a) (2)는 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가된다. 또한, 동시에, 게이트 신호선(17a) (4)가 선택되고(V_{gl} 전압), 선택된 화소행 (4)의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해 화소행 (2)에는 정규의 화상 데이터가 유지된다. 이상의 동작으로 1 화소행씩 시프트(물론, 복수 화소행씩 시프트하여도 좋다. 예를 들면, 유사 비월 구동이면, 2행씩 시프트할 것이다. 또한, 화상 표시의 관점에서, 복수의 화소행에 동일 화상을 기입하는 경우도 있을 것이다)하면서 주사함으로써 1 화면이 오버라이트된다.

도 16과 마찬가지로, 도 24의 구동 방법에서는 각 화소에 5배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 5배로 된다. 따라서, 표시 영역(53)의 휘도는 소정값보다도 5배로 된다. 이것을 소정의 휘도로 하기 위해서는 도 16 등에 도시하는 바와 같이, 기입 화소행(51)을 포함하고, 또한 표시 화면 1의 1/5의 범위를 비표시 영역(52)으로 하면 좋다.

도 27에 도시하는 바와 같이, 2개의 기입 화소행(51)(51a, 51b)이 선택되고, 화면(50)의 윗변으로부터 아래변으로 순차 선택되어 간다(도 26 참조. 도 26에서는 화소행 (16a)와 (16b)가 선택되어 있다). 그러나, 도 27(b)와 같이, 화면의 아래변까지 오면 기입 화소행(51a)은 존재하지만, (51b)는 없어진다. 즉, 선택할 화소행이 1개밖에 없게된다. 그 때문에, 소스 신호선(18)에 인가된 전류는 전부 화소행(51a)에 기입된다. 따라서, 화소행(51a)에 비교하여, 2배의 전류가 화소에 프로그램되어 버린다.

이러한 문제에 대하여, 본 발명은 도 27(b)에 도시하는 바와 같이 화면(50)의 아래변에 더미 화소행(281)을 형성(배치)하고 있다. 따라서, 선택 화소행이 화면(50)의 아래변까지 선택된 경우는, 화면(50)의 최종 화소행과 더미 화소행(281)이 선택된다. 그 때문에, 도 27(b)의 기입 화소행에는 규정대로의 전류가 기입된다. 또, 더미 화소행(281)은 표시 영역(50)의 상단 또는 하단에 인접하여 형성된 것으로 도시했지만, 이에 한정되는 것은 아니다. 표시 영역(50)으로부터

터 떨어진 위치에 형성되어 있어도 좋다. 또한, 더미 화소행(281)은 도 1의 스위칭 트랜지스터(11d), EL 소자(15) 등을 형성할 필요는 없다. 형성하지 않는 것에 의해, 더미 화소행(281)의 사이즈는 작아진다.

도 28은 도 27(b)의 상태를 나타내고 있다. 도 28에서 분명한 바와 같이, 선택 화소행이 화면(50)의 아래변의 화소(16c)행까지 선택된 경우는, 화면(50)의 최종 화소행(281)이 선택된다. 더미 화소행(281)은 표시 영역(50) 밖에 배치한다. 즉, 더미 화소행(281)은 점등하지 않거나 또는 점등시키지 않거나 또는 점등하더라도 표시로서 보이지 않도록 구성한다. 예를 들면, 화소 전극과 트랜지스터(11)와 의 콘택트 홀을 없애든지, 더미 화소행에는 EL 막을 형성하지 않는가 하는 것이다.

도 27에서는, 화면(50)의 아래변에 더미 화소(행)(281)을 마련한다(형성한다, 배치한다)고 했지만, 이에 한정되지 않는다. 예를 들면, 도 29(a)에 도시하는 바와 같이, 화면의 아래변으로부터 윗변으로 주사(상하 역전 주사)하는 경우는 도 29(b)에 도시하는 바와 같이 화면(50)의 윗변에도 더미 화소행(281)을 형성하여야 한다. 즉, 화면(50)의 윗변과 아래변의 각각에 더미 화소행(281)을 형성(배치)한다. 이상과 같이 구성함으로써, 화면의 상하 반전 주사에도 대응할 수 있게 된다. 이상의 실시예는, 2 화소행을 동시 선택하는 경우였다.

본 발명은 이에 한정되지 않고, 예를 들면, 5 화소행을 동시 선택하는 방식(도 23 참조)이어도 좋다. 즉, 5 화소행을 동시 구동의 경우는, 더미 화소행(281)은 4행분 형성하면 좋다. 본 발명의 더미 화소행 구성 또는 더미 화소행 구동은 적어도 하나 이상의 더미 화소행을 이용하는 방식이다. 물론, 더미 화소행 구동 방법과 N 배 펄스 구동을 조합하여 이용하는 것이 바람직하다.

복수 개의 화소행을 동시에 선택하는 구동 방법에서는 동시에 선택하는 화소행수가 증가할수록, 트랜지스터(11a)의 특성 편차를 흡수하는 것이 곤란하게 된다. 그러나, 선택 개수가 저하하면, 1 화소에 프로그램하는 전류가 커져, EL 소자(15)에 큰 전류를 흘리는 것으로 된다. EL 소자(15)에 흘리는 전류가 크면 EL 소자(15)가 열화하기 쉽게 된다.

도 30은 이러한 문제를 해결하는 것이다. 도 30의 기본 개념은, $1/2H$ (수평주사 기간의 $1/2$)는 도 22, 도 29로 설명한 바와 같이, 복수의 화소행을 동시에 선택하는 방법이다. 그 후의 $1/2H$ (수평주사 기간의 $1/2$)는 도 5, 도 13 등으로 설명한 바와 같이, 1 화소행을 선택하는 방법을 조합시킨 것이다. 이와 같이 편성하는 것에 의해, 트랜지스터(11a)의 특성 편차를 흡수하여, 보다 고속이고 또 면내 균일성을 양호하게 할 수 있다.

도 30에 있어서, 설명을 쉽게 하기 위해서 제 1 기간에서는 5 화소행을 동시에 선택하고, 제 2 기간에서는 1 화소행을 선택한다고 해서 설명한다. 우선, 제 1 기간(전반의 $1/2H$)에서는, 도 30(a1)에 도시하는 바와 같이, 5 화소행을 동시에 선택한다. 이 동작은 도 22를 이용하여 설명했기 때문에 생략한다. 일례로서 소스 신호선(18)에 흘리는 전류는 소정 값의 25배로 한다. 따라서, 각 화소(16)의 트랜지스터(11a)(도 1의 화소 구성의 경우)에는 5배의 전류($25/5$ 화소행=5)가 프로그램된다. 25배의 전류이므로, 소스 신호선(18) 등에 발생하는 기생 용량은 매우 단 기간에 충전된다. 따라서, 소스 신호선(18)의 전위는, 단 시간에 목표의 전위로 되며, 각 화소(16)의 콘덴서(19)의 단자 전압도 5배 전류를 흘리도록 프로그램된다. 이 25배 전류의 인가 시간은 전반의 $1/2H$ (1 수평주사 기간의 $1/2$)로 한다.

당연한 일이지만, 기입 화소행의 5 화소행은 동일 화상 데이터가 기입되므로, 표시되지 않도록 5 화소행의 트랜지스터(11d)는 오프 상태로 된다. 따라서, 표시 상태는 도 30(a2)으로 된다.

다음 후반의 $1/2H$ 기간은 1 화소행을 선택하여, 전류(전압) 프로그램을 행한다. 이 상태를 도 30(b1)에 도시하고 있다. 기입 화소행(51a)은 앞서와 같이 5배의 전류를 흘리도록 전류(전압) 프로그램된다. 도 30(a1)과 도 30(b1)에서 각 화소에 흘리는 전류를 동일하게 하는 것은, 프로그램된 콘덴서(19)의 단자 전압의 변화를 작게 하여, 보다 고속으로 목표의 전류를 흘릴 수 있도록 하기 위해서이다.

즉, 도 30(a1)에서 복수의 화소에 전류를 흘려, 고속으로 개략적인 전류가 흐르는 값까지 접근시킨다. 이 제 1 단계에서는, 복수의 트랜지스터(11a)로 프로그램하고 있기 때문에, 목표값에 대하여 트랜지스터의 편차에 의한 오차가 발생하고 있다. 다음 제 2 단계에서, 데이터를 기입하고 또 유지하는 화소행만을 선택하여, 개략의 목표값으로부터 소정의 목표값까지 완전한 프로그램을 행하는 것이다.

또, 비점등 영역(52)을 화면의 위에서 아래 방향으로 주사하고, 또한, 기입 화소행(51a)도 화면의 위에서 아래 방향으로 주사하는 것은 도 13 등의 실시예와 마찬가지로 하기 때문에 설명을 생략한다.

도 31은 도 30의 구동 방법을 실현하기 위한 구동 파형이다. 도 31에서 알 수 있는 바와 같이, $1H$ (1 수평주사 기간)는 2개의 위상으로 구성되어 있다. 이 2개의 위상은 ISEL 신호로 전환된다. ISEL 신호는 도 31에 도시되어 있다.

우선, ISEL 신호에 대하여 설명한다. 도 30을 실시하는 드라이버(14)는 전류 출력 회로 A와 전류 출력 회로 B를 구비하고 있다. 각각의 전류 출력 회로는 8 비트의 계조 데이터를 DA 변환하는 DA 회로와 op 앰프 등으로 구성된다. 도 3

0의 실시예에서, 전류 출력 회로 A는 25배의 전류를 출력하도록 구성되어 있다. 한편, 전류 출력 회로 B는 5배의 전류를 출력하도록 구성되어 있다. 전류 출력 회로 A와 전류 출력 회로 B의 출력은, ISEL 신호에 의해 전류 출력부에 형성(배치)된 스위치 회로가 제어되어, 소스 신호선(18)에 인가된다. 이 전류 출력 회로는 각 소스 신호선에 배치되어 있다.

ISEL 신호는, L 레벨일 때 25배 전류를 출력하는 전류 출력 회로 A가 선택되어 소스 신호선(18)으로부터의 전류를 소스 드라이버 IC(14)가 흡수한다(보다 적절하게는, 소스 드라이버(14)내에 형성된 전류 출력 회로 A가 흡수한다). 2배, 5배 등의 전류 출력 회로 전류의 크기 조절은 용이하다. 복수의 저항과 아날로그 스위치로 용이하게 구성할 수 있기 때문이다.

도 30에 도시하는 바와 같이 기입 화소행이 (1)화소행일 때(도 30의 1H의 란을 참조), 게이트 신호선(17a)에는 (1), (2), (3), (4), (5)가 선택되어 있다(도 1의 화소 구성의 경우). 즉, 화소행 (1), (2), (3), (4), (5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L레벨이므로, 25배 전류를 출력하는 전류 출력 회로 A가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소행(1), (2), (3), (4), (5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5화소의 트랜지스터(11a)가, 각각 $I_w \times 2$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 콘덴서(19)에는, 5배의 전류가 프로그램된다. 여기서는, 이해를 쉽게 하기 위해서, 각 트랜지스터(11a)는 특성(V_t , S 값)이 일치하고 있는 것으로서 설명한다.

동시에 선택하는 화소행이 5 화소행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 $25/5=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소행(51a)에 종래의 구동 방법으로 화소에 기입하는 전류를 I_w 라고 했을 때, 소스 신호선(18)에는 $I_w \times 25$ 의 전류를 흘린다. 기입 화소행 (1)보다 이후에 화상 데이터를 기입하는 기입 화소행(51b)의 소스 신호선(18)으로의 전류량을 증가시키기 위해서 보조적으로 이용하는 화소행이다. 그러나, 기입 화소행(51b)은 뒤에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 화소행(51b)은, 1H 기간 동안은 51a와 동일 표시이다. 그 때문에, 기입 화소행(51a)과 전류를 증가시키기 위해 선택한 화소행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음 1/2H(수평주사 기간의 1/2)에서는, 기입 화소행(51a)만을 선택한다. 즉, (1)화소행만을 선택한다. 도 31에서 분명한 바와 같이, 게이트 신호선(17a) (1)에만 온 전압(Vgl)이 인가되고, 게이트 신호선(17a) (2), (3), (4), (5)에는 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소행(1)의 트랜지스터(11a)는 동작 상태(소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소행 (2), (3), (4), (5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다. 또한, ISEL이 H레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로 B와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞의 1/2H의 상태와 변화가 없고, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소행(1), (2), (3), (4), (5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상으로부터, 화소행 (1)의 트랜지스터(11a)가 각각 $I_w \times 5$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소행 (1)의 콘덴서(19)에는 5배의 전류가 프로그램된다.

다음 수평주사 기간에서는 1 화소행, 기입 화소행이 시프트된다. 즉, 이번은 기입 화소행이 (2)이다. 최초의 1/2H의 기간에서는, 도 31에 도시하는 바와 같이 기입 화소행이 (2)화소행일 때, 게이트 신호선(17a)은 (2), (3), (4), (5), (6)이 선택되어 있다. 즉, 화소행 (2), (3), (4), (5), (6)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L 레벨이기 때문에 25배 전류를 출력하는 전류 출력 회로 A가 선택되어 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는 오프 전압(Vgh)이 인가되고 있다. 따라서, 화소행 (2), (3), (4), (5), (6)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다. 한편, 화소행(1)의 게이트 신호선(17b) (1)은 Vgl 전압이 인가되고 있으므로, 트랜지스터(11d)는 온 상태이며, 화소행 (1)의 EL 소자(15)는 점등한다.

동시에 선택하는 화소행이 5 화소행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 $25/5=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 5개의 트랜지스터(11a)의 프로그램 전류를 더한 전류가 흐른다.

다음 1/2H(수평주사 기간의 1/2)에서는, 기입 화소행(51a)만을 선택한다. 즉, (2) 화소행만을 선택한다. 도 31에서 분명한 바와 같이, 게이트 신호선(17a) (2)에만 온 전압(Vgl)이 인가되고, 게이트 신호선(17a) (3), (4), (5), (6)에는

오프 전압(V_{gh})이 인가되어 있다. 따라서, 화소행 (1), (2)의 트랜지스터(11a)는 동작 상태(화소행 (1)은 EL 소자(15)에 전류를 흘리고, 화소행 (2)는 소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소행 (3), (4), (5), (6)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다. 또한, ISEL이 H레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로(1222b)와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞의 1/2H의 상태와 변화가 없고, 오프 전압(V_{gh})이 인가되어 있다. 따라서, 화소행 (2), (3), (4), (5), (6)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상으로부터, 화소행 (2)의 트랜지스터(11a)가, 각각 $I_{w \times 5}$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소행 (2)의 콘덴서(19)에는 5배의 전류가 프로그램된다. 이상의 동작을 순차적으로 실시함으로써 1 화면을 표시할 수 있다.

도 30으로 설명한 구동 방법은, 제 1 기간에서 G 화소행(G는 2 이상)을 선택하여, 각 화소행에는 N 배의 전류를 흘리도록 프로그램한다. 제 1 기간 후의 제 2 기간에서는 B 화소행(B는 G보다 작고 1 이상)을 선택하여, 화소에는 N 배의 전류를 흘리도록 프로그램하는 방식이다.

그러나, 다른 방식도 있다. 제 1 기간에서 G 화소행(G는 2 이상)을 선택하고, 각 화소행의 총합 전류가 N 배의 전류가 되도록 프로그램한다. 제 1 기간 후의 제 2 기간에서는 B 화소행(B는 G보다 작고 1 이상)을 선택하여, 선택된 화소행의 총합의 전류(단지, 선택 화소행이 1인 때는 1 화소행의 전류)가 N 배가 되도록 프로그램하는 방식이다. 예를 들면, 도 30(a1)에 있어서, 5 화소행을 동시에 선택하여, 각 화소의 트랜지스터(11a)에는 2배의 전류를 흘린다. 따라서, 소스 신호선(18)에는 5×2 배=10배의 전류가 흐른다. 다음 제 2 기간에서는 도 30(b1)에 있어서, 1 화소행을 선택한다. 이 1 화소의 트랜지스터(11a)에는 10배의 전류를 흘린다.

또, 도 31에 있어, 복수의 화소행을 동시에 선택하는 기간을 1/2H로 하고 1 화소행을 선택하는 기간을 1/2H로 했지만 이에 한정되는 것은 아니다. 복수의 화소행을 동시에 선택하는 기간을 1/4H로 하고 1 화소행을 선택하는 기간을 3/4H로 해도 좋다. 또한, 복수의 화소행을 동시에 선택하는 기간과 1 화소행을 선택하는 기간을 더한 기간을 1H로 했지만 이에 한정되지 않는다. 예를 들면, 2H기간이어도, 5H 기간이어도 좋다.

또한, 도 30에 있어서, 5화소행을 동시에 선택하는 기간을 1/2H로 하고 다음 제 2 기간에서는 2화소행을 동시에 선택하는 것으로 해도 좋다. 이 경우에도 실용상 지장이 없는 화상 표시를 실현할 수 있다.

또한, 도 30에 있어서, 5화소행을 동시에 선택하는 제 1 기간을 1/2H로 하고 1 화소행을 선택하는 제 2 기간을 1/2H로 하는 2단계로 했지만 이에 한정되는 것은 아니다. 예를 들면, 제 1 단계는 5화소행을 동시에 선택하고, 제 2 기간은 상기 5화소행중 2화소행을 선택하며, 최후에 1 화소행을 선택하는 3단계로 해도 좋다. 즉, 복수의 단계로 화소행에 화상 데이터를 기입하여도 좋다.

이상의 본 발명의 N배 펄스 구동 방법에서는, 각 화소행에서 게이트 신호선(17b)의 파형을 동일하게 하고, 1H의 간격으로 시프트시켜 인가해 간다. 이와 같이 주사하므로써, EL 소자(15)가 점등하고 있는 시간을 1 F/N로 규정하면서, 순차적으로, 점등하는 화소행을 시프트시킬 수 있다. 이와 같이, 각 화소행에서 게이트 신호선(17b)의 파형을 동일하게 하여, 시프트시키고 있는 것을 실현하는 것은 용이하다. 도 6의 시프트 레지스터 회로(61a, 61b)에 인가되는 데이터인 ST1, ST2를 제어하면 되기 때문이다. 예를 들면, 입력 ST2가 L 레벨인 때 게이트 신호선(17b)에 V_{gl} 이 출력되고, 입력 ST2가 H 레벨인 때 게이트 신호선(17b)에 V_{gh} 가 출력된다고 하면, 시프트 레지스터(17b)에 인가되는 ST2를 1F/N의 기간만큼 L 레벨로 입력하고 다른 기간은 H 레벨로 한다. 이 입력된 ST2를 1H에서 동기한 클럭 CLK2로 시프트해 갈뿐이다.

또, EL 소자(15)를 온오프시키는 주기는 0.5 msec 이상으로 해야 한다. 이 주기가 짧으면, 인간의 눈의 잔상 특성에 의해 완전한 흑표시 상태로 되지 않고, 화상이 희미해지게 되어, 마치 해상도가 저하한 것과 같이 된다. 또한, 데이터 유지형의 표시 패널의 표시 상태로 된다. 그러나, 온오프 주기가 100msec 이상이 되면, 점멸 상태로 보인다. 따라서, EL 소자의 온오프 주기는 0.5 μ s이상 100ms이하로 해야 한다. 더욱 바람직하게는, 온오프 주기를 2ms이상 30ms이하로 해야 한다. 더욱 바람직하게는, 온오프 주기를 3ms이상 20ms이하로 해야 한다.

앞서도 기재했지만, 흑화면(152)의 분할수는 하나로 하면 양호한 동화상 표시를 실현할 수 있지만, 화면 어른거림이 발견되기 쉽게 된다. 따라서, 흑삽입부를 복수로 분할하는 것이 바람직하다. 그러나, 분할수를 너무 많게 하면 동화상 흐려짐이 발생한다. 분할수는 1이상 8이하로 해야 한다. 더욱 바람직하게는 1이상 5이하로 하는 것이 바람직하다.

또, 흑화면의 분할수는 정지 화상과 동화상에서 변경할 수 있도록 구성하는 것이 바람직하다. 분할수란, N=4에서는 75%가 흑화면이며 25%가 화상 표시이다. 이 때, 75%의 흑표시부를 75%의 흑띠 형태로 화면의 상하 방향으로 주사하는 것이 분할수 1이다. 25%의 흑화면과 25/3%의 표시 화면의 3블럭으로 주사하는 것이 분할수 3이다. 정지 화상은

분할수를 많게 한다. 동화상은 분할수를 적게 한다. 전환은 입력 화상에 따라 자동적(동화상 검출 등)으로 행하여도 좋고, 사용자가 수동으로 행하여도 좋다. 또한, 표시 장치의 영상 등에 입력 콘센트에 대응하여 전환시키도록 구성하면 좋다.

예를 들면, 휴대 전화 등에 있어서, 벽지 표시, 입력 화면에서는, 분할수를 10이상으로 한다(극단적으로는 1H마다 온 오프하여도 좋다). NTSC의 동화상을 표시할 때는, 분할수를 1이상 5이하로 한다. 또, 분할수는 3이상의 다단계로 전환할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 분할수가 0, 2, 4, 8 등이다.

또한, 전표시 화면에 대한 흑화면의 비율은, 전화면의 면적을 1로 했을 때, 0.2 이상 0.9 이하(N으로 표시하면 1.2 이상 9 이하)로 하는 것이 바람직하다. 또한, 특히 0.25 이상 0.6 이하(N으로 표시하면 1.25 이상 6 이하)로 하는 것이 바람직하다. 0.20 이하이면 동화상 표시에서의 개선 효과가 낮다. 0.9 이상이면, 표시 부분의 휘도가 높아지게 되어, 표시 부분이 상하로 이동하는 것이 시각적으로 인식되기 쉽게 된다.

또한, 1초당 프레임 수는, 10 이상 100 이하(10Hz 이상 100Hz 이하)가 바람직하다. 그 위에 12 이상 65 이하(12Hz 이상 65Hz 이하)가 바람직하다. 프레임 수가 적으면, 화면 어른거림이 눈에 띄게 되고, 너무 프레임 수가 많으면, 드 라이버(14)등으로부터의 기입이 힘들게 되어 해상도가 열화한다.

어떻든 본 발명에서는 게이트 신호선(17)의 제어에 의해 화상의 밝기를 변화시킬 수 있다. 단지, 화상의 밝기는 소스 신호선(18)에 인가되는 전류(전압)를 변화시켜 행하여도 되는 것은 말할 필요도 없다. 또한, 먼저 설명한(도 33, 도 35 등을 이용하여) 게이트 신호선(17)의 제어와, 소스 신호선(18)에 인가되는 전류(전압)를 변화시키는 것을 조합시켜 행하여도 되는 것은 말할 필요도 없다.

또, 이상의 사항은 도 38 등의 전류 프로그램의 화소 구성, 도 43, 도 51, 도 54 등의 전압 프로그램의 화소 구성에서도 적용할 수 있는 것은 말할 필요도 없다. 도 38에서는 트랜지스터(11d)를, 도 43에서는 트랜지스터(11d)를, 도 51에서는 트랜지스터(11e)를 온오프 제어하면 좋다. 이와 같이, EL 소자(15)에 전류를 흘리는 배선을 온오프하므로써, 본 발명의 N 배 펄스 구동을 용이하게 실현할 수 있다.

또한, 게이트 신호선(17b)의 $1/F/N$ 의 기간만 V_{gl} 로 하는 시각은 $1F$ ($1F$ 에 한정되지 않고, 단위 기간이어도 좋다)의 기간중 어떤 시각이어도 좋다. 단위 시간중에서, 소정의 기간만큼 EL 소자(15)를 온시킴으로써, 소정의 평균 휘도를 얻는 것이기 때문이다. 단지, 전류 프로그램 기간($1H$) 후, 곧 게이트 신호선(17b)을 V_{gl} 로 하여 EL 소자(15)를 발광시키는 쪽이 좋다. 도 1의 콘덴서(19)의 유지율 특성의 영향을 받기 어렵게 되기 때문이다.

또한, 이 화상의 분할수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 누르는 것에 의해, 혹은 밝기 조정 볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K의 값을 변경한다. 표시할 화상의 내용, 데이터에 따라 수동으로 또는 자동으로 변화시키도록 구성하여도 좋다.

이와 같이 K의 값(화상 표시부(53)의 분할수)을 변화시키는 것도 용이하게 실현할 수 있다. 도 6에 있어서 ST에 인가되는 데이터의 타이밍($1F$ 의 순전히 L레벨로 하던지)을 조정 또는 가변할 수 있도록 구성해 놓으면 좋기 때문이다.

또, 도 16 등에서는, 게이트 신호선(17b)을 V_{gl} 로 하는 기간($1F/N$)을 복수로 분할(분할수 K)하고, V_{gl} 로 하는 기간은 $1F/(K/N)$ 의 기간을 K회 실시한다고 했지만 이에 한정되지 않는다. $1F/(K/N)$ 의 기간을 L($L \neq K$)회 실시하더라도 좋다. 즉, 본 발명은, EL 소자(15)에 흘리는 기간(시간)을 제어하므로써 화상(50)을 표시하는 것이다. 따라서, $1F/(K/N)$ 의 기간을 L($L \neq K$)회 실시하는 것은 본 발명의 기술적사상에 포함된다. 또한, L의 값을 변화시킴으로써, 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, $L=2$ 과 $L=3$ 에서는 50 %의 휘도(콘트라스트) 변화를 이룬다. 이들의 제어도 본 발명의 다른 실시예에도 적용할 수 있는 것은 말할 필요도 없다(물론, 이후에 설명하는 본 발명에도 적용할 수 있다). 이들도 본 발명의 N 배 펄스 구동이다.

이상의 실시예는, EL 소자(15)와 구동용 트랜지스터(11a)의 사이에 스위칭 소자로서의 트랜지스터(11d)를 배치(형성)하고, 이 트랜지스터(11d)를 제어하므로써, 화면(50)을 온오프 표시하는 것이었다. 이 구동 방법에 의해, 전류 프로그램 방식의 흑표시 상태에서의 전류 기입 부족을 없애고, 양호한 해상도 또는 흑표시를 실현하는 것이었다. 즉, 전류 프로그램 방식에서는, 양호한 흑표시를 실현하는 것이 중요하다. 다음에 설명하는 구동 방법은, 구동용 트랜지스터(11a)를 리세트하여, 양호한 흑표시를 실현하는 것이다. 이하, 도 32를 이용하여 그 실시예에 대하여 설명한다.

도 32는 기본적으로는 도 1의 화소 구성이다. 도 32의 화소 구성에서는 프로그램된 I_w 전류가 EL 소자(15)에 흘러 EL 소자(15)가 발광한다. 즉, 구동용 트랜지스터(11a)는 프로그램되는 것에 의해 전류를 흘리는 능력을 유지하고 있다. 이 전류를 흘리는 능력을 이용하여 트랜지스터(11a)를 리세트(오프 상태)로 하는 방식이 도 32의 구동 방식이다. 이후, 이 구동 방식을 리세트 구동이라고 부른다.

도 1의 화소 구성으로 리셋 구동을 실현하기 위해서는, 트랜지스터(11b)와 트랜지스터(11c)를 독립하여 온오프 제어할 수 있도록 구성해야 한다. 즉, 도 32로 도시하는 바와 같이 트랜지스터(11b)를 온오프 제어하는 게이트 신호선(11a)(게이트 신호선 WR), 트랜지스터(11c)를 온오프 제어하는 게이트 신호선(11c)(게이트 신호선 EL)을 독립하여 제어할 수 있도록 한다. 게이트 신호선(11a)과 게이트 신호선(11c)의 제어는 도 6에 도시하는 바와 같이 독립된 2개의 시프트 레지스터(61)로 실행하면 좋다.

게이트 신호선 WR과 게이트 신호선 EL의 구동 전압은 변화시키면 좋다. 게이트 신호선 WR의 진폭값(온전압과 오프 전압과의 차)은 게이트 신호선 EL의 진폭값보다 작게 한다. 기본적으로 게이트 신호선의 진폭값이 크면, 게이트 신호선과 화소와의 편차쓰루우 전압이 커져, 검은 빛이 돌게 된다. 게이트 신호선 WR의 진폭은 소스 신호선(18)의 전위가 화소(16)에 인가되지 않음(인가함(선택시))을 제어하면 좋은 것이다. 소스 신호선(18)의 전위 변동은 작으므로, 게이트 신호선 WR의 진폭값은 작게 할 수 있다. 한편, 게이트 신호선 EL은 EL의 온오프 제어를 실시해야 한다. 따라서, 진폭값은 커진다. 이에 대응하기 위해서, 시프트 레지스터(61a)와 (61b)의 출력 전압을 변화시킨다. 화소가 P채널 트랜지스터로 형성되어 있는 경우는 시프트 레지스터(61a)와 (61b)의 Vgh(오프 전압)를 대략 동일하게 하고, 시프트 레지스터(61a)의 Vgl(온전압)을 시프트 레지스터(61b)의 Vgl(온전압)보다도 낮게 한다.

이하, 도 33을 참조하면서 리셋 구동 방식에 대하여 설명한다. 도 33은 리셋 구동의 원리 설명도이다. 우선, 도 33(a)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11b)를 온상태로 한다. 그렇게 하면, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, Ib 전류가 흐른다. 일반적으로, 트랜지스터(11a)는 하나 앞의 필드(프레임)에서 전류 프로그램되어, 전류를 흘리는 능력이 있다. 이 상태에서 트랜지스터(11d)가 오프 상태로 되고 트랜지스터(11b)가 온 상태로 되면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자에 흐른다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)가 된다.

이 트랜지스터(11a)의 리셋 상태(전류를 흘리지 않는 상태)는, 도 51 등에서 설명하는 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 33(a)의 상태에서 콘덴서(19)의 단자 사이에는 오프셋 전압이 유지되어 있는 것으로 된다. 이 오프셋 전압은 트랜지스터(11a)의 특성에 따라 다른 전압값이다. 따라서, 도 33(a)의 동작을 실시하므로써, 각 화소의 콘덴서(19)에는 트랜지스터(11a)가 전류를 흘리지 않는다(즉, 흑표시 전류(거의 0와 같다)가 유지되는 것으로 되는 것이다).

또, 도 33(a)의 동작의 앞에, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하여, 구동용 트랜지스터(11a)에 전류를 흘리는 동작을 실시하는 것이 바람직하다. 이 동작은, 가급적 단시간으로 하는 것이 바람직하다. EL 소자(15)에 전류가 흘러 EL 소자(15)가 점등하여, 표시 콘트라스트를 저하시킬 우려가 있기 때문이다. 이 동작 시간은 1H(1 수평 주사 기간)의 0.1% 이상 10% 이하로 하는 것이 바람직하다. 더욱 바람직하게는 0.2% 이상 2% 이하가 되도록 하는 것이 바람직하다. 또는 0.2 μ s 이상 5 μ s 이하가 되도록 하는 것이 바람직하다. 또한, 전체화면의 화소(16)에 일괄해서 전술한 동작(도 33(a)의 앞에서 실행하는 동작)을 실시하더라도 좋다. 이상의 동작을 실시하므로써, 구동용 트랜지스터(11a)의 드레인(D) 단자 전압이 저하하여, 도 33(a)의 상태로 스무스한 Ib 전류를 흘릴 수 있게 된다. 또, 이상의 사항은 본 발명의 다른 리셋 구동 방식에도 적용된다.

도 33(a)의 실시 시간을 길게 할수록, Ib 전류가 흘러 콘덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 33(a)의 실시 시간은 고정값으로 할 필요가 있다. 실험 및 검토에 의하면, 도 33(a)의 실시 시간은, 1H 이상 5H 이하로 하는 것이 바람직하다. 또, 이 기간은, R, G, B의 화소에서 다르게 한 것이 바람직하다. 각 색의 화소에서 EL 재료가 다르고, 이 EL 재료의 상승 전압 등에 차이가 있기 때문이다. R, G, B의 각 화소에서 EL 재료에 적응하여, 가장 최적의 기간을 설정한다. 또, 실시예에 있어서, 이 기간은 1H 이상 5H 이하로 한다고 했지만, 흑삽입(흑화면을 기입)을 주로 하는 구동 방식에서는, 5H 이상이어도 되는 것은 말할 필요도 없다. 또, 이 기간이 길수록, 화소의 흑표시 상태는 양호해진다.

도 33(a)를 실시 후, 1H 이상 5H 이하의 기간에 있어서, 도 33(b)의 상태로 한다. 도 33(b)는 트랜지스터(11c), 트랜지스터(11b)를 온시키고, 트랜지스터(11d)를 오프시킨 상태이다. 도 33(b)의 상태는 이전에도 설명했지만, 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버(14)로부터 프로그램 전류 Iw를 출력(또는 흡수)하여, 이 프로그램 전류 Iw를 구동용 트랜지스터(11a)에 흘린다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 설정하는 것이다(설정 전위는 콘덴서(19)에 유지된다).

만약에 프로그램 전류 Iw가 0(A)이면, 트랜지스터(11a)는 전류를 도 33(a)의 전류를 흘리지 않는 상태가 유지된 채로 되므로, 양호한 흑표시를 실현할 수 있다. 또한, 도 33(b)로 백표시의 전류 프로그램을 행하는 경우에도, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하고 있어도, 완전히 흑표시 상태의 오프셋 전압으로부터 전류 프로그램을 행한다. 따라서, 목표의 전류치로 프로그램되는 시간이 계조에 따라 같게 된다. 그 때문에, 트랜지스터(11a)의 특성 편차에 의한 계조오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 33(b)의 전류 프로그래밍 후, 도 33(c)에 도시하는 바와 같이, 트랜지스터(11b), 트랜지스터(11c)를 오프시키고, 트랜지스터(11d)를 온시켜, 구동용 트랜지스터(11a)로부터의 프로그램 전류 $I_w (=I_e)$ 를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 33(c)에 관해서도, 도 1 등에서 이전에 설명을 했기 때문에 상세한 것은 생략한다.

즉, 도 33으로 설명한 구동 방식(리세트 구동)은, 구동용 트랜지스터(11a)와 EL 소자(15)간을 절단(전류가 흐르지 않는 상태)하고, 또한, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(또는 소스(S)단자와 게이트(G) 단자, 더욱 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2단자) 사이를 쇼트시키는 제 1 동작과, 상기 동작 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작후에 실행하는 것이다. 또, 리세트 구동을 실시하기 위해서는, 도 32의 구성과 같이, 트랜지스터(11b)와 트랜지스터(11c)를 독립적으로 제어할 수 있도록 구성해 놓지 않으면 안된다.

화상 표시 상태는(만약에 순간적인 변화가 관찰될 수 있는 것이면), 우선, 전류 프로그램이 행해지는 화소행은 리세트 상태(흑표시 상태)가 되고, 1H 후에 전류 프로그램이 행해진다(이 때도 흑표시 상태이다. 트랜지스터(11d)가 오프이기 때문이다). 다음에, EL 소자(15)에 전류가 공급되고, 화소행은 소정 휘도(프로그램된 전류)로 발광한다. 즉, 화면의 위에서 아래 방향으로 흑표시의 화소행이 이동하고, 이 화소행이 통과한 위치에서 화상이 오버라이트되어 가는 것처럼 보일 것이다. 또, 리세트 후, 1H 후에 전류 프로그램을 행한다고 했지만 이 기간은 5H 정도 이내로 해도 좋다. 도 33(a)의 리세트가 완전히 행해지는 데 비교적 장시간을 필요로 하기 때문이다. 만약에 이 기간을 5H로 하면, 5화소행이 흑표시(전류 프로그램의 화소행도 포함시키면 6화소행)로 되는 것이다.

또한, 리세트 상태는 1화소행씩 실행하는 것에 한정되지 않고, 복수 화소행씩 동시에 리세트 상태로 하여도 좋다. 또한, 복수 화소행씩 동시에 리세트 상태로 하고, 또한 오버랩하면서 주사하여도 좋다. 예를 들면, 4화소행을 동시에 리세트하는 것이면, 제 1 수평 주사 기간(1단위)에 화소행 (1), (2), (3), (4)를 리세트 상태로 하고, 다음 제 2 수평 주사 기간에 화소행 (3), (4), (5), (6)을 리세트상태로 하고, 또한 다음 제 3 수평 주사 기간에 화소행 (5), (6), (7), (8)을 리세트 상태로 한다. 또한, 다음 제 4 수평 주사 기간에 화소행 (7), (8), (9), (10)을 리세트 상태로 하는 구동 상태가 예시된다. 또, 당연히 도 33(b), 33(c)의 구동 상태도 도 33(a)의 구동 상태와 동기하여 실시된다.

또한, 1화면의 화소 전부를 동시에 또는 주사 상태에서 리세트 상태로부터, 도 33(b), (c)의 구동을 실시하여도 되는 것은 말할 필요도 없다. 또한, 비월 구동 상태(1 화소행 또는 복수 화소행의 비월 주사)에 의해 리세트 상태(1 화소행 또는 복수 화소행 비월)로 하여도 되는 것은 말할 필요도 없다. 또한, 랜덤의 리세트 상태를 실시하여도 좋다. 또한, 본 발명의 리세트 구동의 설명은 화소행을 조작하는 방식이다(즉, 화면의 상하 방향을 제어한다). 그러나, 리세트 구동의 개념은 제어 방향이 화소행에 한정되는 것이 아니다. 예를 들면, 화소열 방향에서 리세트 구동을 실시하더라도 되는 것은 말할 필요도 없다.

또, 도 33의 리세트 구동은 본 발명의 N배 펄스 구동 등과 조합시킨 것, 비월 구동과 조합시킨 것에 의해 더욱 양호한 화상 표시를 실현할 수 있다. 특히 도 22의 구성은 간헐 N/K 배 펄스 구동(1화면에 점등 영역을 복수 마련하는 구동 방법)이다. 이 구동 방법은 게이트 신호선(17b)을 제어하여 트랜지스터(11d)를 온오프동작시킴으로써 용이하게 실현할 수 있다. 이것은 이전에 설명을 했다.)을 용이하게 실현할 수 있기 때문에, 플리커의 발생도 없고 양호한 화상 표시를 실현할 수 있다. 이것은 도 22 또는 그 변형 구성의 뛰어난 특징이다. 또한, 다른 구동 방법, 예를 들면, 이후 설명하는 역바이어스 구동 방식, 프리차지 구동 방식, 펀치 스루 전압 구동 방식 등과 조합하는 것에 의해 더욱 우수한 화상 표시를 실현할 수 있는 것은 말할 필요도 없다. 이상과 같이, 본 발명과 마찬가지로 리세트 구동도 본 명세서의 다른 실시예와 조합하여 실시할 수 있는 것은 말할 필요도 없다.

도 34는 리세트 구동을 실현하는 표시 장치의 구성도이다. 게이트 드라이버(12a)는, 도 32에 있어서 게이트 신호선(17a) 및 게이트 신호선(17b)을 제어한다. 게이트 신호선(17a)에 온오프 전압을 인가하므로써 트랜지스터(11b)가 온오프 제어된다. 또한, 게이트 신호선(17b)에 온오프 전압을 인가하므로써 트랜지스터(11d)가 온오프 제어된다. 게이트 드라이버(12b)는 도 32에 있어서 게이트 신호선(17c)을 제어한다. 게이트 신호선(17c)에 온오프 전압을 인가하므로써 트랜지스터(11c)가 온오프 제어된다.

따라서, 게이트 신호선(17a)은 게이트 드라이버(12a)에서 조작하고, 게이트 신호선(17c)은 게이트 드라이버(12b)에서 조작한다. 그 때문에, 트랜지스터(11b)를 온시켜 구동용 트랜지스터(11a)를 리세트하는 타이밍과, 트랜지스터(11c)를 온시켜 구동용 트랜지스터(11a)에 전류 프로그램을 행하는 타이밍을 자유롭게 설정할 수 있다. 다른 구성 등은 이전에 설명한 것과 동일 또는 유사하기 때문에 설명을 생략한다.

도 35는 리세트 구동의 타이밍도이다. 게이트 신호선(17a)에 온전압을 인가하여, 트랜지스터(11b)를 온시켜, 구동용 트랜지스터(11a)를 리세트하고 있는 때에는, 게이트 신호선(17b)에는 오프 전압을 인가하여, 트랜지스터(11d)를 오프 상태로 하고 있다. 따라서, 도 32(a)의 상태로 되어 있다. 이 기간에 Ib 전류가 흐른다.

도 35의 타이밍도에서는, 리세트 시간은 2H(게이트 신호선(17a)에 온전압이 인가되어, 트랜지스터(11b)가 온된다)로

하고 있지만, 이에 한정되지 않는다. 2H 이상이어도 좋다. 또한, 리셋을 지극히 고속으로 실행할 수 있는 경우는, 리셋 시간은 1H 미만이어도 좋다. 또한, 리셋 기간을 몇H 기간으로 할지는 게이트 드라이버(12)에 입력되는 DATA(ST) 펄스 기간으로 용이하게 변경할 수 있다. 예를 들면, ST 단자에 입력하는 DATA를 2H 기간 동안 H 레벨로 하면, 각 게이트 신호선(17a)에서 출력되는 리셋 기간은 2H 기간으로 된다. 마찬가지로, ST 단자에 입력되는 DATA를 5H 기간 동안 H 레벨로 하면, 각 게이트 신호선(17a)에서 출력되는 리셋 기간은 5H 기간으로 된다.

1H 기간의 리셋 후, 화소행 (1)의 게이트 신호선(17c) (1)에 온전압이 인가된다. 트랜지스터(11c)가 온하므로써, 소스 신호선(18)에 인가된 프로그램 전류 I_w 가 트랜지스터(11c)를 거쳐서 구동용 트랜지스터(11a)에 기입된다.

전류 프로그램 후, 화소 (1)의 게이트 신호선(17c)에 오프 전압이 인가되어, 트랜지스터(11c)가 오프하여, 화소가 소스 신호선과 분리된다. 동시에, 게이트 신호선(17a)에도 오프 전압이 인가되어, 구동용 트랜지스터(11a)의 리셋 상태가 해소된다(또, 이 기간은 리셋 상태라고 표현하는 것보다도, 전류 프로그램 상태라고 표현하는 쪽이 적절하다). 또한, 게이트 신호선(17b)에는 온전압이 인가되어, 트랜지스터(11d)가 온하여, 구동용 트랜지스터(11a)에 프로그램된 전류가 EL 소자(15)에 흐른다. 또, 화소행 (2) 이후에 관해서도, 화소행 (1)과 마찬가지로, 또, 도 35로부터 그 동작은 분명하므로 설명을 생략한다.

도 35에 있어서, 리셋 기간은 1H 기간이었다. 도 36은 리셋 기간을 5H로 한 실시예이다. 리셋 기간을 몇 H 기간으로 할지는 게이트 드라이버(12)에 입력되는 DATA(ST) 펄스 기간으로 용이하게 변경할 수 있다. 도 36에서는 게이트 드라이버(12a)의 ST1 단자에 입력되는 DATA를 5H 기간 동안 H 레벨로 하고, 각 게이트 신호선(17a)에서 출력되는 리셋 기간을 5H 기간으로 한 실시예이다. 리셋기간은 길수록, 리셋이 완전히 행하여져 양호한 흑표시를 실현할 수 있다. 그러나, 리셋 기간의 비율만큼 표시 휘도가 저하하게 된다.

도 36은 리셋 기간을 5H로 한 실시예였다. 또한, 이 리셋 상태는 연속 상태였다. 그러나, 리셋 상태는 연속하여 실행하는 것에 한정되는 것이 아니다. 예를 들면, 각 게이트 신호선(17a)에서 출력되는 신호를 1H 마다 온오프 동작 시키더라도 좋다. 이와 같이 온오프 동작시키는 것은 시프트 레지스터의 출력단에 형성된 인에이블 회로(도시하지 않음)를 조작하므로써 용이하게 실현할 수 있다. 또한, 게이트 드라이버(12)에 입력되는 DATA(ST) 펄스를 제어하는 것으로 용이하게 실현할 수 있다.

도 34의 회로 구성에서는, 게이트 드라이버(12a)는 적어도 2개의 시프트 레지스터 회로(1개는 게이트 신호선(17a) 제어용, 다른 하나는 게이트 신호선(17b) 제어용)이 필요했다. 그 때문에, 게이트 드라이버(12a)의 회로 규모가 커진다고 하는 문제가 있었다. 도 37은 게이트 드라이버(12a)의 시프트 레지스터를 하나로 한 실시예이다. 도 37의 회로를 동작시킨 출력 신호의 타이밍도는 도 35와 같이 된다. 또, 도 35와 도 37은 게이트 드라이버(12a, 12b)로부터 출력되고 있는 게이트 신호선(17)의 기호가 다르기 때문에 주의가 필요하다.

도 37의 OR 회로(371)가 부가되어 있는 것으로부터 명백하지만, 각 게이트 신호선(17a)의 출력은 시프트 레지스터 회로(61a)의 전단 출력과의 OR를 취하여 출력된다. 즉, 2H 기간, 게이트 신호선(17a)으로부터는 온전압이 출력된다. 한편, 게이트 신호선(17c)은 시프트 레지스터 회로(61a)의 출력이 그대로 출력된다. 따라서, 1H 기간 동안 온전압이 인가된다.

예를 들면, 시프트 레지스터 회로(61a)의 2번째에서 H 레벨 신호가 출력되고 있는 때, 화소(16) (1)의 게이트 신호선(17c)에 온전압이 출력되고, 화소(16) (1)이 전류(전압) 프로그램의 상태이다. 동시에, 화소(16) (2)의 게이트 신호선(17a)에도 온전압이 출력되고, 화소(16) (2)의 트랜지스터(11b)가 온상태로 되며, 화소(16) (2)의 구동용 트랜지스터(11a)가 리셋된다.

마찬가지로, 시프트 레지스터 회로(61a)의 3번째에 H 레벨 신호가 출력되고 있는 때, 화소(16) (2)의 게이트 신호선(17c)에 온전압이 출력되고, 화소(16) (2)가 전류(전압) 프로그램의 상태이다. 동시에, 화소(16) (3)의 게이트 신호선(17a)에도 온전압이 출력되고, 화소(16) (3)의 트랜지스터(11b)가 온 상태로 되며, 화소(16) (3)의 구동용 트랜지스터(11a)가 리셋된다. 즉, 2H 기간, 게이트 신호선(17a)으로부터는 온전압이 출력되고, 게이트 신호선(17c)에 1H 기간, 온전압이 출력된다.

프로그램 상태인 때는 트랜지스터(11b)와 트랜지스터(11c)가 동시에 온 상태로 되지만(도 33(b)), 비프로그램 상태(도 33(c))로 이행할 때, 트랜지스터(11c)가 트랜지스터(11b) 보다도 먼저 오프 상태로 되면, 도 33(b)의 리셋 상태로 되어 버린다. 이를 방지하기 위해서는, 트랜지스터(11c)가 트랜지스터(11b)보다도 나중에 오프 상태로 될 필요가 있다. 이를 위하여는, 게이트 신호선(17a)이 게이트 신호선(17c)보다도 먼저 온 전압이 인가되도록 제어해야 한다.

이상의 실시예는, 도 32(기본적으로는 도 1)의 화소 구성에 관한 실시예이었다. 그러나, 본 발명은 이에 한정되는 것이 아니다. 예를 들면, 도 38에 나타내는 것과 같은 커런트 미러의 화소 구성이어도 실시할 수 있다. 또, 도 38에서는 트랜지스터(11e)를 온오프 제어하므로써, 도 13, 도 15 등으로 도시하는 N배 펄스 구동을 실현할 수 있다. 도 39는

도 38의 커런트 미러의 화소 구성에서의 실시예의 설명도이다. 이하, 도 39를 참조하면서 커런트 미러의 화소 구성에 있어서의 리세트 구동 방식에 대하여 설명한다.

도 39(a)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11e)를 오프 상태로 하고, 트랜지스터(11d)를 온상태로 한다. 그렇게 하면, 전류 프로그램용 트랜지스터(11b)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되고, 도면에 도시하는 바와 같이 Ib 전류가 흐른다. 일반적으로, 트랜지스터(11b)는 하나 앞의 필드(프레임)에서 전류 프로그램되어 전류를 흘리는 능력이 있다(게이트 전위는 콘덴서(19)에 1F 기간 유지되어, 화상 표시를 행하고 있기 때문에 당연하다. 단지, 완전한 흑표시를 하고 있는 경우에는 전류는 흐르지 않는다). 이 상태에서 트랜지스터(11e)를 오프 상태로 하고 트랜지스터(11d)를 온상태로 하면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자의 방향으로 흐른다(게이트(G) 단자와 드레인(D) 단자가 쇼트된다). 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 트랜지스터(11a)는 리세트(전류를 흘리지 않는 상태)가 된다. 또한, 구동용 트랜지스터(11b)의 게이트(G) 단자는 전류 프로그램용 트랜지스터(11a)의 게이트(G) 단자와 공통이므로, 구동용 트랜지스터(11b)도 리세트 상태로 된다.

이 트랜지스터(11a), 트랜지스터(11b)의 리세트 상태(전류를 흘리지 않는 상태)는, 도 51 등으로 설명하는 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 39(a)의 상태에서는, 콘덴서(19)의 단자 사이에 오프셋전압(전류가 흐르기 시작하는 개시 전압. 이 전압의 절대값 이상의 전압을 인가하므로써, 트랜지스터(11)에 전류가 흐른다)이 유지되어 있는 것으로 된다. 이 오프셋 전압은 트랜지스터(11a), 트랜지스터(11b)의 특성에 따라 다른 전압값이다. 따라서, 도 39(a)의 동작을 실시하므로써, 각 화소의 콘덴서(19)에는 트랜지스터(11a), 트랜지스터(11b)가 전류를 흘리지 않는(즉, 흑표시 전류(거의 0과 같다)) 상태가 유지되게 되는 것이다(전류가 흐르기 시작하는 개시 전압에 리세트되었다).

또, 도 39(a)에 있어서도 도 33(a)와 같이, 리세트의 실시 시간을 길게 할수록, Ib 전류가 흘러 콘덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 39(a)의 실시 시간은 고정값으로 할 필요가 있다. 실험 및 검토에 의하면, 도 39(a)의 실시 시간은 1H 이상 10H(10 수평 주사 기간) 이하로 하는 것이 바람직하다. 더욱이, 1H 이상 5H 이하로 하는 것이 바람직하다. 또는, 20 μ s 이상 2ms 이하로 하는 것이 바람직하다. 이것은 도 33의 구동 방식에서도 마찬가지이다.

도 33(a)도 마찬가지이지만, 도 39(a)의 리세트 상태와, 도 39(b)의 전류 프로그램 상태를 동기를 들어 실행한 경우에는, 도 39(a)의 리세트 상태로부터 도 39(b)의 전류 프로그램 상태까지의 기간이 고정값(일정값)으로 되니까 문제는 없다(고정값으로 되어 있다). 즉, 도 33(a) 또는 도 39(a)의 리세트 상태로부터 도 33(b) 또는 도 39(b)의 전류 프로그램 상태까지의 기간이 1H 이상 10H(10 수평 주사 기간) 이하로 하는 것이 바람직하다. 더욱이, 1H 이상 5H 이하로 하는 것이 바람직하다. 또는, 20 μ s 이상 2 ms 이하로 하는 것이 바람직하다. 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리세트되지 않는다. 또한, 너무 길면 구동용 트랜지스터(11)가 완전히 오프 상태가 되어, 이번에는 전류를 프로그램하는데 장시간이 필요하게 된다. 또한, 화면(50)의 휘도도 저하한다.

도 39(a)를 실시한 후, 도 39(b)의 상태로 한다. 도 39(b)는 트랜지스터(11c), 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시킨 상태이다. 도 39(b)의 상태는 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버(14)로부터 프로그램 전류 Iw를 출력(또는 흡수)하여, 이 프로그램 전류 Iw를 전류 프로그램용 트랜지스터(11a)에 흘린다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11b)의 게이트(G) 단자의 전위를 콘덴서(19)에 설정하는 것이다.

만약에 프로그램 전류 Iw가 0(A)(흑 표시)이면, 트랜지스터(11b)는 전류를 도 33(a)의 전류를 흘리지 않는 상태가 유지된 채로가 되므로, 양호한 흑표시를 실현할 수 있다. 또한, 도 39(b)로 백 표시의 전류 프로그램을 행하는 경우는, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하고 있더라도, 완전히 흑표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)으로부터 전류 프로그램을 행한다. 따라서, 목표의 전류치로 프로그램되는 시간이 계조에 따라 같게 된다. 그 때문에, 트랜지스터(11a) 또는 트랜지스터(11b)의 특성 편차에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 39(b)의 전류 프로그래밍 후, 도 39(c)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프하고, 트랜지스터(11e)를 온시켜, 구동용 트랜지스터(11b)로부터의 프로그램 전류 Iw(= Ie)를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 39(c)에 관해서도 이전에 설명을 했기 때문에 상세한 것은 생략한다.

도 33, 도 39에서 설명한 구동 방식(리세트 구동)은, 구동용 트랜지스터(11a) 또는 트랜지스터(11b)와 EL 소자(15) 사이를 절단(전류가 흐르지 않는 상태. 트랜지스터(11e) 또는 트랜지스터(11d)에서 실행한다)시키고, 또한, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(또는 소스(S) 단자와 게이트(G) 단자, 더욱 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자)간을 쇼트시키는 제 1 동작과, 상기 동작 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작 후에 실행하는 것이다. 또, 제 1 동작에 있어서의 구동용 트랜지스터(11a) 또는 트랜지스터(11b)와 EL 소자(15)간을 절단한다고

하는 동작은, 반드시 필수적인 조건이 아니다. 만약에 제 1 동작에 있어서의 구동용 트랜지스터(11a) 또는 트랜지스터(11b)와 EL 소자(15)간을 절단하지 않고서, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자간을 쇼트시키는 제 1 동작을 행 하더라도 다소의 리세트 상태의 편차가 발생하는 정도로 끝나는 경우가 있기 때문이다. 이것은 제작한 어레이의 트랜지스터 특성을 검토하여 결정한다.

도 39의 커런트 미러의 화소 구성은, 전류 프로그램 트랜지스터(11a)를 리세트함으로써, 결과적으로 구동용 트랜지스터(11b)를 리세트하는 구동 방법이었다.

도 39의 커런트 미러의 화소 구성에서는, 리세트 상태에서 반드시 구동용 트랜지스터(11b)와 EL 소자(15)간을 절단할 필요는 없다. 따라서, 전류 프로그램용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자(또는 소스(S) 단자와 게이트(G) 단자, 또한 일반적으로 표현하면 전류 프로그램용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자, 또는 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자)간을 쇼트시키는 제 1 동작과, 상기 동작 후 전류 프로그램용 트랜지스터에 전류(전압) 프로그램을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작 후에 실행하는 것이다.

화상 표시 상태는(만약 순간적인 변화가 관찰될 수 있는 것이면), 우선, 전류 프로그램이 행해지는 화소행은 리세트 상태(혹 표시 상태)가 되고, 소정 H 후에 전류 프로그램이 행하여진다. 화면의 위에서 아래 방향으로 혹 표시의 화소행이 이동하여, 이 화소행이 통과한 위치에서 화상이 오버라이트되어가도록 보일 것이다.

이상의 실시에는, 전류 프로그램의 화소 구성을 중심으로 해서 설명을 했지만, 본 발명의 리세트 구동은 전압 프로그램의 화소 구성에도 적용할 수 있다. 도 43은 전압 프로그램의 화소 구성에 있어서의 리세트 구동을 실시하기 위한 본 발명의 화소 구성(패널 구성)의 설명도이다.

도 43의 화소 구성에서는, 구동용 트랜지스터(11a)를 리세트 동작시키기 위한 트랜지스터(11e)가 형성되어 있다. 게이트 신호선(17e)에 온 전압이 인가되는 것에 의해, 트랜지스터(11e)가 온하여, 구동용 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자간을 쇼트시킨다. 또한, EL 소자(15)와 구동용 트랜지스터(11a)의 전류 경로를 절단하는 트랜지스터(11d)가 형성되어 있다. 이하, 도 44를 참조하면서, 전압 프로그램의 화소 구성에 있어서의 본 발명의 리세트 구동 방식에 대하여 설명한다.

도 44(a)에 도시하는 바와 같이, 트랜지스터(11b), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온 상태로 한다. 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, 도면에 도시하는 바와 같이 Ib 전류가 흐른다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 구동용 트랜지스터(11a)는 리세트(전류를 흘리지 않는 상태)가 된다. 또, 트랜지스터(11a)를 리세트하기 전에, 도 33 또는 도 39에서 설명한 바와 같이, HD 동기 신호에 동기하여, 최초에 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘려 놓는다. 그 후, 도 44(a)의 동작을 실시한다.

이 트랜지스터(11a), 트랜지스터(11b)의 리세트 상태(전류를 흘리지 않는 상태)는, 도 41 등으로 설명한 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 44(a)의 상태에서는, 콘덴서(19)의 단자 사이에 오프셋 전압(리세트 전압)이 유지되어 있는 것으로 된다. 이 리세트 전압은 구동용 트랜지스터(11a)의 특성에 따라 다른 전압값이다. 즉, 도 44(a)의 동작을 실시함으로써, 각 화소의 콘덴서(19)에는 구동용 트랜지스터(11a)가 전류를 흘리지 않는(즉, 혹 표시 전류(거의 0와 같다)) 상태가 유지되는 것으로 되는 것이다(전류가 흐르기 시작하는 개시 전압에 리세트되었다).

또, 전압 프로그램의 화소 구성에 있어서도, 전류 프로그램의 화소 구성과 마찬가지로, 도 44(a)의 리세트의 실시 시간을 길게할수록 Ib 전류가 흘러, 콘덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 44(a)의 실시 시간은 고정값으로 할 필요가 있다. 실시 시간은, 0.2H 이상 5H (5수평주사 기간) 이하로 하는 것이 바람직하다. 더욱이, 0.5H 이상 4H 이하로 하는 것이 바람직하다. 또는, 2 μ s 이상 400 μ s 이하로 하는 것이 바람직하다.

또한, 게이트 신호선(17e)은 전단의 화소행의 게이트 신호선(17a)과 공통으로 해 놓는 것이 바람직하다. 즉, 게이트 신호선(17e)과 전단의 화소행의 게이트 신호선(17a)을 쇼트 상태로 형성한다. 이 구성을 전단 게이트 제어 방식이라고 부른다. 또, 전단 게이트 제어 방식이란, 주목 화소행보다 적어도 1H전 이상에서 선택되는 화소행의 게이트 신호선 파형을 이용하는 것이다. 따라서, 1 화소행 전에 한정되는 것이 아니다. 예를 들면, 2 화소행 전의 게이트 신호선의 신호 파형을 이용하여 주목 화소의 구동용 트랜지스터(11a)의 리세트를 실시하더라도 좋다.

전단 게이트 제어 방식을 더욱 구체적으로 기술하면 아래와 같이 된다. 주목하는 화소행을 (N)화소행으로 하고, 그 게이트 신호선이 게이트 신호선(17e) (N), 게이트 신호선(17a) (N)으로 한다. 1H 전에 선택되는 전단의 화소행은, 화소행이 (N-1) 화소행이라고 하고, 그 게이트 신호선이 게이트 신호선(17e) (N-1), 게이트 신호선(17a) (N-1)이라고 한다. 또한, 주목 화소행의 다음 1H 후에 선택되는 화소행은 (N+1) 화소행이라고 하고, 그 게이트 신호선을 게이트 신

호선(17e) (N+1), 게이트 신호선(17a) (N+1)이라고 한다.

제 (N-1)H 기간에서는, 제 (N-1) 화소행의 게이트 신호선(17a) (N-1)에 온 전압이 인가되면, 제 (N) 화소행의 게이트 신호선(17e) (N)에도 온 전압이 인가된다. 게이트 신호선(17e) (N)과 전단의 화소행의 게이트 신호선(17a) (N-1)이 쇼트 상태로 형성되어 있기 때문이다. 따라서, 제 (N-1) 화소행의 화소의 트랜지스터(11b) (N-1)이 온하여, 소스 신호선(18)의 전압이 구동용 트랜지스터(11a) (N-1)의 게이트(G) 단자에 기입된다. 동시에, 제 (N) 화소행의 화소의 트랜지스터(11e) (N)이 온하여, 구동용 트랜지스터(11a) (N)의 게이트(G) 단자와 드레인(D) 단자간이 쇼트되어, 구동용 트랜지스터(11a) (N)이 리세트된다.

제(N-1) H 기간의 다음 제 (N) 기간에서는, 제 (N) 화소행의 게이트 신호선(17a) (N)에 온 전압이 인가되면, 제 (N+1) 화소행의 게이트 신호선(17e) (N+1)에도 온 전압이 인가된다. 따라서, 제 (N) 화소행의 화소의 트랜지스터(11b) (N)가 온하여, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a) (N)의 게이트(G) 단자에 기입된다. 동시에, 제 (N+1) 화소행의 화소의 트랜지스터(11e) (N+1)이 온하여, 구동용 트랜지스터(11a) (N+1)의 게이트(G) 단자와 드레인(D) 단자간이 쇼트되어, 구동용 트랜지스터(11a) (N+1)가 리세트된다.

이하 마찬가지로, 제 (N) H 기간의 다음 제 (N+1) 기간에서는, 제 (N+1) 화소행의 게이트 신호선(17a) (N+1)에 온 전압이 인가되면, 제 (N+2) 화소행의 게이트 신호선(17e) (N+2)에도 온 전압이 인가된다. 따라서, 제 (N+1) 화소행의 화소의 트랜지스터(11b) (N+1)이 온하여, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a) (N+1)의 게이트(G) 단자에 기입된다. 동시에, 제 (N+2) 화소행의 화소의 트랜지스터(11e) (N+2)가 온하여, 구동용 트랜지스터(11a) (N+2)의 게이트(G) 단자와 드레인(D) 단자간이 쇼트되어, 구동용 트랜지스터(11a) (N+2)가 리세트된다.

이상의 본 발명의 전단 게이트 제어 방식에서는, 1 H 기간 구동용 트랜지스터(11a)는 리세트되고, 그 후, 전압(전류) 프로그램이 실시된다.

도 33(a)도 마찬가지이지만, 도 44(a)의 리세트 상태와, 도 44(b)의 전압 프로그램 상태를 동기하여 실행하는 경우는, 도 44(a)의 리세트 상태에서부터 도 44(b)의 전류 프로그램 상태까지의 기간이 고정값(일정값)으로 되므로 문제는 없다(고정값으로 되어 있다). 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리세트되지 않는다. 또한, 너무 길면 구동용 트랜지스터(11a)가 완전히 오프 상태로 되어, 이번에는 전류를 프로그램하는데 장시간이 필요하게 된다. 또한, 화면(12)의 휘도도 저하한다.

도 44(a)를 실시한 후, 도 44(b)의 상태로 한다. 도 44(b)는 트랜지스터(11b)를 온시키고, 트랜지스터(11e), 트랜지스터(11d)를 오프시킨 상태이다. 도 44(b)의 상태는 전압 프로그램을 행하고 있는 상태이다. 즉, 소스 드라 이버(14)로부터 프로그램 전압을 출력하고, 이 프로그램 전압을 구동용 트랜지스터(11a)의 게이트(G) 단자에 기입한다(구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 콘덴서(19)에 설정한다). 또, 전압 프로그램 방식의 경우는, 전압 프로그램시에 트랜지스터(11d)를 반드시 오프시킬 필요는 없다. 또한, 도 13, 도 15 등의 N 배 펄스 구동 등과 조합하는 것, 또는 이상과 같은 간헐 N/K 배 펄스 구동(1 화면에 점등 영역을 복수 마련하는 구동 방법이다. 이 구동 방법은 트랜지스터(11e)를 온오프 동작시킴으로써 용이하게 실현할 수 있다)를 실시할 필요가 없으면, 트랜지스터(11e)가 필요없다. 이것은 앞서 설명을 했기 때문에 설명을 생략한다.

도 43의 구성 또는 도 44의 구동 방법으로 백 표시의 전압 프로그램을 행하는 경우는, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하고 있더라도, 완전히 흑표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)으로부터 전압 프로그램을 행한다. 따라서, 목표의 전류치로 프로그램되는 시간이 계조에 따라 같게 된다. 그 때문에, 트랜지스터(11a)의 특성 편차에 의한 계조 오차가 없어 양호한 화상 표시를 실현할 수 있다.

도 44(b)의 전류 프로그래밍 후, 도 44(c)에 도시하는 바와 같이, 트랜지스터(11b)를 오프하고, 트랜지스터(11d)를 온시켜, 구동용 트랜지스터(11a)로부터의 프로그램 전류를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다.

이상과 같이, 도 43의 전압 프로그램에 있어서의 본 발명의 리세트 구동은, 우선, HD 동기 신호에 동기하여, 우선 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시키고, 트랜지스터(11a)에 전류를 흘리는 제 1 동작과, 트랜지스터(11a)와 EL 소자(15)간을 절단하며, 또한, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자(또는 소스(S) 단자와 게이트(G) 단자, 더욱 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자)간을 쇼트시키는 제 2 동작과, 상기 동작 후, 구동용 트랜지스터(11a)에 전압 프로그램을 행하는 제 3 동작을 실시하는 것이다.

이상의 실시예에서는, 구동용 트랜지스터 소자(11a)(도 1의 화소 구성의 경우)로부터 EL 소자(15)에 흘리는 전류를 제어하는데, 트랜지스터(11d)를 온오프시켜 실행한다. 트랜지스터(11d)를 온오프시키기 위해서는, 게이트 신호선(17

b)을 주사할 필요가 있고, 주사를 위해는, 시프트 레지스터(61)(게이트 회로(12))가 필요해진다. 그러나, 시프트 레지스터(61)는 규모가 크고, 게이트 신호선(17b)의 제어에 시프트 레지스터(61)를 이용한 경우에는 프레임의 협폭화할 수 없다. 도 40으로 설명한 방식은, 이러한 문제를 해결한 것이다.

또, 본 발명은, 주로 도 1 등에 도시하는 전류 프로그램의 화소 구성을 예시하여 설명을 하였지만, 이에 한정되지 않고 도 38 등으로 설명한 다른 전류 프로그램 구성(커런트 미러의 화소 구성)이어도 적용할 수 있는 것은 말할 필요도 없다. 또한, 블럭으로 온오프하는 기술적 개념은, 도 41 등의 전압 프로그램의 화소 구성에서도 적용할 수 있는 것은 말할 필요도 없다. 또한, 본 발명은 EL 소자(15)에 흐르는 전류를 간헐적으로 행하는 방식이므로, 도 50 등에서 설명하는 역바이어스 전압을 인가하는 방식과도 조합할 수 있는 것은 말할 필요도 없다. 이상과 같이, 본 발명은 다른 실시예와 조합하여 실시할 수 있다.

도 40은 블럭 구동 방식의 실시예이다. 우선, 설명을 쉽게 하기 위해서, 게이트 드라이버(12)는 기판(71)에 직접 형성하였거나 또는 실리콘 칩의 게이트 드라이버 IC(12)를 기판(71)에 적재한 것으로 해서 설명한다. 또한, 소스 드라이버(14) 및 소스 신호선(18)은 도면이 번잡해지기 때문에 생략한다.

도 40에 있어서, 게이트 신호선(17a)은 게이트 드라이버(12)와 접속되어 있다. 한편, 각 화소의 게이트 신호선(17b)은 점등 제어선(401)과 접속되어 있다. 도 40에서는 4개의 게이트 신호선(17b)이 하나의 점등 제어선(401)과 접속되어 있다.

또, 4개의 게이트 신호선(17b)으로 블럭화한다고 하는 것은 이에 한정되지 않고, 그 이상이어도 되는 것은 말할 필요도 없다. 일반적으로 표시 영역(50)은 적어도 5 이상으로 분할하는 것이 바람직하다. 더욱 바람직하게는, 10 이상으로 분할하는 것이 바람직하다. 더욱이, 20 이상으로 분할하는 것이 바람직하다. 분할수가 적으면, 플리커가 보이기 쉽다. 너무 분할수가 많으면, 점등 제어선(401)의 개수가 많아져서, 제어선(401)의 레이아웃이 곤란하게 된다.

따라서, QCIF 표시 패널의 경우는, 수직 주사선의 개수가 220개이므로, 적어도 $220/5=44$ 개 이상으로 블럭화해야 하여, 바람직하게는 $220/10=11$ 이상으로 블럭화해야 한다. 단지, 기수행과 우수행으로 2개의 블럭화를 행한 경우는, 저프레임 레이트라도 비교적 플리커의 발생이 적기 때문에, 2개의 블럭화로 충분한 경우가 있다.

도 40의 실시예에서는, 점등 제어선(401a, 401b, 401c, 401d, ..., 401n)으로 순차적으로, 온 전압(Vgl)을 인가하던가 또는 오프 전압(Vgh)을 인가하여, 블럭마다 EL 소자(15)에 흐르는 전류를 온오프시킨다.

또, 도 40의 실시예에서는, 게이트 신호선(17b)과 점등 제어선(401)이 크로스하는 일이 없다. 따라서, 게이트 신호선(17b)과 점등 제어선(401)과의 쇼트 결함은 발생하지 않는다. 또한, 게이트 신호선(17b)과 점등 제어선(401)이 용량 결합하는 일이 없기 때문에, 점등 제어선(401)으로부터 게이트 신호선(17b)측을 보았을 때의 용량 부가가 지극히 작다. 따라서, 점등 제어선(401)을 구동하기 쉽다.

게이트 드라이버(12)에는 게이트 신호선(17a)이 접속되어 있다. 게이트 신호선(17a)에 온 전압을 인가함으로써 화소 행이 선택되며, 선택된 각 화소의 트랜지스터(11b, 11c)는 온하여, 소스 신호선(18)에 인가된 전류(전압)를 각 화소의 콘덴서(19)에 프로그램한다. 한편, 게이트 신호선(17b)은 각 화소의 트랜지스터(11d)의 게이트(G) 단자와 접속되어 있다. 따라서, 점등 제어선(401)에 온 전압(Vgl)이 인가되었을 때, 구동용 트랜지스터(11a)와 EL 소자(15)가 전류 경로를 형성하며, 반대로 오프 전압(Vgh)이 인가된 때는, EL 소자(15)의 애노드 단자를 오픈시킨다.

또, 점등 제어선(401)에 인가되는 온오프 전압의 제어 타이밍과, 게이트 드라이버(12)가 게이트 신호선(17a)에 출력하는 화소행 선택 전압(Vgl)의 타이밍은 1 수평 주사 클럭(1H)에 동기하고 있는 것이 바람직하다. 그러나, 이에 한정되는 것은 아니다.

점등 제어선(401)에 인가하는 신호는 단지, EL 소자(15)에의 전류를 온오프 시킬 뿐이다. 또한, 소스 드라이버(14)가 출력하는 화상 데이터와 동기되어 있을 필요도 없다. 점등 제어선(401)에 인가하는 신호는, 각 화소(16)의 콘덴서(19)에 프로그램된 전류를 제어하는 것이기 때문이다. 따라서, 반드시, 화소행의 선택 신호와 동기되어 있을 필요는 없다. 또한, 동기된 경우이더라도 클럭은 1H 신호에 한정되는 것이 아니라, 1/2H 이어도, 1/4 H 이어도 좋다.

도 38에 도시한 커런트 미러의 화소 구성의 경우에도, 게이트 신호선(17b)을 점등 제어선(401)에 접속함으로써 트랜지스터(11e)를 온오프 제어할 수 있다. 따라서, 블럭 구동을 실현할 수 있다.

또, 도 32에 있어 게이트 신호선(17a)을 점등 제어선(401)에 접속하여, 리세트를 실시하면, 블럭 구동을 실현할 수 있다. 즉, 본 발명의 블럭 구동이란, 하나의 제어선으로 복수의 화소행을 동시에 비점등(또는 흑 표시)으로 하는 구동 방법이다.

이상의 실시예는, 1 화소행마다 1개의 선택 화소행을 배치(형성)하는 구성이었다. 본 발명은, 이에 한정되지 않고, 복수의 화소행으로 1개의 선택 게이트 신호선을 배치(형성)하여도 좋다.

도 41은 그 실시예이다. 또, 설명을 쉽게 하기 위해서, 화소 구성은 도 1의 경우를 주로 예시하여 설명한다. 도 41에서는 화소행의 선택 게이트 신호선(17a)이 3개의 화소(16R, 16G, 16B)를 동시에 선택한다. R의 기호는 적색의 화소 관련을 의미하며, G의 기호는 녹색의 화소 관련을 의미하며, B의 기호는 청색의 화소 관련을 의미한다.

따라서, 게이트 신호선(17a)의 선택에 의해, 화소(16R), 화소(16G) 및 화소(16B)가 동시에 선택되어 데이터 기입 상태로 된다. 화소(16R)는 소스 신호선(18R)으로부터 데이터를 콘덴서(19R)에 기입하고, 화소(16G)는 소스 신호선(18G)으로부터 데이터를 콘덴서(19G)에 기입한다. 화소(16B)는 소스 신호선(18B)으로부터 데이터를 콘덴서(19B)에 기입한다.

화소(16R)의 트랜지스터(11d)는 게이트 신호선(17bR)에 접속되어 있다. 또한, 화소(16G)의 트랜지스터(11d)는 게이트 신호선(17bG)에 접속되고, 화소(16B)의 트랜지스터(11d)는 게이트 신호선(17bB)에 접속되어 있다. 따라서, 화소(16R)의 EL 소자(15R), 화소(16G)의 EL 소자(15G), 화소(16B)의 EL 소자(15B)는 별개로 온오프 제어할 수 있다. 즉, EL 소자(15R), EL 소자(15G), EL 소자(15B)는 각각의 게이트 신호선(17bR, 17bG, 17bB)을 제어함으로써, 점등 시간, 점등 주기를 개별적으로 제어 가능하다.

이 동작을 실현하기 위해서, 도 6의 구성에서, 게이트 신호선(17a)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bR)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bG)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bB)을 주사하는 시프트 레지스터 회로(61)의 4개를 형성(배치)하는 것이 적절하다.

또, 소스 신호선(18)에 소정 전류의 N배의 전류를 흘리고, EL 소자(15)에 소정 전류의 N배의 전류를 $1/N$ 의 기간 흘린다고 했지만, 실용상으로는 이것을 실현할 수 없다. 실제로는 게이트 신호선(17)에 인가한 신호 펄스가 콘덴서(19)에서 펀치 쓰루되어, 콘덴서(19)에 소망하는 전압값(전류치)을 설정할 수 없기 때문이다. 일반적으로 콘덴서(19)에는 소망하는 전압값(전류치)보다도 낮은 전압값(전류치)이 설정된다. 예를 들면, 10배의 전류치를 설정하도록 구동하더라도, 5배 정도의 전류밖에 콘덴서(19)에는 설정되지 않는다. 예를 들면, $N=10$ 으로 해도 실제로 EL 소자(15)에 흐르는 전류는 $N=5$ 의 경우와 동일해진다. 따라서, 본 발명은 N배의 전류치를 설정하여, N배에 비례 또는 대응하는 전류를 EL 소자(15)에 흐르도록 구동하는 방법이다. 또는, 소망값보다도 큰 전류를 EL 소자(15)에 펄스 형상으로 인가하는 구동 방법이다.

또한, 소망값보다 전류(그대로, EL 소자(15)에 연속하여 전류를 흘리면 소망휘도보다도 높아지게 되는 전류)를 구동용 트랜지스터(11a)(도 1을 예시하는 경우)에 전류(전압) 프로그램을 행하여, EL 소자(15)에 흐르는 전류를 간헐적으로 행하는 것에 의해, 소망하는 EL 소자의 발광 휘도를 얻는 것이다.

또, 이 콘덴서(19)로의 펀치 쓰루에 의한 보상 회로는 소스 드라이버(14)내에 도입한다. 이 사항에 대해서는 나중에 설명한다.

또한, 도 1 등의 스위칭 트랜지스터(11b, 11c) 등은 N 채널로 형성하는 것이 바람직하다. 콘덴서(19)로의 펀치 쓰루 전압이 감소하기 때문이다. 또한, 콘덴서(19)의 오프 리크도 감소하기 때문에, 10Hz 이하의 낮은 프레임 레이트에도 적용할 수 있게 된다.

또한, 화소 구성에 따라서는, 펀치 쓰루 전압이 EL 소자(15)에 흐르는 전류를 증가시키는 방향으로 작용하는 경우는, 백픽트 전류가 증가하여, 화상 표시의 콘트라스트 감도가 증가한다. 따라서, 양호한 화상 표시를 실현할 수 있다.

반대로, 도 1의 스위칭 트랜지스터(11b, 11c)를 P 채널로 하는 것에 의해 펀치 쓰루를 발생시켜, 보다 흑표시를 양호하게 하는 방법도 효과적이다. P 채널 트랜지스터(11b)가 오프할 때에는 V_{gh} 전압으로 된다. 그 때문에, 콘덴서(19)의 단자 전압이 V_{dd} 측으로 조금 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자 전압은 상승하여, 보다 흑 표시로 된다. 또한, 제 1 계조 표시로 하는 전류치를 크게할 수 있으므로(계조 1까지 일정한 베이스 전류를 흘릴 수 있다), 전류 프로그램 방식으로 기입 전류 부족을 경감시킬 수 있다.

그 밖에, 게이트 신호선(17a)과 트랜지스터(11a)의 게이트(G) 단자 사이에 적극적으로 콘덴서(19b)를 형성하여, 펀치 쓰루 전압을 증가시키는 구성도 효과적이다(도 42(a) 참조). 이 콘덴서(19b)의 용량은 정규의 콘덴서(19a) 용량의 $1/50$ 이상 $1/10$ 이하로 하는 것이 바람직하다. 더욱이, $1/40$ 이상 $1/15$ 이하로 하는 것이 바람직하다. 또는 트랜지스터(11b)의 소스-게이트(소스-드레인(SG) 또는 게이트-드레인(GD)) 용량의 1배 이상 10배 이하로 한다. 더욱 바람직하게는, SG 용량의 2배 이상 6배 이하로 하는 것이 바람직하다. 또, 콘덴서(19b)의 형성 위치는, 콘덴서(19a)의 한쪽 단자(트랜지스터(11a)의 게이트(G) 단자)와 트랜지스터(11d)의 소스(S) 단자 사이에 형성 또는 배치하여도 좋다. 이 경우도 용량 등은 앞서 설명한 값과 마찬가지로 한다.

펀치 쓰루 전압 발생용의 콘덴서(19b)의 용량(용량을 C_b (pF)라고 한다)은, 전하 유지용 콘덴서(19a)의 용량(용량을 C_a (pF)라고 한다)과, 트랜지스터(11a)의 백피크 전류시(화상 표시에서 표시 최대 휘도의 백 래스터시)의 게이트(G) 단자 전압 V_w 를 흑표시에서의 전류를 흘리는(기본적으로 전류는 0이다. 즉, 화상 표시에서 흑표시라고 하고 있는 때) 때의 게이트(G) 단자 전압 V_b 가 관련된다. 이들의 관계는, $C_a/(200 C_b) \leq |V_w - V_b| \leq C_a/(8 C_b)$ 의 조건을 만족시키는 것이 바람직하다. 또, $|V_w - V_b|$ 는, 구동용 트랜지스터의 백 표시때의 단자 전압과 흑 표시때의 단자 전압과의 차의 절대값이다(즉, 변화하는 전압폭).

더욱 바람직하게는, $C_a/(100 C_b) \leq |V_w - V_b| \leq C_a/(10 C_b)$ 의 조건을 만족시키는 것이 바람직하다.

트랜지스터(11b)는 P 채널로 하며, 이 P 채널은 적어도 더블게이트 이상으로 한다. 또는 트리플게이트 이상으로 한다. 바람직하게는, 4게이트 이상으로 한다. 그리고, 트랜지스터(11b)의 소스-게이트(SG 또는 게이트-드레인(GD)) 용량(트랜지스터가 온하고 있을 때의 용량)의 1배 이상 10배 이하의 콘덴서를 병렬로 형성 또는 배치하는 것이 바람직하다.

또, 이상의 사항은, 도 1의 화소 구성뿐만 아니라, 다른 화소 구성에서도 유효하다. 예를 들면, 도 42(b)에 도시하는 바와 같이 커런트 미러의 화소 구성에 있어서, 펀치 쓰루를 발생시키는 콘덴서를 게이트 신호선(17a) 또는 (17b)와 트랜지스터(11a)의 게이트(G) 단자 사이에 배치 또는 형성한다. 스위칭 트랜지스터(11c)의 N 채널은 더블게이트 이상으로 한다. 또는 스위칭 트랜지스터(11c, 11d)를 P 채널로 하고, 트리플게이트 이상으로 한다.

41의 전압 프로그램의 구성에 있어서는, 게이트 신호선(17c)과 구동용 트랜지스터(11a)의 게이트(G) 단자 사이에 펀치 쓰루 전압 발생용의 콘덴서(19c)를 형성 또는 배치한다. 또한, 스위칭 트랜지스터(11c)는 트리플 게이트 이상으로 한다. 펀치 쓰루 전압 발생용의 콘덴서(19c)는 트랜지스터(11c)의 드레인(D) 단자(콘덴서(19b)측)와 게이트 신호선(17a) 사이에 배치하여도 좋다. 또한, 펀치 쓰루 전압 발생용의 콘덴서(19c)는 트랜지스터(11a)의 게이트(G) 단자와, 게이트 신호선(17a) 사이에 배치하여도 좋다. 또한, 펀치 쓰루 전압 발생용의 콘덴서(19c)는 트랜지스터(11c)의 드레인(D) 단자(콘덴서(19b)측)와, 게이트 신호선(17c) 사이에 배치하여도 좋다.

또한, 전하 유지용의 콘덴서(19a)의 용량을 C_a 로 하고, 스위칭용의 트랜지스터(11c) 또는 (11d)의 소스-게이트 용량을 C_c (펀치 쓰루용 콘덴서가 있는 경우에는, 그 용량을 가한 값)로 하고, 게이트 신호선에 인가되는 고전압 신호를 V_{gh} 로 하고, 게이트 신호선에 인가되는 저전압 신호를 V_{gl} 로 했을 때, 이하의 조건을 만족하도록 구성함으로써, 양호한 흑 표시를 실현할 수 있다.

$$0.05 (V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8 (V)$$

더욱 바람직하게는, 이하의 조건을 만족시키는 것이 바람직하다.

$$0.1 (V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5 (V)$$

이상의 사항은 도 43 등의 화소 구성에도 유효하다. 도 43의 전압 프로그램의 화소 구성에서는, 트랜지스터(11a)의 게이트(G) 단자와 게이트 신호선(17a) 사이에 펀치 쓰루 전압 발생용의 콘덴서(19b)를 형성 또는 배치한다.

또, 펀치 쓰루 전압을 발생시키는 콘덴서(19b)는 트랜지스터의 소스 배선과 게이트 배선으로 형성한다. 단, 트랜지스터(11)의 소스폭을 확대하여, 게이트 신호선(17)과 겹쳐 형성하는 구성이므로, 실용상으로는 명확히 트랜지스터와 분리할 수 없는 구성인 경우가 있다.

또한, 스위칭 트랜지스터(11b, 11c)(도 1의 구성의 경우)를 필요 이상으로 크게 형성함으로써, 외견상 펀치 쓰루 전압용의 콘덴서(19b)를 구성하는 방식도 본 발명의 범위이다. 스위칭 트랜지스터(11b, 11c)는 채널폭 W /채널길이 $L=6/6 \mu m$ 로 형성하는 것이 많다. 이것을 W 와 크게하는 것도 펀치 쓰루 전압용의 콘덴서(19b)를 구성하는 것으로 된다. 예컨대, $W:L$ 의 비를 2:1 이상 20:1 이하로 하는 구성이 예시된다. 바람직하게는, $W:L$ 의 비를 3:1 이상 10:1 이하로 하는 것이 좋다.

또한, 펀치 쓰루 전압용의 콘덴서(19b)는 화소가 변조하는 R, G, B에서 크기(용량)를 변화시키는 것이 바람직하다. R, G, B의 각 EL 소자(15)의 구동 전류가 다르기 때문이다. 또한, EL 소자(15)의 컷오프 전압이 다르기 때문이다. 그 때문에, EL 소자(15)의 구동용 트랜지스터(11a)의 게이트(G) 단자에 프로그램하는 전압(전류)이 다르기 때문이다. 예를 들면, R 화소의 콘덴서(11bR)를 0.02pF으로 한 경우, 다른 색(G, B의 화소)의 콘덴서(11bG, 11bB)를 0.025pF으로 한다. 또한, R 화소의 콘덴서(11bR)를 0.02pF으로 한 경우, G 화소의 콘덴서(11bG)를 0.03pF으로 하고, B 화소의 콘덴서(11bB)를 0.025pF으로 하는 등이다. 이와 같이, R, G, B의 화소마다 콘덴서(11b)의 용량을 변화시키는 것에 의해 오프셋의 구동 전류를 R, G, B 마다 조정할 수 있다. 따라서, 각 R, G, B의 흑 표시 레벨을 최적값으로 할 수 있다.

이상에서는 펀치 쓰루 전압 발생용의 콘덴서(19b) 용량을 변화시키는 것으로 했지만, 펀치 쓰루 전압은, 유지용의 콘덴서(19a)와 펀치 쓰루 전압 발생용 콘덴서(19b)의 용량의 상대적인 것이다. 따라서, 콘덴서(19b)를 R, G, B의 화소에서 변화시키는 것에 한정되지 않는다. 즉, 유지용 콘덴서(19a)의 용량을 변화시켜도 좋다. 예를 들면, R 화소의 콘덴서(11aR)를 1.0pF으로 한 경우, G 화소의 콘덴서(11aG)를 1.2pF으로 하고, B 화소의 콘덴서(11aB)를 0.9pF으로 하는 등이다. 이 때, 펀치 쓰루용 콘덴서(19b)의 용량은 R, G, B에서 공통의 값으로 한다. 따라서, 본 발명은 유지용 콘덴서(19a)와 펀치 쓰루 전압 발생용 콘덴서(19b)의 용량비를, R, G, B의 화소중 적어도 하나를 나머지와 다르게 하는 것이다. 또, 유지용 콘덴서(19a)의 용량과 펀치 쓰루 전압 발생용 콘덴서(19b)의 용량 양쪽을 R, G, B 화소에서 변화시켜도 좋다.

또한, 화면(50)의 좌우에서 펀치 쓰루 전압용 콘덴서(19b)의 용량을 변화시켜도 좋다. 게이트 드라이버(12)에 가까운 위치에 있는 화소(16)는 신호 공급측에 배치되어 있기 때문에, 게이트 신호의 상승이 빠르기 때문(쓰루 레이트가 높기 때문)에 펀치 쓰루 전압이 커진다. 게이트 신호선(17)단에 배치(형성)되어 있는 화소는 신호 파형이 둔해진다(게이트 신호선(17)에는 용량이 있기 때문이다). 게이트 신호의 상승이 느리(쓰루 레이트가 느림)기 때문에, 펀치 쓰루 전압이 작아지기 때문이다. 따라서, 게이트 드라이버(12)와의 접속측에 가까운 화소(16)의 펀치 쓰루 전압용 콘덴서(19b)를 작게 한다. 또한, 게이트 신호선(17)단은 콘덴서(19b)를 크게 한다. 예를 들면, 화면의 좌우에서 콘덴서의 용량은 10% 정도 변화시킨다.

발생하는 펀치 쓰루 전압은 유지용 콘덴서(19a)와 펀치 쓰루 전압 발생용 콘덴서(19b)의 용량비로 결정된다. 따라서, 화면의 좌우에서 펀치 쓰루 전압 발생용 콘덴서(19b)의 크기를 변화시킨다고 했지만, 이에 한정되는 것은 아니다. 펀치 쓰루 전압 발생용 콘덴서(19b)는 화면의 좌우에서 일정하게 하고, 전하 유지용 콘덴서(19a)의 용량을 화면의 좌우에서 변화시켜도 좋다. 또한, 펀치 쓰루 전압 발생용 콘덴서(19b)와, 전하 유지용 콘덴서(19a) 용량의 양쪽을 화면의 좌우에서 변화시켜도 되는 것은 말할 필요도 없다.

본 발명의 N 배 펄스 구동의 과제에서 EL 소자(15)에 인가하는 전류가 순시 적이지만, 종래와 비교하여 N 배 크다고 하는 문제가 있다. 전류가 크면 EL 소자의 수명을 저하시키는 경우가 있다. 이 문제를 해결하기 위해서는, EL 소자(15)에 역바이어스 전압 V_m 을 인가하는 것이 유효하다.

EL 소자(15)에 있어서, 전자가 음극(캐소드)으로부터 전자 수송층에 주입되는 동시에 정공도 양극(애노드)로부터 정공 수송층에 주입된다. 주입된 전자, 정공은 인가 전계에 의해 양극으로 이동한다. 그 때, 유기층중에 트랩되거나, 발광층 계면에서의 에너지 준위의 차에 의해서와 같이 캐리어가 축적되거나 한다.

유기층중에 공간 전하가 축적되면 분자가 산화 또는 환원되며, 생성된 래디컬 음이온 분자 또는 래디컬 양이온 분자가 불안정한 것이어서 막질의 저하에 의해 휘도의 저하 및 정전류 구동시 구동 전압의 상승을 초래하는 문제가 알려져 있다. 이를 막기 위해서, 일례로서 장치 구조를 변화시켜 역방향 전압을 인가하고 있다.

역바이어스 전압이 인가되면 역방향 전류가 인가되기 때문에, 주입된 전자 및 정공이 각각 음극 및 양극으로 방출된다. 이에 따라, 유기층중 공간 전하 형성을 해소하여, 분자의 전기화학적 열화를 억제함으로써 수명을 길게 하는 것이 가능해진다.

도 45는 역바이어스 전압 V_m 과 EL 소자(15)의 단자 전압의 변화를 나타내고 있다. 이 단자 전압이란, EL 소자(15)에 정격 전류를 인가한 때이다. 도 45는 EL 소자(15)에 흘리는 전류가 전류 밀도 100 A/평방미터인 경우이지만, 도 45의 경향은, 전류 밀도 50 100A /평방미터인 경우와 거의 차이가 없었다. 따라서, 넓은 범위의 전류 밀도로 적용할 수 있을 것으로 추정된다.

종축은 초기의 EL 소자(15)의 단자 전압에 대해 2500 시간 후의 단자 전압과의 비이다. 예를 들면, 경과 시간 0시간에 있어서 전류 밀도 100A/평방미터의 전류가 인가된 때의 단자 전압이 8(V)이고, 경과 시간 2500 시간에 있어서 전류 밀도 100A/평방미터의 전류가 인가된 때의 단자 전압이 10(V)라고 하면, 단자 전압비는 $10/8=1.25$ 이다.

횡축은, 역바이어스 전압 V_m 과 1주기에서 역바이어스 전압을 인가한 시간 t_1 의 곱에 대한 정격 단자 전압 V_0 의 비이다. 예를 들면, 60Hz(특히 60Hz에 의미는 없지만)이고, 역바이어스 전압 V_m 을 인가한 시간이 $1/2$ (절반)이면, $t_1=0.5$ 이다. 또한, 경과 시간 0시간에 있어서 전류 밀도 100A/평방미터의 전류가 인가된 때의 단자 전압(정격 단자 전압)이 8(V)이고, 역바이어스 전압 V_m 을 8(V)라고 하면, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2) = | -8(V) \times 0.5 | / (8(V) \times 0.5) = 1.0$ 이 된다.

도 45에 의하면, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 이 1.0 이상에서 단자 전압비의 변화는 없어진다(초기의 정격 단자 전압으로부터 변화하지 않는다). 역바이어스 전압 V_m 의 인가에 의한 효과가 잘 발휘되고 있다. 그러나, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 가 1.75 이상에서 단자 전압비는 증가하는 경향이 있다. 따라서, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 는 1.0 이상이 되도록 역바이어스 전압 V_m 의 크기 및 인가 시간비 t_1 (또

는 t_2 또는 t_1 과 t_2 와의 비율)을 결정하면 좋다. 또한, 바람직하게는, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 는 1.75 이하가 되도록 역바이어스 전압 V_m 의 크기 및 인가 시간비 t_1 등을 결정하면 좋다.

단, 바이어스 구동을 행하는 경우, 역바이어스 V_m 과 정격 전류를 교대로 인가해야 한다. 도 46과 같이 샘플 A와 B와의 단위 시간당 평균 휘도를 같게 하고자 하면, 역바이어스 전압을 인가하는 경우는 인가하지 않는 경우에 비교하여 순시적으로는 높은 전류를 흘릴 필요가 있다. 그 때문에, 역바이어스 전압 V_m 을 인가하는 경우(도 46의 샘플 A)의 EL 소자(15)의 단자 전압도 높아지게 된다.

그러나, 도 45에서는, 역바이어스 전압을 인가하는 구동 방법에서도, 정격 단자 전압 V_0 는 평균 휘도를 만족시키는 단자 전압(즉, EL 소자(15)를 점등시키는 단자 전압)으로 한다(본 명세서의 구체예에 의하면, 전류 밀도 200 A/평방미터의 전류가 인가된 때의 단자 전압이다. 단, 1/2 듀티이기 때문에, 1주기의 평균 휘도는 전류 밀도 200A/평방미터에서의 휘도로 된다).

이상의 사항은 EL 소자(15)에 대해 백 래스터 표시(화면 전체의 EL 소자에 최대 전류를 인가하고 있는 경우)를 상정하고 있다. 그러나, EL 표시 장치의 영상 표시를 행하는 경우는 자연 화상이며, 계조 표시를 행한다. 따라서, 항상 EL 소자(15)의 백피크 전류(최대 백 표시에서 흐르는 전류. 본 명세서의 구체예에서는 평균 전류 밀도 100A/평방미터의 전류)가 흐르고 있는 것은 아니다.

일반적으로, 영상 표시를 행하는 경우, 각 EL 소자(15)에 인가되는 전류(흐르는 전류)는 백피크 전류(정격 단자 전압시에 흐르는 전류. 본 명세서의 구체예에 의하면, 전류 밀도 100A/평방미터의 전류)의 약 0.2배이다.

따라서, 도 45의 실시예에서, 영상 표시를 행하는 경우는 휘축의 값에 0.2를 곱하는 것으로 해야 한다. 따라서, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 는 0.2 이상이 되도록 역바이어스 전압 V_m 의 크기 및 인가 시간비 t_1 (또는 t_2 또는 t_1 과 t_2 의 비율 등)을 결정하면 좋다. 또한, 바람직하게는, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 는 $1.7 \times 0.2 = 0.35$ 이하가 되도록 역바이어스 전압 V_m 의 크기 및 인가 시간비 t_1 등을 결정하면 좋다.

즉, 도 45의 휘축($| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$)에 있어서, 1.0의 값을 0.2로 할 필요가 있다. 따라서, 표시 패널에 영상을 표시하는(이 사용 상태가 통상이다. 백 래스터를 항상 표시하는 일은 없을 것이다)때는, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 가 0.2보다 커지도록, 역바이어스 전압 V_m 을 소정 시간 t_1 동안 인가하도록 한다. 또한, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 의 값이 커지더라도, 도 45로 도시하는 바와 같이, 단자 전압비의 증가는 크지 않다. 따라서, 상한값은 백 래스터 표시를 실시하는 것도 고려하여, $| \text{역바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 의 값이 1.75 이하를 만족하도록 하면 좋다.

이하, 도면을 참조하면서, 본 발명의 역바이어스 방식에 대하여 설명한다. 또, 본 발명은 EL 소자(15)에 전류가 흐르고 있지 않은 기간에 역바이어스 전압 V_m (전류)을 인가하는 것을 기본으로 한다. 그러나, 이에 한정되는 것은 아니다. 예를 들면, EL 소자(15)에 전류가 흐르고 있는 상태에서, 강제적으로 역바이어스 전압 V_m 을 인가하여도 좋다. 또, 이 경우는, 결과적으로 EL 소자(15)에는 전류가 흐르지 않고, 비점등 상태(흑표시 상태)로 될 것이다. 또한, 본 발명은, 주로 전류 프로그램의 화소 구성에서 역바이어스 전압 V_m 을 인가하는 것을 중심으로 하여 설명하였지만 이에 한정되지 않는다.

역바이어스 구동의 화소 구성에서는, 도 47에 도시하는 바와 같이, 트랜지스터(11g)를 N 채널로 한다. 물론, P 채널이어도 좋다.

도 47에서는, 게이트 전위 제어선(473)에 인가되는 전압을 역바이어스선(471)에 인가되고 있는 전압보다 높게 함으로써, 트랜지스터(11g)(N)가 온되어, EL 소자(15)의 애노드 전극에 역바이어스 전압 V_m 이 인가된다.

또한, 도 47의 화소 구성 등에 있어서, 게이트 전위 제어선(473)을 항상 전위 고정하여 동작시켜도 좋다. 예를 들면, 도 47에 있어 V_k 전압이 0(V)로 되는 때, 게이트 전위 제어선(473)의 전위를 0(V) 이상(바람직하게는 2(V) 이상)으로 한다. 또, 이 전위를 V_{sg} 로 한다. 이 상태에서, 역바이어스선(471)의 전위를 역바이어스 전압 V_m (0(V) 이하, 바람직하게는 V_k 보다 -5(V) 이상 작은 전압)으로 하면, 트랜지스터(11g)(N)가 온되어 EL 소자(15)의 애노드에 역바이어스 전압 V_m 이 인가된다. 역바이어스선(471)의 전압을 게이트 전위 제어선(473)의 전압(즉, 트랜지스터(11g)의 게이트(G) 단자 전압)보다 높게 하면, 트랜지스터(11g)는 오프 상태이기 때문에, EL 소자(15)에는 역바이어스 전압 V_m 은 인가되지 않는다. 물론, 이 상태일 때에, 역바이어스선(471)을 하이 임피던스 상태(오픈 상태 등)으로 해도 되는 것은 말할 필요도 없다.

또한, 도 48에 도시하는 바와 같이, 역바이어스선(471)을 제어하는 게이트 드라이버(12c)를 별도로 형성 또는 배치하여도 좋다. 게이트 드라이버(12c)는 게이트 드라이버(12a)와 같이 순차적으로 시프트 동작하며, 시프트 동작에 동기하여 역바이어스 전압을 인가하는 위치가 시프트된다.

이상의 구동 방법에서는, 트랜지스터(11g)의 게이트(G) 단자는 전위 고정하고, 역바이어스선(471)의 전위를 변화시키는 것만으로 EL 소자(15)에 역바이어스 전압 V_m 을 인가할 수 있다. 따라서, 역바이어스 전압 V_m 의 인가 제어가 용이하다. 또한, 트랜지스터(11g)의 게이트(G) 단자와 소스(S) 단자 사이에 인가되는 전압을 감소시킬 수 있다. 이것은, 트랜지스터(11g)가 P 채널인 경우도 마찬가지이다.

또한, 역바이어스 전압 V_m 의 인가는, EL 소자(15)에 전류를 흘리고 있지 않을 때에 실행하는 것이다. 따라서, 트랜지스터(11d)가 온하지 않을 때에, 트랜지스터(11g)를 온시킴으로써 실행하면 좋다. 즉, 트랜지스터(11d)의 온오프 로직의 역을 게이트 전위 제어선(473)에 인가하면 좋다. 예를 들면, 도 47에서는, 게이트 신호선(17b)에 트랜지스터(11d) 및 트랜지스터(11g)의 게이트(G) 단자를 접속하면 좋다. 트랜지스터(11d)는 P 채널이며, 트랜지스터(11g)는 N 채널이기 때문에, 온오프 동작은 반대가 된다.

도 49는 역바이어스 구동의 타이밍도이다. 또, 도면에 있어 (1), (2) 등의 첨자는 화소행을 나타내고 있다. 설명을 쉽게 하기 위해서, (1)은 제 1 화소행째를 나타내고, (2)는 제 2 화소행째를 나타내는 것으로 해서 설명을 하였지만, 이에 한정되지 않는다. (1)이 N 화소행째를 나타내고, (2)가 N+1 화소행째를 나타낸다고 생각하여도 좋다. 이상의 것은 다른 실시예에서도, 특별한 경우를 제외하고 마찬가지이다. 또한, 도 49 등의 실시예에서는, 도 1 등의 화소 구성을 예시하여 설명하였지만 이에 한정되는 것이 아니다. 예를 들면, 도 41, 도 38 등의 화소 구성에 있어서도 적용할 수 있는 것이다.

제 1 화소행째의 게이트 신호선(17a)(1)에 온 전압(V_{gl})이 인가되고 있는 때에는, 제 1 화소행째의 게이트 신호선(17b)(1)에는 오프 전압(V_{gh})이 인가된다. 즉, 트랜지스터(11d)는 오프이고, EL 소자(15)에는 전류가 흐르고 있지 않다.

역바이어스선(471)(1)에는, V_{sl} 전압(트랜지스터(11g)가 온되는 전압)이 인가된다. 따라서, 트랜지스터(11g)가 온되고, EL 소자(15)에는 역바이어스 전압이 인가되어 있다. 역바이어스 전압은, 게이트 신호선(17b)에 오프 전압(V_{gh})이 인가된 후, 소정 기간(1H의 1/200 이상의 기간, 또는, 0.5 μ sc) 후에, 역바이어스 전압이 인가된다. 또한, 게이트 신호선(17b)에 온 전압(V_{gl})이 인가되는 소정 기간(1H의 1/200 이상의 기간, 또는, 0.5 μ s) 전에, 역바이어스 전압이 오프된다. 이것은 트랜지스터(11d)와 트랜지스터(11g)가 동시에 온되는 것을 피하기 위해서이다.

다음 수평주사 기간(1 H)에는, 게이트 신호선(17a)에는 오프 전압(V_{gh})이 인가되어, 제 2 화소행이 선택된다. 즉, 게이트 신호선(17b)(2)에 온 전압이 인가된다. 한편, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가되어 트랜지스터(11d)가 온하고, EL 소자(15)에 트랜지스터(11a)에서 전류가 흘러 EL 소자(15)가 발광한다. 또한, 역바이어스선(471)(1)에는 오프 전압(V_{sh})이 인가되어, 제 1 화소행(1)의 EL 소자(15)에는 역바이어스 전압이 인가되지 않게 된다. 제 2 화소행의 역바이어스선(471)(2)에는 V_{sl} 전압(역바이어스 전압)이 인가된다.

이상의 동작을 순차적으로 반복하는 것에 의해, 1 화면의 화상이 오버라이트된다. 이상의 실시예에서는, 각 화소에 프로그램되어 있는 기간에, 역바이어스 전압을 인가한다고 하는 구성이었다. 그러나, 도 48의 회로 구성은 이에 한정되지 않는다. 복수의 화소행에 연속하여 역바이어스 전압을 인가하는 것도 할 수 있음은 분명하다. 또한, 블랙 구동(도 40 참조)이나, N 배 펄스 구동, 리셋 구동, 더미 화소 구동과도 조합할 수 있는 것은 분명하다.

또한, 역바이어스 전압의 인가는, 화상 표시의 도중에 실시하는 것에 한정되지 않는다. EL 표시 장치의 전원 오프후, 일정한 기간 동안 역바이어스 전압이 인가되도록 구성하여도 좋다.

이상의 실시예는 도 1의 화소 구성의 경우이지만, 다른 구성에 있어서도 도 38, 도 41 등의 역바이어스 전압을 인가하는 구성에 적용할 수 있는 것은 말할 필요도 없다. 예를 들면, 도 50은 전류 프로그램 방식의 화소 구성이다.

도 50은 커런트 미러의 화소 구성이다. 트랜지스터(11c)는 화소 선택 소자이다. 게이트 신호선(17a1)에 온 전압을 인가함으로써, 트랜지스터(11c)가 온한다. 트랜지스터(11d)는 리셋 기능과, 구동용 트랜지스터(11a)의 드레인(D)-게이트(G) 단자간을 쇼트(GD 쇼트)시키는 기능을 갖는 스위칭 소자이다. 트랜지스터(11d)는 게이트 신호선(17a2)에 온 전압을 인가함으로써 온한다.

트랜지스터(11d)는, 해당 화소가 선택하는 1 H(1 수평주사 기간, 즉, 1 화소행) 이상 전에 온한다. 바람직하게는 3H 이전에 온시킨다. 3 H 전이라고 하면, 3 H 전에 트랜지스터(11d)가 온하여, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 쇼트된다. 그 때문에, 트랜지스터(11a)는 오프한다. 따라서, 트랜지스터(11b)에는 전류가 흐르지 않게 되어, EL 소자(15)는 비점등으로 된다.

EL 소자(15)가 비점등 상태일 때, 트랜지스터(11g)가 온하여, EL 소자(15)에 역바이어스 전압이 인가된다. 따라서, 역바이어스 전압은 트랜지스터(11d)가 온되어 있는 기간 인가되는 것으로 된다. 그 때문에, 논리적으로는 트랜지스터(11d)와 트랜지스터(11g)는 동시에 온하는 것이 된다.

트랜지스터(11g)의 게이트(G) 단자는 V_{sg} 전압이 인가되고 고정되어 있다. 역바이어스선(471)을 V_{sg} 전압보다 충분히 작은 역바이어스 전압을 역바이어스선(471)에 인가함으로써 트랜지스터(11g)가 온한다.

그 후, 상기 해당 화소에 영상 신호가 인가(기입된다)되는 수평주사 기간이 오면, 게이트 신호선(17a1)에 온 전압이 인가되어, 트랜지스터(11c)가 온한다. 따라서, 소스 드라이버(14)로부터 소스 신호선(18)에 출력된 영상 신호 전압이 콘덴서(19)에 인가된다(트랜지스터(11d)는 온 상태가 유지되어 있다).

트랜지스터(11d)를 온시키면 흑 표시로 된다. 1 필드(1 프레임) 기간에 차지하는 트랜지스터(11d)의 온 기간이 길어질수록, 흑 표시 기간의 비율이 길어지게 된다. 따라서, 흑 표시 기간이 존재하더라도 1 필드(1 프레임)의 평균 휘도를 소망값으로 하기 위해서는, 표시 기간의 휘도를 높게 해야 한다. 즉, 표시 기간에 EL 소자(15)에 흐르는 전류를 크게 할 필요가 있다. 이 동작은, 본 발명의 N 배 펄스 구동이다. 따라서, N 배 펄스 구동과, 트랜지스터(11d)를 온시켜 흑 표시로 하는 구동을 조합하는 것이 본 발명의 하나의 특징있는 동작이다. 또한, EL 소자(15)가 비점등 상태에서, 역바이어스 전압을 EL 소자(15)에 인가하는 것이 본 발명의 특징있는 구성(방식)이다.

이상의 실시예에서는, 화상 표시시에 있어, 화소가 비점등시에 역바이어스 전압을 인가하는 방식이지만, 역바이어스 전압을 인가하는 구성은 이에 한정되지 않는다. 화상을 비표시에서 역바이어스 전압을 인가하는 것이라면, 역바이어스 용의 트랜지스터(11g)를 각 화소에 형성할 필요는 없다. 비점등이란, 표시 패널의 사용을 종료한 후, 또는 사용 전에 역바이어스 전압을 인가하는 구성이다.

예컨대, 도 1의 화소 구성에 있어서, 화소(16)를 선택하여(트랜지스터(11b), 트랜지스터(11c)를 온시킨다), 소스 드라이버 IC(회로)(14)로부터, 소스 드라이버 IC가 출력할 수 있는 낮은 전압 V_0 (예컨대, GND 전압)을 출력하여 구동용 트랜지스터(11a)의 드레인 단자(D)에 인가한다. 이 상태에서 트랜지스터(11d)도 온시키면 EL의 애노드 단자에 V_0 전압이 인가된다. 동시에, EL 소자(15)의 캐소드 V_k 에서 V_0 전압에 대하여, $-5 \sim -15(V)$ 낮은 전압 V_m 전압을 인가하면 EL 소자(15)에 역바이어스 전압이 인가된다. 또한, V_{dd} 전압도 V_0 전압보다 $0 \sim -5(V)$ 낮은 전압을 인가함으로써, 트랜지스터(11a)도 오프 상태로 된다. 이상과 같이 소스 드라이버(14)로부터 전압을 출력하여 게이트 신호선(17)을 제어함으로써, 역바이어스 전압을 EL 소자(15)에 인가할 수 있다.

N 배 펄스 구동은, 1 필드(1 프레임) 기간내에서, 한번 흑 표시를 하고도 재차 EL 소자(15)에 소정의 전류(프로그램된 전류(콘덴서(19)에 유지되어 있는 전압에 의한))를 흘릴 수 있다. 그러나, 도 50의 구성에서는, 한번, 트랜지스터(11d)가 온하면, 콘덴서(19)의 전하는 디스차지(감소를 포함한다)되기 때문에, EL 소자(15)에 소정의 전류(프로그램된 전류)를 흘릴 수 없다. 그러나, 회로 동작이 용이하다고 하는 특징이 있다.

또, 이상의 실시예는 화소가 전류 프로그램의 화소 구성이었지만, 본 발명은 이에 한정되지 않고, 도 38, 도 50과 같은 다른 전류 방식의 화소구성에도 적용할 수 있다. 또한, 도 51, 도 54, 도 62에 도시하는 것과 같은 전압 프로그램의 화소구성에도 적용할 수 있다.

도 51은 일반적으로 가장 간단한 전압 프로그램의 화소 구성이다. 트랜지스터(11b)가 선택 스위칭 소자이며, 트랜지스터(11a)가 EL 소자(15)에 전류를 인가하는 구동용 트랜지스터이다. 이 구성에서, EL 소자(15)의 애노드에 역바이어스 전압 인가용 트랜지스터(스위칭 소자)(11g)를 배치(형성)하고 있다.

도 51의 화소 구성에서는, EL 소자(15)에 흘리는 전류는 소스 신호선(18)에 인가되고, 트랜지스터(11b)가 선택되는 것에 의해, 트랜지스터(11a)의 게이트(G) 단자에 인가된다.

우선, 도 51의 구성을 설명하기 위해 기본 동작에 대하여 도 52를 이용하여 설명한다. 도 51의 화소 구성은 전압 오프셋 캔슬러라는 구성이며, 초기화 동작, 리셋 동작, 프로그램 동작, 발광 동작의 4단계로 동작한다.

수평 동기 신호(HD) 후, 초기화 동작이 실시된다. 게이트 신호선(17b)에 온 전압이 인가되어, 트랜지스터(11g)가 온된다. 또한, 게이트 신호선(17a)에도 온 전압이 인가되어, 트랜지스터(11c)가 온된다. 이 때, 소스 신호선(18)에는 V_{dd} 전압이 인가된다. 따라서, 콘덴서(19b)의 a단자에는 V_{dd} 전압이 인가되는 것으로 된다. 이 상태에서, 구동용 트랜지스터(11a)는 온하여, EL 소자(15)에 근소한 전류가 흐른다. 이 전류에 의해 구동용 트랜지스터(11a)의 드레인(D) 단자는 적어도 트랜지스터(11a)의 동작점보다도 큰 절대값의 전압값으로 된다.

다음에 리셋 동작이 실시된다. 게이트 신호선(17b)에 오프 전압이 인가되어, 트랜지스터(11e)가 오프된다. 한편, 게이트 신호선(17c)에 T1의 기간 온 전압이 인가되어, 트랜지스터(11b)가 온된다. 이 T1의 기간이 리셋 기간이다. 또한, 게이트 신호선(17a)에는 1H의 기간 계속하여 온 전압이 인가된다. 또, T1은 1H 기간의 20% 이상 90% 이하의 기간으로 하는 것이 바람직하다. 또는, $20\mu s$ 이상 $160\mu s$ 이하의 시간으로 하는 것이 바람직하다. 또한, 콘덴서(19b) Cb와 콘덴서(19a) Ca의 용량의 비율은, $C_b:C_a = 6:1$ 이상 $1:2$ 이하로 하는 것이 바람직하다.

리셋 기간에서는, 트랜지스터(11b)의 온에 의해, 구동용 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자간이 쇼트된다. 따라서, 트랜지스터(11a)의 게이트(G) 단자 전압과 드레인(D) 단자 전압이 같게 되고, 트랜지스터(11a)는 오프셋 상태(리셋 상태: 전류가 흐르지 않는 상태)로 된다. 이 리셋 상태는 트랜지스터(11a)의 게이트(G) 단자가, 전류를 흘리기 시작하는 개시 전압 근방이 되는 상태이다. 이 리셋 상태를 유지하는 게이트 전압은 콘덴서(19b)의 b단자에 유지된다. 따라서, 콘덴서(19)에는, 오프셋 전압(리셋 전압)이 유지되어 있는 것으로 된다.

다음 프로그램 상태에서는, 게이트 신호선(17c)에 오프 전압이 인가되어 트랜지스터(11b)가 오프된다. 한편, 소스 신호선(18)에는, Td의 기간 DATA 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트(G) 단자에는, DATA 전압+오프셋 전압(리셋 전압)이 가해진 것이 인가된다. 그 때문에, 구동용 트랜지스터(11a)는 프로그램된 전류를 흘릴 수 있게 된다.

프로그램 기간 후, 게이트 신호선(17a)에는 오프 전압이 인가되어, 트랜지스터(11c)는 오프 상태로 되고, 구동용 트랜지스터(11a)는 소스 신호선(18)으로부터 분리된다. 또한, 게이트 신호선(17c)에도 오프 전압이 인가되어 트랜지스터(11b)가 오프하여, 이 오프 상태는 1F의 기간 유지된다. 한편, 게이트 신호선(17b)에는, 필요에 따라 온 전압과 오프 전압이 주기적으로 인가된다. 즉, 도 13, 도 15 등의 N 배 펄스 구동 등과 조합하는 것, 비월 구동과 조합하는 것에 의해 더욱 양호한 화상 표시를 실현할 수 있다.

도 52의 구동 방식에서는, 리셋 상태에서 콘덴서(19)에는 트랜지스터(11a)의 개시 전류 전압(오프셋 전압, 리셋 전압)이 유지된다. 그 때문에, 이 리셋 전압이 트랜지스터(11a)의 게이트(G) 단자에 인가되어 있는 때가, 가장 어두운 흑 표시 상태이다. 그러나, 소스 신호선(18)과 화소(16)와의 결합, 콘덴서(19)로의 펀치 쓰루 전압 또는 트랜지스터의 펀치 쓰루에 의하여, 흑 부유(콘트라스트 저하)가 발생한다. 따라서, 도 53으로 설명한 구동 방법에서는, 표시 콘트라스트를 높게 할 수가 없다.

역바이어스 전압 V_m 을 EL 소자(15)에 인가하기 위해서는, 트랜지스터(11a)가 오프될 필요가 있다. 트랜지스터(11a)를 오프시키기 위해서는, 트랜지스터(11a)의 Vdd 단자와 게이트(G) 단자간을 쇼트시키면 된다. 이 구성에 대해서는 후에 도 53을 이용하여 설명한다.

또한, 소스 신호선(18)에 Vdd 전압 또는 트랜지스터(11a)를 오프시키는 전압을 인가하고, 트랜지스터(11b)를 온시켜 트랜지스터(11a)의 게이트(G) 단자에 인가시켜도 좋다. 이 전압에 의해 트랜지스터(11a)가 오프된다(또는, 대략 전류가 흐르지 않는 것과 같은 상태로 한다(대략 오프 상태:트랜지스터(11a)가 하이 임피던스 상태)). 그 후, 트랜지스터(11g)를 온시켜, EL 소자(15)에 역바이어스 전압을 인가한다. 이 역바이어스 전압 V_m 의 인가는, 전 화소에 동시에 행하여도 좋다. 즉, 소스 신호선(18)에 트랜지스터(11a)를 대략 오프시키는 전압을 인가하고, 모든(복수의) 화소행의 트랜지스터(11b)를 온시킨다. 따라서, 트랜지스터(11a)가 오프된다. 그 후, 트랜지스터(11g)를 온시켜, 역바이어스 전압을 EL 소자(15)에 인가한다. 그 후, 순차적으로, 각 화소행에 영상 신호를 인가하여, 표시 장치에 화상을 표시한다.

다음에, 도 51의 화소 구성에 있어서의 리셋 구동에 대하여 설명한다. 도 53은 그 실시예이다. 도 53에 도시하는 바와 같이 화소(16a)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 다음단 화소(16b)의 리셋용 트랜지스터(11b)의 게이트(G) 단자에도 접속되어 있다. 마찬가지로, 화소(16b)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 다음단 화소(16c)의 리셋용 트랜지스터(11b)의 게이트(G) 단자에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16a)가 전압 프로그램 상태로 됨과 함께, 다음단 화소(16b)의 리셋용 트랜지스터(11b)가 온되어, 화소(16b)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 마찬가지로, 화소(16b)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16b)가 전류 프로그램 상태로 됨과 함께, 다음단 화소(16c)의 리셋용 트랜지스터(11b)가 온되어, 화소(16c)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리셋 구동을 실현할 수 있다. 또한, 각 화소당 게이트 신호선의 인출 개수를 감소시킬 수 있다.

더욱 자세히 설명한다. 도 53(a)와 같이 게이트 신호선(17)에 전압이 인가되고 있다고 하자. 즉, 화소(16a)의 게이트 신호선(17a)에 온 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 전압이 인가되고 있다고 하자. 또한, 게이트 신호선(17b)은 화소(16a, 16b)에는 오프 전압을 인가하고, 화소(16c, 16d)에는 온 전압을 인가하고 있다고 한다.

이 상태에서는, 화소(16a)는 전압 프로그램 상태로 비점등, 화소(16b)는 리셋 상태로 비점등, 화소(16c)는 프로그램 전류의 유지 상태로 점등, 화소(16d)는 프로그램 전류의 유지 상태로 점등 상태이다.

1 H 후, 제어용 게이트 드라이버(12)의 시프트 레지스터 회로(61)내의 데이터가 1 비트 시프트하여, 도 53(b)의 상태

로 된다. 도 53(b)의 상태는, 화소(16a)는 프로그램 전류 유지 상태로 점등, 화소(16b)는 전류 프로그램 상태로 비점등, 화소(16c)는 리세트 상태로 비점등, 화소(16d)는 프로그램 유지 상태로 점등 상태이다.

이상으로부터, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 다음단의 화소의 구동용 트랜지스터(11a)가 리세트되어, 다음 수평주사 기간에 전압 프로그램이 순차적으로 행하여지는 것임을 알 수 있다.

도 43에 도시하는 전압 프로그램의 화소 구성에서도 전단 게이트 제어를 실현할 수 있다. 도 54는 도 43의 화소 구성을 전단 게이트 제어 방식의 접속으로 한 실시예이다.

도 54에 도시하는 바와 같이 화소(16a)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 다음단 화소(16b)의 리세트용 트랜지스터(11e)의 게이트(G) 단자에 접속되어 있다. 마찬가지로, 화소(16b)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 다음단 화소(16c)의 리세트용 트랜지스터(11e)의 게이트(G) 단자에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16a)가 전압 프로그램 상태로 됨과 함께, 다음단 화소(16b)의 리세트용 트랜지스터(11e)가 온되며, 화소(16b)의 구동용 트랜지스터(11a)가 리세트 상태로 된다. 마찬가지로, 화소(16b)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16b)가 전류 프로그램 상태로 됨과 함께, 다음단 화소(16c)의 리세트용 트랜지스터(11e)가 온되며, 화소(16c)의 구동용 트랜지스터(11a)가 리세트 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리세트 구동을 실현할 수 있다.

더욱 자세히 설명한다. 도 55(a)와 같이 게이트 신호선(17)에 전압이 인가되고 있다고 하자. 즉, 화소(16a)의 게이트 신호선(17a)에 온 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 전압이 인가되어 있다고 하자. 또한, 모든 역바이어스용 트랜지스터(11g)는 오프 상태라고 하자.

이 상태에서는, 화소(16a)는 전압 프로그램 상태, 화소(16b)는 리세트 상태, 화소(16c)는 프로그램 전류의 유지 상태, 화소(16d)는 프로그램 전류의 유지 상태이다.

1H 후, 제어용 게이트 드라이버(12)의 시프트 레지스터 회로(61)내의 데이터가 1 비트 시프트하여, 도 55(b)의 상태로 된다. 도 55(b)의 상태는, 화소(16a)는 프로그램 전류 유지 상태, 화소(16b)는 전류 프로그램 상태, 화소(16c)는 리세트 상태, 화소(16d)는 프로그램 유지 상태이다.

이상으로부터, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 다음단의 화소의 구동용 트랜지스터(11a)가 리세트되어, 다음 수평주사 기간에 전압 프로그램이 순차적으로 행해짐을 알 수 있다.

전류 구동 방식에서, 완전 흑 표시는, 화소의 구동용 트랜지스터(11)에 프로그램되는 전류는 0이다. 즉, 소스 드라이버(14)로부터는 전류가 흐르지 않는다. 전류가 흐르지 않으면, 소스 신호선(18)에 발생한 기생 용량을 충방전시킬 수 없고, 소스 신호선(18)의 전위를 변화시킬 수 없다. 따라서, 구동용 트랜지스터의 게이트 전위도 변화하지 않는 것으로 되고, 1 프레임(필드)(1F) 전의 전위가 콘덴서(19)에 축적된 채로 유지된다. 예를 들면, 1 프레임 전이 백 표시이고, 다음 프레임이 완전 흑 표시이더라도 백 표시가 유지되는 것으로 된다.

[프리차지 전압 인가에 관한 발명의 실시예]

여기서, 주로 전류 구동 방식의 과제에 대하여 설명하고, 이 과제를 해결한 프리차지 전압 인가에 관한 발명의 구성에 대하여 설명한다. 또, 기입 부족의 문제는, 전류 구동만이 아니라, 전압 구동에서도 발생하는 경우가 있다. 따라서, 본 발명은 전압 구동에도 적용할 수 있다. 도 1에서도 설명했지만, 도 64의 각 화소(16)의 발광 소자(15)를 표시시키기 위해서는, 1 수평주사 기간(1H)내에서 게이트 신호선(17a)에 의해 트랜지스터(11b) 및 (11c)를 도통 상태로 한다. 다음에, 애노드 전압 Vdd로부터 트랜지스터(11a) 및 소스 신호선(18)을 거쳐서 소스 드라이버(14)에 전류 Iw(프로그램 전류 Iw)를 주입한다. 이 때의 전류량의 대소에 의해 계조 표시를 행한다. 콘덴서(19)에는 트랜지스터(11a)의 드레인 전류에 대응하는 게이트 전압이 축적된다.

또, 본 발명의 실시예는, 본 명세서에 기재한 다른 실시예와 조합하여 이용하는 것이 바람직하다. 예를 들면, 도 45, 도 50의 역바이어스 전압 구동, 도 14, 도 17, 도 19, 도 24, 도 37, 도 53 등의 구동 방법과의 조합이다. 그 밖에, 패널 구성에 대하여도 조합할 수 있는 것은 말할 필요도 없다. 예를 들면, 도 8, 도 9, 도 10, 도 11, 도 27, 도 40, 도 41, 도 48의 구조 등이다.

그 후, 게이트 신호선(17b)에 의해 트랜지스터(11d)를 도통시키고, 게이트 신호선(17a)에 의해 트랜지스터(11b, 11c)를 비도통 상태로 하여, Vdd로부터 콘덴서(19)의 전하(즉 제어 전압)에 따른 전류가 트랜지스터(11a)를 거쳐서 발광

소자(15)에 흐른다.

소스 신호선(18)의 부유 용량(641)과 트랜지스터(11a)의 소스-드레인(S-D)간 저항의 곱에 의해 소스 신호선(18)에 흐르는 전류는 서서히 변화한다. 그 때문에, 부유 용량(641)의 용량값 및 저항치가 커지면, 1 수평주사 기간(1H)내에 전류가 소정의 값까지 변화하지 않는 일 있다. 소스 신호선(18)에 흐르는 전류가 작아짐(저계조로 됨)에 따라서, 트랜지스터(11a)의 소스-드레인(S-D)간 저항이 커지기 때문에, 전류가 작아질수록 변화에 시간이 걸린다. 트랜지스터(11a)의 다이오드 특성과, 소스 신호선(18)의 부유 용량(641)의 용량값에 의하지만, 예컨대 소스 신호선(18)에 흐르는 전류가 1 μ A로 변화하는데 50 μ s 걸리는데 대하여, 10nA로 변화하는데에는 250 μ s 걸린다.

소스 신호선(18)에 흐르는 전류치는 Vdd로부터 트랜지스터(11a)를 거쳐서 전 하를 소스 신호선(18)에 공급되며, 부유 용량(641)의 전하를 변화시키는 것에 의해 변화한다. 즉, 소스 신호선(18)의 전압을 변화시키면, 트랜지스터(11a)를 흐르는 전류(=소스 신호선(18)을 흐르는 전류)가 변화한다. 전하의 공급량은 전류가 작은 영역에서는 적다. 저계조 영역(혹 표시 영역)에서는 전류가 작다. 따라서, 흑 표시 영역에서는, 소스 신호선(18)의 전압 변화가 늦어지고, 그 결과 전류치의 변화도 늦어진다.

전류치의 변화를 빠르게 하기 위해서는, 소정의 소스 전류치에 대응하는 전압을 소스 신호선(18)에 인가하면 좋다. 트랜지스터(11a)의 게이트 전위를 소스 신호선(18)의 부유 용량과 배선 저항의 곱에 의한 시정수에 의해 변화시킬 수 있기 때문이다. 이 방법에 의해, 트랜지스터(11a)는 소정의 전류를 소스 신호선(18)에 흘리도록 변화한다.

배선 저항은 트랜지스터(11a)의 소스-드레인(S-D)간 저항에 비교해서 매우 작다. 따라서, 소스 신호선(18)에 인가되는 전압에 의한 변화는 매우 빠르게 된다. 일례로서, 1 3 μ s 정도에서 완전히 목표값으로 변화시킬 수 있다.

단지, 소정의 전류치를 소스 신호선(18)에 흘리기 위한 소스 전압은 트랜지스터(11a)의 전류1 전압 특성의 편차에 의해 변화한다. 따라서, 소정 전류치로부터의 어긋남을 보상하기 위해서 소정 전류치를 흘리는 전류원을 소스 신호선(18)에 접속하여, 소스 신호선(18)에 흐르는 전류치를 소정 전류치까지 변화시킬 필요가 있다.

이를 실현하기 위해서, 본 발명에 있어서의 소스 드라이버(14)의 각 출력부를 도 63과 같은 구성으로 했다.

계조 데이터(계조 정보)는 소스 드라이버(14)내의 계조 데이터 배선(633)으로 전달된다. 계조 데이터에 따른 전류를 전류 발생부(신호용 전류원)(634)가 발생하고, 그 전류가 소스 신호선(18)으로 출력되며, 소스 신호선(18)에 계조에 따른 전류가 흐른다. 전압 발생부(631)는 프리차지(또는 소스 신호선(18)의 전하를 디스차지시킨다고 하는 의미에서는 디스차지) 전압을 발생한다. 전압 발생부(631)로부터의 프리차지(디스차지) 전압은, 프리차지 스위치(제 2 전환 스위치)(636)를 거쳐서 소스 신호선(18)으로 출력될 수 있도록 구성되어 있다.

계조에 따른 전압을 인가한 후, 계조에 따른 전류를 흘리는 방법에서는 복수의 전압원과 복수의 전류원이 필요해지기 때문에, 회로 규모가 커진다. 본 발명에서는, 프리차지 전압은 1 또는 2 - 3 종류이어서, 회로 구성도 용이하기 때문에, 회로 규모는 작다.

전류치의 변화는 트랜지스터(11a)의 겉보기 저항이, 저계조 표시시에 비하여 고계조 표시시쪽이 작아지기 때문에 파형의 변화 속도는 계조가 증가함에 따라서 빨라진다. 그래서, 기입이 어려운 흑에 맞는 전압을 인가하고, 그 후 소정의 전류치를 소스 신호선(18)에 흘리는 것으로 소정의 계조를 표시하도록 행한다. 또는, 완전 흑 표시(계조 0)에만 프리차지 전압을 소스 신호선(18)에 인가하도록 구성한다.

또, 계조 0에만 프리차지 전압을 인가하는 경우이어도, R, G, B에서 프리차지 전압을 다르게 하는 것이 가능하도록 구성하는 것이 바람직하다. R, G, B에서 EL 소자(15)의 발광 개시 전압이 다르기 때문이다. 물론, R, G, B의 EL 소자(15)의 발광 개시 전압 등이 거의 동일한 경우는, 동일하여도 되는 것은 말할 필요도 없다. 또한, R, G, B에서 구동 트랜지스터(11a)의 W/L비, 트랜지스터 사이즈가 다른 경우도, R, G, B에서 프리차지 전압을 달라질 수 있도록 구성하는 것이 바람직하다.

도 63에 있어, 가장 저계조에 상당하는 전압(이하 흑 전압이라고 한다)을 전압 발생부(631)에서 발생시키며, 계조 데이터 신호 배선(633)의 계조 데이터에 따른 전류를 전류 발생부(634)로부터 출력한다. 1 수평주사 기간(1H)내에서 전압 인가를 개시후 0.2 3 μ s 실행하고, 그 후 전류 출력을 행하기 위해 제어부(게이트 드라이버:도 1 참조)(12)에 의해 1수평주사 기간을 검출하여, 클럭 및 카운터 등에 의해 프리차지 스위치(636)의 도통 기간을 설정한다. 출력 전류 스위치(제 1 전환 스위치)(637)은 항상 도통 상태이어도 상관없지만, 프리차지 스위치(636)의 도통 기간에는 비도통 상태로 하는 쪽이 바람직하다. 도 65의 단위 전류원(654) 등에 영향을 주는 것을 방지하기 위해서이다. 도 73에 1 수평주사 기간내에서의 스위치(636, 637)의 동작을 나타낸다.

수평주사 기간(1H)의 처음에 흑 전압을 인가 하는 것으로 저계조(흑 표시 영역)는 소정의 흑 표시가 쉽게 된다. 고계조

표시에 있어서는, 한번 흑 표시 상태로 되고 나서 고계조 표시로 변화해야 하기 때문에, 고계조까지 변화하기 전에 수평주사 기간이 끝날 가능성이 있다. 2개 이상의 수평주사 기간에 걸쳐 고계조 표시를 하는 경우(예컨대, 백 표시의 계조 A, 계조 B를 예로 한다), 1 H의 처음에 프리차지 전압의 흑 전압을 인가하는 경우, 소스 신호선의 상태는 흑→계조 A→흑→계조 B로 변화한다. 프리차지 전압을 소스 신호선(18)에 인가하지 않는 경우에는 소스 신호선의 상태는 계조 A→계조 B로 변화한다. 흑→계조 B에 비교하여, 계조 A→계조 B 쪽이 소스 신호선(18) 상태의 변화량이 작고, 그 상태를 빠르게 변화시킬 수 있다.

그래서, 전압 발생부(631)는 소스 신호선(18)에 전압을 인가할지 어떨지에 관한 프리차지 스위치(636)의 제어를 표시 계조에 따라 변경할 수 있도록 한다. 구체적으로는 고계조 표시시에, 전압을 인가하지 않도록 한다(계조 데이터에 따라 프리차지(디스차지) 전압을 인가할지 아닐지를 선택하기 때문에, 선택 프리차지라고 부른다. 반대로, 전체 계조에서 프리차지를 실행하는 경우는, 전프리차지라고 부른다).

그 때문에 프리차지 스위치(636)의 제어를 행하는 전압 출력 제어부(632)에 계조 데이터(13)를 입력하고, 계조 데이터(13)의 값에 따라 전압 출력 제어부(632)의 출력을 변화할 수 있도록 했다.

이 선택 프리차지를 64 계조 표시 실행하는 경우(계조 0을 흑, 계조 63을 백으로 한다)를 예로 들어 설명한다. 예를 들면, 제 1 선택 프리차지 모드에서는 0 계조만 프리차지 전압을 소스 신호선(18)에 인가한다. 계조 0일 때에만 1 수평주사 기간중 1 μ s만 전압 발생부(631)의 프리차지 전압을 소스 신호선(18)으로 출력할 수 있도록 전압 출력 제어부(632)의 제어 방법을 결정하면 좋다. 또한, 제 2 선택 프리차지 모드에서는, 0-3 계조만 프리차지 전압을 소스 신호선(18)에 인가한다. 계조 데이터가 계조 0-3일 때에만 1 수평주사 기간중 1 μ s만 전압 발생부(631)의 프리차지 전압을 소스 신호선(18)으로 출력할 수 있도록 전압 출력 제어부(632)의 제어 방법을 결정하면 좋다. 이들의 선택 프리차지 모드, 전 프리차지는 미리 커맨드로 변경할 수 있도록 해 놓는다. 또한, 프리차지 인가 시간, 프리차지 전압도 커맨드로 변경할 수 있도록 해 놓는 것이 바람직하다. 이들은 커맨드 디코더 회로, 전자 볼륨 등을 구성함으로써 용이하게 실현할 수 있다.

도 65 내지 도 69에 전류 발생부 구성의 예를 나타낸다. 여기서는, 계조 데이터가 4 비트, 16 계조의 경우를 설명하지만, 임의의 비트수에서도 마찬가지로 실현가능하다. 예를 들면, 6 비트(64계조(26만색))로 할 수 있다. 도 65, 67, 도 69에 있어서는 비트의 가중치에 대응한 수의 트랜지스터와 스위치를 준비하면 실현 가능하고, 도 68에 있어서는 디지털 아날로그 변환부(681)의 입력 비트수를 증감시키면 된다.

도 65의 부호(654)는 단위 전류원으로 되는 트랜지스터를 나타낸다. 단위 전류원(654)에는 그 게이트 전압에 따른 전류가 흐른다. 출력(18)과 트랜지스터(단위 전류원)(654)의 사이에는 스위치 회로(651a ~ 651d)가 접속된다. 데이터의 비트 가중치에 따라 스위치 회로(651a ~ 651d)에 접속되는 트랜지스터 수를 변경하는 것으로 계조 데이터에 따른 전류가 소스 드라이버(14)의 내부 배선(638)으로 출력된다. 내부 배선(638)에는 소스 신호선(18)이 접속되어 있다. 도 65 등은 전류 출력의 소스 드라이버의 일부를 도시하고 있다. 최하위 비트에는 트랜지스터(654)가 하나, 다음 상위 비트에는 트랜지스터(654)가 2개, 그 다음 상위 비트에는 트랜지스터(654)가 4개, 최상위 비트에는 트랜지스터(654)가 8개 접속된다. 계조 데이터에 따라 스위치(653)를 온오프시킴으로써, 계조 데이터에 따라서 출력(소스 신호선(18))과 접속되는 트랜지스터(654)의 수가 변화하며, 그에 따라 소스 신호선(18)에 흐르는 전류가 변화하여 계조 표시가 이루어진다.

1계조당 구분 폭의 조정은 가변 저항(656)을 변화시키는 것으로 행해진다. 트랜지스터(655)와 트랜지스터(654)는 커런트 미러 구성으로 되며, 트랜지스터(655)에 흐르는 전류에 대하여 미러비에 따른 전류가 트랜지스터(654)를 흐른다. 가변 저항(656)의 값을 변화시키면 트랜지스터(655)를 흐르는 전류가 변화하기 때문에, 1계조당 전류 증가분을 변화시킬 수 있다. 또, 가변 저항(656)은 전류를 변화시키는(조정하는) 수단이며, 가변 저항에 한정되지 않는다. 예를 들면, 전류 출력의 전자 볼륨을 이용하여도 좋다. 이상의 사항은, 도 69의 가변 저항(692)에 있어서도 적용할 수 있는 것은 말할 필요도 없다.

도 66도 마찬가지로 출력(소스 신호선(18))에 접속되는 트랜지스터(654)의 수에 의해 계조 표시를 행하지만, 도 65와 다른 점은, 1계조당 피치 폭을 정하는 트랜지스터(654)의 전압을 가변 전압원(661)에 의해 직접 제어하도록 한 점이다. 또, 가변 전압원(661)은 전압을 변화시키는(조정하는) 수단이며, 가변 전압원에 한정되지 않는다. 예를 들면, 전압 출력의 전자 볼륨을 이용할 수 있다.

도 67은 도 65의 가변 저항(656) 대신에 op 앰프(674) 등으로 이루어지는 정 전류 회로를 접속한 구성을 나타내고 있다. 전압원(671)의 전압치와 저항(672)에 의해 트랜지스터(655)에 흐르는 전류가 결정될 수 있다. 계조에 따라 전류치를 변화시키는 방법은 도 65, 도 66과 동일하다. 또, 저항(672)을 소스 드라이버(14)의 외부 부하 저항으로 하는 것에 의해, 단위 전류원(654)에 흐르는 전류를 자유롭게 설정할 수 있게 되기 때문에 바람직하다.

도 68은 트랜지스터(683)의 게이트 전압에 의해 내부 배선(638)에 흐르는 전류를 변화시키는 것으로 계조 표시를 행

하는 것이다. 게이트 전압은 계조 데이터에 의해 변화한다. 계조 데이터를 디지털 아날로그 변환부(681)에 의해 아날로그 신호로 변화하며 이 신호가 연산 증폭기(682)를 거쳐서 트랜지스터(683)의 게이트 전압에 입력됨으로써 전류를 변화시킨다.

도 65 내지 도 68에서, 생성된 계조에 따른 전류 출력 회로(635)와, 흑 전압(프리차지 전압)을 발생하는 전압 발생부(631)와, 계조 데이터 및 수평주사 기간(IH)의 시간에 따라 프리차지 스위치(636) 등을 제어하는 제어부(632) 등으로 본 발명의 EL 표시 장치의 구동 회로를 실현하는 것이 가능하다.

설명을 쉽게 하기 위해서 또는 도시를 쉽게 하기 위해서 도 65 내지 도 68에서는 1 출력의 경우에 대하여 설명하였다. 복수열 존재하는 경우에 모든 열에서 동일 계조시에 동일 전류를 출력하기 위해서는 트랜지스터(단위 전류원)(654)에 흐르는 전류가 모든 열에서 같을 필요가 있다.

도 65의 구성으로 복수열에서 동일 전류를 출력시키기 위해서 전류 발생부(634)를 개량한 것이 도 69에 나타내는 구성이다. 도 69에 있어, 가변 저항(692)을 흐르는 전류에 대하여 적어도 1쌍의 커런트 미러부를 마련하고, 커런트 미러에 의해 전류를 복수의 계통으로 분배한다.

필요하면 또다른 커런트 미러를 구성하여 복수의 계통으로 전류를 분배한다. 분배된 트랜지스터(695)의 게이트를 각 열의 트랜지스터(654)의 게이트에 접속하는 것으로 동일 전류를 출력할 수 있다. 이 때, 게이트가 공통인 각 커런트 미러를 형성하는 트랜지스터는 근접 배치함으로써 미러비의 편차가 적은 상태로 전류를 분배할 수 있다. 트랜지스터(695b) 및 (696c)의 게이트 신호선보다 앞의 구성은 트랜지스터(695a)의 경우의 구성과 동일하다.

도 66의 구성에서는, 전압원(661)의 출력을 각 열의 트랜지스터(654)의 게이트에 공급한다. 전압원(661)의 전압에 의해 트랜지스터(654)의 게이트 전압을 변화시키는 것으로 1계조마다 출력 전류를 제어할 수 있도록 한 점이 도 65의 구성과 다른 점이다.

복수열에 걸쳐 동일 전류를 출력할 수 있도록 한 것이 도 75에 나타내는 구성이다. 각 열의 트랜지스터(단위 전류원)(654)의 게이트 신호선의 모두에 공통의 전압이 걸리도록 하고, 그 전압을 가변 전압원(661)으로 공급할 수 있도록 했다. 예컨대, 트랜지스터(654a)가 1열째, 트랜지스터(654b)가 2열째, 트랜지스터(654c)가 3열째로 한다. 이 방법은 트랜지스터(단위 전류원)(654)의 임계치 전압이 트랜지스터마다 제각기 다른 경우, 전 출력이 동일 계조이어도 출력 전류치가 다르고, 신호선마다 줄무늬 얼룩이 발생할 가능성이 있다.

그러나, 결정 실리콘을 이용하여 작성하는 경우, 서로 인접하는 출력(소스 신호선(18))간의 임계값 전압의 차는 작다는 점, 임계값 전압은 하나의 칩에 있어서 어느 방향으로 완만히 변화한다는 점 때문에, 표시를 행한 경우에는 얼룩은 줄 무늬로는 되지 않고, 휘도는 한쪽 단부로부터 다른쪽 단부로 완만히 변화하기 때문에, 표시 특성에 문제는 없다. 이에 따라 간단한 구성으로 전류 발생부(634)가 구성될 수 있다.

도 67은 op 앰프(674) 및 트랜지스터(672) 및 저항(673)을 이용하여 정전류원을 형성하고, 그 정전류원에 의해 흐르는 전류를 트랜지스터(655) 및 커런트 미러를 이용하여 트랜지스터(단위 전류원)(654)에 미러비에 따른 전류를 흘리도록 한 구성이다. 단위 전류원(654)에 흐르는 전류는, 전압원(671)과 저항(673) 및 저항(673)에 접속된 Vcc 전원의 값에 의해 결정된다.

유기 발광 소자의 휘도에 대한 전류 특성은, R, G, B 병치법에 있어서는 각 색의 발광 효율이 다르기 때문에, 예컨대, 도 72에 도시하는 바와 같이 동일 휘도에 대한 전류치가 다르다. 또한 컬러 필터를 이용하는 방법에서는, 각 색에서의 컬러 필터의 투과율에 차이가 있으면, 동일 휘도에 대한 전류치가 색마다 다르다. 또한, CCM을 이용하는 경우에 있어서도, 색 변환 효율이 블루에서부터 레드 및 블루에서부터 그린으로 다르기 때문에, 기본적으로는 각 색에서 동일 휘도에 대한 전류치는 다르다. 그러므로 발광 개시 전류도 색마다 다르다. 도 72의 예에서는, 레드, 그린, 블루의 발광 개시 전류는 각각 IR, IG, IB로 된다.

전압 발생부(631)에 의해 발생된 전압은 소스 신호선(18)에 가장 낮은 계조에 필요한 전류를 흘릴 때의 소스 신호선 전압이므로 색마다 전압이 다르다.

그래서 도 71에 도시하는 바와 같이 표시 색마다 다른 전압(711R, 711G, 711B)을 전압 발생부(631)로부터 공급하고, (711R)에는 레드(R)의 발광 소자의 발 광 개시 전류가 흐르는 때의 소스 전위에 대응한 전압을, (711G), (711B)에도 마찬가지로 그린(G), 블루(B)에 대응한 전압을 공급한다.

공급하는 전압값은, 도 72에 나타내는 것과 같은 유기 발광 소자의 전류-휘도 특성으로부터 발광 개시 전류(Idark)를 산출한다. 화소가, 도 1과 같은 구성이면, 발광 소자(15)에 흐르는 전류를 제어하는 트랜지스터(11a)의 전류-전압 특성에 있어서, 소스 신호선(18)에 Idark 전류만 흐르는 때의 트랜지스터(11a)의 게이트 전압을 산출하고, 이 게이트 전

압을 전압 발생부(631)에서 생성하도록 한다. 또, 설명을 쉽게 하기 위해서, Idark 전류만 흐르는 때의 트랜지스터(11a)의 게이트 전압을 산출한다고 했지만, 이에 한정되는 것은 아니다. Idark 근방이면 좋다. 본 발명이 의도하는 점은, R, G, B의 각 회로에 있어서, 프리차지 전압이 흑계조 표시에서 양호한 것으로 하는 점이다. 따라서, 실용상으로 충분하면, Idark가 아니어도 되는 것은 말할 필요도 없다. 이상의 사항은 이하의 실시예에서도 마찬가지이다.

또한, 화소 구성은 도 1의 구성뿐만 아니라, 도 70에 나타내는 것과 같은 커런트 미러 구성의 경우에도 본 발명을 실시하는 것이 가능하다. 트랜지스터(11b)에 Idark의 전류가 흐를 때의 게이트 전압을 전압 발생부(631)에서 생성하면 좋다. 즉, 화소의 회로 구성에 관계없이, 유기 발광 소자에 흐르는 전류를 제어하는 트랜지스터가 Idark의 전류를 흘리는 때의 게이트 전압을 전압 발생부(631)에 의해 발생시키면 된다.

또한, 도 71에 도시하는 바와 같이 전압값을 표시색마다 다른 구성으로 하는 것뿐만 아니라, 또 전압 출력 제어부(632)의 출력을 표시색마다 변화시키기도 좋다. 예컨대, 표시색마다에서 프리차지 스위치(636)의 도통 시간을 바꾸거나, 프리차지 스위치(636)를 도통 상태로 하는 계조를 바꾸거나 한다. 예를 들면, R만은 계조0만을 선택 프리차지하고, G, B는 프리차지하지 않는 구성으로 할 수 있다. 또한, R만은 계조 0-3만을 선택 프리차지하고, G, B는 0계조만을 선택 프리차지하는 구성으로 할 수 있다. 또한, R만은 전계조 프리차지하고, G, B는 0계조만을 선택 프리차지하는 구성으로 할 수 있다.

이것은 소정 전류치로 변화하기까지의 시간이 R, G, B의 전류치에 따라 다르고, 전류가 많이 흐를수록 변화에 요하는 시간이 짧다는 것, 발광 개시 전류가 큰 표시색에 비하여 작은 표시색에서는 보다 고계조측까지 전압 발생부(631)의 전압을 인가하여 저계조 표시하기 쉽다는 것 등을 고려하기 위해서이다.

특히, 도 64의 화소 구성에 있어서 R, G, B 병치법에 의한 멀티컬러 표시 장치를 작성한 경우, 계조 0일 때만 0.5로부터 $3\mu\text{s}$ 정도 전압 발생부의 전압을 인가하면 되는 것임을 알았다. 또한, 발광색의 표시 특성에 따라서는 반드시 전압을 인가하지 않더라도 저계조 표시를 할 수 있는 것을 알았다.

예컨대, 도 72에 나타내는 휘도-전류 특성을 갖는 적색 발광 소자(R), 녹색 발광 소자(G), 청색 발광 소자(B)로 멀티컬러 표시 장치를 작성한 경우, 흑을 표시하기 위한 전류치가 색마다 다르고, 적색 표시 소자에 비교하여 녹색 발광 소자에서는 전류치가 작지 않으면 안되는 것을 안다.

도 64나 도 70에 나타내는 것과 같은 화소 구성, 및 유기 발광 소자에 흐르는 전류를 트랜지스터의 전류에 의해 게이트 전위를 변화시켜 계조 표시를 행하는 표시 장치에 있어서, 저 전류가 되는만큼, 유기 발광 소자에 흐르는 전류를 제어하는 트랜지스터에 흐르는 전류가 소정 전류치까지 변화하는 데 요하는 시간이 길어진다. 특히 최저 전류로 변화하는 것이 가장 시간이 걸린다. 그 결과, 앞의 수평주사 기간에서 흐른 전류치로부터 수평주사 기간내에서 완전히 흑계조의 전류치에까지 변화할 수 없고, 어떤 도중의 계조를 나타내는 전류가 흐르기 때문에 흑 표시가 어렵다.

그러나, 발광 개시 전류가 큰 경우, 반드시 트랜지스터에 흐르는 전류가 0이 아니어도 흑 표시가 가능해진다. 적색 발광 소자에서는 전류가 1R 이하이면 좋은 이유이다. 수평주사 기간의 길이에 따라서는, 흑 표시를 하는 경우에 1G 이하의 전류에까지는 변화할 수 없지만, 1G보다 크고 1B 이하의 전류로 변할 수 있는 일이 있다. 이 때, 전압 발생부(631)로부터 발생된 전압을 인가하지 않더라도 적색 및 청색 화소는 흑 표시 가능하고, 녹색 화소만 흑 표시할 수 없다.

그래서, 도 74에 도시하는 바와 같이, 전압 출력 제어부(632)에 인에이블 신호 배선(741)을 표시색마다 입력하고, 전압 발생부(631)의 전압을 인가할지 여덟지를 표시색마다 선택할 수 있도록 했다. 위의 예의 표시 장치에 있어서는, 적색, 청색의 741R, 741B에 인에이블 신호를 입력하고, 계조에 관계 없이 모든 수평주사 기간내에서 프리차지 스위치(636)를 비도통 상태로 하고, (741G)만, 계조 데이터(13)가 계조 0을 나타내는 때에 수평주사 기간의 일부의 기간에서 프리차지 스위치(636)가 닫히도록 하면 좋다. 이에 따라 표시색마다 흑 전압을 인가할지 여덟지를 선택할 수 있게 된다.

또한, 이 방법은 도 71의 구성에 비하여 필요한 표시색만 전압을 인가하는 경우, 전압 발생부(631)에서 발생하는 전압의 종류를 감소시키는 것이 가능하다. 1색만 흑 전압 인가의 경우는 3개로부터 하나로, 2색 흑 전압 인가의 경우라도 3개로부터 2개로 감소시킬 수 있어, 전원부의 회로 규모를 작게 하는 것이 가능해진다.

도 63 등으로 도시한 스위치(636)는 저온 폴리실리콘 기술 등으로, 기판(70)상에 직접 형성하여도 되는 것은 말할 필요도 없다. 전압 발생부(631)에 관해서도 마찬가지이다.

프리차지 전압을 인가하는 기간은 $0.5\mu\text{s}$ 이상으로 해야 한다. 또는 프리차지 시간은 1 수평주사 기간(1 H)의 1% 이상 10% 이하로 하는 것이 바람직하다. 더욱 바람직하게는 1 H의 2% 이상 8% 이하로 하는 것이 바람직하다.

또한, 표시 화상(21)의 내용(밝기, 정밀도 등)에 의해 프리차지하는 전압을 변화할 수 있도록 구성해 놓는 것이 바람

직하다. 예를 들면, 사용자가 조정 스위치를 누르는 것에 의해 또는 조정 볼륨을 돌리는 것에 의해 이 변화를 검출하여 프리차지 전압(전류)의 값을 변경한다. 표시하는 화상의 내용, 데이터에 따라 자동적으로 변화시키도록 구성하여도 좋다. 예를 들면, 포토센서로 외부의 광의 강도를 검출하고, 검출된 값으로 프리차지(디스차지) 전압(전류)를 조정한다. 그 밖에, 화상의 종류(퍼스널 컴퓨터 화상, 낮의 화면, 별하늘 등)에 따라서 프리차지(디스차지) 전압(전류)을 조정한다. 조정은 화상의 평균 밝기, 최대 휘도, 최소 휘도, 동화상, 정지 화상, 휘도 분포를 고려하여 결정한다.

프리차지 전압은 세분화하여 설정할 수 있도록 하여도 좋다. 예를 들면, 프리차지 전압은 PV1, PV2, PV3, PV4를 발생시킨다. 계조 0의 경우는 PV1 전압을 소스 신호선(18)에 인가하고, 계조1 내지 계조7의 경우는 PV2 전압을 소스 신호선(18)에 인가하며, 계조8 내지 계조 16의 경우는 PV4 전압을 소스 신호선(18)에 인가하고, 계조 59 내지 계조 63의 경우는 PV4 전압을 소스 신호선(18)에 인가하도록 구성하여도 좋다.

또한, 프리차지 전압은 흑 표시 영역에 인가하는 것에 한정되지 않고, 상기 실시예와 같이, 백 표시 영역에서 소스 신호선(18)에 백 전압으로 되도록 프리차지 전압을 인가하여도 좋다.

또한, 프리차지 전압은 도 64에 도시하는 애노드 전압 Vdd(구동 트랜지스터(11a)의 소스 또는 드레인 단자 전압)보다, 0.2 이상 2.0 (V) 변화시킨 전압으로 하는 것이 좋다. 더욱 바람직하게는, 0.4 이상 1.2(V) 변화시킨 전압으로 하는 것이 좋다. 예를 들면, 도 64와 같이, 구동 트랜지스터(11a)를 P 채널로 하고, Vdd 전압이 5.5(V)라고 하면, 프리차지 전압은 5.3(V) 이하 3.5(V) 이상으로 한다. 더욱 바람직하게는, 프리차지 전압은 5.1(V) 이하 4.2(V) 이상으로 한다.

또, 일반적으로, 전류원은 부하 임피던스가 변화하더라도 소정의 전류를 실질적으로 출력하는 것이 가능한 전원을 말하고, 전압원은 부하 임피던스가 변화하더라도 소정의 전압을 실질적으로 출력하는 것이 가능한 전원을 말한다. 한편, 본 발명에서는, 적어도 프리차지 전압 인가용의 전압 발생부(631)의 출력 임피던스가 소스 신호 출력용의 전류 발생부(635)의 출력 임피던스보다 작은 것이 필요하다. 물론, 전류 발생부(635)의 출력 임피던스는 부하 임피던스에 비교해서 충분히 큰 것이 바람직하고, 전압 발생부(631)의 출력 임피던스는 부하 임피던스에 비교해서 충분히 작은 것이 바람직하다.

[전자 표시 기기에 관한 발명의 실시예]

다음에, 본 발명의 구동 방식을 실시하는 본 발명의 표시 기기에 관하여 실시예에 대하여 설명한다. 도 57은 정보 단말 장치의 일례로서의 휴대 전화의 평면도이다. 본체(573)에 안테나(571), 텐키(572) 등이 부착되어 있다. (572) 등이 표시색 전환키 또는 전원 온오프, 프레임 레이트 전환 키이다.

키(572)를 한번 누르면 표시색은 8색 모드로, 이어서 동일-키(572)를 누르면 표시색은 256색 모드, 또 키(572)를 누르면 표시색은 4096색 모드가 되도록 순차를 짜더라도 좋다. 키는 누를 때마다 표시색 모드가 변화하는 토크 스위치로 한다. 또, 별도로 표시색에 대한 변경키를 마련하여도 좋다. 이 경우, 키(572)는 3개(이상)로 된다.

키(572)는 푸쉬 스위치 외에, 슬라이드 스위치 등의 다른 기계적인 스위치이어도 좋고, 또한, 음성 인식 등에 의해 전환되는 것이어도 좋다. 예를 들면, 4096색을 수화기에 음성 입력하는 것, 예를 들면, 「고품질 표시」, 「256색 모드」 또는 「저표시색 모드」라고 수화기에 음성 입력함으로써 표시 패널의 표시 화면(50)에 표시되는 표시색이 변화하도록 구성한다. 이것은 현행 음성 인식 기술을 채용 함으로써 용이하게 실현할 수 있다.

또한, 표시색의 전환은 전기적으로 전환되는 스위치이어도 좋고, 표시 패널의 표시부(21)에 표시시킨 메뉴를 건드리는 것에 의해 선택하는 터치 패널이어도 좋다. 또한, 스위치를 누르는 회수로 전환되거나 또는 클릭 볼과 같이 회전 또는 방향에 따라 전환하도록 구성하여도 좋다.

(572)는 표시색 전환키로 했지만, 프레임 레이트를 전환하는 키 등으로 하여도 좋다. 또한, 동화상과 정지 화상을 전환하는 키 등으로 하여도 좋다. 또한, 동화상과 정지 화상과 프레임 레이트 등의 복수의 요건을 동시에 전환하여도 좋다. 또한, 누르기를 계속하면 서서히(연속적으로) 프레임 레이트가 변화하도록 구성하여도 좋다. 이 경우는 발진기를 구성하는 콘덴서 C와 저항 R 중, 저항 R를 가변 저항으로 하거나, 전자 볼륨으로 하거나 함으로써 실현할 수 있다. 또한, 콘덴서는 트리머(trimmer) 콘덴서로 하는 것에 의해 실현할 수 있다. 또한, 반도체 칩에 복수의 콘덴서를 형성해 두고, 하나 이상의 콘덴서를 선택하여 이들을 회로적으로 병렬로 접속함으로써 실현하더라도 좋다.

또, 표시색 등에 의해 프레임 레이트를 전환한다고 하는 기술적 사상은 휴대전화에 한정되는 것이 아니라, 팜-탑(palm-top) 컴퓨터나, 노트북(notebook) 퍼스널 컴퓨터, 데스크 탑(desk top) 퍼스널 컴퓨터, 휴대 시계 등 표시 화면을 갖는 기기에 널리 적용할 수 있다. 또한, 액정 표시 장치(액정 표시 패널)에 한정되는 것이 아니라, 액정 표시 패널, 유기 EL 표시 패널이나, 트랜지스터 패널, PLZT 패널이나, CRT에도 적용할 수 있다.

도 57로 설명한 본 발명의 휴대 전화는, 도시하지 않았지만, 본체의 뒷면에 CCD 카메라를 갖추고 있다. CCD 카메라로 촬영한 화상은 즉시로 표시 패널의 표시 화면(50)에 표시할 수 있다. CCD 카메라로 촬영한 데이터는 표시 화면(50)에 표시할 수 있다. CCD 카메라의 화상 데이터는 24 비트(1670만색), 18비트(26만색), 16비트(6.5만색), 12 비트(4096색), 8 비트(256색)를 키(572) 입력으로 전환할 수 있다.

표시 데이터가 12 비트 이상인 경우, 오차 확산 처리를 행하여 표시한다. 즉, CCD 카메라로부터의 화상 데이터가 내장 메모리의 용량 이상인 경우는, 오차 확산 처리 등을 실시하여 표시색 수를 내장 화상 메모리의 용량 이하가 되도록 화상 처리를 한다.

지금, 소스 드라이버 IC(14)에는 4096색(R, G, B 각 4 비트)으로 1 화면의 내장 RAM을 구비하고 있다고 해서 설명한다. 모듈 외부에서 보내져오는 화상 데이터가 4096색의 경우는 직접 소스 드라이버 IC(14)의 내장 화상 RAM에 저장되며, 이 내장 화상 RAM에서 화상 데이터를 판독하여, 표시 화면(50)에 화상을 표시한다.

화상 데이터가 26만색(G:6 비트, R, B:5 비트의 총 16비트)인 경우는, 오차 확산 컨트롤러의 연산 메모리에 일단 저장되고, 또한 동시에 오차 확산 또는 디터 처리를 행하는 연산 회로에서 오차 확산 또는 디터 처리가 행해진다. 이 오차 확산 처리 등에 의해 16 비트의 화상 데이터는 내장 화상 RAM의 비트수인 12 비트로 변환되어 소스 드라이버 IC(14)에 전송된다. 소스 드라이버 IC(14)는 R, G, B 각 4 비트(4096색)의 화상 데이터를 출력하여, 표시 화면(50)에 화상을 표시한다.

또한, 본 발명의 EL 표시 패널 또는 EL 표시 장치 또는 구동 방법을 채용한 실시예에 대하여 도면을 참조하면서 설명한다.

도 58은 본 발명의 실시예에 있어서의 뷰 화인더(view finder)의 단면도이다. 단지, 설명을 쉽게 하기 위해서 모식적으로 도시되어 있다. 또한 일부 확대 또는 축소한 개소가 존재하며, 또한, 생략한 개소도 있다. 예를 들면, 도 58에 있어 접안 커버를 생략하고 있다. 이상의 것은 다른 도면에 있어서도 해당한다.

본체(573)의 이면은 암색 또는 흑색으로 되어 있다. 이것은, EL 표시 패널(표시 장치)(574)로부터 출사된 미광이 본체(573)의 내면에서 난반사되어 표시 콘트라스트를 저하시키는 것을 방지하기 위해서이다. 또한, 표시 패널의 광출사측에는 위광판($\lambda/4$ 판 등)(108), 편광판(109) 등이 배치되어 있다. 이것은 도 10, 도 11에서도 설명하고 있다.

접안링(581)에는 확대 렌즈(582)가 부착되어 있다. 관찰자는 접안링(581)을 본체(573)내에서의 삽입 위치를 가변하여, 표시 패널(574)의 표시 화상(50)에 핀트(pint)가 맞도록 조정한다.

또한, 필요에 따라 표시 패널(574)의 광출사측에 정 렌즈(583)를 배치하면, 확대 렌즈(582)에 입사하는 주 광선을 수속시킬 수 있다. 그 때문에, 확대 렌즈(582)의 렌즈 직경을 작게 할 수 있어, 뷰 화인더를 소형화할 수 있다.

도 59는 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬영) 렌즈부(592)와 비디오 카메라 본체(573)를 구비하며, 촬영 렌즈부(592)와 뷰 화인더부(573)와는 표리 관계로 되어 있다. 또한, 뷰 화인더(도 58 참조)(573)에는 접안 커버가 부착되어 있다. 관찰자(사용자)는 이 접안 커버로부터 표시 패널(574)의 화상(50)을 관찰한다.

한편, 본 발명의 EL 표시 패널은 표시 모니터로서도 사용되고 있다. 표시부(50)는 지점(591)에 의해 각도를 자유롭게 조정할 수 있다. 표시부(50)를 사용하지 않는 때는 격납부(593)에 격납된다.

스위치(594)는 이하의 기능을 실시하는 전환 또는 제어 스위치이다. 스위치(594)는 표시 모드 전환 스위치이다. 스위치(594)는 휴대 전화 등에도 부착되는 것이 바람직하다. 이 표시 모드 전환 스위치(594)에 대하여 설명한다.

본 발명의 구동 방법중 하나로서 N 배의 전류를 EL 소자(15)에 흘려, 1 F의 1/M의 기간만 점등시키는 방법이 있다. 이 점등시키는 기간을 변화시킴으로써, 밝기를 디지털적으로 변경할 수 있다. 예를 들면, N=4로해서, EL 소자(15)에는 4배의 전류를 흘린다. 점등 기간을 1/M으로 하고, M=1, 2, 3, 4로 전환하면, 1배로부터 4배까지의 밝기 전환이 가능해진다. 또, M=1, 1.5, 2, 3, 4, 5, 6 등으로 변경할 수 있도록 구성하여도 좋다.

이상의 전환 동작은, 휴대 전화의 전원을 온한 때에 표시 화면(50)을 매우 밝게 표시하고, 일정한 시간 경과한 후에는 전력 세이브(save)를 위해, 표시 휘도를 저하시키는 구성에 이용한다. 또한, 사용자가 희망하는 밝기로 설정하는 기층으로도 이용할 수 있다. 예를 들면, 옥외 등에서는 화면을 매우 밝게 한다. 옥외에서는 주변이 밝아서, 화면이 완전히 보이지 않게 되기 때문이다. 그러나, 높은 휘도로 표시를 계속하면 EL 소자(15)는 급격히 열화한다. 그 때문에, 매우 밝게 하는 경우는, 단 시간내에 통상의 휘도로 복귀하도록 구성해 놓는다. 또한, 고휘도로 표시시키는 경우는, 사용자가 버튼을 누르는 것에 의해 표시 휘도를 높게 할 수 있도록 구성해 놓는다.

따라서, 사용자가 버튼(594)으로 전환시킬 수 있도록 해 놓든가, 설정 모드로 자동적으로 변경할 수 있거나, 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 놓는 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 놓는 것이 바람직하다.

또, 표시 화면(50)은 가우스 분포 표시로 하는 것이 바람직하다. 가우스 분포 표시란, 중앙부의 휘도가 밝고 주변부를 비교적 어둡게 하는 방식이다. 시각적으로는, 중앙부가 밝으면 주변부가 어둡더라도 밝다고 느낀다. 주관적 평가에 의하면, 주변부가 중앙부에 비교하여 70%의 휘도를 유지하고 있으면, 시각적으로 손색이 없다. 더욱 감소시켜 50% 휘도로 해도 거의 문제가 없다. 본 발명의 자기 발광형 표시 패널에서는 앞서 설명한 N 배 펄스 구동(N 배의 전류를 EL 소자(15)에 흘려, 1 F의 1/M의 기간만 점등시키는 방법)을 이용하여 화면의 위에서 아래 방향으로 가우스 분포를 발생시키고 있다.

구체적으로는, 화면의 상부와 하부에서는 M의 값을 크게 하고, 중앙부에서 M의 값을 작게 한다. 이것은 게이트 드라이버(12)의 시프트 레지스터의 동작 속도를 변조하는 것 등에 의해 실현한다. 화면의 좌우의 밝기 변조는 테이블의 데이터와 영상 데이터를 승산함으로써 발생시키고 있다. 이상의 동작에 의해, 주변 휘도(화각 0.9)를 50%로 한 때, 100% 휘도의 경우에 비교하여 약 20%의 저소비 전력화가 가능하다. 주변 휘도(화각 0.9)를 70%로 한 때, 100% 휘도의 경우에 비교하여 약 15%의 저소비 전력화가 가능하다.

또, 가우스 분포 표시는 온오프할 수 있도록 전환 스위치 등을 마련하는 것이 바람직하다. 예를 들면, 옥외 등에서 가우스 표시시키면 화면 주변부가 완전히 보이지 않게 되기 때문이다. 따라서, 사용자가 버튼으로 전환할 수 있도록 하여 놓거나 설정 모드로 자동적으로 변경할 수 있거나 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 놓는 것이 바람직하다. 또한, 주변 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 놓은 것이 바람직하다.

액정 표시 패널에서는 백 라이트로 고정의 가우스 분포를 발생시키고 있다. 따라서, 가우스 분포의 온오프를 행할 수 없다. 가우스 분포를 온오프할 수 있는 것은 자기 발광형 표시 장치 특유의 효과이다.

또한, 프레임 레이트가 소정인 때, 실내 형광등 등의 점등 상태와 간섭하여 플리커가 발생하는 경우가 있다. 즉, 형광등이 60Hz의 교류로 점등하고 있을 때, EL 표시 소자(15)가 프레임 레이트 60Hz에서 동작하고 있으면, 미묘한 간섭이 발생하여, 화면이 천천히 점멸하고 있는 것처럼 느껴지는 경우가 있다. 이것을 피하기 위해서는 프레임 레이트를 변경하면 좋다. 본 발명은 프레임 레이트의 변경 기능을 부가하고 있다. 또한, N 배 펄스 구동(N 배의 전류를 EL 소자(15)에 흘려, 1 F의 1/M의 기간만 점등시키는 방법)에 있어서, N 또는 M의 값을 변경할 수 있도록 구성하고 있다.

이상의 기능을 스위치(594)로 실현할 수 있도록 한다. 스위치(594)는 표시 화면(50)의 메뉴에 따라서, 복수회 누르는 것에 의해 이상에서 설명한 기능을 전환하여 실현한다.

또, 이상의 사항은 휴대 전화에만 한정되는 것이 아니라, 텔레비전, 모니터 등에 이용할 수 있는 것은 말할 필요도 없다. 또한, 어떠한 표시 상태에 있는가를 사용자가 곧 인식할 수 있도록 표시 화면에 아이콘 표시를 해 놓는 것이 바람직하다. 이상의 사항은 이하의 사항에 대하여도 마찬가지이다.

본 실시예의 EL 표시 장치 등은 비디오 카메라뿐만 아니라, 도 60에 나타내는 것과 같은 전자 카메라에도 적용할 수 있다. 표시 장치는 카메라 본체(601)에 부착된 모니터(50)로서 이용한다. 카메라 본체(601)에는 셔터(603) 외에, 스위치(594)가 부착되어 있다.

이상은 표시 패널의 표시 영역이 비교적 소형의 경우이지만, 30인치 이상의 대형으로 하면 표시 화면(50)이 휘기 쉽다. 그 대책을 위해서, 본 발명에서는 도 61에 도시하는 바와 같이 표시 패널에 외곽 프레임(611)을 붙이고, 외곽 프레임(611)을 늘여지도록 고정부재(614)로 부착되어 있다. 이 고정 부재(614)를 이용하여 벽 등에 붙인다.

그러나, 표시 패널의 화면 사이즈가 커지면 중량도 무겁게 된다. 그 때문에, 표시 패널의 하측에 다리 부착부(613)를 배치하여, 복수의 다리(612)로 표시 패널의 중량을 유지할 수 있도록 하고 있다.

다리(612)는 A로 도시하는 바와 같이 좌우로 이동할 수 있어, 또한, 다리(612)는 B로 도시하는 바와 같이 수축할 수 있도록 구성되어 있다. 그 때문에, 좁은 장소이더라도 표시 장치를 용이하게 설치할 수 있다.

도 61의 텔레비전에서는 화면의 표면을 보호필름(보호판이라도 좋다)으로 피복하고 있다. 이것은 표시 패널의 표면에 물체가 닿아 파손되는 것을 방지하는 것이 하나의 목적이다. 보호필름의 표면에는 AIR 코트가 형성되어 있고, 또한, 표면을 엠보스 가공함으로써 표시 패널에 외부 상황(외광)이 편광 반사되는 것을 억제하고 있다.

보호필름과 표시 패널 사이에 비즈(beads) 등을 살포함으로써, 일정 공간이 배치되도록 구성되어 있다. 또한, 보호필

름의 이면에 미세한 볼록부를 형성하고, 이 볼록부로 표시 패널과 보호필름 사이에 공간을 유지시킨다. 이와 같이 공간을 유지함으로써 보호 필름으로부터의 충격이 표시 패널에 전달되는 것을 억제한다.

또한, 보호필름과 표시 패널 사이에 알콜, 에틸렌글리콜 등 액체 또는 젤 형상의 아크릴 수지(acrylic resin) 또는 에폭시 등의 고체 수지 등의 광결합제를 배치 또는 주입하는 것도 효과가 있다. 계면 반사를 방지할 수 있음과 동시에, 상기 광 결합제가 완충재로서 기능하기 때문이다.

보호필름으로서는, 폴리카보네이트필름(판), 폴리프로필렌필름(판), 아크릴필름(판), 폴리에스테르필름(판), PVA 필름(판) 등이 예시된다. 그 밖에 엔지니어링 수지필름(ABS 등)을 이용할 수 있는 것은 말할 필요도 없다. 또한, 강화 유리 등 무기 재료로 이루어지는 것이라도 좋다. 보호필름을 배치하는 대신에, 표시 패널의 표면을 에폭시, 페놀 수지, 아크릴 수지로 0.5mm 이상 2.0mm 이하의 두께로 코팅하는 것도 동일한 효과가 있다. 또한, 이들의 수지 표면에 엠보스 가공 등을 하는 것도 유효하다.

또한, 보호필름 또는 코팅재료의 표면을 불소코팅하는 것도 효과가 있다. 표면에 붙은 오염을 세제 등으로 용이하게 제거할 수 있기 때문이다. 또한, 보호필름을 두텁게 형성하여, 프론트 라이트(front light)와 겸용하더라도 좋다.

본 발명의 실시예에 있어서의 표시 패널은, 3번 프리의 구성과 조합하는 것도 유효함은 말할 필요도 없다. 특히 3번 프리의 구성은 화소가 비결정 실리콘 기술을 이용하여 제작되어 있는 때에 유효하다. 또한, 비결정 실리콘 기술로 형성된 패널에서는, 트랜지스터 소자의 특성 편차의 프로세스 제어가 불가능하기 때문에, 본 발명의 N배 펄스 구동, 리세트 구동, 더미 화소 구동 등을 실시하는 것이 바람직하다. 즉, 본 발명에 있어서의 트랜지스터 등은, 폴리실리콘 기술에 의한 것에 한정되지 않고 비결정 실리콘에 의한 것이라도 좋다.

또, 본 발명의 N 배 펄스 구동(도 13, 도 16, 도 19, 도 20, 도 22, 도 24, 도 30 등) 등은 저온 폴리실리콘 기술로 트랜지스터(11)를 형성한 표시 패널보다도 비결정 실리콘 기술로 트랜지스터(11)를 형성한 표시 패널에 유효하다. 비결정 실리콘의 트랜지스터(11)에서는 인접한 트랜지스터의 특성이 거의 일치하고 있기 때문이다. 따라서, 가산한 전류로 구동하더라도 각각의 트랜지스터의 구동 전류는 거의 목표값으로 되어 있다(특히, 도 22, 도 24, 도 30의 N 배 펄스 구동은 비결정 실리콘으로 형성한 트랜지스터의 화소 구성에 있어서 유효하다).

본 발명의 실시예로 설명한 기술적 사상은 비디오 카메라, 프로젝터, 입체 텔레비전, 프로젝션 텔레비전 등에 적용할 수 있다. 또한, 뷰 화인더, 휴대 전화 의 모니터, PHS, 휴대 정보 단말기 및 그 모니터, 디지털 카메라 및 그 모니터에도 적용할 수 있다.

또한, 전자 사진 시스템, 헤드마운트 디스플레이, 직시 모니터 디스플레이, 노트북 컴퓨터, 비디오 카메라, 전자 스틸 카메라에도 적용할 수 있다. 또한, 현금 자동 인출기의 모니터, 공중 전화, 화상전화, 퍼스널 컴퓨터, 손목 시계 및 그 표시 장치에도 적용할 수 있다.

또한, 가정 전기 기기의 표시 모니터, 포켓 게임 기기 및 그 모니터, 표시 패널용 백 라이트 또는 가정용 또는 업무용의 조명 장치 등에도 적용 또는 응용전개할 수 있는 것은 말할 필요도 없다. 조명 장치는 색온도를 가변할 수 있도록 구성하는 것이 바람직하다. 이것은, R, G, B의 화소를 스트라이프 형상 또는 도트 매트릭스 형상으로 형성하고, 이들에 흐르는 전류를 조정함으로써 색온도를 변경할 수 있다. 또한, 광고 또는 포스터 등의 표시 장치, R, G, B의 신호기, 경보 표시 등 등에도 응용할 수 있다.

또한, 스캐너의 광원으로서도 유기 EL 표시 패널은 유효하다. R, G, B의 도트 매트릭스를 광원으로 해서 대상물에 광을 조사하여 화상을 읽어낸다. 물론, 단색이어도 되는 것은 말할 필요도 없다. 또한, 액티브 매트릭스에 한정되지 않고, 단순 매트릭스라도 좋다. 색온도를 조정할 수 있도록 하면 화상 판독 정밀도도 향상한다.

또한, 액정 표시 장치의 백 라이트에도 유기 EL 표시 장치는 유효하다. EL 표시 장치(백 라이트)의 R, G, B의 화소를 스트라이프 형상 또는 도트 매트릭스 형 상으로 형성하고, 이들에 흐르는 전류를 조정함으로써 색온도를 변경할 수 있고, 또한, 밝기의 조정도 용이하다. 게다가, 면광원이므로, 화면의 중앙부를 밝게 하고 주변부를 어둡게 하는 가우스 분포를 용이하게 구성할 수 있다. 또한, R, G, B 광을 교대로 주사하는 필드 순차 방식의 액정 표시 패널의 백 라이트로서도 유효하다. 또한, 백 라이트를 점멸하더라도 흑삽입함으로써 동화상 표시용 등의 액정 표시 패널의 백 라이트로서도 이용할 수 있다.

이상의 설명으로부터 당업자에게 있어서는 본 발명의 많은 개량이나 다른 실시형태가 분명하다. 따라서, 상기 설명은 예시로서만 해석되어야 하며, 본 발명을 실행하는 최선의 형태를 당업자에게 교시할 목적으로 제공된 것이다. 본 발명의 범주를 일탈하는 일없이, 그 구조 및/또는 기능의 상세를 실질적으로 변경할 수 있다.

산업상 이용 가능성

본 발명에 따른 EL 표시 장치는 휴대 전화의 화상 표시부 등으로서 유용하다.

본 발명에 따른 EL 표시 장치의 구동 회로는 휴대 전화의 화상 표시부의 구동 회로 등으로서 유용하다.

본 발명에 따른 전자 표시기기는 휴대전화, 텔레비전, PC용 디스플레이 등으로서 유용하다.

(57) 청구의 범위

청구항 1.

EL 발광 소자와, 전류로 표시되는 소스 신호에 따른 전류에 의해서 상기 EL 발광 소자를 구동하는 전류 구동 장치와, 영상 신호에 따라 상기 소스 신호를 소스 신호선을 통하여 상기 전류 구동 장치로 출력하는 신호용 전류원을 구비한 EL 표시 장치에 있어서,

소정 전압을 출력하는 프리차지용 전압원과,

상기 신호용 전류원과 상기 프리차지용 전압원을 전환하여 상기 소스 신호선에 접속 가능한 전환 접속 수단

을 더 구비한 것을 특징으로 하는 EL 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 전환 접속 수단은, 1 수평주사 기간내에서 상기 소정 전압이 상기 소스 신호선에 인가된 후 상기 소스 신호가 상기 소스 신호선으로 출력되도록, 상기 프리차지용 전압원 및 상기 신호용 전류원을 상기 소스 신호에 접속하는 EL 표시 장치.

청구항 3.

제 2 항에 있어서,

상기 소정 전압의 인가 기간이 0.2 μ s 이상 3 μ s 이하인 EL 표시 장치.

청구항 4.

제 2 항에 있어서,

상기 전류 구동 장치는 상기 소스 신호선에 접속된 제어 단자의 전압에 따른 전류에 의해 상기 EL 발광 소자를 구동하고,

상기 소정 전압은 상기 전류 구동 장치가 상기 EL 발광 소자를 흑 표시하도록 구동하는 전압인

EL 표시 장치.

청구항 5.

제 2 항에 있어서,

상기 전류 구동 장치는 상기 소스 신호선에 접속된 제어 단자의 전압에 따른 전류에 의해 상기 EL 발광 소자를 구동하고,

상기 소정 전압은 상기 영상 신호의 계조 정보에 따른 것인

EL 표시 장치.

청구항 6.

제 1 항에 있어서,

상기 전환 접속 수단은 상기 영상 신호의 계조 정보가 소정의 것인 경우에 상기 프리차지용 전압원을 상기 소스 신호선에 접속하는 EL 표시 장치.

청구항 7.

제 1 항에 있어서,

복수 종류의 색을 발광하는 복수의 상기 EL 발광 소자가 상기 색마다 복수의 상기 소스 신호선에 각각 접속되고, 상기 프리차지용 전압원은 상기 색마다 정해진 상기 소정 전압을 상기 소스 신호선으로 각각 출력하는 EL 표시 장치.

청구항 8.

제 1 항에 있어서,

상기 전류 구동 장치는 트랜지스터로 이루어진 EL 표시 장치.

청구항 9.

제 1 항에 있어서,

상기 전류 구동 장치는 커런 미러 회로로 이루어진 EL 표시 장치.

청구항 10.

제 1 항에 있어서,

복수의 화소가 매트릭스 형상으로 배치되고, 상기 화소마다 상기 EL 발광 소자 및 상기 전류 구동 장치가 배치되며, 열 또는 행마다 상기 소스 신호선이 배치 되고, 각 열 또는 행의 상기 전류 구동 장치가 선택가능하게 각 소스 신호선에 접속되며, 상기 신호용 전류원, 상기 프리차지용 전압원, 및 상기 전환 접속 수단이 상기 소스 신호선마다 마련되고, 상기 복수 화소의 상기 전류 구동 장치를 행 또는 열마다 선택하는 게이트 신호를 전달하기 위한 복수의 게이트선이 배치되며, 상기 게이트 신호를 상기 복수의 게이트선으로 출력하는 게이트 드라이버가 마련된 EL 표시 장치.

청구항 11.

복수의 화소가 매트릭스 형상으로 배치되고, 상기 화소마다 상기 EL 발광 소자 및 상기 전류 구동 장치가 배치되며, 열 또는 행마다 상기 소스 신호선이 배치되고, 각 열 또는 행의 상기 전류 구동 장치가 선택가능하게 각 소스 신호선에 접속되며, 상기 신호용 전류원, 상기 프리차지용 전압원, 및 상기 전환 접속 수단이 상기 소스 신호선마다 마련되고, 상기 복수 화소의 상기 전류 구동 장치를 행 또는 열마다 선택하는 게이트 신호를 전달하기 위한 복수의 게이트선이 배치되며, 상기 게이트 신호를 상기 복수의 게이트선으로 출력하는 게이트 드라이버가 마련된 청구항 1에 기재된 EL 표시 장치로 이루어지는 화상 표시부와,

수화기와,

스피커

를 구비한 전자 표시기기.

청구항 12.

복수의 단위 전류원과,

상기 단위 전류원에서 출력되는 전류를 규정하는 기준 전류 발생 회로와,

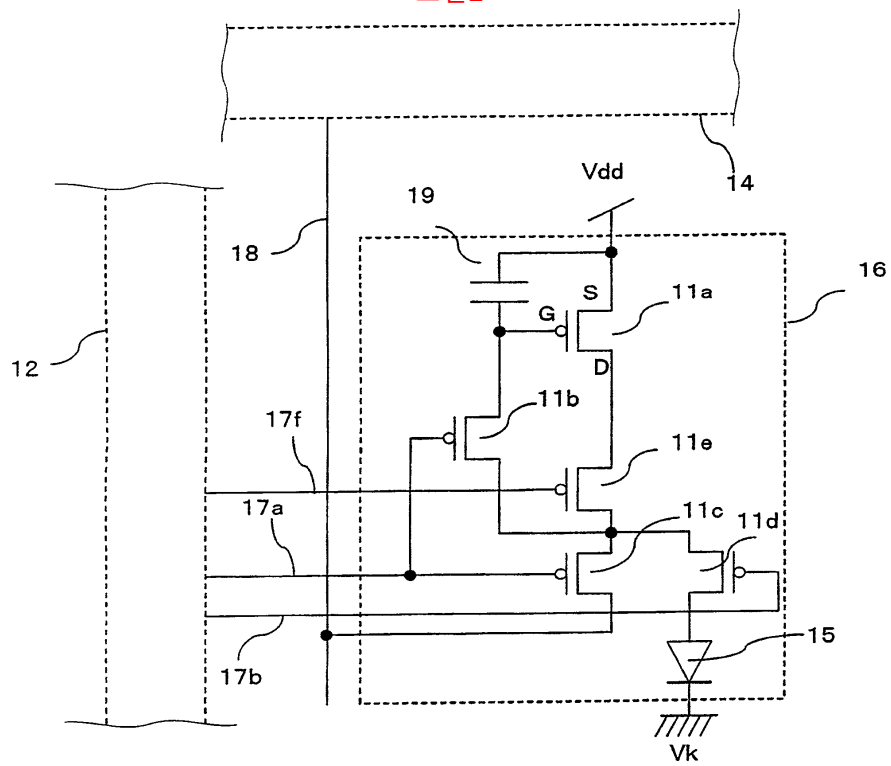
상기 단위 전류원의 출력단에 배치된 복수의 전류 스위치 회로와,

한쪽 단부가 제 1 전환 스위치를 거쳐서 상기 복수의 전류 스위치 회로에 각각 접속되고, 다른쪽 단부가 소스 신호선에 접속되는 전류 배선과,

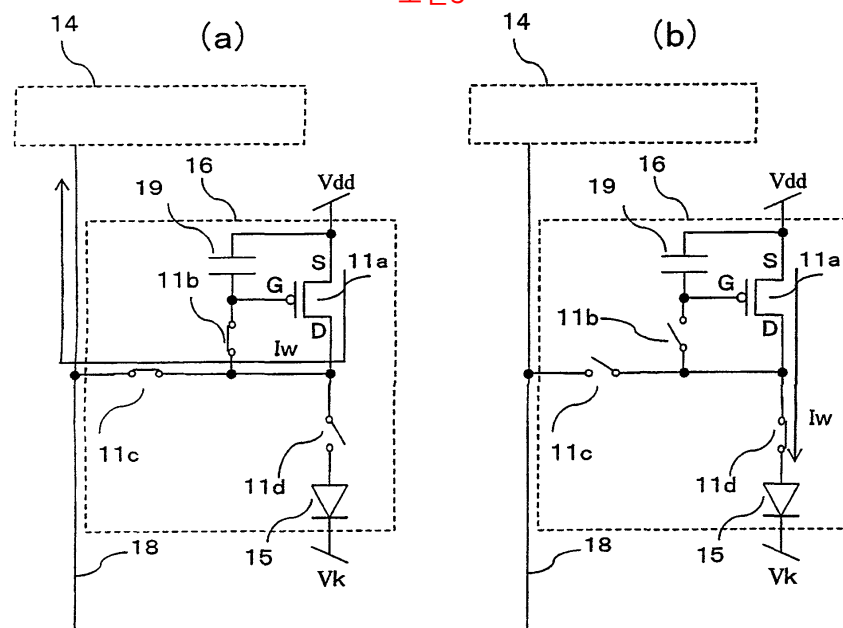
소정 전압을 출력하고, 제 2 전환 스위치를 거쳐서 상기 전류 배선에 접속된 프리차지용 전압원을 구비하며,

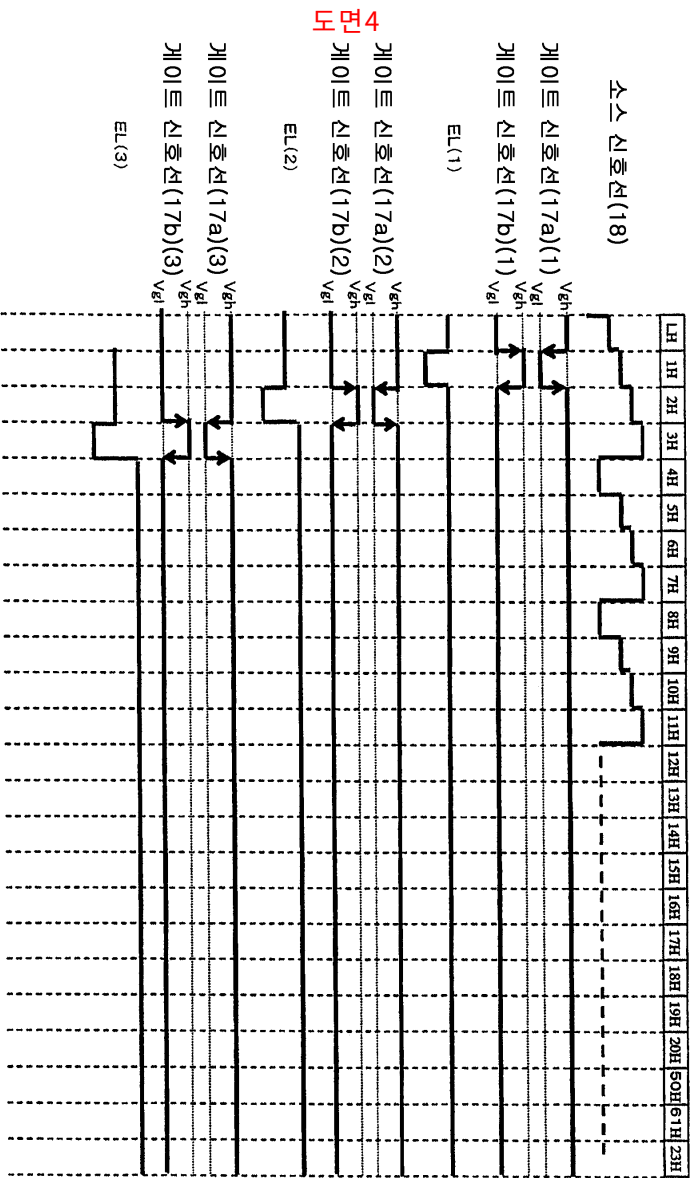
상기 전류 스위치 회로가 영상 신호의 계조 정보에 따라 온오프되고, 상기 제 1, 제 2 전환 스위치가 상기 전류 스위치 회로와 상기 프리차지용 전압원을 전환시켜 상기 소스 신호선에 접속하는 EL 표시 장치의 구동 회로.

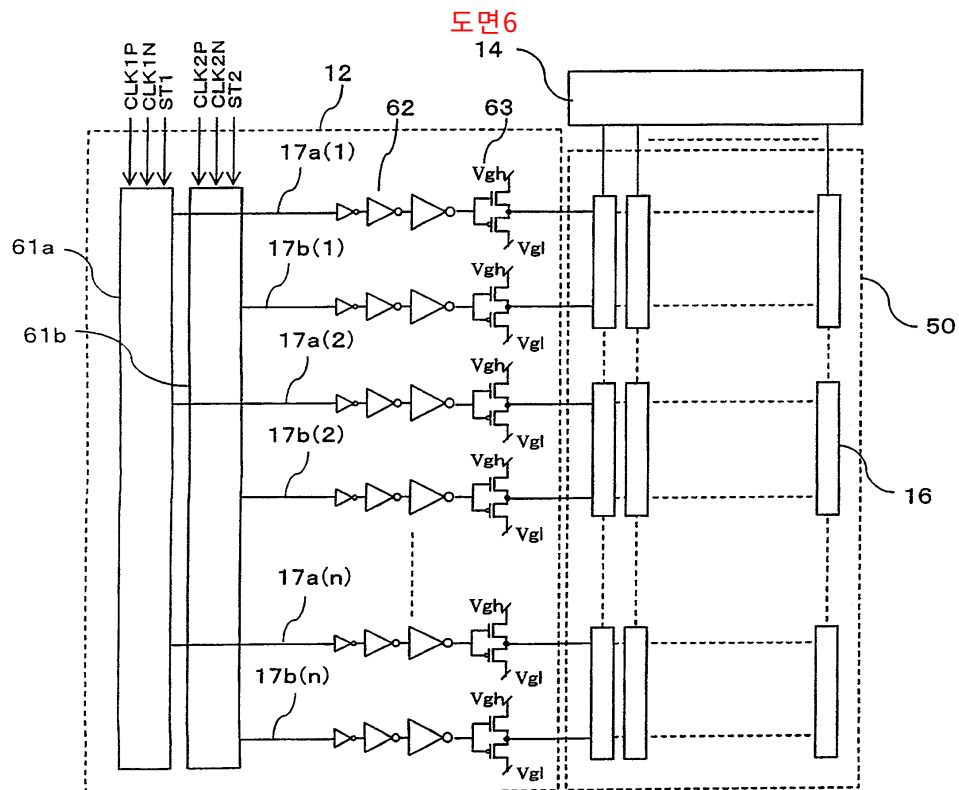
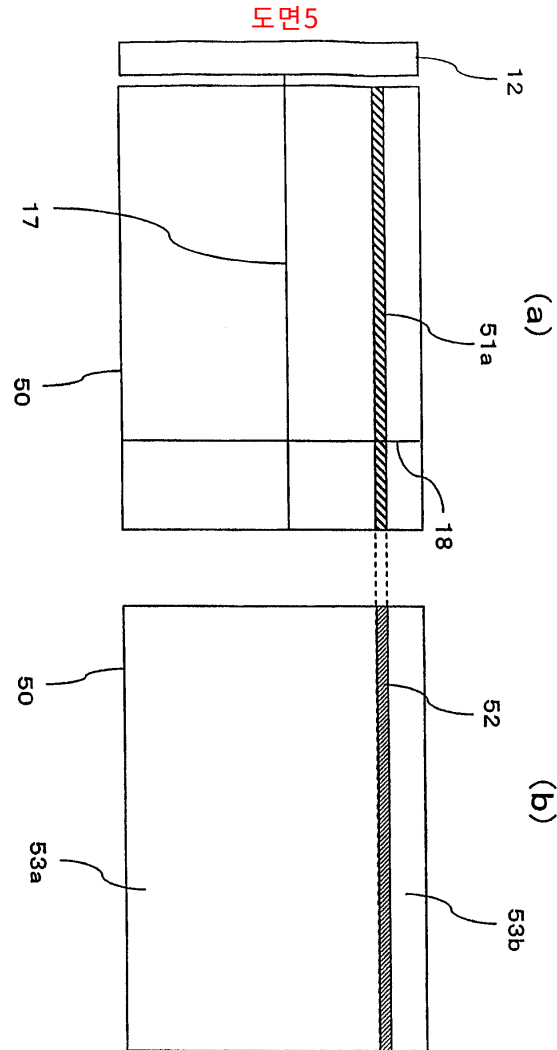
도면2



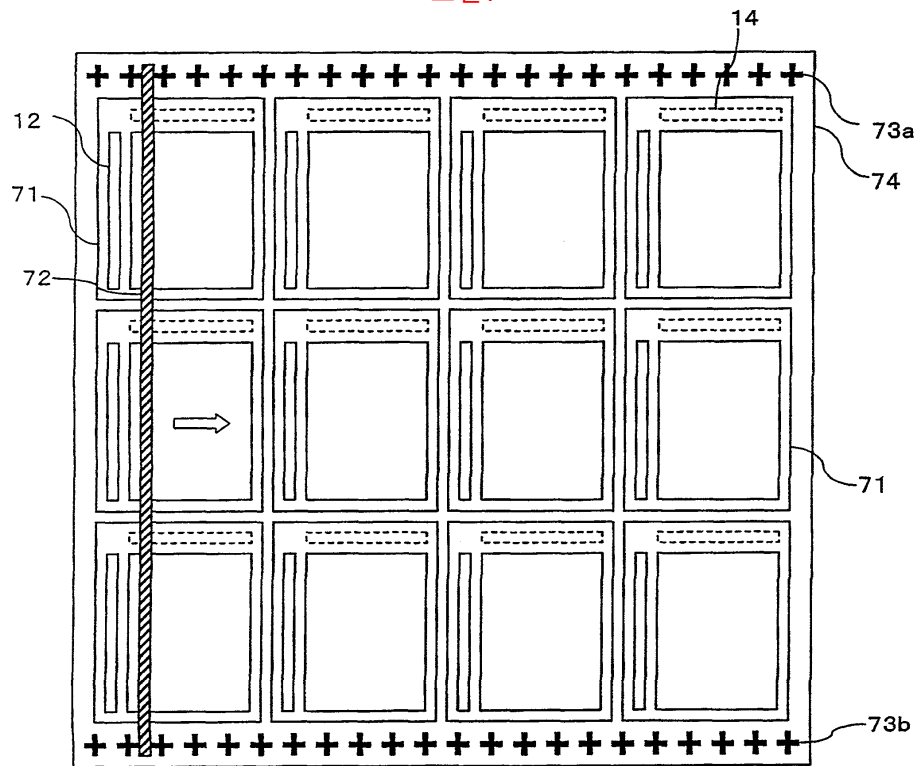
도면3



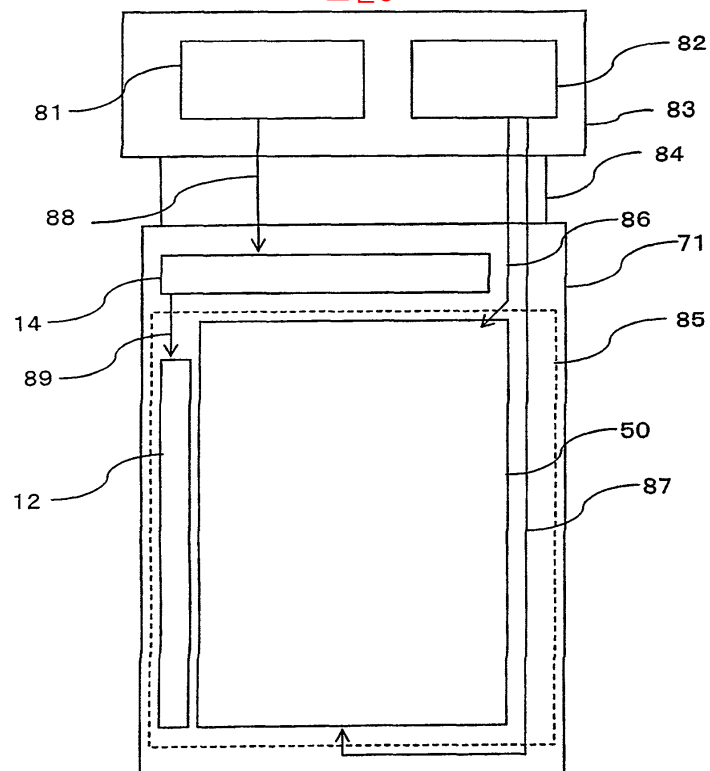




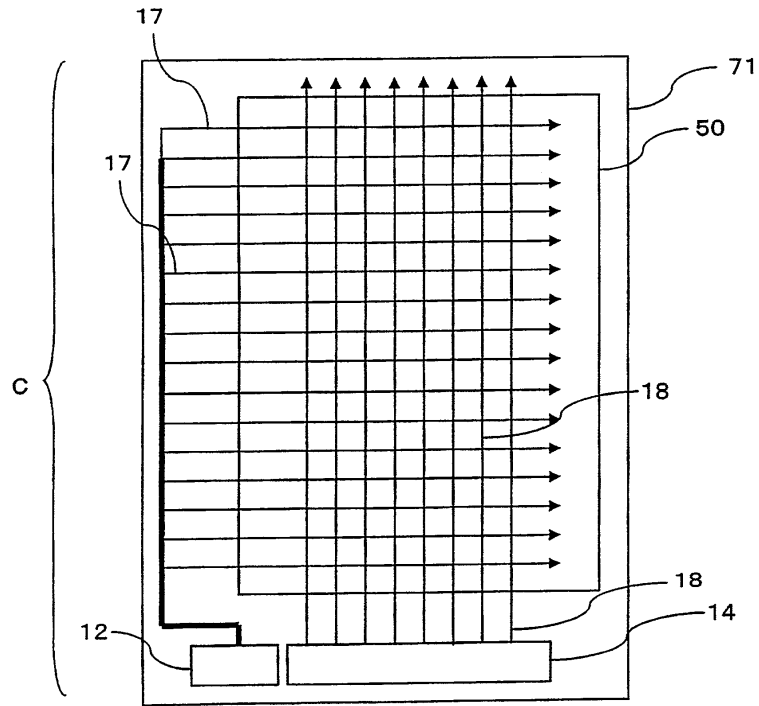
도면7



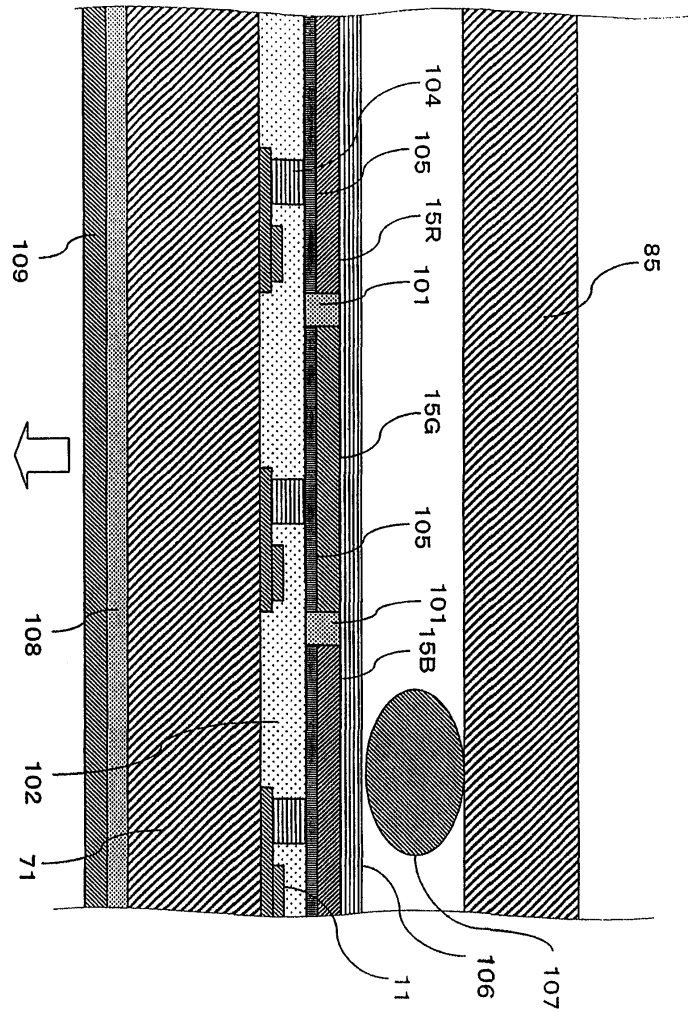
도면8



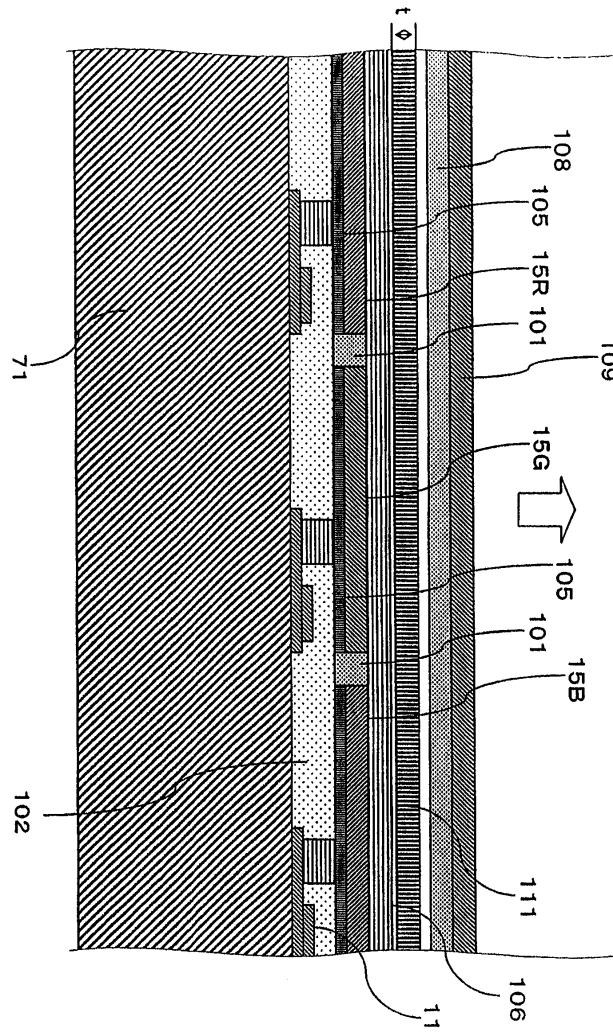
도면9



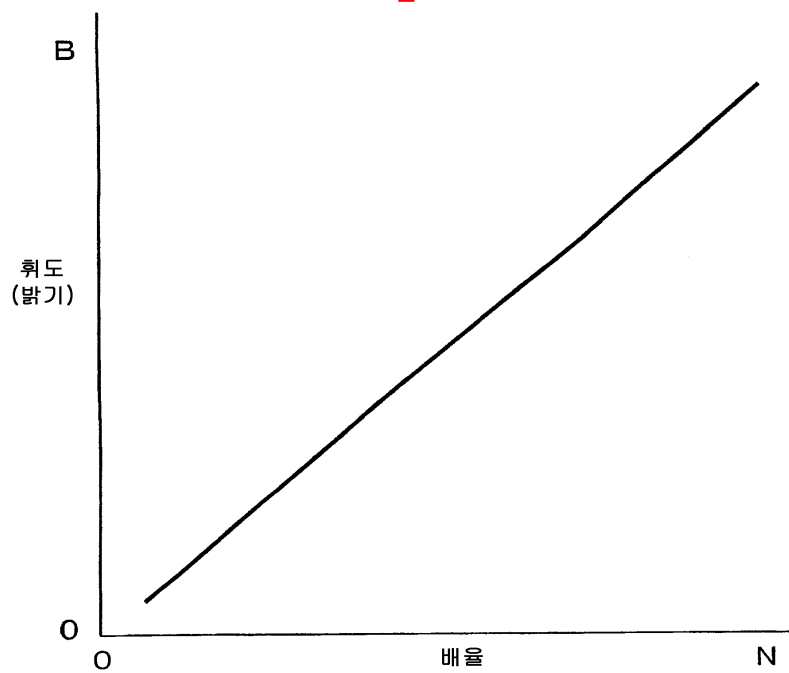
도면10

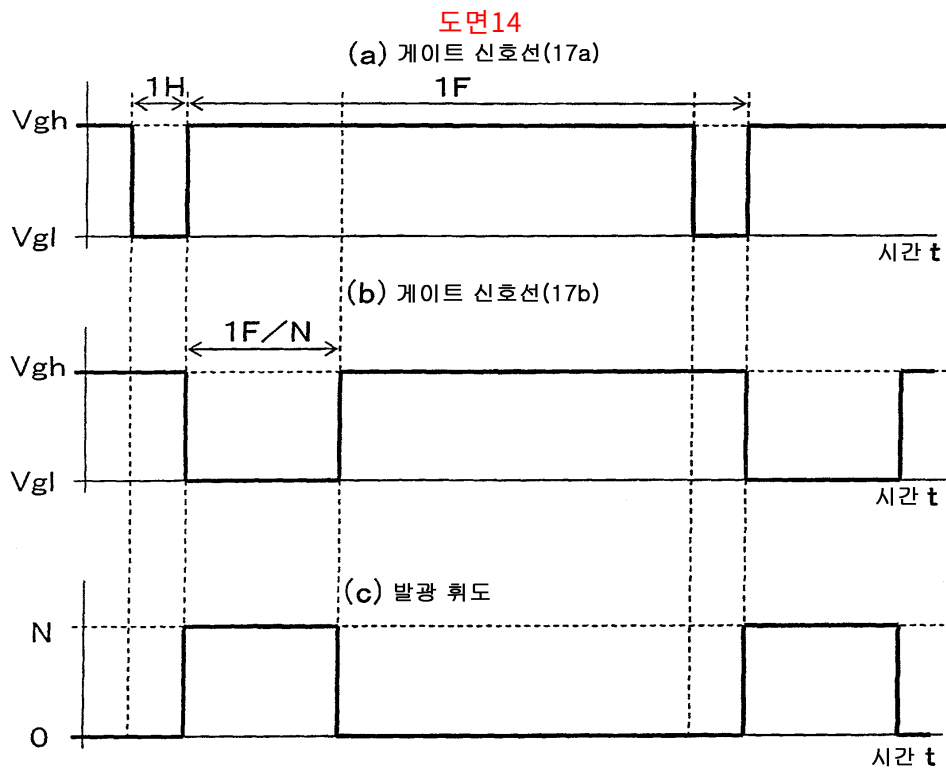
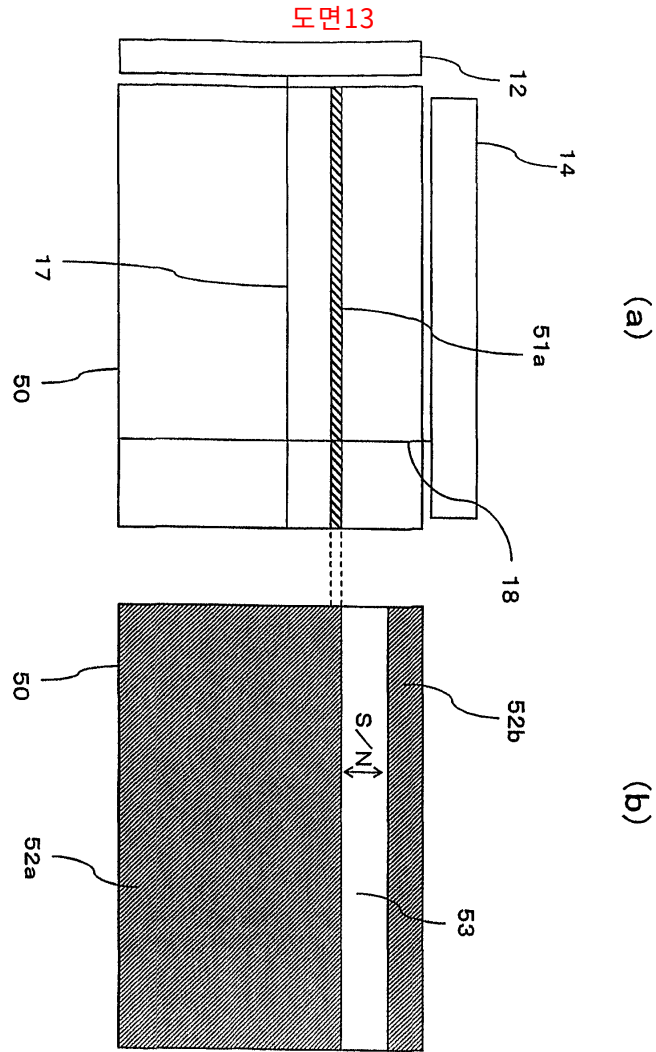


도면11

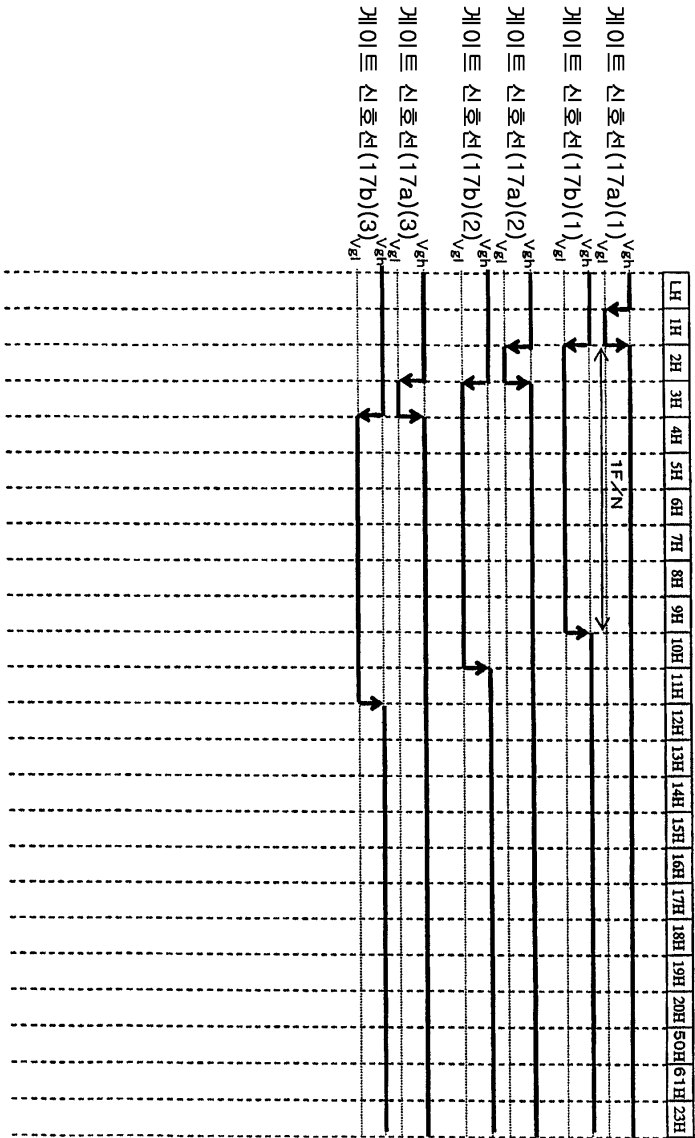


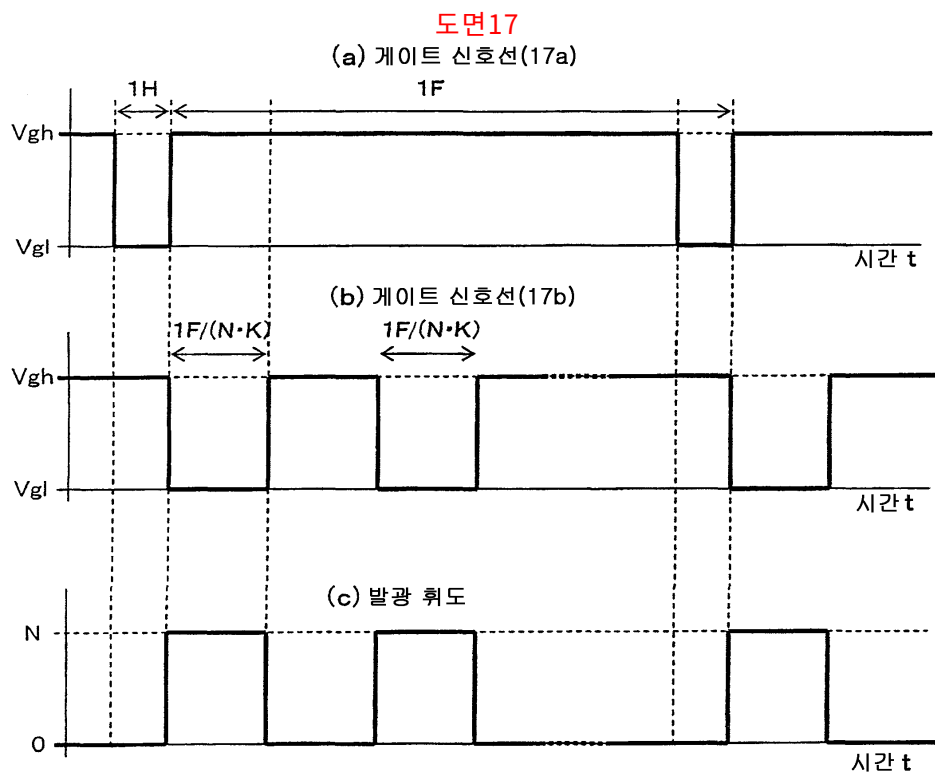
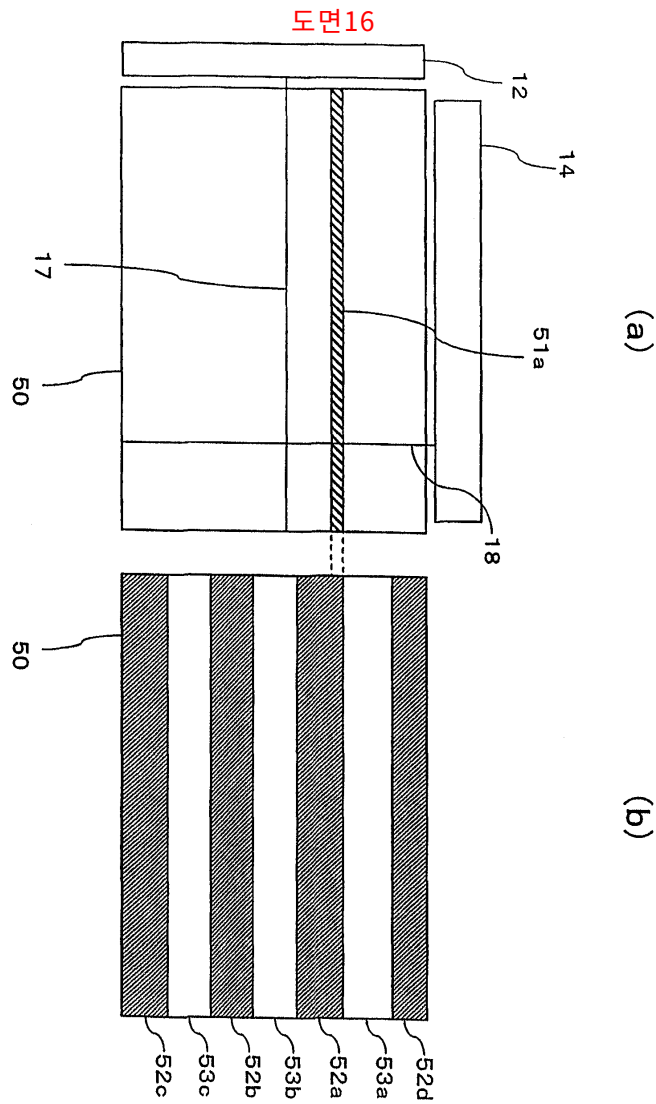
도면12



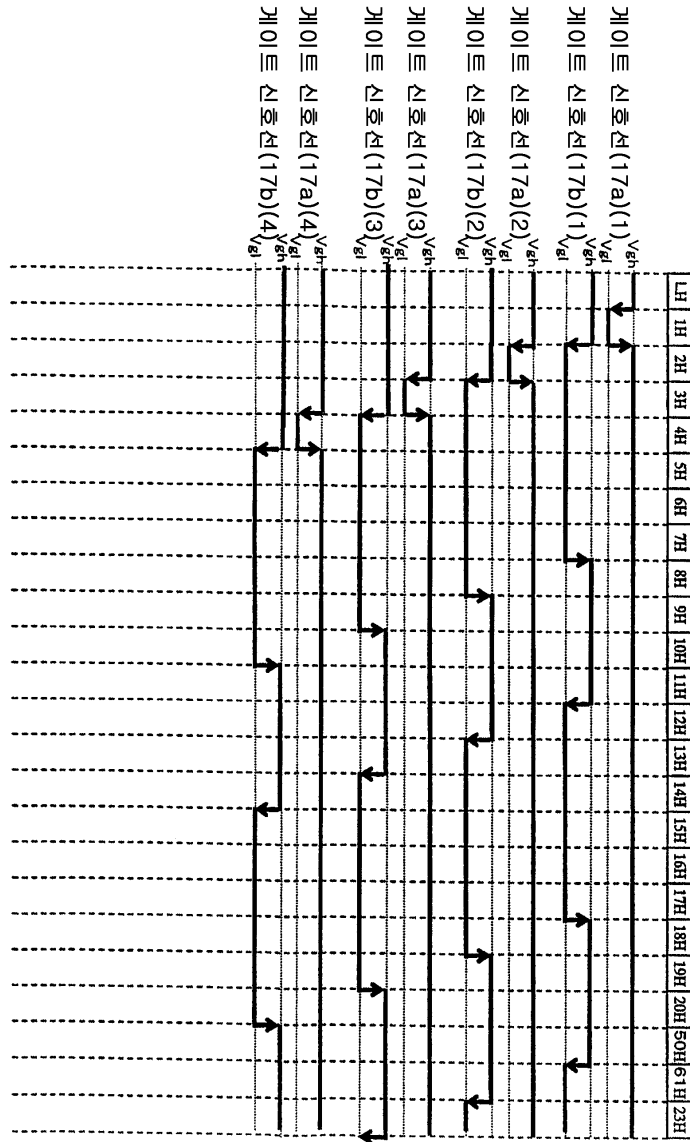


도면15

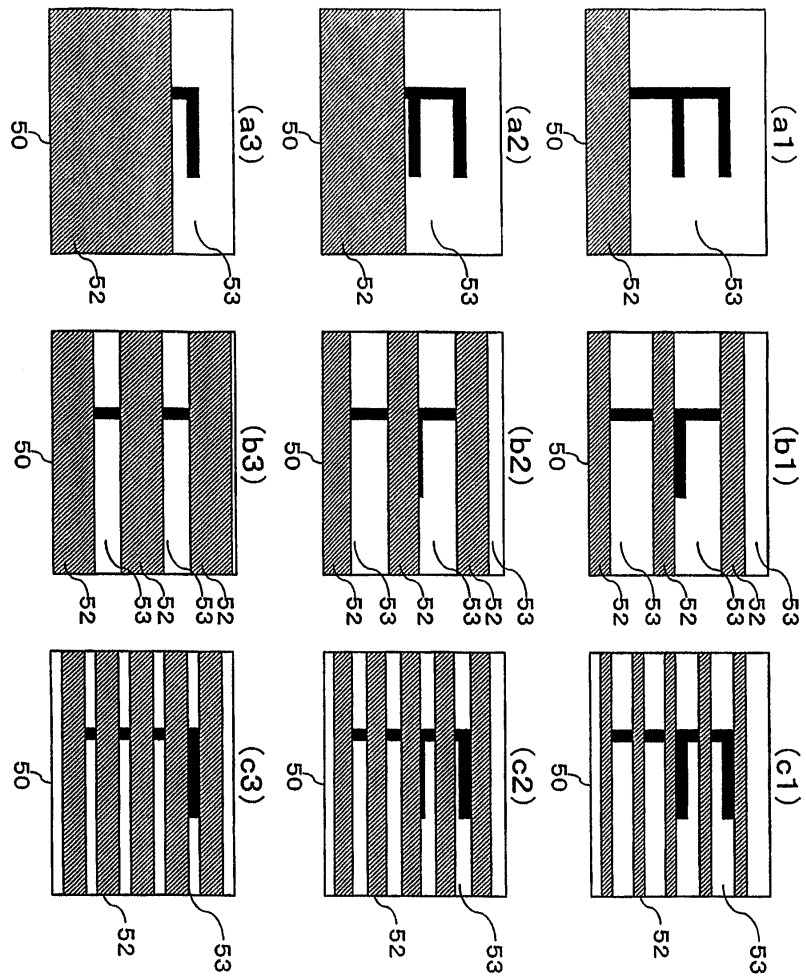


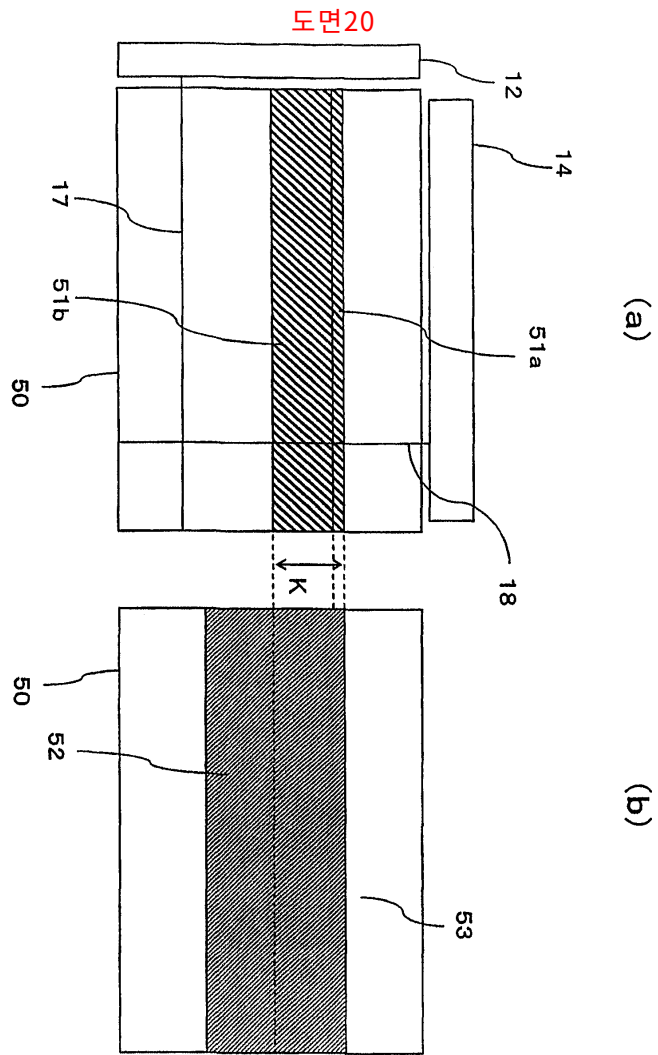


도면18

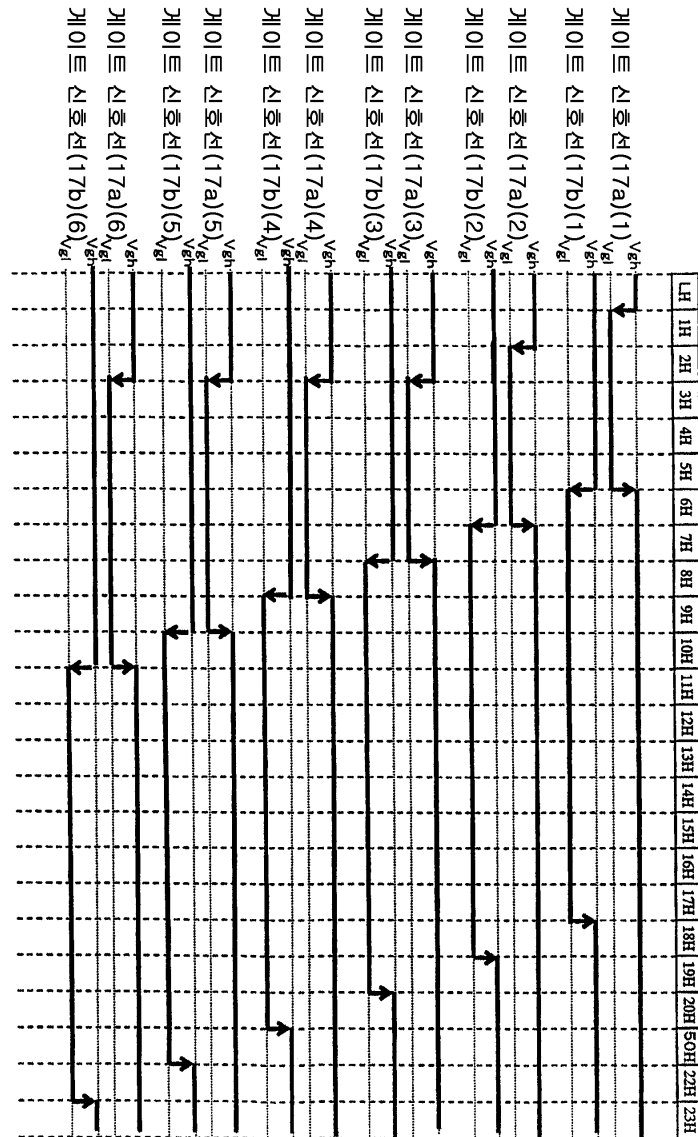


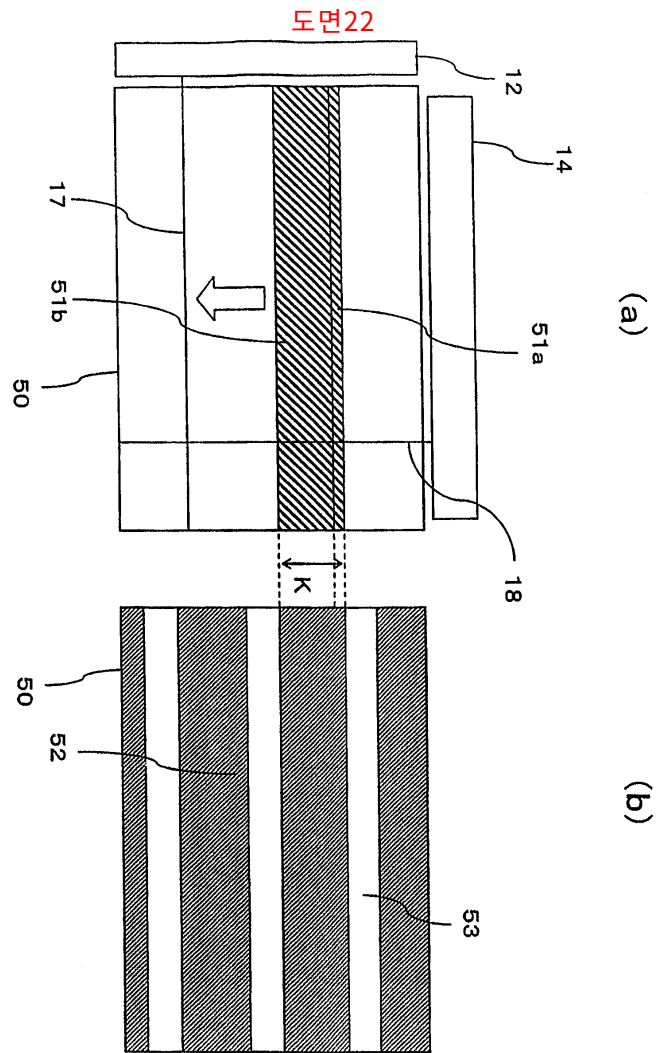
도면19



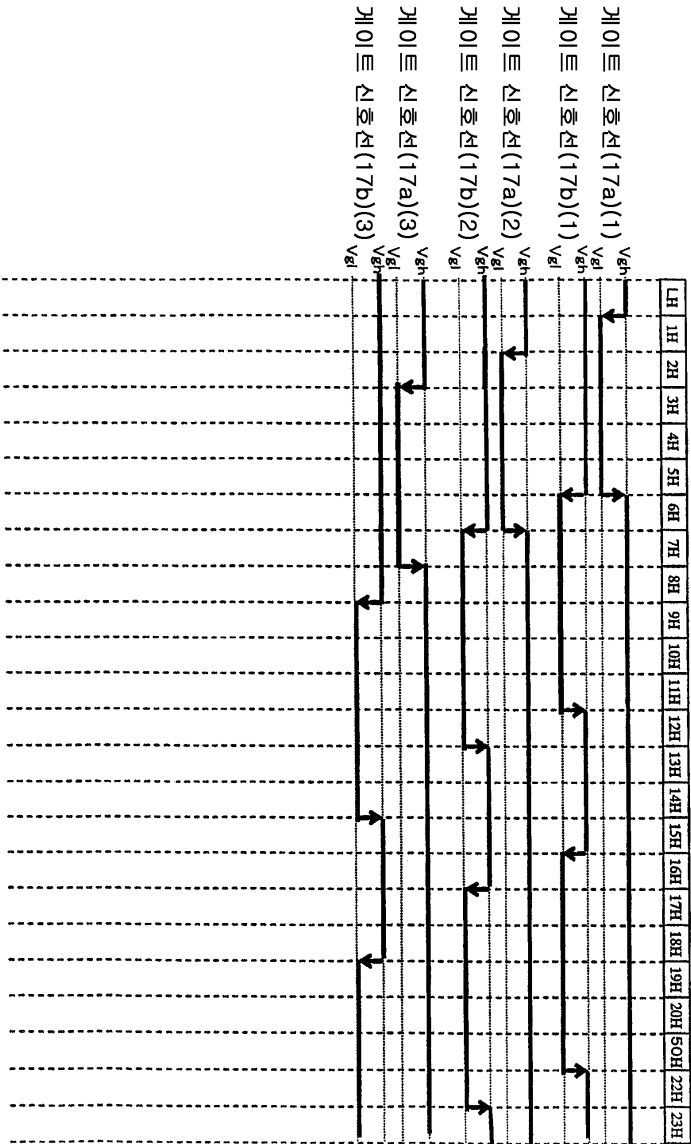


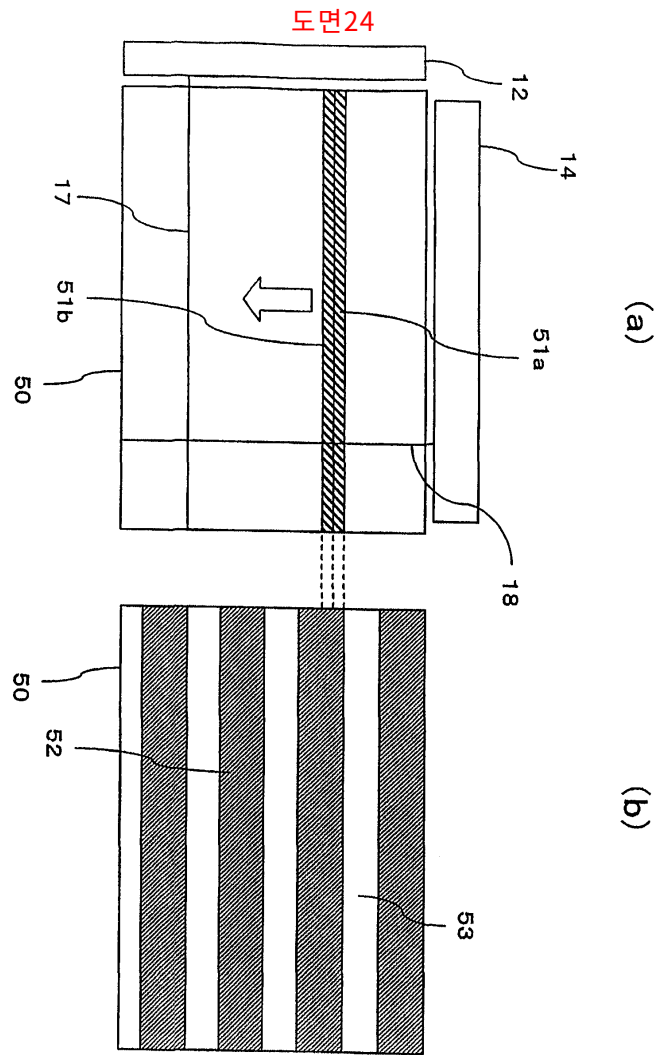
도면21



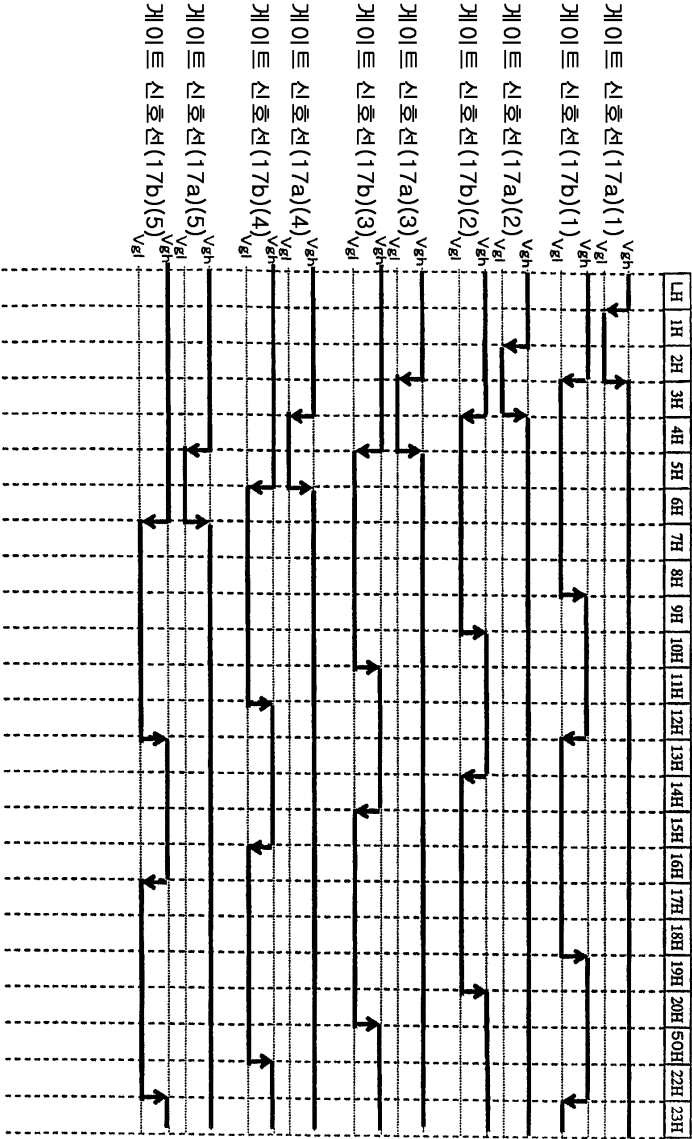


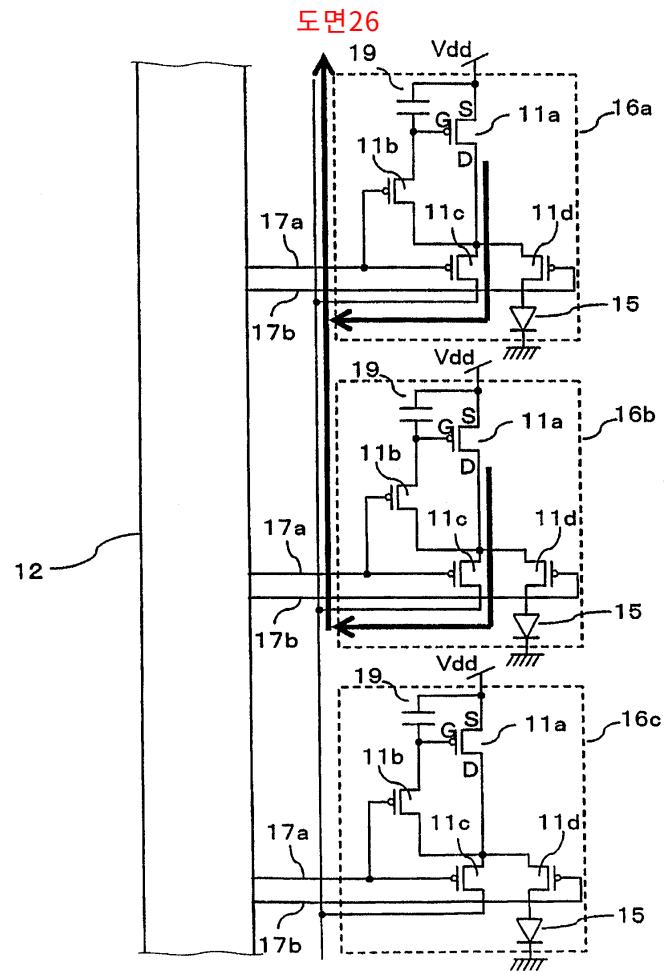
도면23

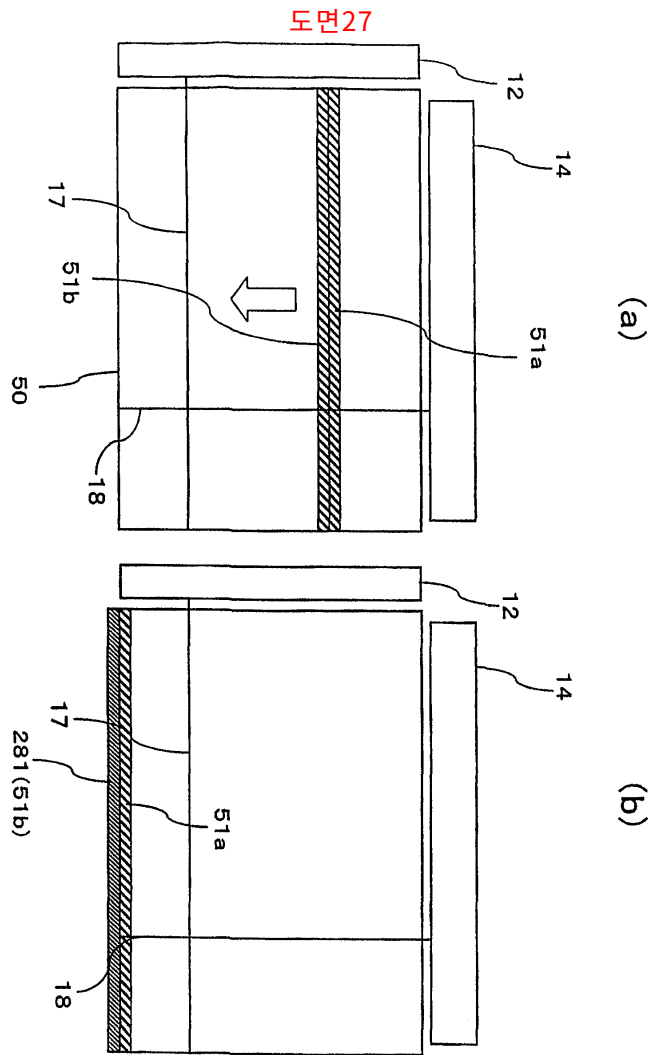




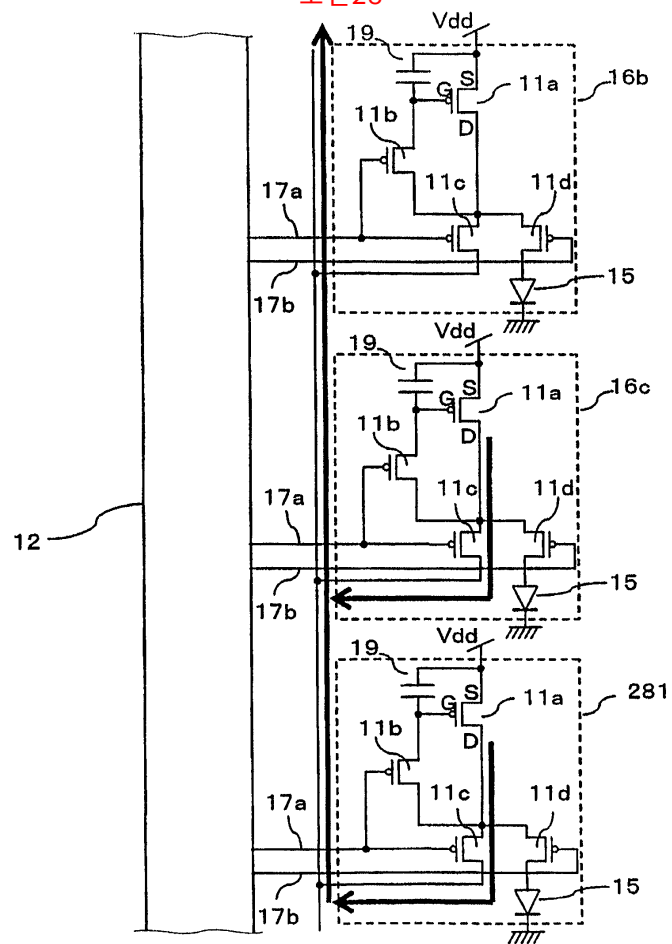
도면25

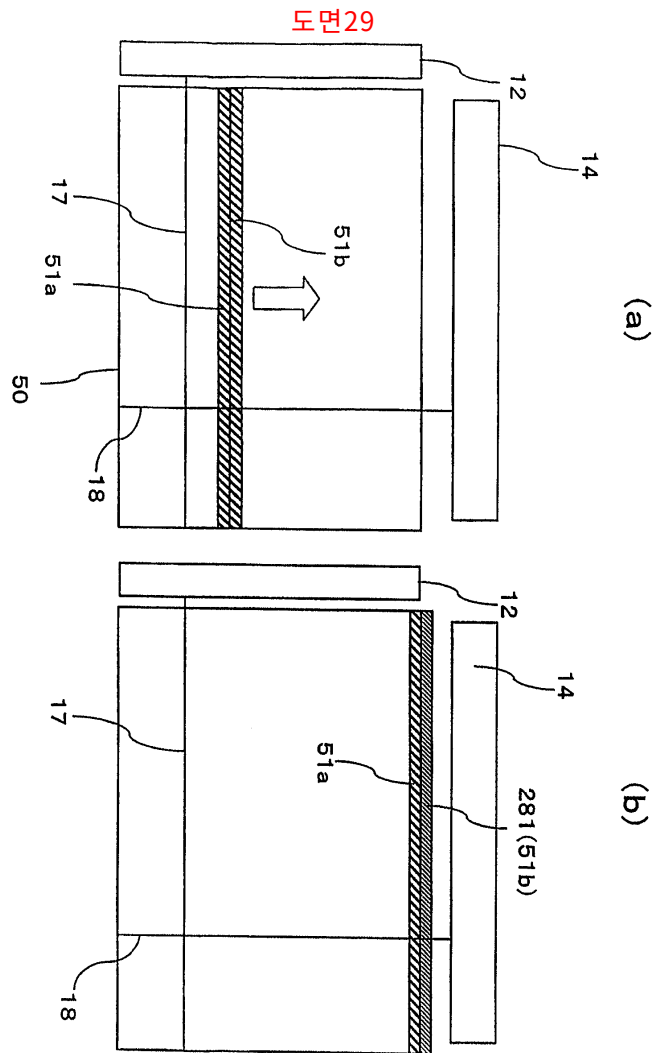




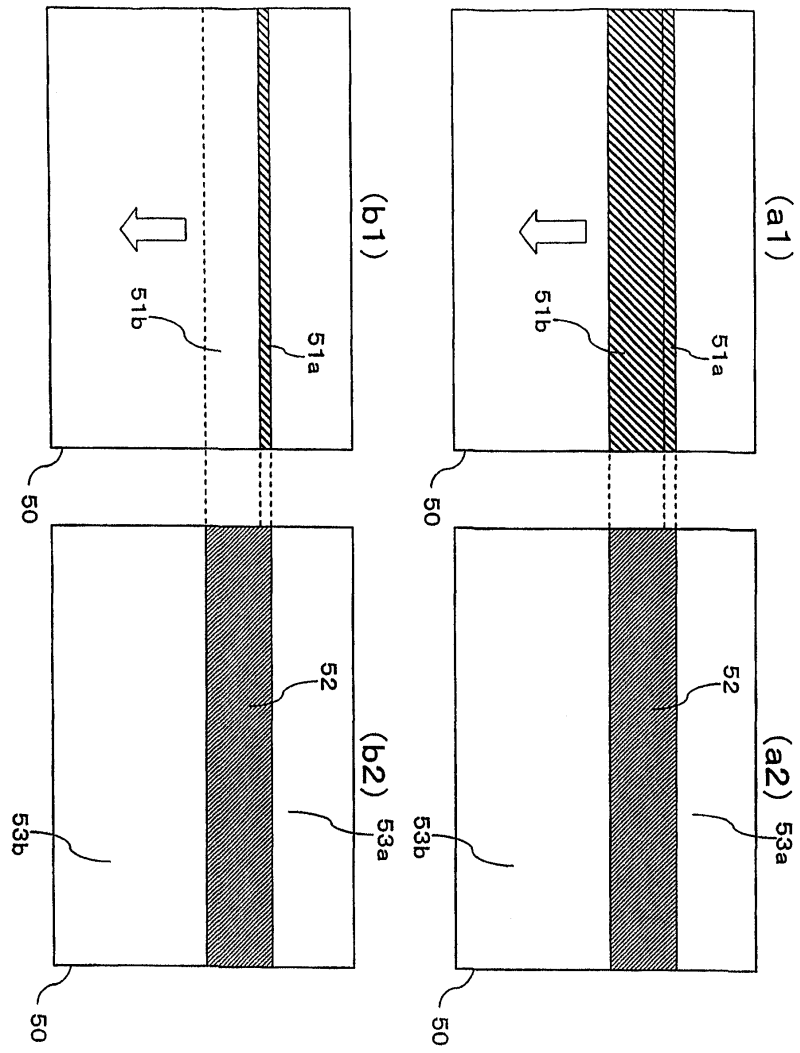


도면28

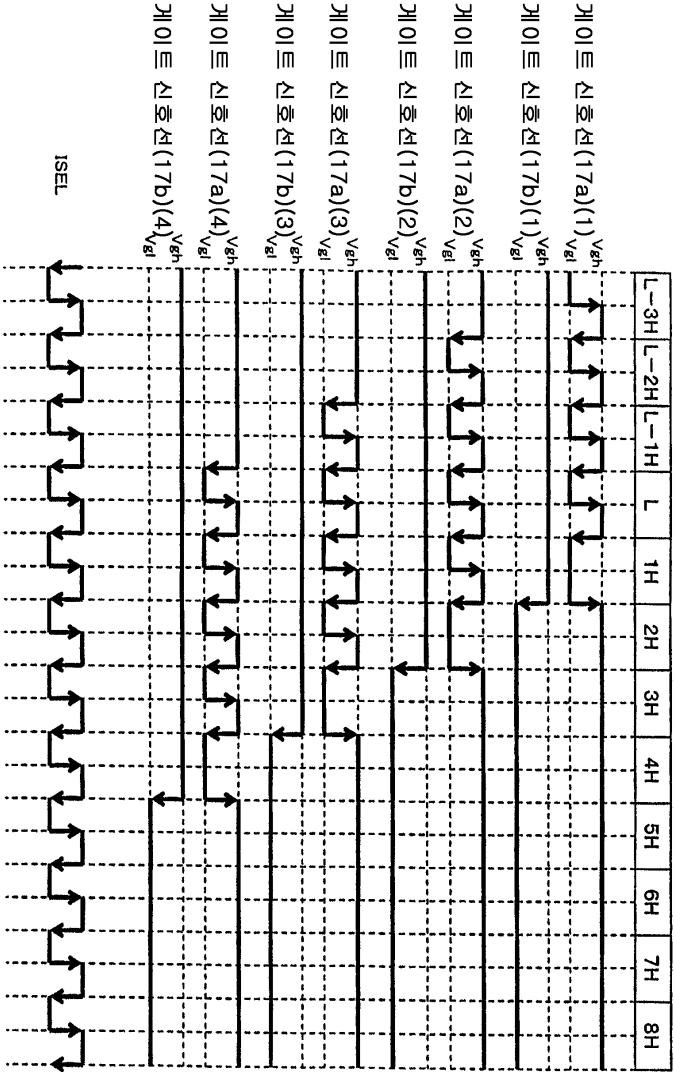




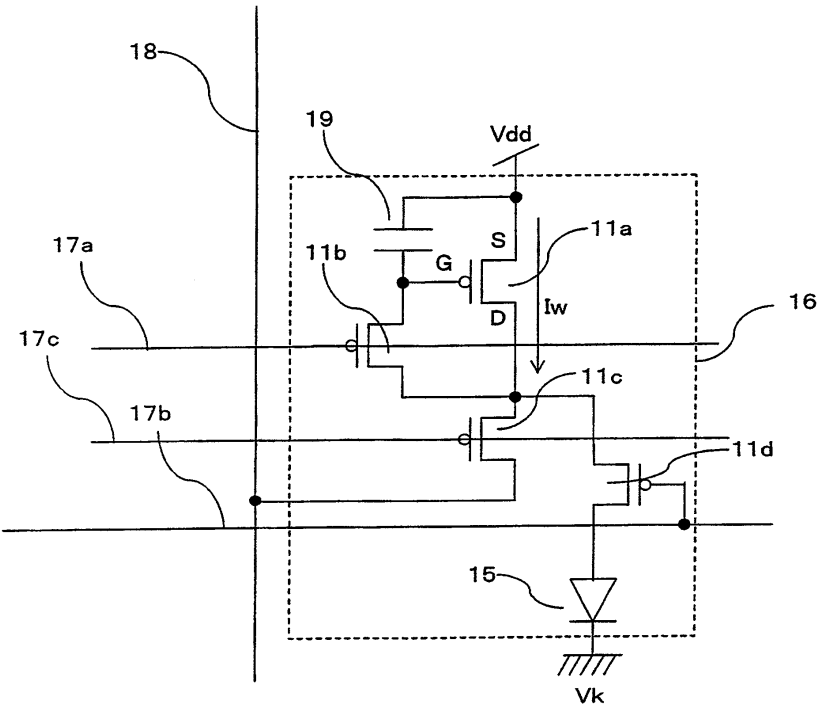
도면30



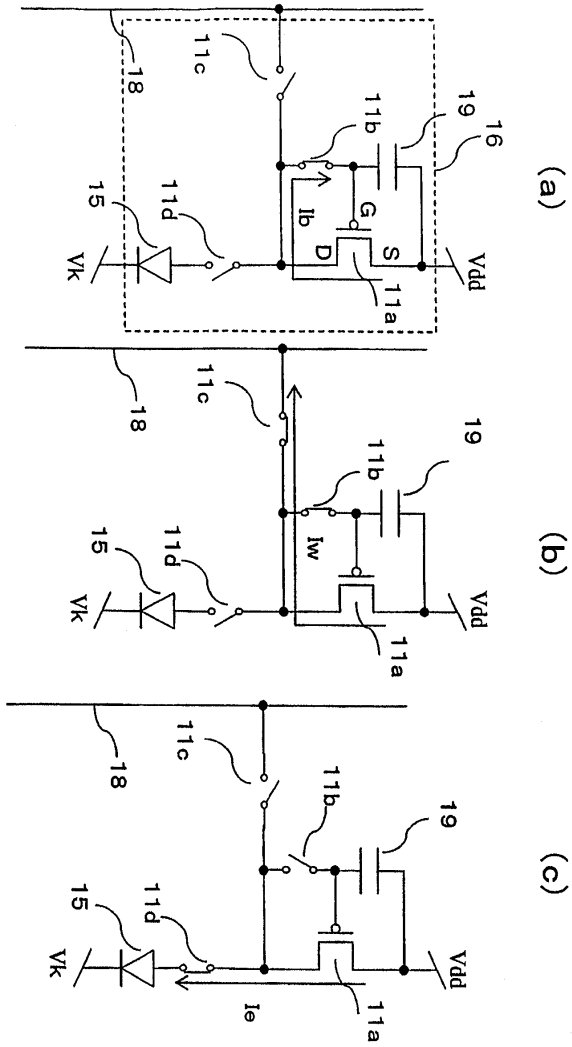
도면31



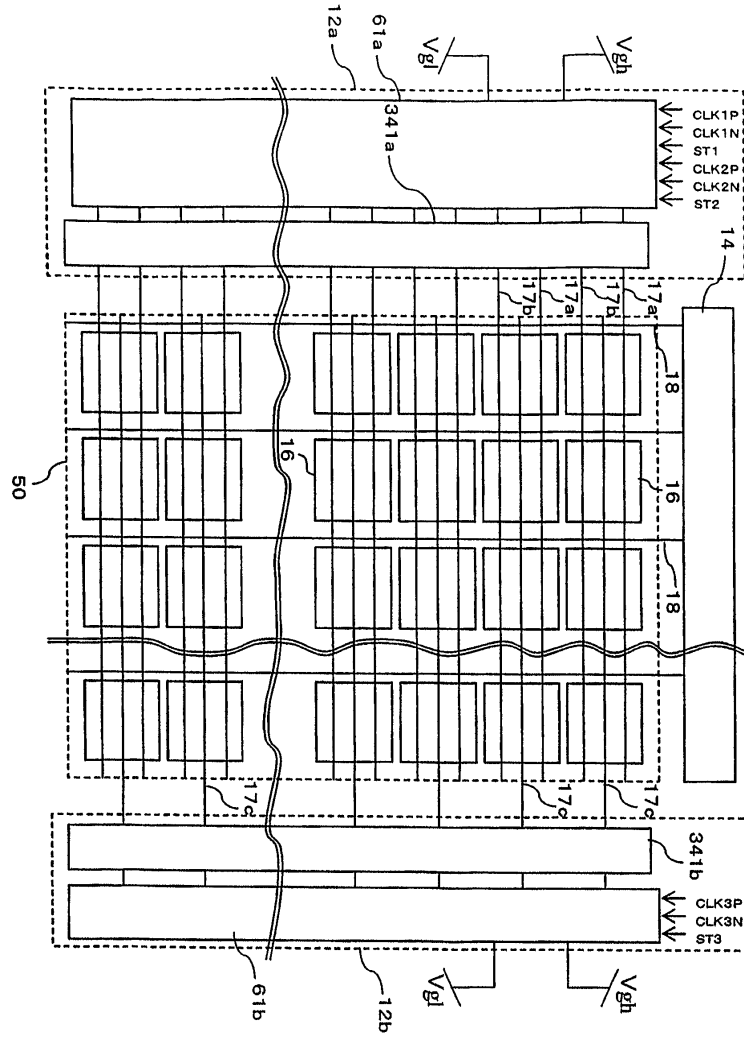
도면32



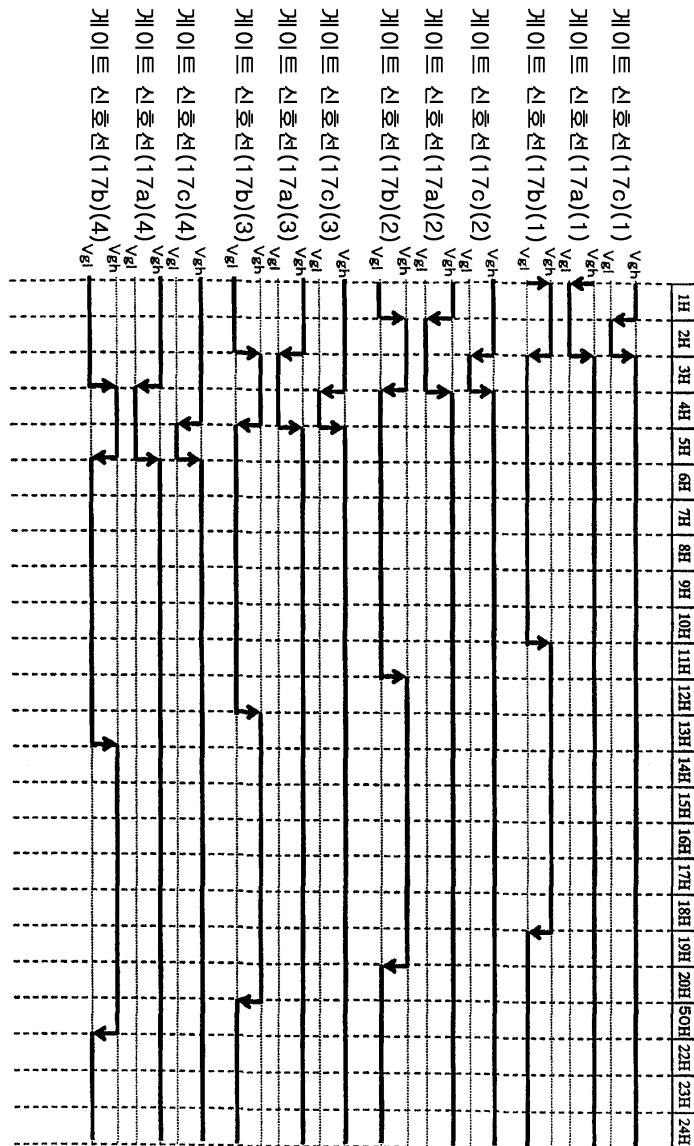
도면33



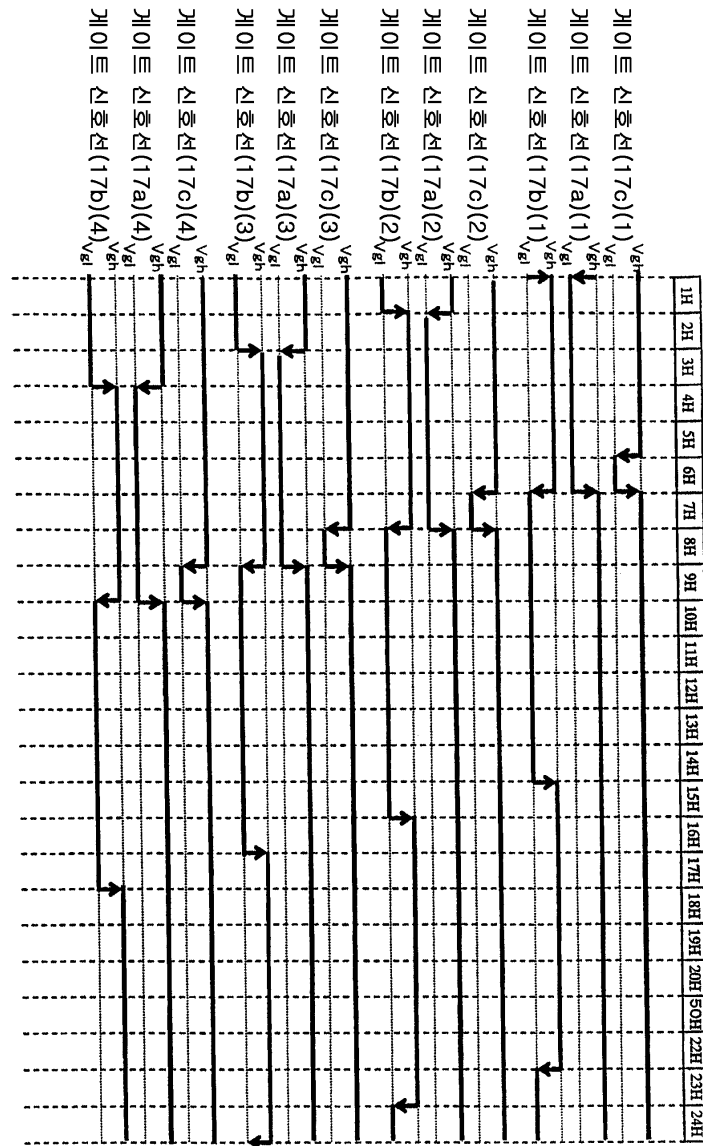
도면34



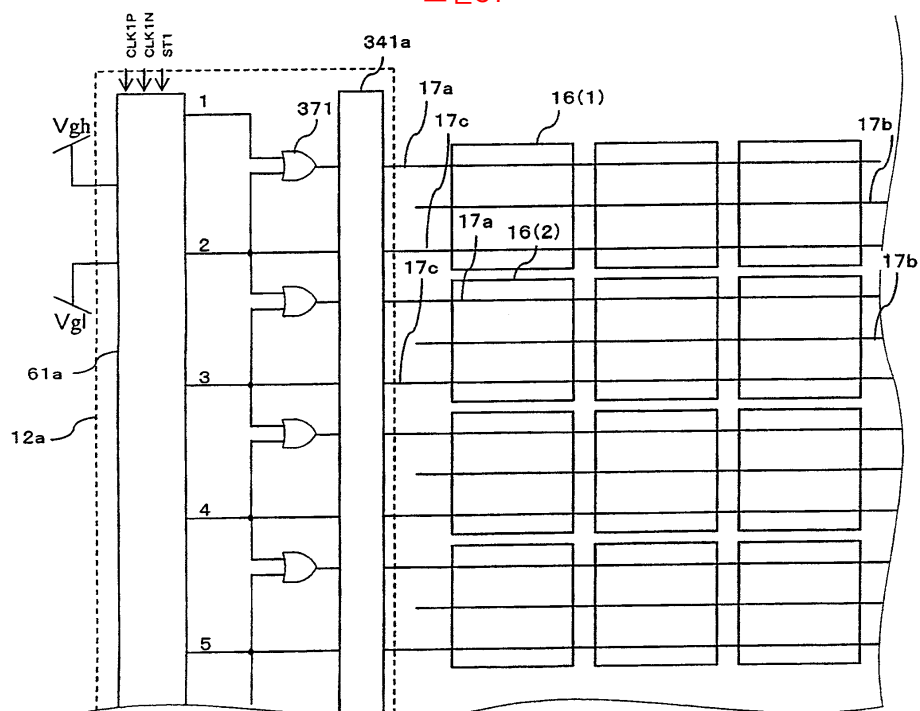
도면35



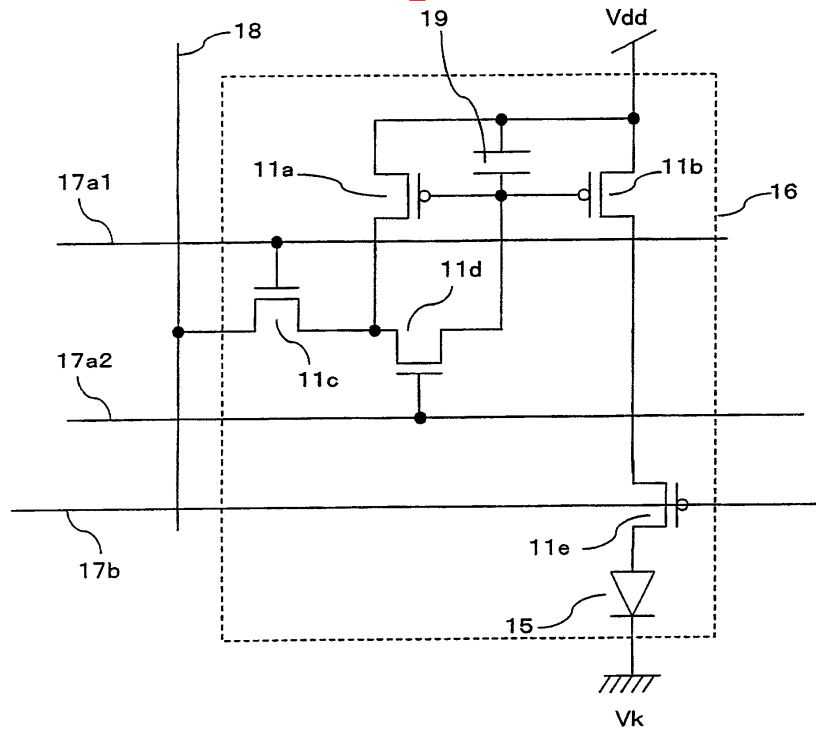
도면36



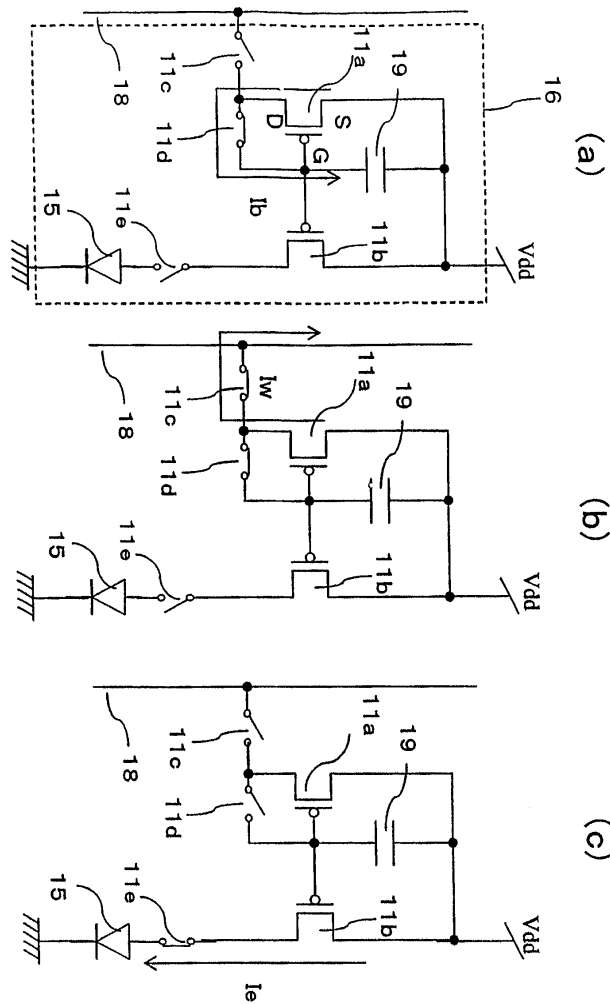
도면37



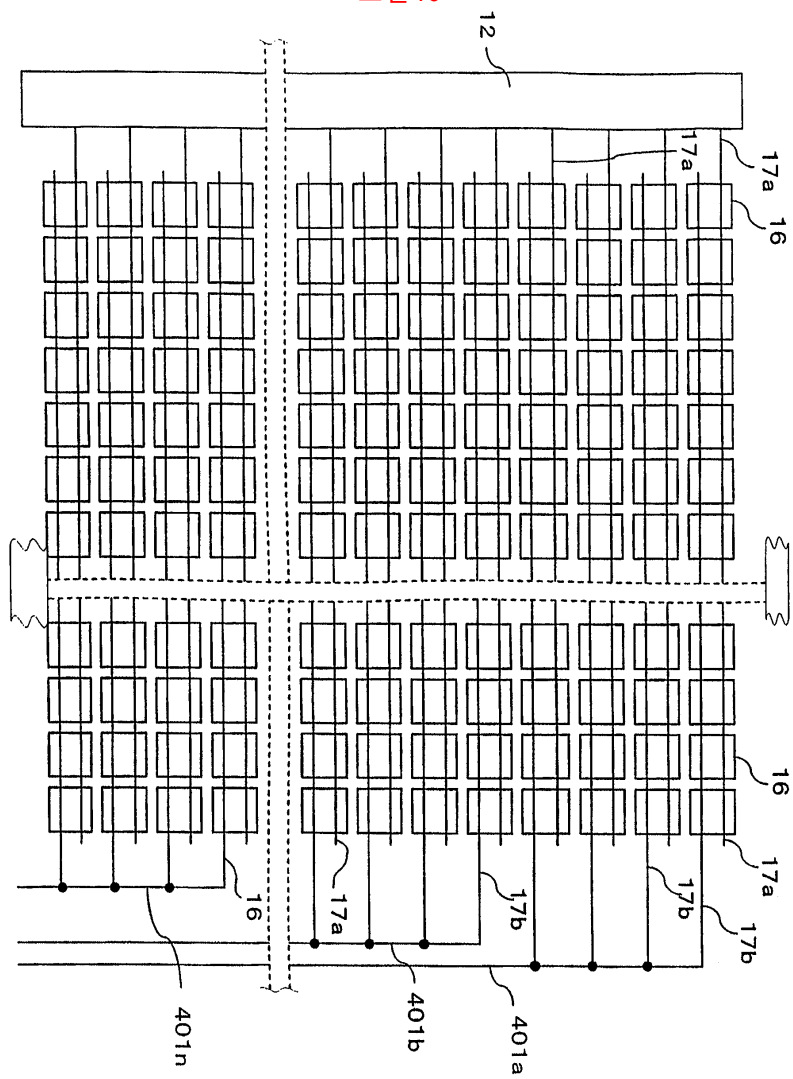
도면38



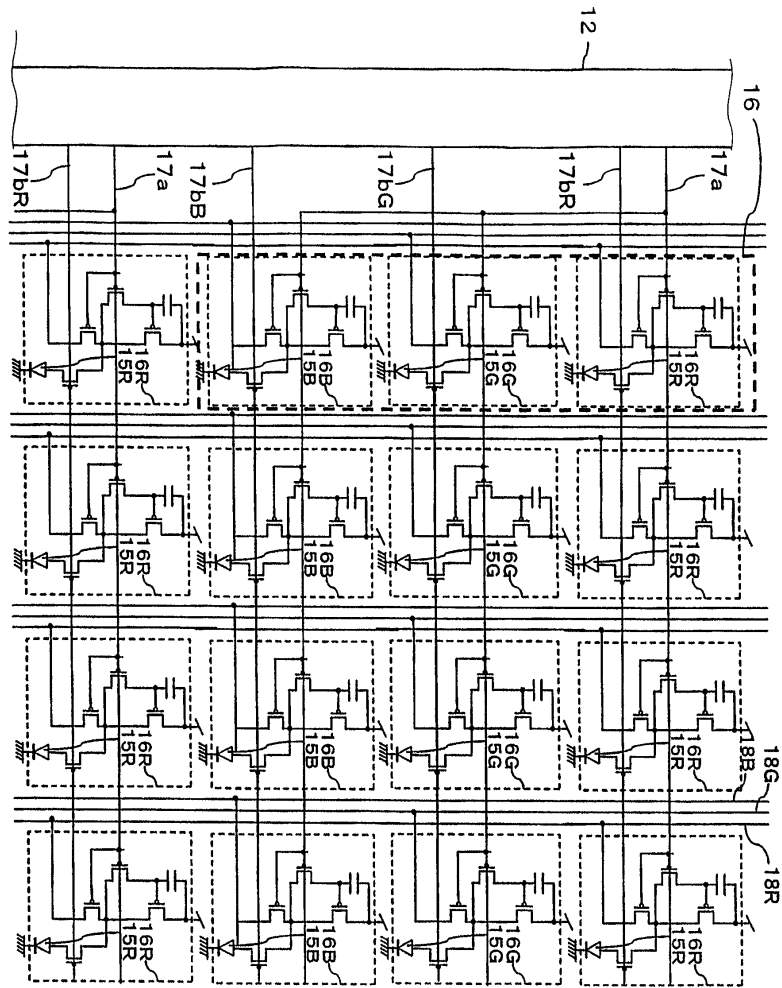
도면39



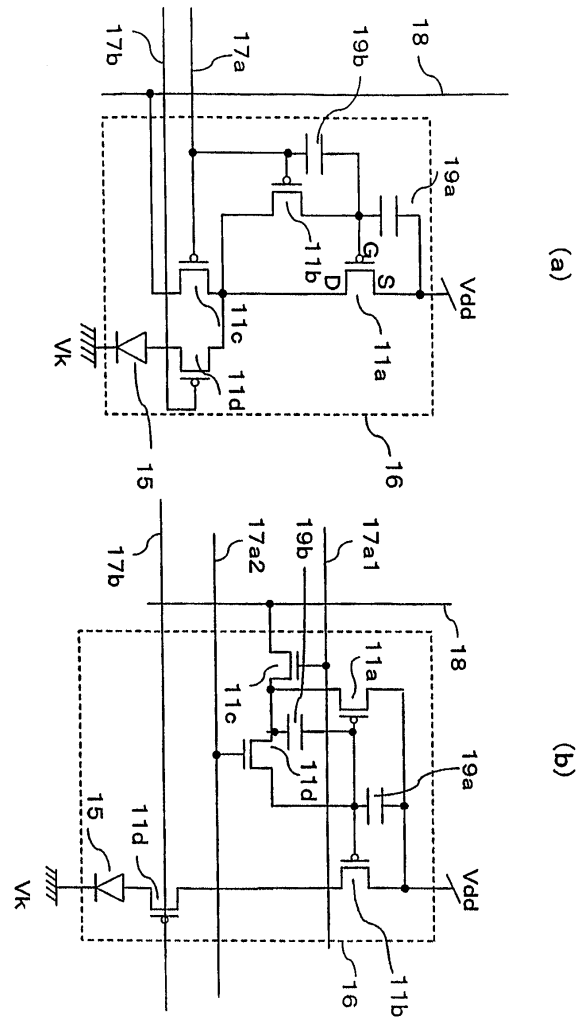
도면40



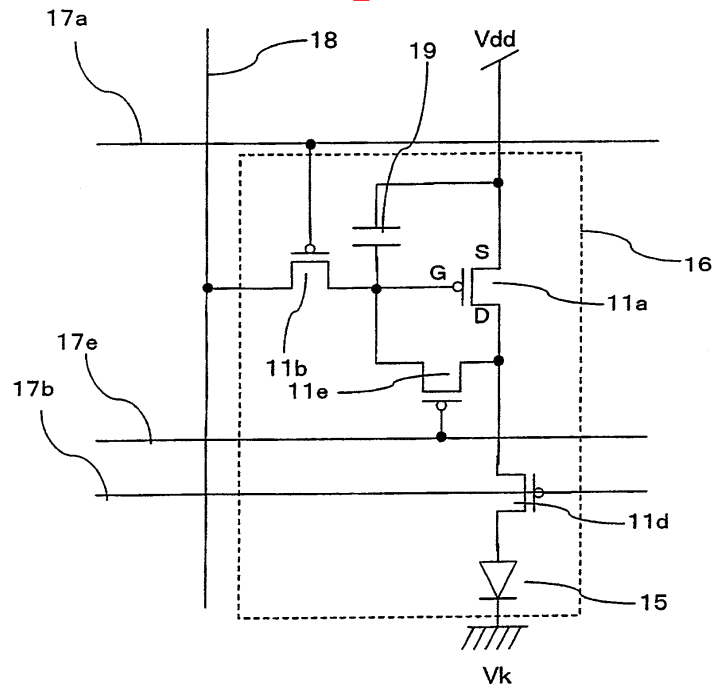
도면41

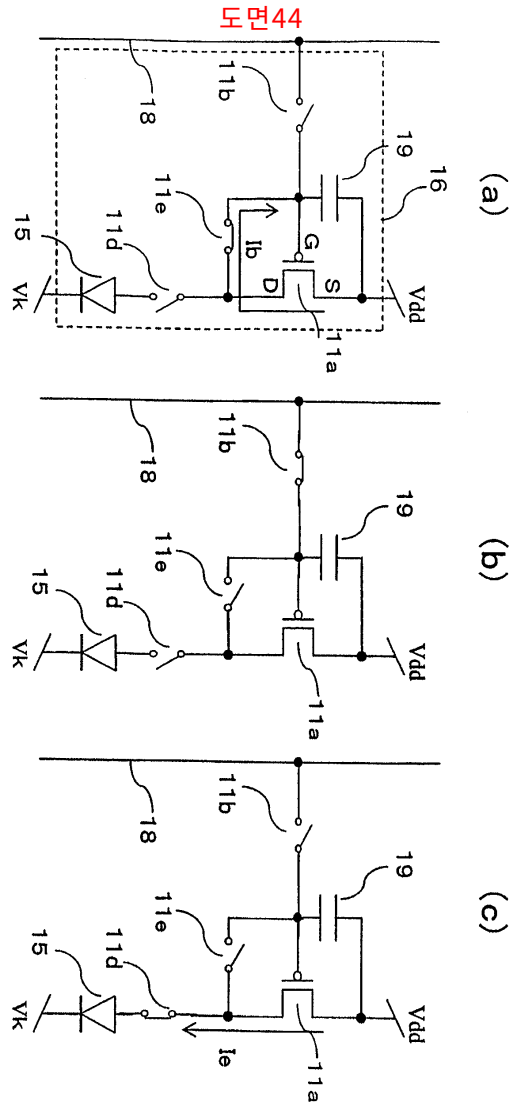


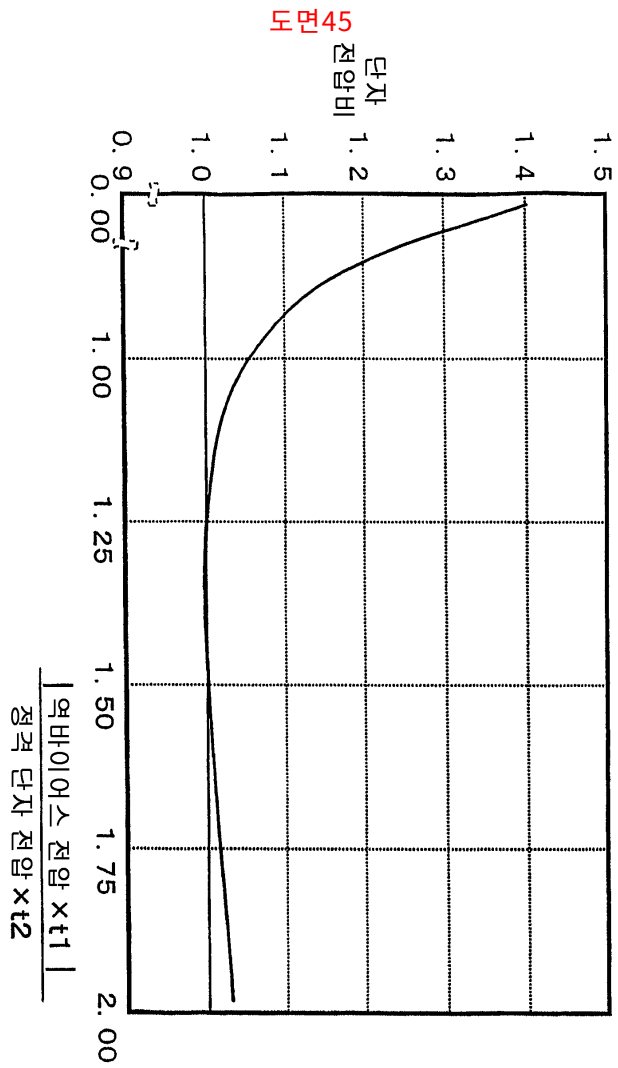
도면42



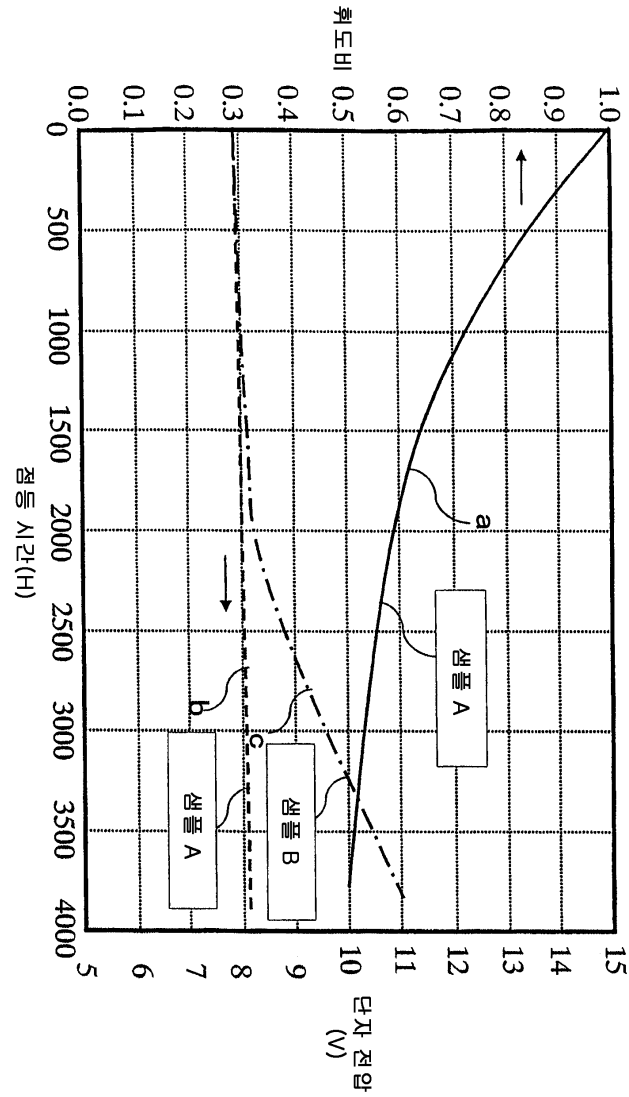
도면43



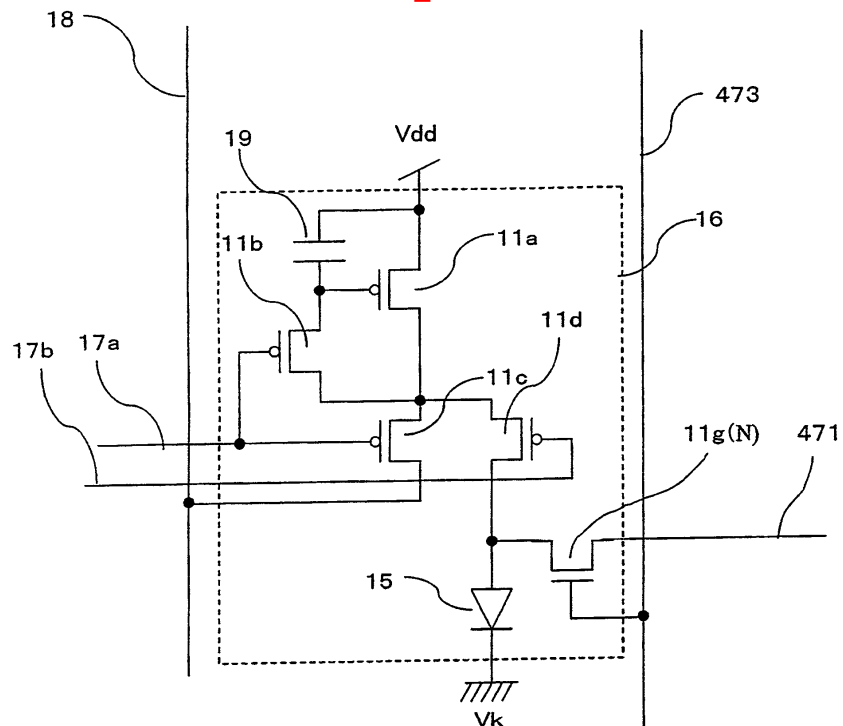




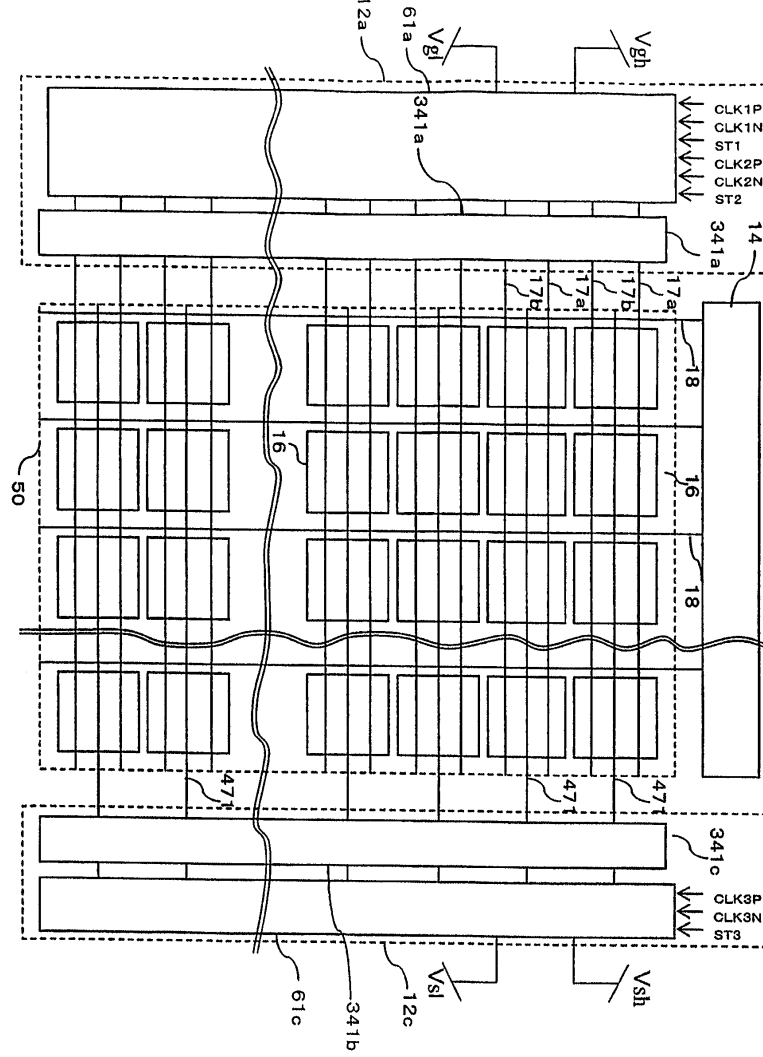
도면46



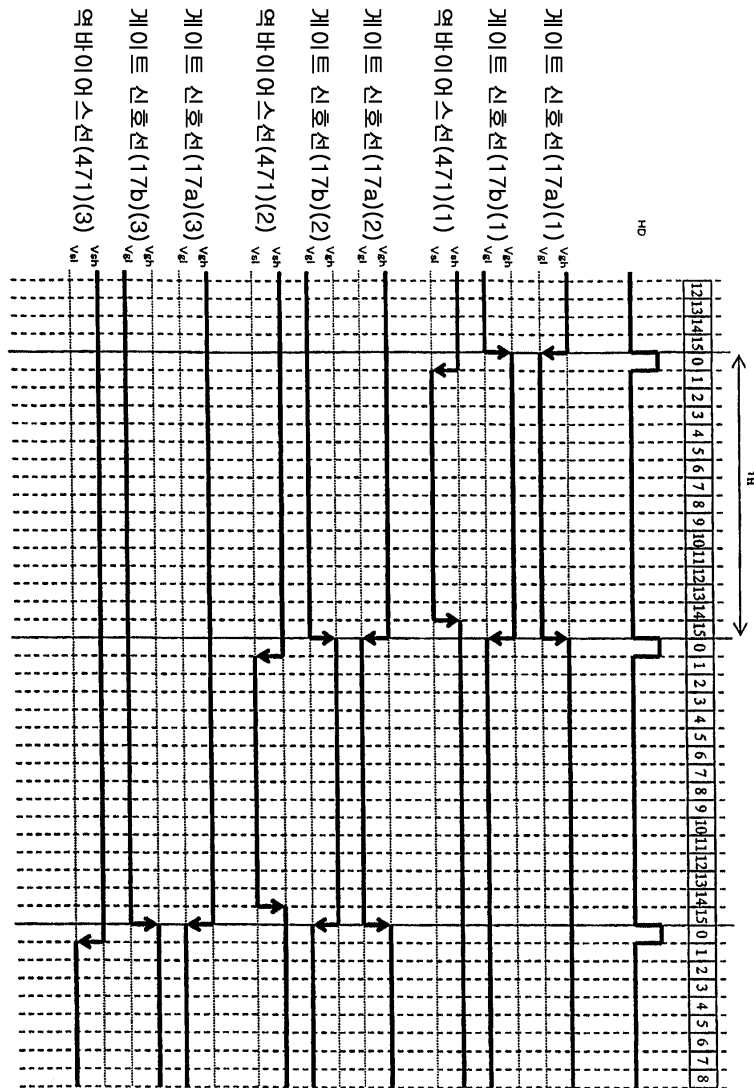
도면47



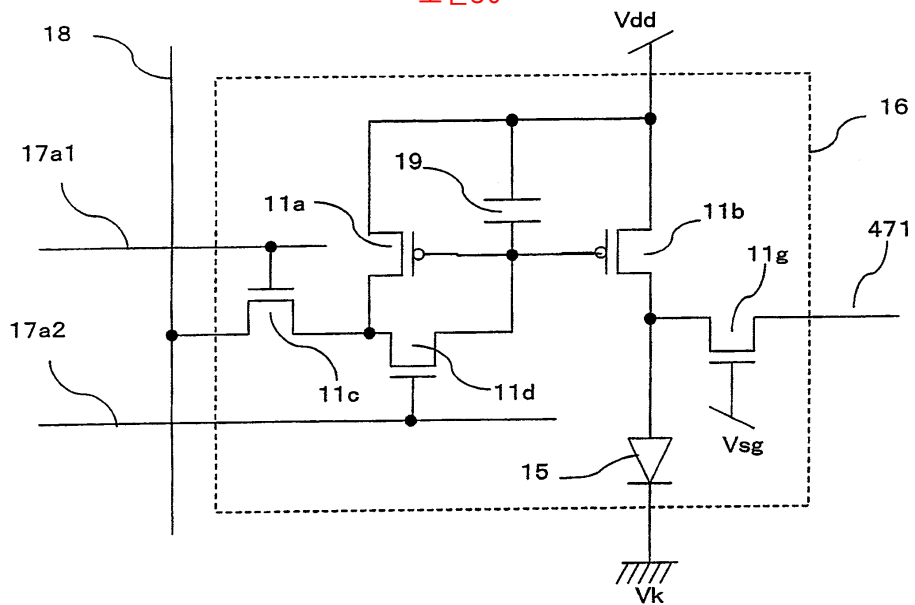
도면48



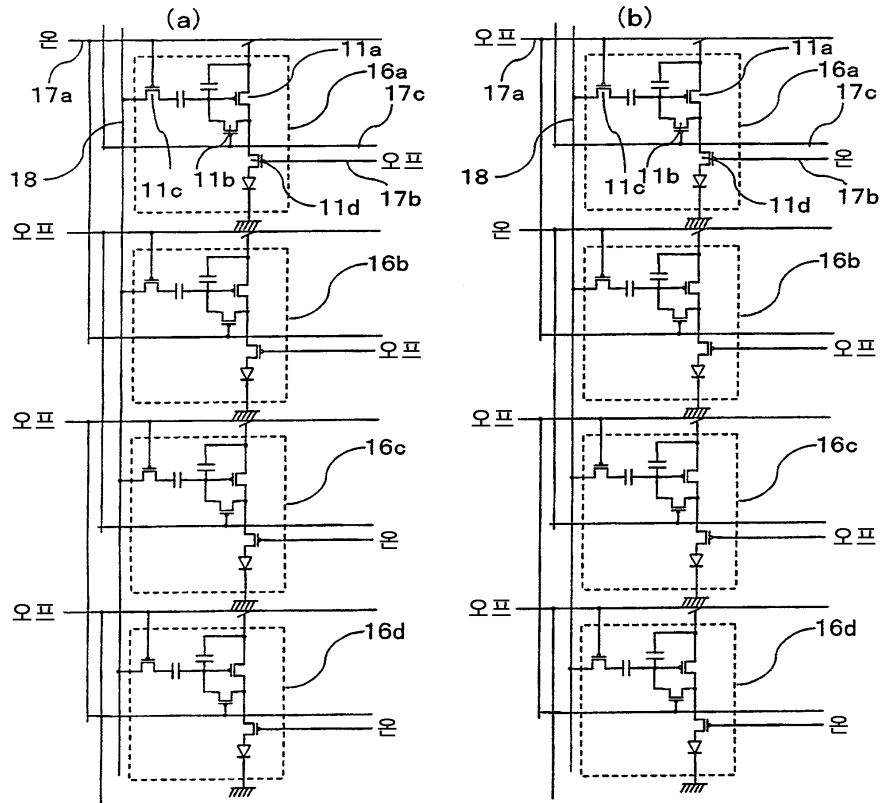
도면49



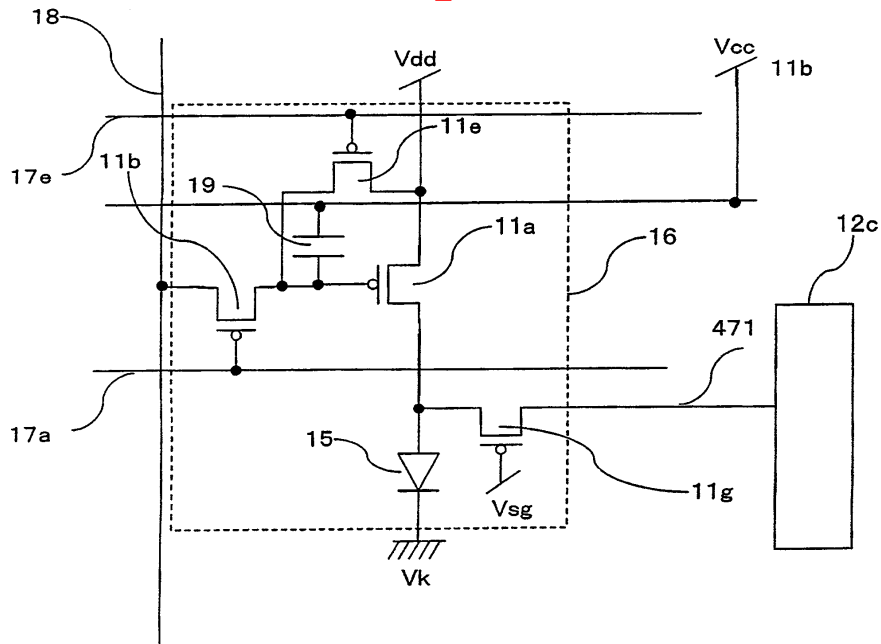
도면50



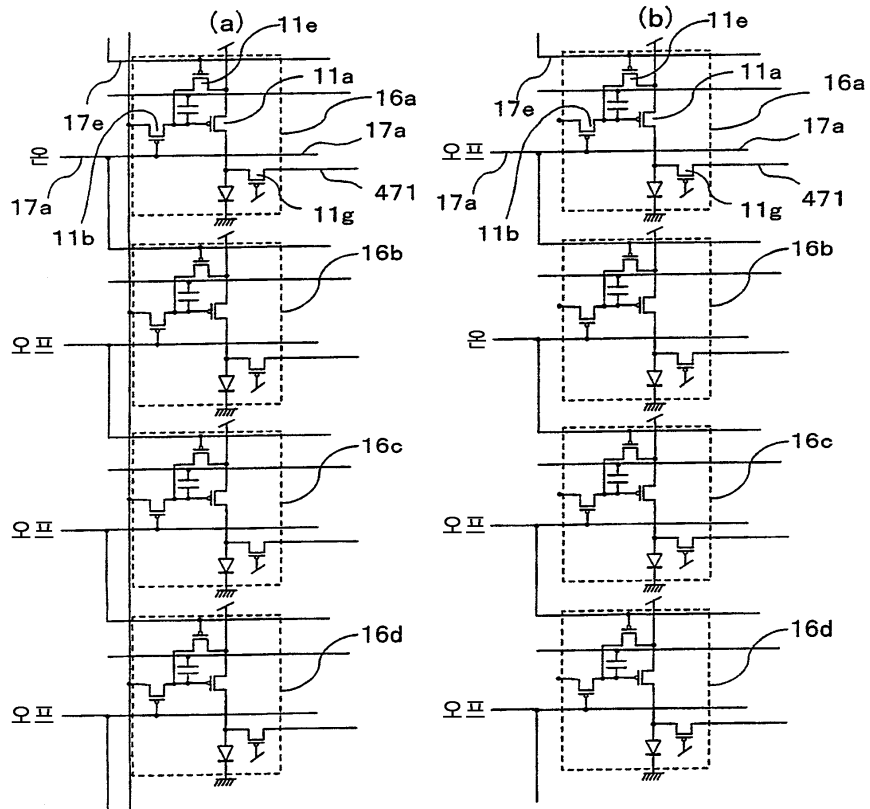
도면53

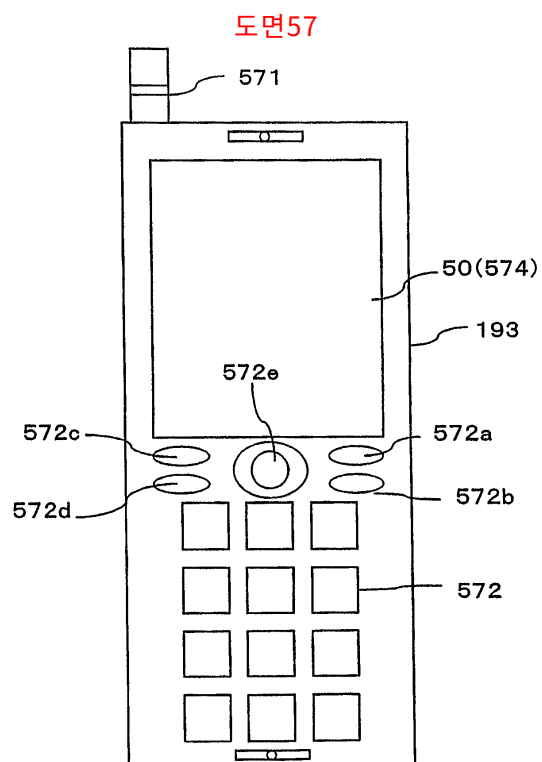
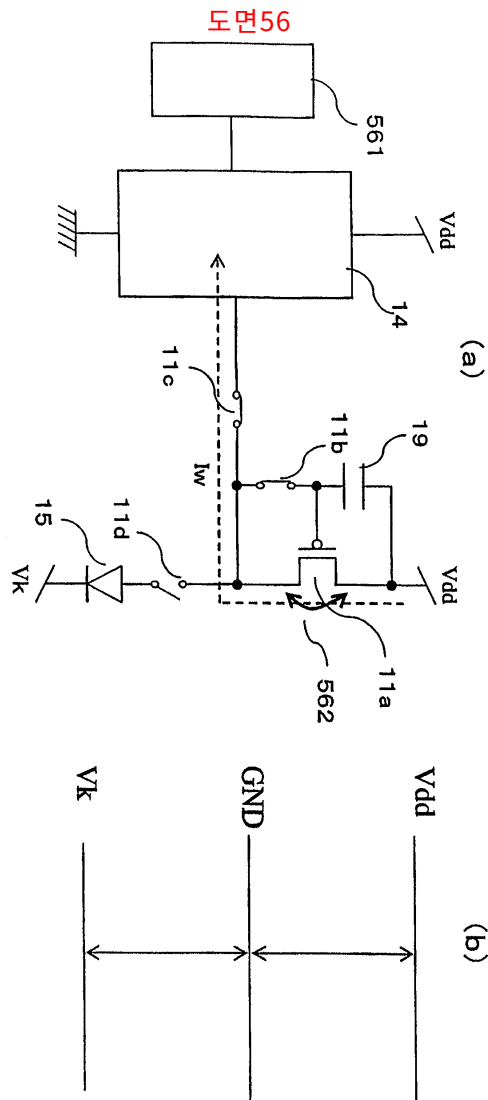


도면54

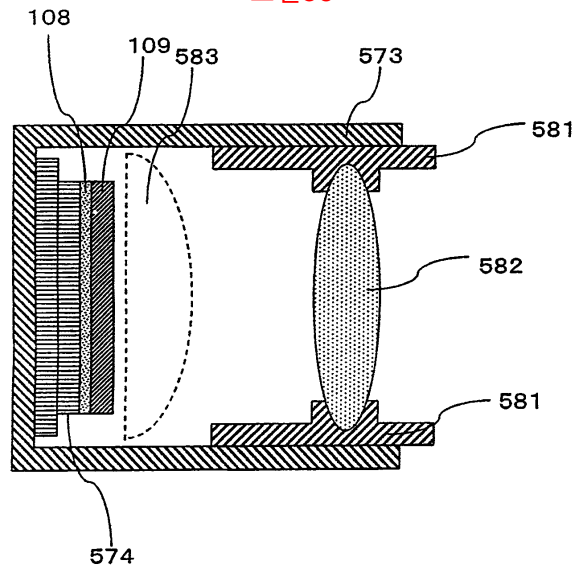


도면55

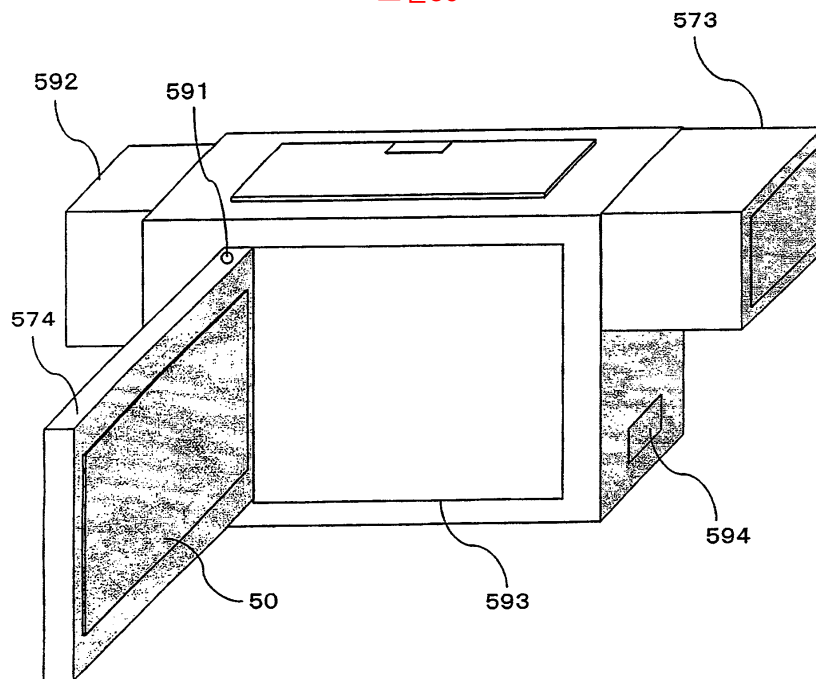


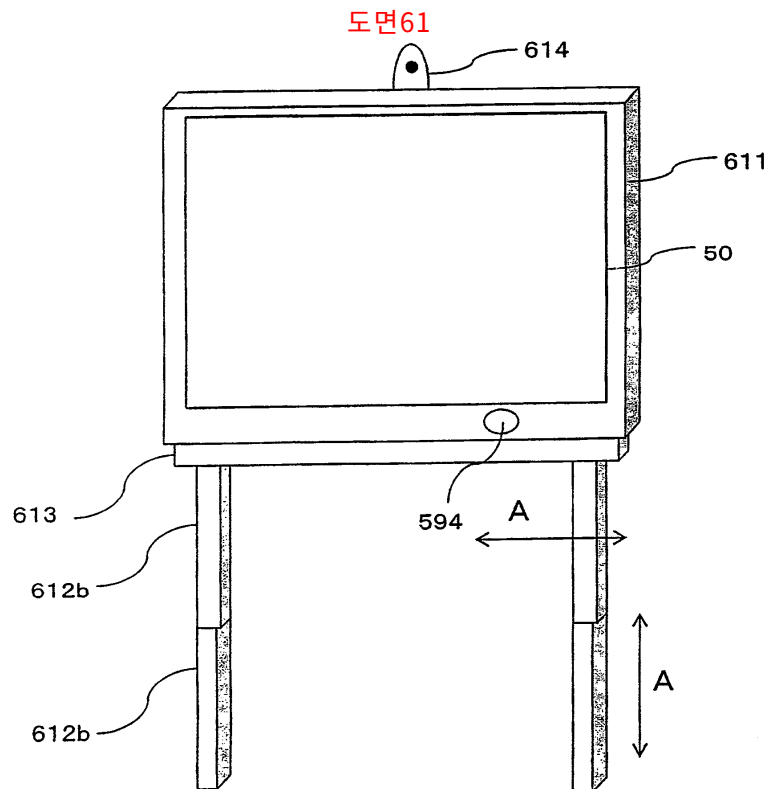
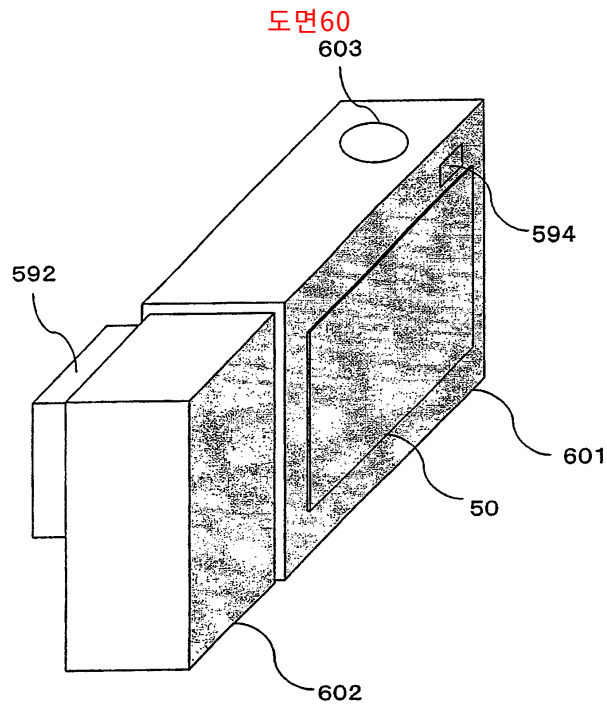


도면58

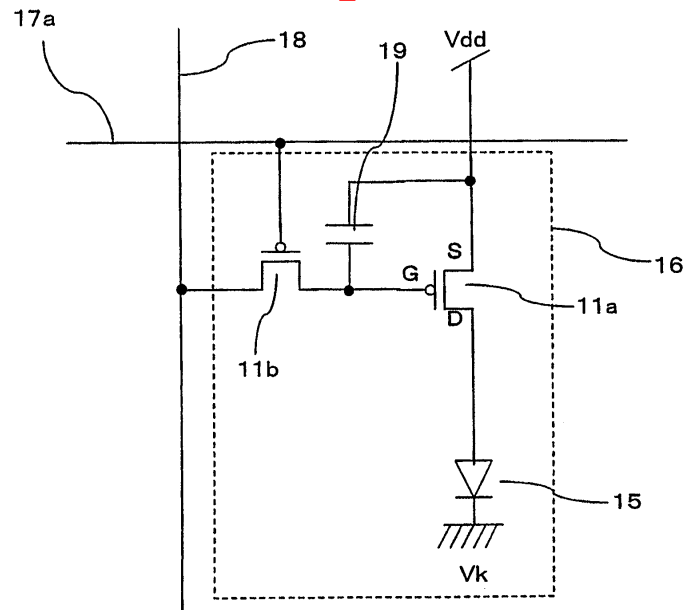


도면59

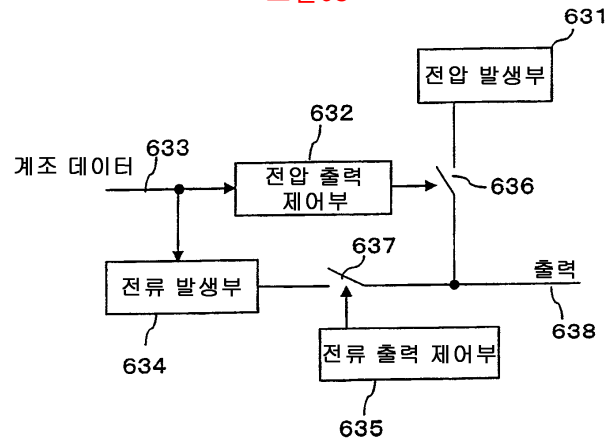




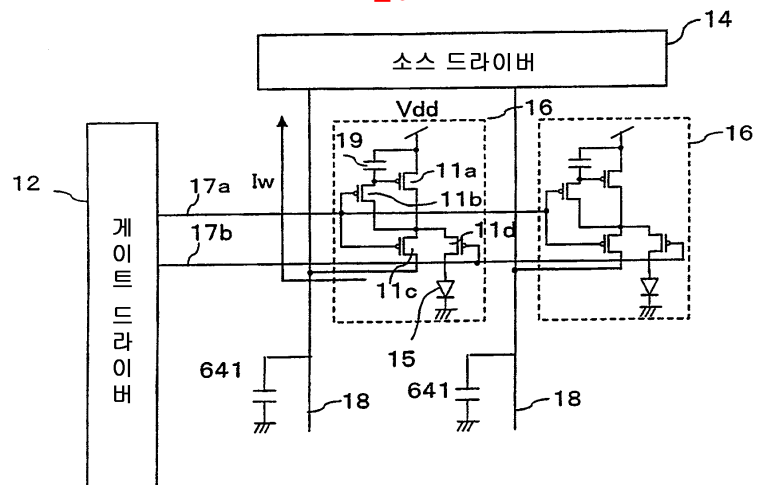
도면62

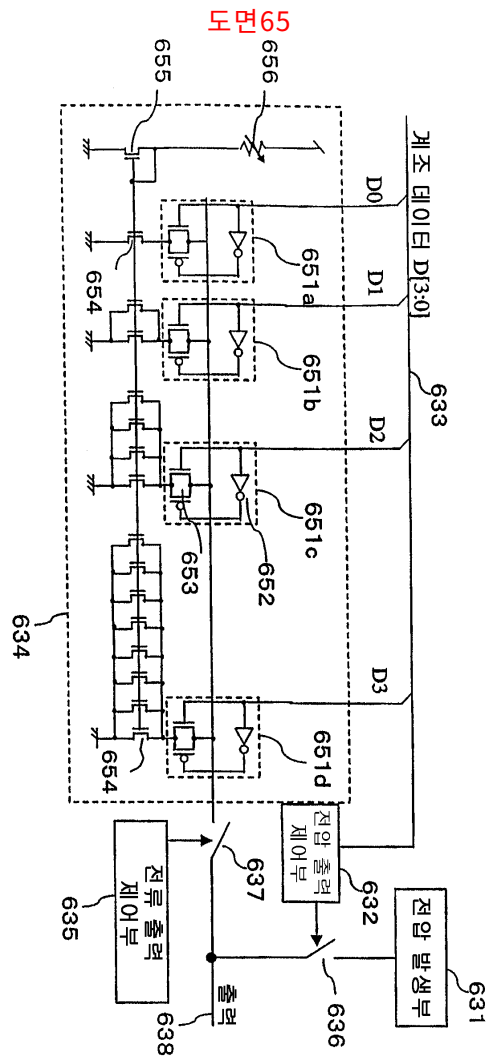


도면63

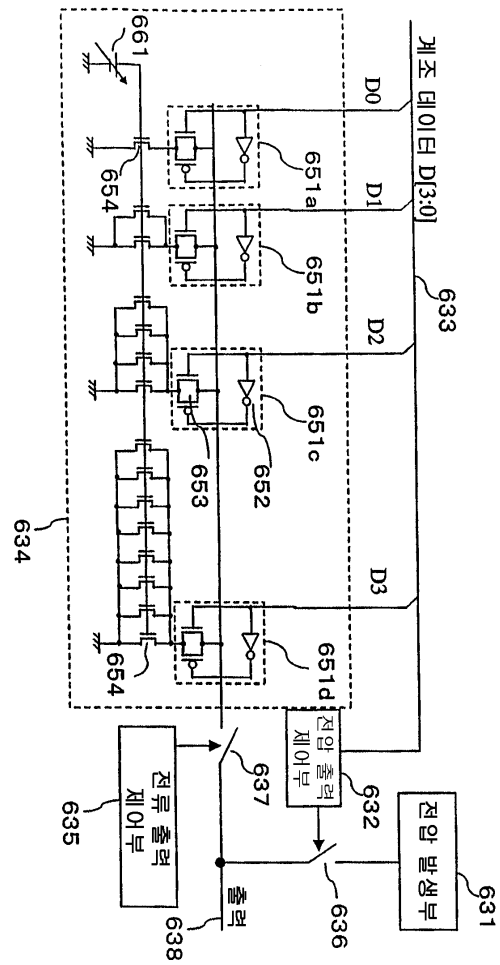


도면64

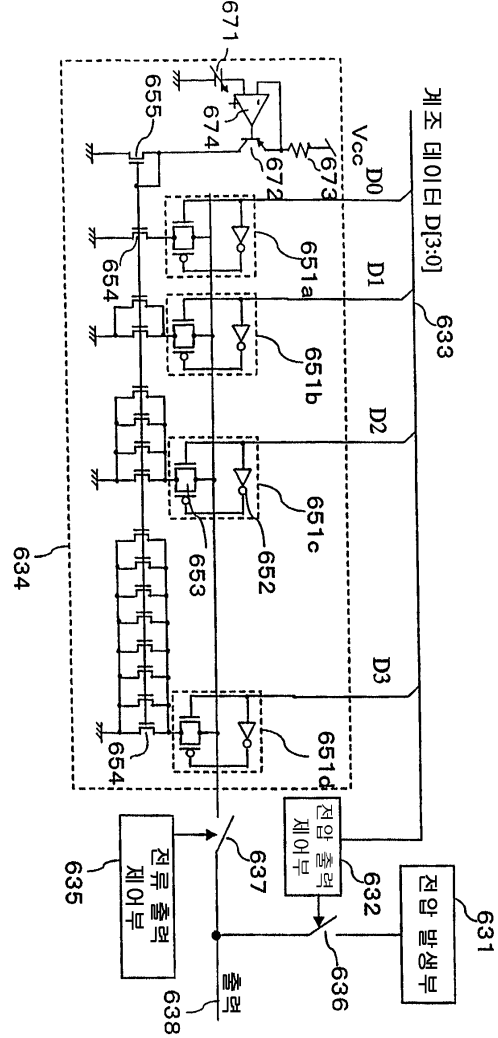




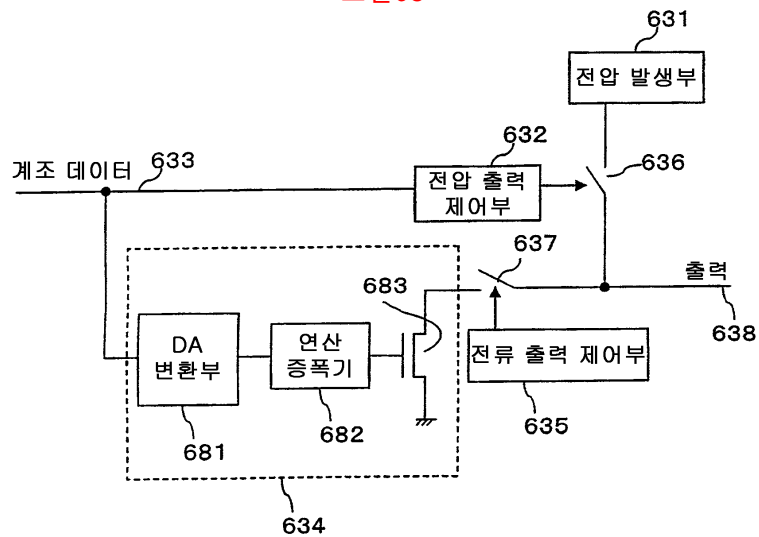
도면66



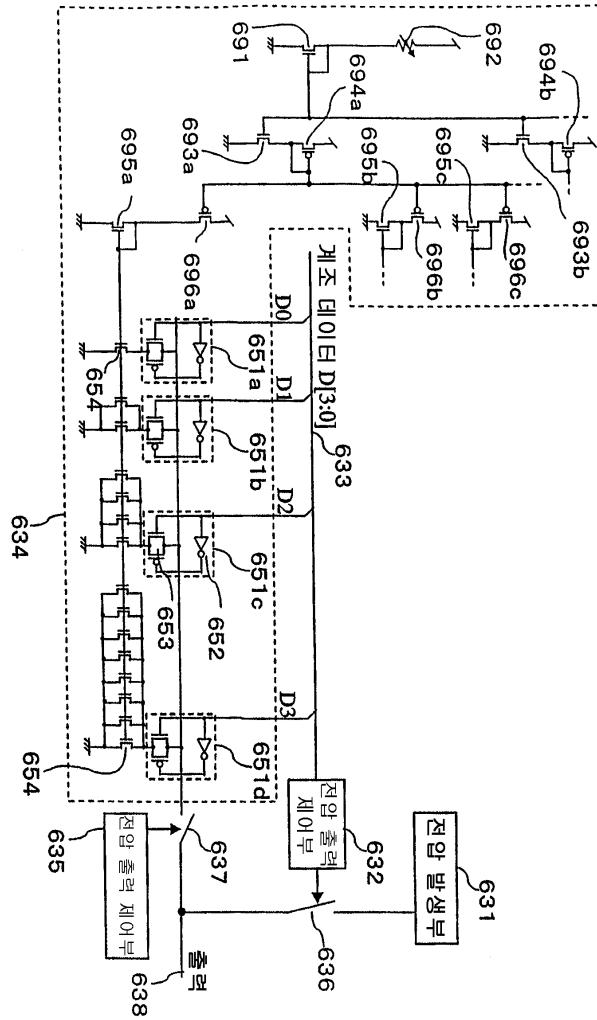
도면67



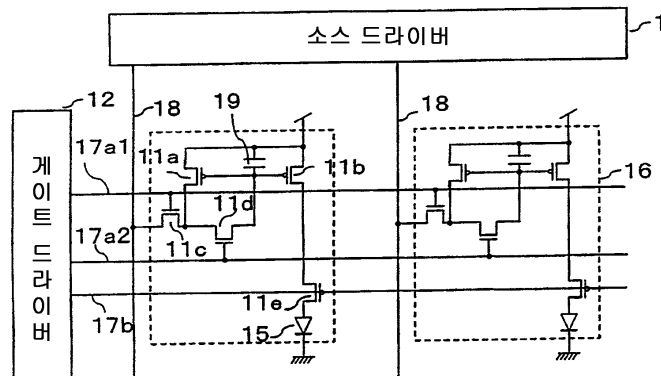
도면 68



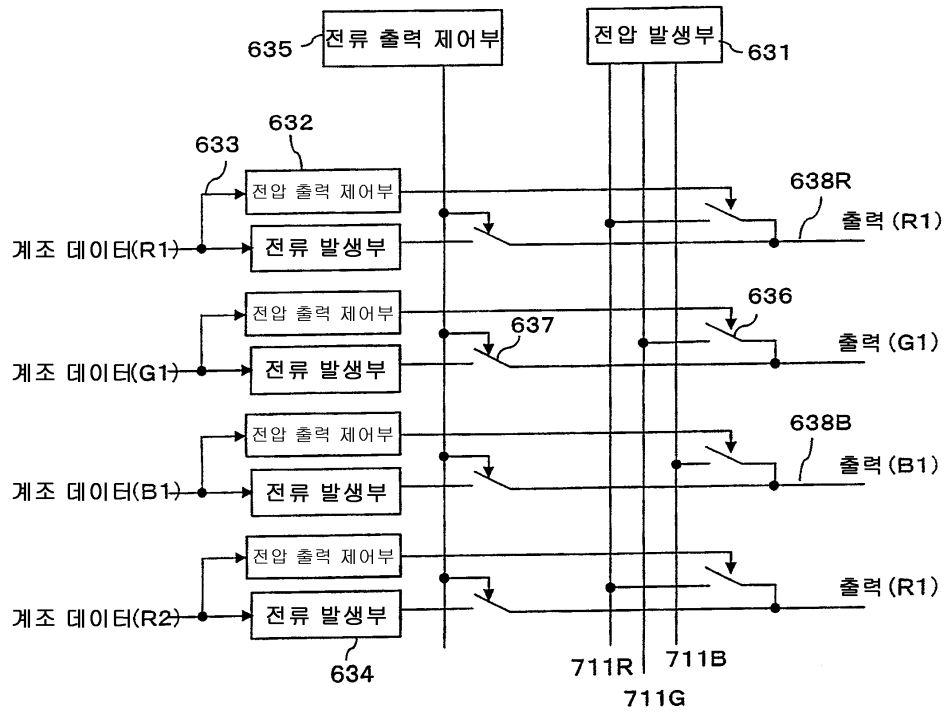
도면 69



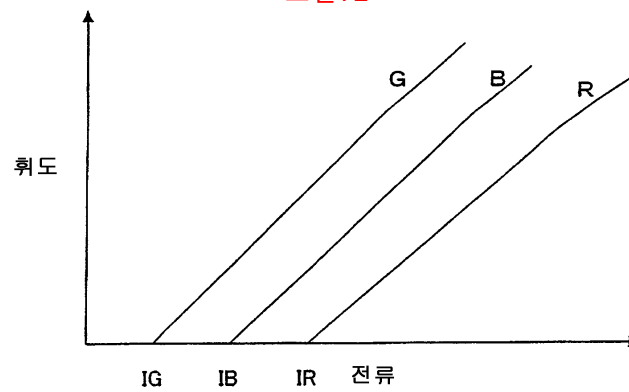
도면70



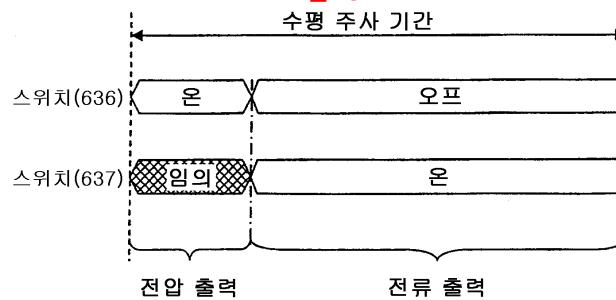
도면71



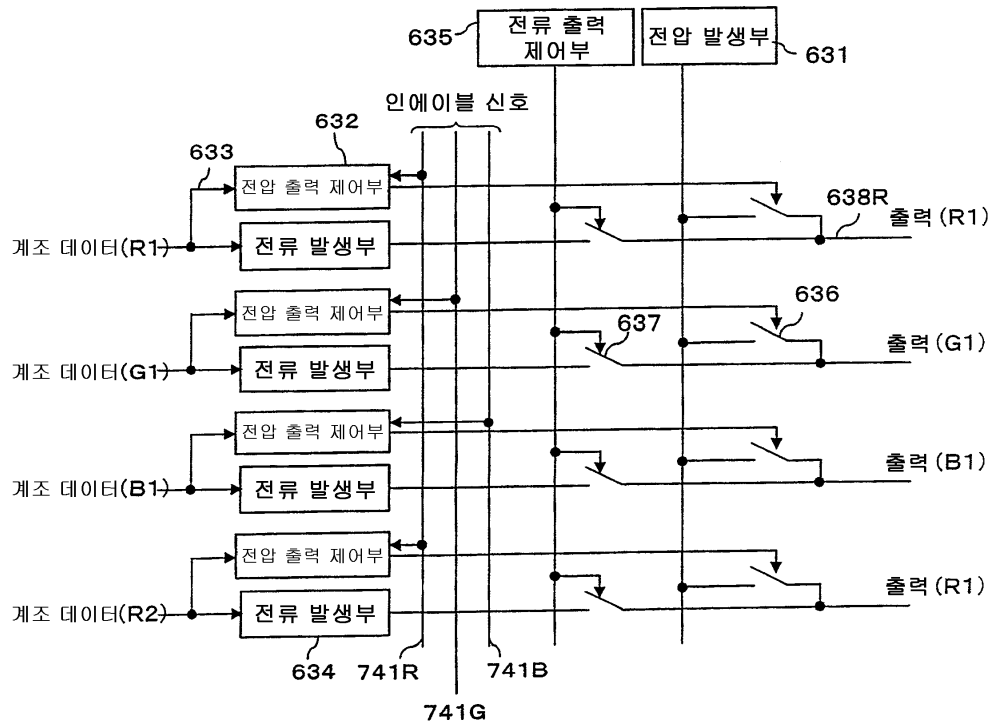
도면72



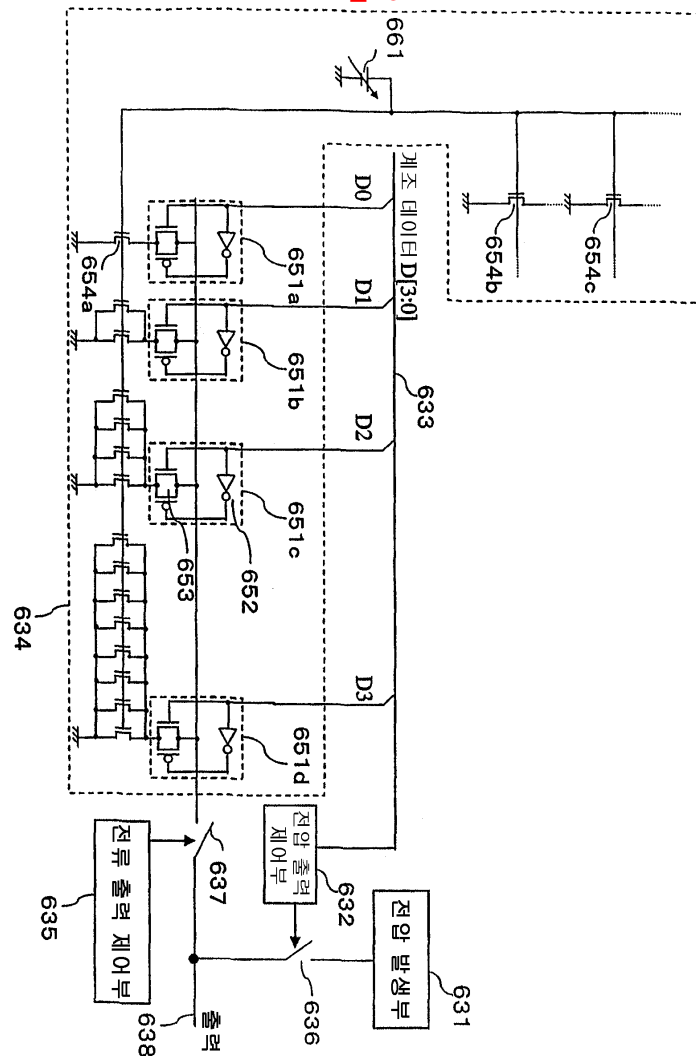
도면73



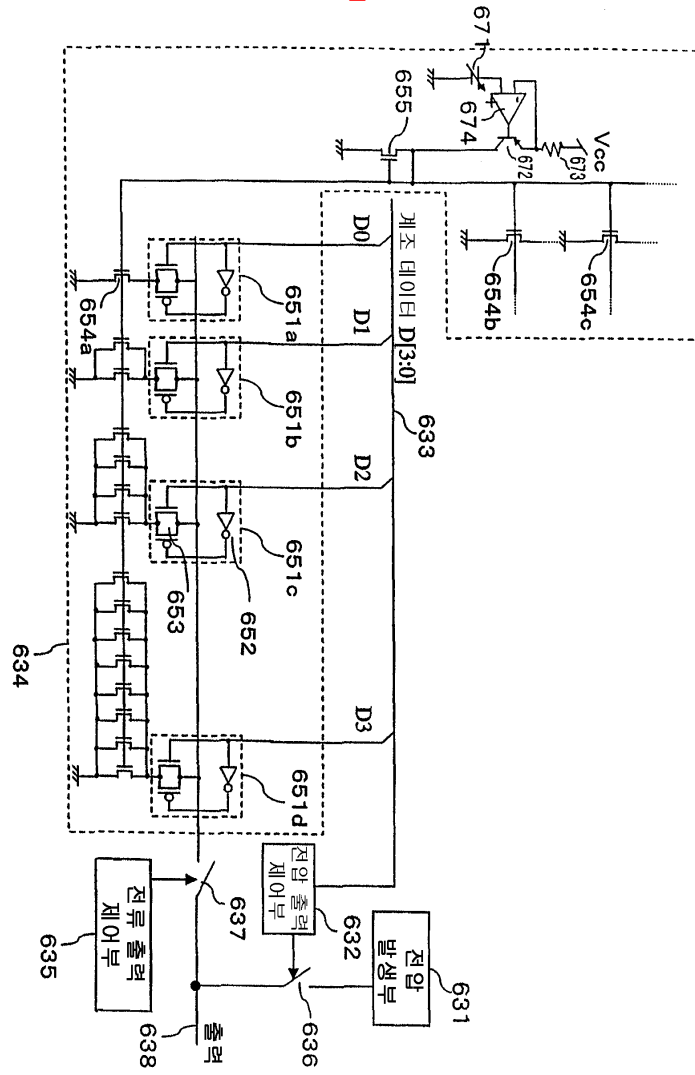
도면74



도면75



도면76



专利名称(译)	EL显示器件和EL显示器件驱动电路和图像显示器件		
公开(公告)号	KR1020040031039A	公开(公告)日	2004-04-09
申请号	KR1020047003226	申请日	2002-09-06
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	TSUGE HITOSHI 츠게히토시 TAKAHARA HIROSHI 다카하라히로시		
发明人	츠게히토시 다카하라히로시		
IPC分类号	G09G3/30 G09G3/32 H01L27/32		
CPC分类号	G09G2320/0247 G09G2310/027 G09G2320/0238 G09G2310/0205 G09G2310/08 G09G3/3266 G09G3/3283 G09G2310/0262 G09G2310/0251 G09G3/2018 G09G3/3426 G09G2310/0278 G09G2310/0248 G09G2330/08 G09G3/32 G09G2300/0842 G09G2300/0814 H01L27/3244 G09G3/30 G09G2300/0408 G09G2320/041 G09G2320/0626 G09G2300/0426 G09G2310/0232 G09G2300/0852 G09G3/325 G09G2320/0242 G09G3/3233 G09G2300/0819 G09G2320/0606 G09G2320/0261 G09G3/3291		
代理人(译)	KIM, CHANG SE		
优先权	2001271311 2001-09-07 JP 2001347014 2001-11-13 JP		
其他公开文献	KR100714513B1		
外部链接	Espacenet		

摘要(译)

根据本发明的电致发光显示装置还可以包括转换接合装置 (636,637) , 用于转换用于电压源 (631) 的电流源 (634) 的电压源 (631) , 用于预充电输出固定电压和关于电致发光显示装置的信号和预充电, 用于在 EL发光元件表示的源信号中包括相应的电流, 并且电流用于驱动EL发光元件的电流驱动器, 以及用于输出信号源的信号的电流源 (634) 信号根据图像信号通过源信号线传送到电流驱动器并可以连接到源信号线 (638) 。

