



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월14일
 (11) 등록번호 10-1418621
 (24) 등록일자 2014년07월04일

(51) 국제특허분류(Int. Cl.)
 H01L 51/10 (2006.01)
 (21) 출원번호 10-2009-7006530
 (22) 출원일자(국제) 2007년08월30일
 심사청구일자 2012년08월29일
 (85) 번역문제출일자 2009년03월30일
 (65) 공개번호 10-2009-0051239
 (43) 공개일자 2009년05월21일
 (86) 국제출원번호 PCT/GB2007/003283
 (87) 국제공개번호 WO 2008/025989
 국제공개일자 2008년03월06일
 (30) 우선권주장
 0617128.4 2006년08월31일 영국(GB)
 (56) 선행기술조사문헌
 US20030059975 A1
 US5545991 A
 US5341098 A

(73) 특허권자
 캠브리지 디스플레이 테크놀로지 리미티드
 영국 캠브리지 캠브리지셔 씨비23 6디더블유 캄버
 른 비지니스 파크 캄버른 빌딩 2020
 (72) 발명자
 화이팅 그레고리
 영국 캄버른 캠브리지셔 씨비23 6디더블유 캄버
 른 비지니스 파크 빌딩 2020 캠브리지 디스플레이 테
 크놀로지 리미티드 아이피 디파트먼트
 스미스 유안
 영국 캄버른 캠브리지셔 씨비23 6디더블유 캄버
 른 비지니스 파크 빌딩 2020 캠브리지 디스플레이 테
 크놀로지 리미티드 아이피 디파트먼트
 (74) 대리인
 제일특허법인, 김원준

전체 청구항 수 : 총 21 항

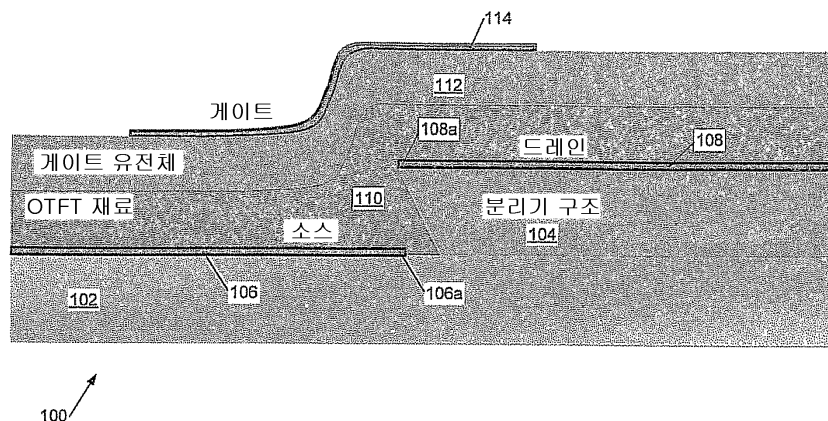
심사관 : 박성용

(54) 발명의 명칭 유기 박막 트랜지스터 및 그 제조 방법, 이중 트랜지스터 구조물, 유기 전자 디바이스 및 그 제조 방법, 이중 TFT 구조물 제조 방법, 액티브 매트릭스 OLED 디스플레이

(57) 요약

본 발명은 일반적으로 유기 전자 디바이스 및 그 제조 방법에 관한 것이다. 보다 구체적으로는 본 발명은 유기 박막 트랜지스터(TFT) 구조 및 그 제조에 관한 것이다. 유기 전자 디바이스는 제 1 전극을 지지하는 기판과, 상기 기판 상의 스페이서 구조물과, 상기 스페이서 구조물 상에서 상기 제 1 전극 위의 높이에 위치하는 제 2 전극과, 상기 제 1 및 제 2 전극 사이에 도전성 채널을 제공하는 상기 제 1 및 제 2 전극 상의 유기 반도체 재료층을 포함하되, 대다수의 상기 제 1 전극이 상기 채널의 일측면에 횡방향으로 배치되고, 대다수의 상기 제 2 전극이 상기 채널의 다른 측면에 횡방향으로 배치된다.

대표도



특허청구의 범위

청구항 1

기판 상에 유기 박막 트랜지스터를 제조하는 방법으로서,
 상기 기판 상에 분리기층(separator layer)을 증착하는 단계와,
 상기 분리기층을 패터닝하여 소스-드레인 분리를 정의하는(define) 단계와,
 상기 소스-드레인 분리를 포함하는 상기 기판 상에 도전성 재료를 증착하여 상기 트랜지스터의 소스 전극 및 드레인 전극을 정의하는 단계와,
 상기 소스 전극 및 상기 드레인 전극 위에 유기 반도체 재료를 증착하는 단계와,
 상기 유기 반도체 재료 위에 유전체 재료를 증착하는 단계와,
 상기 유전체 재료 위에 도전성 재료를 증착하여 상기 트랜지스터용 게이트 전극을 제공하는 단계를 포함하되,
 상기 소스 전극 및 상기 드레인 전극 중 하나의 전극은 상기 분리기의 구조물 위에 제 1 높이로 형성되고 상기 소스 전극 및 상기 드레인 전극 중 다른 하나의 전극은 상기 기판 위에 상기 제 1 높이 보다 낮은 제 2 높이로 형성되며,
 상기 소스-드레인 분리는 언더컷 에지(undercut edge)를 갖는
 유기 박막 트랜지스터 제조 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 소스 전극 및 상기 드레인 전극은 10 μ m 미만의 거리만큼 분리되는
 유기 박막 트랜지스터 제조 방법.

청구항 4

제 1 항에 있어서,
 상기 분리기층은 포토레지스트 재료로 형성되고, 상기 분리기층은 포토패터닝(photopatterning)에 의해 패터닝되어 상기 소스-드레인 분리를 형성하는
 유기 박막 트랜지스터 제조 방법.

청구항 5

삭제

청구항 6

제 1 항에 있어서,
 상기 소스 전극 및 상기 드레인 전극을 형성하는 상기 도전성 재료는 증류(evaporation) 또는 스퍼터링에 의해 증착되는
 유기 박막 트랜지스터 제조 방법.

청구항 7

제 6 항에 있어서,

상기 소스 전극 및 상기 드레인 전극의 형성은 상기 분리기의 구조물의 에지의 섀도우(shadow)가 전극 에지를 정의하는 각으로 전극 물질을 방향성 증착(directional deposition)하는 것을 포함하는

유기 박막 트랜지스터 제조 방법.

청구항 8

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극을 형성하는 상기 도전성 재료는 금속 원소를 포함하는

유기 박막 트랜지스터 제조 방법.

청구항 9

제 8 항에 있어서,

상기 소스 전극 및 상기 드레인 전극을 형성하는 상기 도전성 재료는 단일 원소 금속(elemental metal) 또는 그 합금으로 이루어지는

유기 박막 트랜지스터 제조 방법.

청구항 10

제 1 항에 있어서,

상기 유기 반도체 재료, 상기 유전체 재료 및 상기 게이트 전극 중 적어도 하나는 용매에서 용해된 것으로부터 증착되는

유기 박막 트랜지스터 제조 방법.

청구항 11

유기 전자 디바이스에 있어서,

제 1 전극을 지지하는 기판과,

상기 기판 상의 스페이서 구조물과,

상기 스페이서 구조물 위에서 상기 제 1 전극보다 높은 높이에 위치하는 제 2 전극과,

상기 제 1 전극과 상기 제 2 전극 사이에 도전성 채널을 제공하는, 상기 제 1 전극 및 상기 제 2 전극 위의 유기 반도체 재료층을 포함하되,

모든 상기 제 1 전극이 상기 채널의 일측면에 대해 횡방향으로 배치되고, 모든 상기 제 2 전극이 상기 채널의 다른 측면에 대해 횡방향으로 배치되는

상기 스페이서 구조물은 언더컷 에지를 갖는

유기 전자 디바이스.

청구항 12

제 11 항에 있어서,

상기 스페이서 구조물은 전기 절연 재료층을 포함하는

유기 전자 디바이스.

청구항 13

삭제

청구항 14

제 11 항 또는 제 12 항에 있어서,

상기 디바이스는 트랜지스터를 포함하고,

상기 제 1 전극 및 상기 제 2 전극 중 한 전극은 트랜지스터의 소스 전극을 포함하고 다른 한 전극은 상기 트랜지스터의 드레인 전극을 포함하며,

상기 디바이스는 상기 유기 반도체 재료층 위의 게이트 유전체층과, 상기 게이트 유전체층 위의 게이트 전극을 더 포함하는

유기 전자 디바이스.

청구항 15

제 14 항에 있어서,

상기 게이트 전극은 중간 도전층 없이 상기 소스 전극 위에 위치하고,

상기 게이트 전극은 중간 도전층 없이 상기 드레인 전극 위에 위치하는

유기 전자 디바이스.

청구항 16

제 14 항에 기재된 트랜지스터를 2개 포함하는 이중 트랜지스터 구조물로서,

상기 소스 전극 및 상기 드레인 전극 중 한 전극은 상기 2개의 트랜지스터 사이에 공유되는 이중 트랜지스터 구조물.

청구항 17

제 16 항에 있어서,

상기 공유된 전극은 상기 이중 트랜지스터 구조물 외부와 접속되지 않는

이중 트랜지스터 구조물.

청구항 18

유기 전자 디바이스에 있어서,

기관과,

상기 기관 위에서 상기 기관 위의 제 1 높이에 위치하는 제 1 전극과,

상기 기관 위의 스페이서 구조물과,

상기 스페이서 구조물 위에서 상기 기관 위의 상기 제 1 높이보다 더 높은 제 2 높이에 위치하는 제 2 전극과,

상기 제 1 전극과 상기 제 2 전극 사이에 도전성 채널을 제공하는, 상기 제 1 전극 및 상기 제 2 전극 위의 유기 반도체 재료층을 포함하되,

상기 제 1 전극과 상기 제 2 전극 사이에 측면 오버랩(lateral overlap)이 존재하지 않고,

상기 스페이서 구조물은 언더컷 에지를 갖는

유기 전자 디바이스.

청구항 19

기관 상에 유기 전자 디바이스를 제조하는 방법에 있어서,

상기 기판에 상기 유기 전자 디바이스를 위한 제 1 전극을 제공하는 단계와,
 상기 기판 상에 분리기 구조물을 형성하는 단계와,
 상기 분리기 구조물 위에 상기 유기 전자 디바이스를 위한 제 2 전극을 형성하는 단계와,
 상기 제 1 전극 및 상기 제 2 전극 위에 유기 반도체 재료층을 증착하는 단계를 포함하되,
 상기 분리기 구조물은 절연 재료층을 포함하고,
 상기 분리기 구조물을 형성하는 단계는, 상기 절연 재료층 위에 상기 제 2 전극을 형성한 후에, 에치 마스크와 포토마스크 중 적어도 하나로서 상기 제 2 전극을 사용하여 상기 절연 재료층을 패터닝하는 단계를 포함하는 유기 전자 디바이스 제조 방법.

청구항 20

제 19 항에 있어서,
 상기 분리기 구조물을 형성하는 단계는 상기 구조물이 상기 제 1 전극의 에지와 부분적으로 중첩되도록 상기 구조물을 형성하는 단계를 포함하는 유기 전자 디바이스 제조 방법.

청구항 21

유기 박막 트랜지스터(TFT) 형성 방법에 있어서,
 제 19 항 또는 제 20 항의 방법을 이용하여 상기 트랜지스터의 소스 전극 및 드레인 전극을 제조한 후에, 유전체층을 증착하고 상기 트랜지스터의 게이트층을 증착하는 단계를 포함하는 유기 박막 트랜지스터(TFT) 형성 방법.

청구항 22

제 21 항의 방법을 이용하여 이중 TFT 구조물을 형성하는 방법에 있어서,
 상기 제 2 전극 형성 단계는 상기 이중 TFT 구조물을 위한 공통 소스 전극 또는 공통 드레인 전극을 형성하는 단계를 포함하는 이중 TFT 구조물 형성 방법.

청구항 23

기판 상에 유기 박막 트랜지스터를 제조하는 방법에 있어서,
 상기 기판 상에 제 1 도전성 재료층을 증착하고 상기 제 1 도전성 재료층을 패터닝하여 상기 트랜지스터의 제 1 소스 또는 드레인 전극을 정의하는 단계와,
 상기 제 1 전극 위의 상기 기판 상에 절연 재료층을 증착하는 단계와,
 상기 절연 재료층 위에 제 2 도전성 재료층을 증착하고 상기 제 2 도전성 재료층을 패터닝하여 상기 트랜지스터의 제 2 드레인 또는 소스 전극을 정의하는 단계와,
 에치마스크 또는 포토마스크로서 상기 제 2 전극을 사용하여 상기 절연 재료층을 패터닝하여 상기 제 1 전극의 적어도 일부를 노출시키는 단계와,
 상기 제 1 전극 및 상기 제 2 전극 위에 유기 반도체 재료를 증착하는 단계와,
 상기 유기 반도체 재료 위에 게이트 절연 재료를 증착하는 단계와,
 상기 절연 재료 위에 도전성 재료를 증착하여 상기 트랜지스터를 위한 게이트 전극을 제공하는 단계를 포함하는 유기 박막 트랜지스터 제조 방법.

청구항 24

액티브 매트릭스 OLED 디스플레이에 있어서,

복수의 픽셀을 포함하되, 상기 복수의 픽셀 각각은 관련 픽셀 드라이버 회로를 가지며,

상기 픽셀 드라이버 회로는 적어도 하나의 유기 박막 트랜지스터(TFT)를 포함하되, 상기 유기 TFT의 드레인 전극 및 소스 전극 중 한 전극은 상기 유기 TFT의 상기 드레인 전극 및 소스 전극 중 다른 한 전극과 상이한 높이에서 상기 디스플레이의 기판 위에 수직으로 배치되고,

상기 유기 TFT는 게이트 길이가 1 μ m 미만이고, 상기 디스플레이는 게이트 길이의 균등성이 10%보다 양호한 1,000,000개보다 많은 트랜지스터를 구비한

액티브 매트릭스 OLED 디스플레이.

청구항 25

삭제

청구항 26

삭제

명세서

기술분야

[0001] 본 발명은 유기 전자 디바이스 및 그 제조 방법에 관한 것이다. 보다 구체적으로는 유기 박막 트랜지스터(TFT) 구조물 및 그 제조에 관한 것이다.

배경기술

[0002] 일반적으로 개선된 유기 전자 디바이스, 특히 박막 트랜지스터 디바이스가 요구된다. 수직 채널 폴리머 전계 효과 트랜지스터에 대한 한 기법이 2003년 3월 21일 발행된 Science지 Vol.299, 1881-1884페이지의 N.Stutzmann, R.H. Friend 및 H. Sirringhaus에 의한 "Self-aligned vertical-channel, polymer field-effect transistors"에 개시되어 있다. 일반적으로 이것은 디바이스의 층들이 측면으로부터 전기 전도성 층으로의 액세스를 제공하기 위해 샤프 웨지(sharp wedge)에 의해 마이크로 커팅되는 기법을 개시하고 있다. 이 기법은 짧은 게이트 길이를 제공하는데 유용하지만, 보다 쉽게 제조하는데 적합한 디바이스 구조 및 제조 방법이 유익할 것이다.

[0003] Parashkov 등의 Appl. Phys. Lett. 82(25), 4759-4580, 2003은 수직 채널 박막 트랜지스터를 개시하고 있는데, 여기서 기판 상에 드레인 전극이 제공되고, 드레인 전극 상에 포토레지스트가 증착되며, 포토레지스트 상에 유기 도전성 재료(PEDOT:PSS)의 층이 증착되고, PEDOT:PSS의 층이 패터닝되어 소스 전극을 형성하며, 포토레지스트의 층이 패터닝되어 드레인 전극을 노출시키고, 소스 및 드레인 전극 상에 유기 반도체 재료, 게이트 유전체 및 게이트 전극이 증착되어 디바이스를 완성한다. 또한 수직 채널 디바이스의 제조를 보다 쉽게 하는데 적합한 디바이스 구조 및 제조 방법이 유익할 것이다.

발명의 상세한 설명

[0004] 본 발명에 따르면, 기판 상에 유기 박막 트랜지스터를 제조하는 방법으로서, 기판 상에 분리기층(separator layer)을 증착하는 단계와, 소스-드레인 분리기를 정의하도록 분리기층을 패터닝하는 단계와, 소스-드레인 분리기를 포함하는 기판 상에 도전성 재료를 증착하여 트랜지스터의 소스 전극 및 드레인 전극을 정의하는 단계와, 소스 전극 및 드레인 전극 상에 유기 반도체 재료를 증착하는 단계와, 유기 반도체 재료 위에 유전체 재료를 증착하는 단계와, 유전체 재료 위에 도전성 재료를 증착하여 트랜지스터용 게이트 전극을 제공하는 단계를 포함하는 유기 박막 트랜지스터 제조 방법이 제공된다.

- [0005] 바람직하게는 소스 전극 및 드레인 전극 중 하나는 분리기 구조물 위에 제 1 높이로 형성되고, 소스 전극 및 드레인 전극 중 다른 하나는 기판 위에 제 2의 보다 낮은 높이로 형성된다.
- [0006] 바람직하게는, 소스 및 드레인 전극이 10 μ m 미만의 거리만큼 분리된다.
- [0007] 바람직하게는, 분리기층은 포토레지스트 재료로 형성되고, 분리기층은 포토패터닝(photopatterning)에 의해 패터닝되어 소스-드레인 분리기를 형성한다.
- [0008] 바람직한 실시예에서, 소스-드레인 분리기는 언더컷 에지를 갖는다.
- [0009] 바람직하게는, 소스 전극 및 드레인 전극을 형성하는 도전성 재료는 증류(evaporation) 또는 스퍼터링에 의해 증착된다.
- [0010] 바람직하게는, 소스 전극 및 드레인 전극의 형성은 분리기 구조물의 에지의 새도우가 전극 에지를 정의하는 각으로 전극 물질을 방향성 증착(directional deposition)하는 것을 포함한다.
- [0011] 바람직하게는, 소스 전극 및 드레인 전극을 형성하는 도전성 재료는 금속 원소를 포함한다.
- [0012] 바람직하게는, 소스 전극 및 드레인 전극을 형성하는 도전성 재료는 본질적으로 단일 원소 금속(elemental metal) 또는 그 합금으로 이루어진다.
- [0013] 바람직하게는, 유기 반도체 재료, 유전체 재료 및 게이트 전극 중 적어도 하나는 용매에 용해되어 증착된다.
- [0014] 다른 측면에서, 본 발명은 제 1 전극을 지지하는 기판과, 기판 상의 스페이서 구조물과, 스페이서 구조물 위에서 제 1 전극보다 높은 높이에 위치하는 제 2 전극과, 제 1 및 제 2 전극 사이에 도전성 채널을 제공하는 제 1 및 제 2 전극 상의 유기 반도체 재료층을 포함하되, 실질적으로 모든 제 1 전극이 채널의 일측면에 횡방향으로 배치되고, 실질적으로 모든 제 2 전극이 채널의 다른 측면에 횡방향으로 배치되는 유기 전자 디바이스를 제공한다. 따라서, 제 1 및 제 2 전극은 실질적으로 횡방향으로 중첩되지 않는다.
- [0015] 바람직하게는, 상기 높이는 스페이서층의 두께에 의해 정의되는데, 바람직하게는 10 μ m 미만, 5 μ m 미만, 2 μ m 미만 또는 1 μ m 미만이다. 스페이서 구조물은 전기 절연 재료층을 포함할 수도 있지만(본 명세서에서, "절연(insulating)" 및 "유전체(dielectric)"란 용어는 동일한 의미로 사용된다), 상술한 실시예로부터 알 수 있듯이 이것이 필수적인 것은 아니다.
- [0016] 절연 재료층은 실질적으로 수직이거나, 바람직하게는 채널에서 언더컷 에지를 갖는다. 절연 재료층은 예를 들어 이방성 에칭되어 언더컷 에지를 생성할 수 있는 레지스트 재료층을 포함할 수 있다.
- [0017] 유기 전자 디바이스는 다이오드 디바이스, 사이리스터 디바이스 등을 포함하는 유사한 디바이스들 중 하나를 포함한다. 그러나, 일부 특히 바람직한 실시예에서, 디바이스는 트랜지스터, 보다 구체적으로는 폴리머 전계 효과 트랜지스터와 같은 전계 효과 트랜지스터를 포함한다. 이 경우에, 제 1 및 제 2 전극은 트랜지스터의 소스 전극과 트랜지스터의 드레인 전극을 포함하고, 상기 디바이스는 유기 반도체 재료층 상의, 보다 구체적으로는 트랜지스터의 채널 상의 게이트 유전체층과, 게이트 유전체 상의 게이트 전극을 포함한다. 실시예들에서, 게이트 전극은 중간 도전층 없이 소스 전극 및 드레인 전극 위에 위치하는데, 즉 적어도 게이트 전극과 드레인 전극 사이 및 게이트 전극과 소스 전극 사이의 채널 근방에 도전층이 존재하지 않는다.
- [0018] (당업자는 도전성 채널에 대한 참고가 전계 효과 디바이스 내의 채널에 대한 참고에 한정되지 않고, 예를 들어 다이오드의 단방향 도전성 채널을 포함한다는 것을 이해할 수 있을 것이다.) 당업자라면 이러한 전계 효과 트랜지스터가 증가형 또는 공핍형으로 동작할 수 있다는 것을 알 수 있을 것이다.
- [0019] 본 발명의 실시예들에서, 전술한 트랜지스터를 2개 포함하는 이중 트랜지스터 구조물이 제공된다. 이러한 구성에서, 소스 및 드레인 전극 중 하나는 2개의 트랜지스터에 공통이며, 특히 이것은 분리기 구조물 상의 전극이다. 이러한 이중 트랜지스터 구조물은 이 공통 또는 공유된 전극에 대한 외부 접속을 갖지 않을 수 있다. 이러한 이중 트랜지스터 구조물은 보다 양호한 스위치 격리와 같은 향상된 기능을 제공할 수 있다.
- [0020] 전술한 구조물의 유기 박막 트랜지스터 실시예들은 다수의 이점을 제공한다. 한 이점은 래터럴 디바이스(lateral device)에 비해 이러한 수직 디바이스에서 게이트 길이를 극히 짧게 할 수 있다는 것이다. 통상의 래터럴 디바이스에서, 게이트 길이(소스-드레인 전극들 간의 거리)는 10 μ m 정도인 반면에 본 발명의 실시예에 따른 구조물에서는 1 μ m, 0.5 μ m, 0.2 μ m, 0.1 μ m 이하의 게이트 길이를 쉽게 달성할 수 있다. 게이트 길이가 짧으면, 소스-드레인 전류가 증가하는 이점이 있다.

- [0021] 본 발명은 또한 유기 전자 디바이스에 있어서, 기판과, 기판 상에서 기판으로부터 제 1 높이에 위치하는 제 1 전극과, 기판 상의 스페이서 구조물과, 스페이서 구조물 위에서 기판 위의 제 1 높이보다 더 높은 제 2 높이에 위치하는 제 2 전극과, 제 1 및 제 2 전극 사이에 도전성 채널을 제공하는 제 1 및 제 2 전극 상의 유기 반도체 재료층을 포함하되, 제 1 및 제 2 전극 사이에 실질적으로 측면 오버랩이 존재하지 않는 유기 전자 디바이스를 제공한다.
- [0022] 전술한 소스-드레인 전류의 증가는 유기 발광 다이오드(OLED), 특히 액티브 매트릭스 OLED 디스플레이의 드라이버 트랜지스터에 특히 유용하다.
- [0023] 따라서 다른 측면에서, 본 발명은 복수의 픽셀을 갖는 액티브 매트릭스 OLED 디스플레이를 제공하는데, 복수의 픽셀 각각은 픽셀 드라이버 회로와 관련되고, 픽셀 드라이버 회로는 적어도 하나의 유기 박막 트랜지스터(TFT)를 포함하며, 여기서 유기 TFT의 드레인 및 소스 전극 중 하나는 유기 TFT의 드레인 및 소스 전극 중 다른 전극과 상이한 높이로 디스플레이의 기판 위에 수직으로 배치된다.
- [0024] 유기 TFT 구조물의 다른 이점은 게이트 길이의 매우 높은 균등성을 달성할 수 있다는 것이다. 예를 들어 5cm 또는 10cm보다 큰 크기의 기판에 걸쳐서, 게이트 길이의 균등성은 10%, 5%, 2% 또는 1%보다 더 양호할 수도 있다. 이 상이하게 표현된 전술한 균등성은 예를 들어 1,000,000 또는 10,000,000개의 유기 박막 트랜지스터에 걸쳐서 달성될 수 있다. 예를 들어, 디스플레이는 각각의 축(행 및 열) 상에 약 500 개의 픽셀 해상도를 포함한다. 만약 디스플레이가 컬러 디스플레이이면, 각각의 축 상에 1500개의 픽셀이 존재하며, 통상의 액티브 매트릭스 드라이버에 있어서, 픽셀당 4개의 트랜지스터는 디스플레이의 영역 위의 약 36,000,000개의 트랜지스터에 대해 측당 6,000개의 트랜지스터를 제공한다.
- [0025] 따라서, 전술한 액티브 매트릭스 OLED 디스플레이는 10%, 5%, 2% 또는 1%보다 더 양호한 게이트 길이 균등성을 갖는 1,000,000개 또는 10,000,000개보다 많은 트랜지스터를 포함할 수 있다.
- [0026] 보완적인 측면에서, 본 발명은 기판 상에 유기 전자 디바이스를 제조하는 방법에 있어서, 기판에 유기 전자 디바이스를 위한 제 1 전극을 제공하는 단계와, 기판 상에 분리기 구조물을 형성하는 단계와, 분리기 구조물 상에 유기 전자 디바이스를 위한 제 2 전극을 형성하는 단계와, 제 1 및 제 2 전극 위에 유기 반도체 재료층을 증착하는 단계를 포함하되, 분리기 구조물은 절연 재료층을 포함하고, 분리기 구조물을 형성하는 단계는 절연 재료층 상에 제 2 전극을 형성한 후에 에치 마스크 및/또는 포토마스크로서 제 2 전극을 사용하여 절연 재료층을 패터닝하는 단계를 포함하는 유기 전자 디바이스 제조 방법을 제공한다.
- [0027] 후술하는 바와 같이, 이 방법의 여러 단계들은 이용되는 방법의 실시예에 따라서 다수의 상이한 순서로 수행될 수 있다.
- [0028] 실시예들에서, 절연 재료층이 하부 에칭되어 분리기 구조물의 에지가 수직 에지를 갖기보다는 기판 아래로, 보다 구체적으로는 제 1 전극에 대해 경사질 수 있다. 실시예들에서, 분리기 구조물은 디바이스의 채널에 인접한 제 1 전극의 에지와 부분적으로 중첩되도록 형성된다.
- [0029] 방법의 다른 실시예에서, 분리기 구조물 상의 전극이 트랜지스터의 쌍에 대한 공통 소스 또는 드레인 전극으로서 작용하는 이중 TFT 구조물이 제조될 수 있다.
- [0030] 본 발명의 다른 측면에서, 기판 상에 유기 박막 트랜지스터를 제조하는 방법에 있어서, 기판 상에 제 1 도전성 재료층을 증착하고 제 1 도전성 재료층을 패터닝하여 트랜지스터의 제 1 소스 또는 드레인 전극을 정의하는 단계와, 제 1 전극 위의 기판 상에 절연 재료층을 증착하는 단계와, 절연 재료층 위에 제 2 도전성 재료층을 증착하고 도전성 재료층을 패터닝하여 트랜지스터의 제 2의 드레인 또는 소스 전극을 정의하는 단계와, 에치마스크 또는 포토마스크로서 제 2 전극을 사용하여 절연 재료층을 패터닝하여 제 1 전극의 적어도 일부를 노출시키는 단계와, 제 1 및 제 2 전극 위에 유기 반도체 재료를 증착하는 단계와, 유기 반도체 재료 위에 게이트 절연 재료를 증착하는 단계와, 유기 재료 위에 도전성 재료를 증착하여 트랜지스터를 위한 게이트 전극을 제공하는 단계를 포함하는 유기 박막 트랜지스터 제조 방법이 제공된다.
- [0031] 이들 방법의 실시예들에서, 제 1 및 제 2 전극 상에 유기 반도체 재료를 증착하면 트랜지스터에 대한 채널이 생성되고, 그 다음에 게이트 유전체가 이 채널 상에 증착되고, 이어서 게이트 전극이 형성된다. 일반적으로 다른 디바이스 등에 대한 접속인 비아가 형성될 수도 있다.
- [0032] 본 발명의 다른 측면들은 디바이스, 트랜지스터 및 디스플레이, 특히 전술한 방법을 이용하여 제조된 OLED 디스플레이를 제공한다.

- [0033] 당업자라면, 기술한 구조물 및 방법의 특징들 및 측면들이 임의로 결합될 수 있다는 것을 알 수 있을 것이다.
- [0034] 본 발명의 상기 및 다른 특징들은 첨부 도면을 참고하여 예를 통해 설명할 것이다.

실시예

- [0042] 도 1은 본 발명에 따른 박막 트랜지스터 디바이스 구조(100)의 바람직한 실시예의 일례를 도시한 것이다. TFT 구조는 기판(102)을 포함하며, 기판 상에 분리기 구조(104)가 제조되고, 이어서 소스 및 드레인 전극(106, 108)이 제조된다. 일반적으로 폴리티오피엔 유도체(polythiophene derivative)와 같은 유기 반도체인 유기 박막 트랜지스터 재료층(110)이 소스 및 드레인 상에 증착되고, 이어서 게이트 유전체 재료(112)가 증착되며, 그 후에 게이트 전극(114)이 증착된다. 동작 중에 소스 및 드레인 전극의 에지(106a, 108a) 사이에 채널이 형성되어 에지(106a) 근방의 소스 전극의 상부면의 일부 상에서 연장되고, 또한 에지(108a) 근방의 드레인 전극의 상부면의 일부 상에서 연장된다. 도 1에 도시되어 있지는 않지만, 실제 디바이스는 분리기 구조(104) 내에 하나 이상의 비아를 포함할 수도 있다.
- [0043] 도 1의 TFT의 재료의 예는 다음과 같다.
- [0044] 기판: 유리 또는 플라스틱; 폴리카보네이트 또는 폴리에틸렌테레프탈레이트(PET; Polyethylene Terephthalate)
- [0045] 분리기 구조: 포지티브 또는 네거티브 포토 레지스트
- [0046] 소스/드레인: 알루미늄 및 크롬 층의 조합, 예를 들어 크롬층 사이에 삽입된 알루미늄. 보다 일반적으로는 유기 반도체에 적절한 저항 접촉을 제공하는 임의의 금속. 다른 예들로는 p-채널 디바이스용 금 또는 팔라듐; n-채널 디바이스용 칼슘 또는 바륨이 있다.
- [0047] 유기 반도체: 폴리티오피엔 또는 그 유도체; 폴리아닐린 또는 그 유도체; 펜타센 또는 그 유도체.
- [0048] 게이트 유전체: BCB(Benzocyclobutene); 게이트 유전체는 예를 들어 SiO_x 또는 SiN_x와 같은 무기물일 수도 있다.
- [0049] 게이트: 소스/드레인에서와 같음; 또한 게이트 재료는 폴리(Poly)(3,4-PEDOT(ethylenedioxythiophene) 또는 보다 구체적으로는 폴리(스티렌 술포네이트(styrene sulfonate))-PEDOT:PSS와 같은 폴리머일 수도 있다.
- [0050] 층 두께의 예는 다음과 같다.
- [0051] 소스/드레인: 5nm 내지 500nm, 바람직하게는 10nm 내지 150nm, 예를 들어 대략 50nm(일반적으로 전기 연속성(electrical continuity)을 달성하기 위해 5nm의 최소 두께가 요구된다).
- [0052] 유기 반도체: 50nm 내지 500nm, 예를 들어 100nm.
- [0053] 게이트 전극: 50nm 내지 500nm, 예를 들어 100nm.
- [0054] 게이트: 5nm 내지 500nm, 바람직하게는 10nm 내지 150nm, 예를 들어 약 50nm(전기 연속성을 달성하기 위해 일반적으로 5nm의 최소 두께가 요구된다).
- [0055] 분리기 구조: 바람직하게는 분리기는 50nm의 최소 두께를 가지며, 보다 바람직하게는 100nm의 최소 두께를 갖는다.
- [0056] 분리기 구조의 높이는 트랜지스터에 대한 원하는 게이트 길이에 따라 선택될 수 있다. 예를 들어 높이(게이트 높이)는 10 μ m, 5 μ m, 2 μ m, 1 μ m 또는 500nm보다 작을 수 있다. 일부 바람직한 실시예에서, 분리기 구조 및 이에 따른 게이트 길이는 1 μ m 미만이며, 일반적으로 보다 낮은 스텝 높이가 오버레이 층에 의한 양호한 스텝 커버리지를 용이하게 한다. 게이트 길이(소스-드레인 갭)는 분리기 구조의 높이와 실질적으로 동일하다(채널 "단부 효과(end effect)"는 무시).
- [0057] 소스, 드레인 및 게이트 전극은 예를 들어 물리적 기상 증착을 포함하는 유사한 기술들에 의해 증착될 수 있다. 게이트 금속(및 후술하는 실시예에서는 소스 및 드레인 금속)은 종래의 포토리소그래픽 기술에 의해 패터닝될 수 있다. 이와 달리(덜 바람직하게는) 새도우 마스크를 사용해도 된다.
- [0058] 유기 반도체 및 게이트 유전체 재료는 잉크젯 프린팅, 스핀 코팅(후에 플라즈마 에칭 또는 레이저 어블레이션(laser ablation)에 의해 원치 않는 영역으로부터 재료를 제거함), 스탬프 컨택(stamp contact), 오프셋 리소그래피(offset lithography), 스크린 인쇄(screen printing) 및 롤 인쇄(roll-printing)(유기 재료의 증착을 위

해 후자용의 적절한 프린터는 일본 도쿄의 Toppan Printing Co.Ltd에서 얻을 수 있다)를 포함하는 용액 처리 기법(solution processing technique)을 포함하는 유사한 기술에 의해 증착될 수 있다.

- [0059] 바람직한 제조 방법에서 제조 단계들은 다음과 같다.
- [0060] 1. 분리기 구조를 증착하고 패터닝한다.
- [0061] 2. 소스/드레인 금속을 증류시키고 소스/드레인 전극을 정의하도록 패터닝한다.
- [0062] 3. 소스 및 드레인 전극 상에 유기 반도체(OTFT 재료)를 증착하고, 필요한 경우에 패터닝한다.
- [0063] 4. 게이트 유전체를 증착하고, 필요한 경우에 패터닝한다.
- [0064] 5. 게이트 금속을 증착하고 패터닝한다.
- [0065] 도 1을 다시 참조하면, 분리기 구조(104)가 언더컷(undercut)되어 있음을 알 수 있다. 이것은 소스 및 드레인 금속이 단일(자기 정합된/자기 새도우 마스크된) 단계에서 증착될 수 있게 하며, 여기서 분리기 구조는 디바이스의 채널에서 소스 및 드레인 전극이 직접 접촉하지 않게 한다.
- [0066] 언더컷 분리를 제조하기 위해, 다양한 기술이 이용될 수 있다. 바람직하게는, 폴리이미드 또는 마크릴 포토레지스트와 같은 광한정성 폴리머(photodefinable polymer) 또는 포토레지스트가 마스크 또는 레티클(reticle)을 사용하여 리소그래픽 방식으로 패터닝된 후에 현상되어 원하는 채널 에지 면각(face angle)을 생성한다. 포지티브 또는 네거티브 포토레지스트가 이용될 수 있다(예를 들어 포지티브 레지스트 내의 이미지를 반전시키기 위해 이용될 수 있는 이미지 반전 방법(image reversal method)이 있다). 언더컷 포토레지스트를 획득하기 위해, 포토레지스트가 하부(under)(또는 상부(over)) 노출되어 과도 현상될 수도 있으며, 선택적으로는 언더컷 프로파일의 현상 전에 용매(solvent)에 소킹(soaking)될 수도 있다. 균일한 경사를 갖는 에지면보다, 분리기 구조는 예를 들어 습식 또는 건식 이방성 에칭 공정을 이용함으로써, 언더컷 션프(undercut shelf)를 정의하도록 에칭될 수도 있다. 당업자는 포토리소그래피에 사용되는 다양한 베이직 스피ن, 노광, 베이킹(bake), 현상 및 린스 공정이 있다는 것을 알고 있을 것이다(예를 들어, 본 명세서에서 참조로서 포함되는 A.Reiser, Photoreactive Polymers, Wiley, New York, 1089, 39페이지를 참고하라). 일부 특히 적합한 레지스트 재료는 일본의 Zeon사에서 구할 수 있는데, 이는 유기 전계발광(electroluminescent) 디스플레이의 제조에 맞게 적응된 재료(ELX계의 네거티브 레지스트 재료 및 WIX계의 포지티브 레지스트 재료)를 제공한다.
- [0067] 도 2는 디바이스의 채널에 인접한 분리기 구조의 면의 에지에 대한 다른 구성을 도시한 것이다. 따라서, 이 실시예에서는 언더컷이 필요치 않다는 것을 알 수 있을 것이다. 이 경우에는 분리기 구조의 상승 경사보다 큰 각(또는 각들의 범위)으로 소스-드레인 금속을 증착시킴으로써 작은 소스-드레인 갭이 형성된다. 이것은 코팅 및 반대 경사(opposing slope) 상에서 (전기적) 연속성을 제공하는 이점을 갖는데, 이는 일부 구조에 도움이 될 수 있다. 언더컷 없는 분리기 구조를 사용하면, 분리가 종래의 포토리소그래피를 사용하여 형성되지 않을 때, 예를 들어 구조물이 스탬핑에 의해 형성되어 언더컷 프로파일을 얻기가 곤란한 경우에 특히 편리하다.
- [0068] 도 3(a) 및 3(c)는 도 1의 방법에 따라 구성된 트랜지스터의 소스 및 드레인 전극의 평면도로서, 게이트 폭(W) 및 게이트 길이(L)를 도시하고 있다. 도시된 바와 같이, 게이트 길이는 매우 작게 만들어질 수 있고, 특히 도 3(c)의 사형(serpentine-type) 구조에서 게이트 폭은 크게 만들어질 수 있다. 이것은 박막 트랜지스터에서의 소스 드레인 전류가 W/L에 비례하고, 따라서 W를 크게 하고 L을 작게 함으로써, 소스 드레인 전류가 주어진 게이트 전압에 대해 증가하거나 또는 이와 유사하게 감소된 게이트 전압을 이용할 수 있다고 하는 이점이 있다. 도 1의 구조로부터 얻을 수 있는 다른 중요한 이점은 게이트 길이의 균등성이 매우 높다는 것인데, 이는 게이트 길이의 균등성은 측면 패터닝(일반적으로 분해능이 보다 낮다)에 의해서라기보다는 층 두께의 균등성에 의해 결정되기 때문이다.
- [0069] 도 4는 본 발명에 따른 박막 트랜지스터의 제 2 실시예를 도시한 것으로, 여기서 도 1의 요소들과 유사한 요소들은 유사한 참조번호로 도시된다. 도 4의 트랜지스터는 전술한 이점들과 유사한 이점들을 제공하지만, 제조 기법 및 구조물의 일부 요소는 상이하다. 특히, 소스 및 드레인 전극이 별개의 단계에서 형성되며, 드레인 전극의 증착 전에 절연 재료층이 기판 상에 증착되고, 부분적으로는 채널에 인접한 소스 전극의 에지 위에 증착된다. 별개의 금속층이 이용되기 때문에, 소스 및 드레인층이 중첩이 없는 것이 바람직하지만 예를 들어 15 μm , 10 μm , 5 μm 또는 2 μm 미만으로 약간 중첩될 수 있다. 그럼에도 불구하고, 당업자는 서두에서 언급한 Science 논문에 개시된 수직 디바이스에 비해서는 소스 및 드레인 전극의 중첩(overlap)이 실질적으로 없다는 것을 인식할 수 있을 것이다. 도 4의 구조의 이점은, 동작시에, 그 동작이 종래의 래터럴(lateral) 박막 전계 효과 트랜지

스터에 가깝다는 것이다. 한가지 잠재적인 문제점은, 비록 실제로는 부가적인 단계들이 어떤 경우에는 예를 들어 트랜지스터가 포함되는 OLED 디스플레이 패널에 대한 설계의 트랙 요구에 따라서 기판 상에 다른 구조물을 제조하는데 이용될 수도 있기 때문에 이것이 문제가 안 될 수도 있지만, 이 구조물의 제조가 도 1의 구조물의 제조보다 더 많은 단계를 사용한다는 것이다.

- [0070] 도 1과 관련하여 설명한 재료 및 층 두께의 예들은 도 4의 실시예에도 적용된다. 그러나, (후술하는 바와 같이) 드레인의 증착 전에 소스 전극이 패터닝되기 때문에, 소스 전극 및 다른 접속을 정의하기 위한 패터닝을 할 수 있도록 ITO(indium tin oxide)와 같은 전극층이 증착된 기판을 구입하는 것이 편리할 수도 있다.
- [0071] 도 4에 도시된 바와 같이, 절연 재료(104)의 층의 채널 에지 면은 하부 기판과 정의 각도를 이루는데(도 1에 도시된 언더컷의 부의 각과 반대), 즉, 기판 쪽으로 갈수록 작아지는데, 이것은 스텝의 커버리지를 용이하게 하는 이점을 갖는다.
- [0072] 도 4의 구조의 예시적인 제조 방법에서, 제조 단계들은 다음과 같다.
- [0073] 1. 제 1 전극(소스 또는 드레인)을 증착하여 패터닝한다.
- [0074] 2. 절연 재료(104)로 기판을 코팅한다.
- [0075] 3. 제 2 전극(소스 또는 드레인)을 증착하여 패터닝한다.
- [0076] 4. 제 2 전극 금속에 의해 보호되지 않은 절연 재료(104)를 에칭하되, 언더에칭하여 포지티브 슬로프를 남겨둔다.
- [0077] 5. (예를 들면, 전술한 방법들 중 어느 하나에 의해)반도체(유기 TFT) 재료를 증착하여 필요한 경우에 패터닝한다.
- [0078] 6. 유전체 재료를 증착하여 필요한 경우에 패터닝한다.
- [0079] 7. 게이트 전극 금속을 증착하여 패터닝한다.
- [0080] TFT를 포함하는 구조 장치(structural device)에 따라서, 단계 3 및 4 사이에 하나 이상의 비아를 추가하는 단계가 포함될 수도 있다.
- [0081] 도 1에 대한 도 3(a) 및 3(c)와 유사한 방법으로 도 3(b) 및 3(d)는 도 4의 TFT 구조의 소스 및 드레인 전극의 평면도를 도시한 것이다. 이 예에서 소스 및 드레인 전극들 사이에 약간의 오버랩이 존재함을 볼 수 있다.
- [0082] 도 5(a) 및 5(b)는 도 1 및 4의 구조에 기초한 이중 트랜지스터의 제 1 및 제 2 예를 각각 도시한 것이다(유사한 요소들은 유사한 참조번호로 표시되어 있다). 일반적으로, 분리기 구조 또는 절연층(104)은 예를 들어 서로 대향하는 2개의 채널 정의 면(channel-defining faces)을 구비한다. 이 이중 구조의 실시예에서, 드레인(또는 소스) 전극(108), 즉 분리기 구조/절연체(104) 위에 증착된 전극은 외부 접속부를 갖지 않지만 2개의 트랜지스터용의 공통 드레인(또는 소스)을 포함한다. 도 5(a) 및 5(b)에 도시된 바와 같이, 2개의 트랜지스터에 대한 게이트 접속은 분리될 수도 있지만, 다른 바람직한 실시예에서는 게이트 금속이 양 디바이스에 대한 단일의 공통 게이트 접속을 제공하도록 연장된다. 이런 방법으로 이 구조물은 공통 게이트(제어) 접속을 갖는 한 쌍의 직렬 연결된 전계 효과 트랜지스터를 포함하는 도 5(c)에 도시된 회로를 포함할 수 있다. 이것은 디바이스들이 스위치 오프될 때(선택되지 않을 때) 격리를 증대시키는 이점을 갖는다.
- [0083] 전술한 유형의 트랜지스터는 액티브 매트릭스 전계 발광 디스플레이, 특히 OLED(organic light emitting diode) 디스플레이에 통합될 수 있으며, 이 트랜지스터는 보다 큰 구동 전류 또는 보다 낮은 제어 전압을 용이하게 하고/또는 이중 구조에 있어서 보다 나은 격리를 용이하게 하는데 사용될 수 있다. 그러나, 전술한 디바이스는 디스플레이의 영역 위에서 매우 균일한 게이트 길이를 갖는 트랜지스터의 제조를 가능하게 한다. 디바이스 균등성은 디스플레이의 환경에서 특정한 문제를 제공하는데, 이는 디바이스 크기가 축소됨에 따라 IC의 전체 면적이 줄어드는 집적 회로와 달리, 디스플레이에서는 전체 면적에 대해 동일한 크기를 유지하거나 증가하는 경향이 있는 한편, 예를 들어 개구율을 증가시키기 위해 구동 회로의 크기를 축소시키고자 하는 요구가 존재하기 때문이다.
- [0084] OLED를 사용하여 제조된 디스플레이는 LCD 및 다른 평판 기술에 비해 많은 이점을 제공한다. 이들은 밝고, 다채로우며(colourful), 고속 스위칭(LCD에 비해)이고, 넓은 시야각을 제공하며, 다양한 기판 상에서 제조하기가 쉽고 저렴하다. (유기 금속을 포함하는) 유기 LED는 이용된 재료에 의존하는 컬러 범위에서 폴리머, 소형 분자

(small molecule) 및 덴드리머(작은 분자 및 덴드리머)를 포함하는 재료를 사용하여 제조될 수 있다. 폴리머 기반의 유기 LED의 예는 WO 90/13148, WO95/06400 및 WO 99/48160에 개시되어 있으며, 덴드리머 기반의 재료의 예는 WO 99/21935 및 WO 02/067343에 개시되어 있고, 이른 바 소형 분자 기반의 디바이스의 예는 US 4,539,507에 개시되어 있다.

[0085] 통상의 OLED 디바이스는 2개의 유기 재료층을 포함하는데, 그중 하나는 LEP(light emitting polymer), 올리고머(oligomer) 또는 발광 저분자 물질과 같은 발광 재료층이고, 다른 하나는 폴리티오피린 또는 폴리아닐린 유도체와 같은 홀 전송층이다.

[0086] 유기 LED는 픽셀 매트릭스 내의 기판 상에 증착되어 단일 또는 멀티 컬러 픽셀화 디스플레이를 형성할 수 있다. 멀티컬러 디스플레이는 레드, 그린, 블루 발광 픽셀의 그룹을 사용하여 구성될 수 있다. 이른 바 액티브 매트릭스(AM) 디스플레이는 각각의 픽셀과 관련된 통상적으로 전술한 바와 같은 저장 캐패시터 및 트랜지스터인 메모리 요소를 갖는다. 하부 발광 디스플레이에서, 광은 액티브 매트릭스 회로가 제조되는 기판을 통해 방출되며, 상부 발광 디스플레이에서는 광이 액티브 매트릭스 회로를 회피하도록 디스플레이의 전면 쪽으로 방출된다(일례가 참고로서 포함된 WO 2005/071771에 개시되어 있다). 폴리머 및 소형 분자 액티브 매트릭스 디스플레이 드라이버의 예는 각각 WO 99/42983 및 EP 0,717,446에 개시되어 있다(또한 참조로서 포함됨).

[0087] 도 6(a)는 하부 발광(bottom-emitting) OLED 디스플레이(600)를 개략적으로 도시한 것으로서, 여기서 기판(102)이 각각의 픽셀용의 액티브 매트릭스 드라이버 회로(650)를 가지며, 그 위에 OLED 픽셀(614)이 제공된다. 도 6(b)는 ITO와 같은 애노드층(606)과, 그 위에 예를 들어 스핀 코팅 및 후속 패터닝 또는 잉크젯 기반의 증착 프로세스를 이용한 선택적인 증착에 의해 बैं크(612)에 의해 한정된 웰(well) 내에 증착된 하나 이상의 OLED 재료층(608)을 포함하는 예시적인 OLED 구조물의 상세를 도시한 것이다. 폴리머 기반의 OLED의 경우에, 층(608)은 홀 전송층(608a) 및 LEP(light emitting polymer) 전계 발광층(608b)을 포함한다. 전계 발광층은, 예를 들어 애노드층 및 전계 발광층의 홀 에너지 레벨을 일치시키는 것을 돕는 PPV(poly(p-phenylenevinylene)) 및 홀 전송층을 포함할 수 있으며, 예를 들어 PEDOT:PSS(polystyrene-sulphonate-doped polyethylenedioxythiophene)를 포함할 수도 있다. 다층 캐소드(610)는 OLED 재료(608) 위에 위치하며, 통상적으로 보다 두꺼운 알루미늄 캡핑층으로 덮인 칼슘(선택적으로 개선된 전자 에너지 레벨 매칭을 위한 LEP에 인접한 바륨 플루오르화물과 같은 재료의 층을 갖는)과 같은 낮은 일함수의 금속을 포함한다(상부 에미터에서 캐소드층은 실질적으로 투명하도록 충분히 얇게 유지된다). 캐소드 라인의 상호 전기 격리는 분리기 구조(104)(도면에는 도시되어 있지 않음)와 유사한 캐소드 분리기의 사용을 통해 달성되거나 향상될 수 있다.

[0088] 본 출원인이 출원한 WO 03/038790으로부터 취해진 도 6(c)는 전류 제어된 액티브 매트릭스 픽셀 드라이버 회로(650)의 일례를 도시한 것이다. 이 회로에서, OLED(652)를 통과하는 전류는 OLED 드라이버 트랜지스터(658)(기준 전류 싱크(654)를 사용하는)에 대한 드레인 소스 전류를 설정하고 캐패시터(660) 상의 드레인-소스 전류에 대해 요구된 드라이버 트랜지스터 게이트 전압을 기억하는 트랜지스터(656a,b)를 사용하여 설정된다. 따라서, OLED(652)의 밝기는 기준 전류 싱크로 흐르는 전류(I_{col})에 의해 결정되는데, 이는 바람직하게는 조정가능하며 어드레스되는 픽셀에 대해 원하는 대로 설정된다. 또한, 추가적인 스위칭 트랜지스터(664)가 구동 트랜지스터(658)와 OLED(652) 사이에 접속된다. 일반적으로, 하나의 전류 싱크가 각각의 컬럼 데이터 라인에 대해 제공된다.

[0089] 이 예에서, 드라이버 회로 트랜지스터(658)는 주어진 게이트 전압에 대해 증가된 드레인-소스 전류를 위한 전술한 구조를 가질 수 있다. 트랜지스터(656b, 664)는 유사한 이유로 전술한 구조를 가질 수 있으며, 또한 개선된 격리를 위해 도 5에 도시된 일반적인 유형의 이중 디바이스로서 제조될 수 있다. 트랜지스터(656a)는 개선된 격리를 위해 전술한 구조를 가질 수도 있다.

[0090] 도 7은 전술한 트랜지스터 구조를 포함할 수 있는 액티브 매트릭스 OLED 디스플레이(700)의 일부분의 평면도이다. 전술한 요소들과 유사한 요소들은 유사한 참조번호로 표시된다.

[0091] 전술한 구조의 일부 바람직한 실시예를 박막 트랜지스터, 특히 전계 효과 트랜지스터의 제조를 특별히 참조하여 설명하였지만, 당업자는 전술한 구조가 다이오드, 사이리스터(thyristor) 등을 포함하는 다른 유형의 전자 디바이스를 제조하는데 이용될 수도 있다는 것을 이해할 수 있을 것이다. 당업자는 또한 TFT 구조의 전술한 실시예에서 소스 및 드레인 전극의 라벨링이 교환되어 분리기 구조 또는 절연체 상의 전극이 예를 들어 드레인 전극보다 소스 전극일 수 있다는 것을 인식할 것이다. 마찬가지로 증가형 또는 공핍형 디바이스들이 제조될 수도 있다.

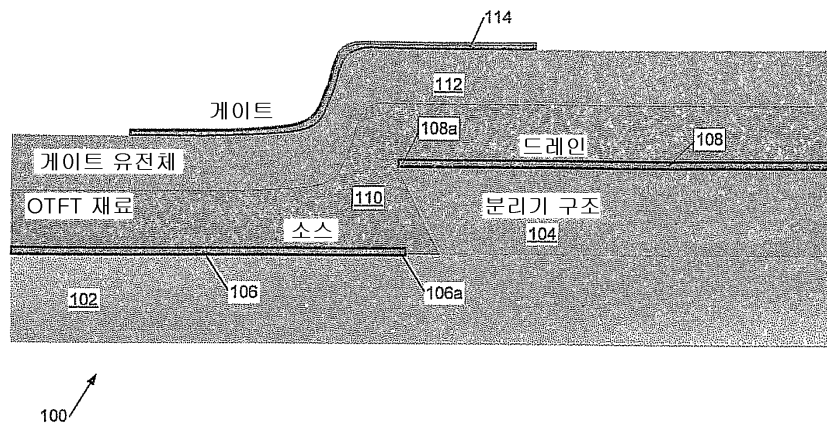
[0092] 물론, 많은 다른 효과적인 대안들이 당업자에게 가능할 것이다. 본 발명은 상술한 실시예에 한정되지 않고, 첨부한 청구범위의 사상 및 범주 내에서 다업자에게 자명한 변형들을 포함한다.

도면의 간단한 설명

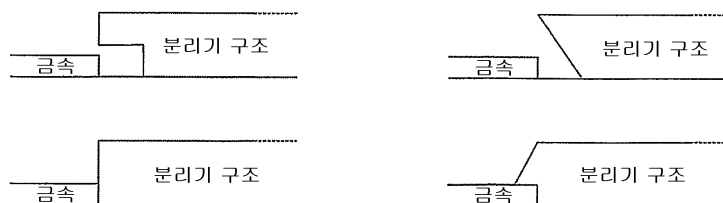
- [0035] 도 1은 본 발명의 일실시예에 따른 박막 트랜지스터의 제 1 실시예를 도시한 도면.
- [0036] 도 2는 도 1에 도시된 분리기(separator)의 에지부의 예시적인 선택적 구성들을 개략적으로 도시한 도면.
- [0037] 도 3(a) 내지 3(d)는 도 1 및 4의 트랜지스터의 소스 및 드레인 전극에 대한 예시적인 다른 구성의 개략적인 평면도.
- [0038] 도 4는 본 발명의 일실시예에 따른 박막 트랜지스터의 제 2 예를 도시한 도면.
- [0039] 도 5(a) 내지 5(c)는 도 1 및 4의 구조물에 기초한 이중 트랜지스터 구조의 제 1 및 제 2 예와, 도 5(a)/(b)의 이중 트랜지스터 구조의 회로를 각각 도시한 도면.
- [0040] 도 6(a) 내지 6(c)는 하부 발광(bottom-emitting) OLED 디스플레이, 도 6(a)의 디스플레이의 발광 픽셀의 일부를 통한 수직 단면 및 액티브 매트릭스 OLED 디스플레이용 구동 회로의 개략도.
- [0041] 도 7은 본 발명의 일실시예에 따른 트랜지스터를 통합할 수 있는 완전한 액티브 매트릭스 OLED 디스플레이의 일부분의 평면도.

도면

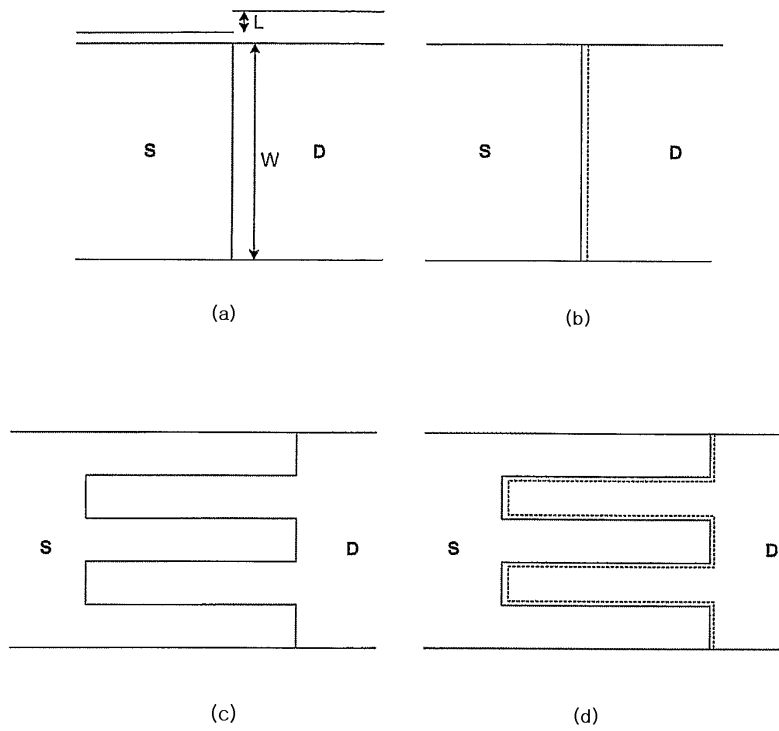
도면1



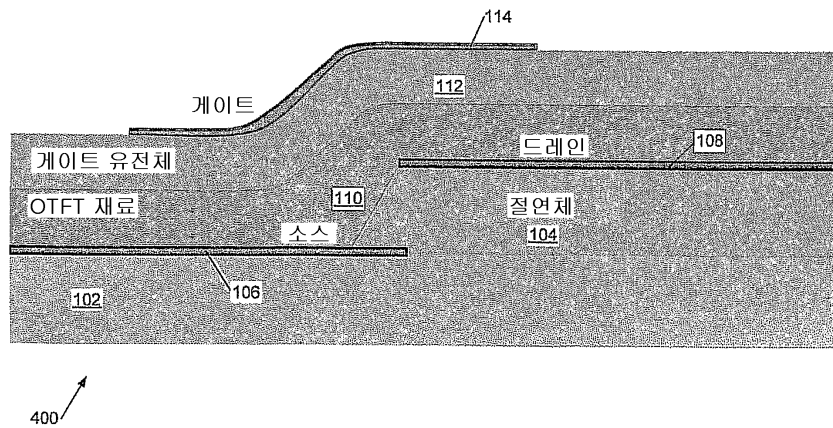
도면2



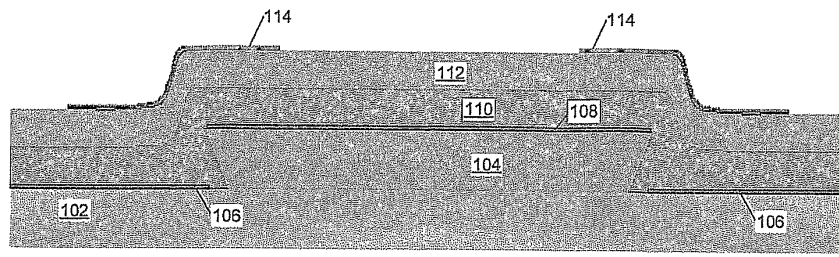
도면3



도면4

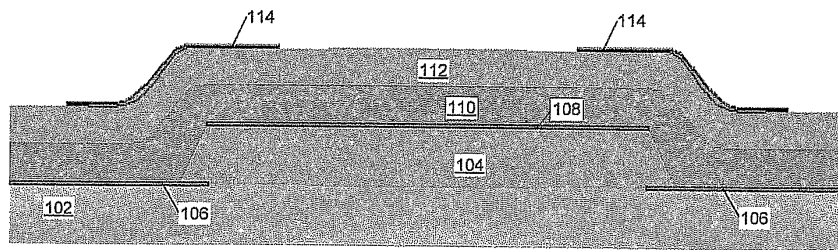


도면5



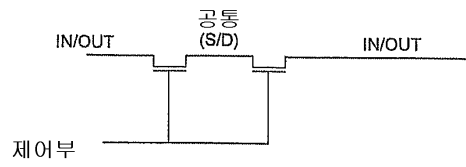
500a ↗

(a)



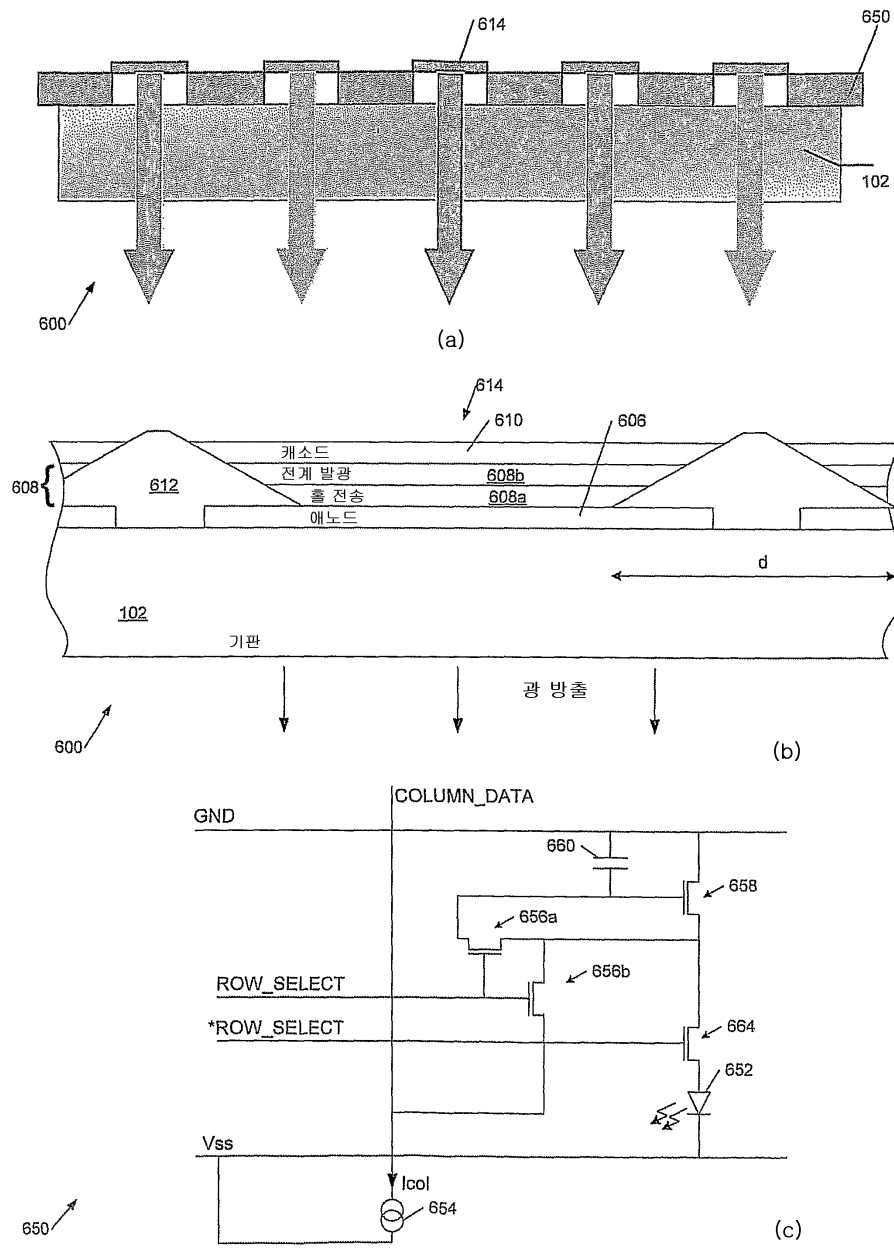
500b ↗

(b)

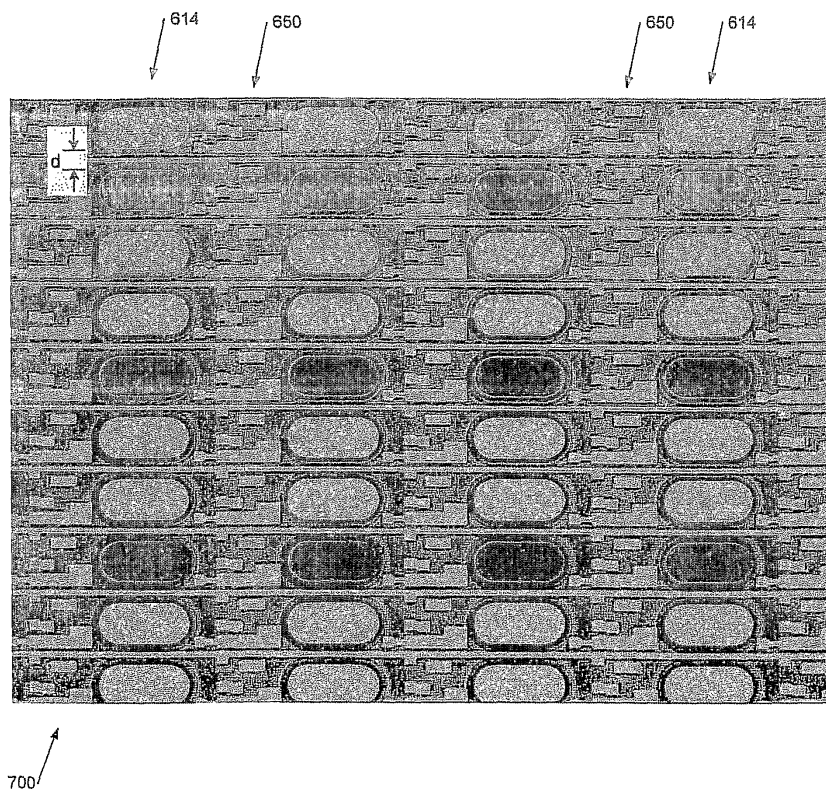


(c)

도면6



도면7



专利名称(译)	有机薄膜晶体管及其制造方法, 双晶体管结构, 有机电子器件及其制造方法, 双TFT结构制造方法, 有源矩阵OLED显示器		
公开(公告)号	KR101418621B1	公开(公告)日	2014-07-14
申请号	KR1020097006530	申请日	2007-08-30
[标]申请(专利权)人(译)	剑桥显示技术有限公司		
申请(专利权)人(译)	剑桥显示科技有限公司		
当前申请(专利权)人(译)	剑桥显示科技有限公司		
[标]发明人	WHITING GREGORY 화이팅그레고리 SMITH EUAN 스미스유안		
发明人	화이팅그레고리 스미스유안		
IPC分类号	H01L51/10		
CPC分类号	H01L51/057 H01L27/283 H01L27/3244 H01L51/0036		
代理人(译)	金元君		
优先权	2006017128 2006-08-31 GB		
其他公开文献	KR1020090051239A		
外部链接	Espacenet		

摘要(译)
 ÒKIPO0026 #WIPO 2009

