



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월26일
 (11) 등록번호 10-1400408
 (24) 등록일자 2014년05월21일

(51) 국제특허분류(Int. Cl.)
 G09G 3/30 (2006.01) G09G 3/32 (2006.01)
 G09G 3/20 (2006.01) H01L 51/50 (2006.01)
 (21) 출원번호 10-2008-0133554
 (22) 출원일자 2008년12월24일
 심사청구일자 2013년12월16일
 (65) 공개번호 10-2009-0071452
 (43) 공개일자 2009년07월01일
 (30) 우선권주장
 JP-P-2007-336322 2007년12월27일 일본(JP)
 (56) 선행기술조사문헌
 KR1020010018261 A*
 KR1020070025762 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 혼다 타츠야
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 (74) 대리인
 황의만

전체 청구항 수 : 총 5 항

심사관 : 조기덕

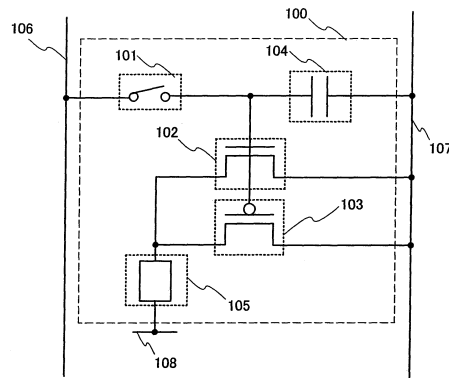
(54) 발명의 명칭 표시 장치 및 상기 표시 장치를 구비하는 전자기기

(57) 요약

본 발명은 EL 소자가 일정 기간 동안 계속 발광하는 상황에 있어서도, EL 소자를 구동하는 트랜지스터의 스톱시점 전압의 제어를 행함으로써 휘도의 저하나 정지 화상의 깜박거림(flicker)을 억제하고 EL 소자를 구동하는 것을 과제로 한다.

발광 소자를 구동하는 구동 트랜지스터로서, n채널형 트랜지스터 및 p채널형 트랜지스터를 배치하고, 데이터선으로부터 공급되는 화상 신호의 극성을 임의의 기간마다 반전시켜 각 화소의 구동 트랜지스터의 게이트에 공급함으로써 트랜지스터의 스톱시점 전압을 제어하고, 구동 트랜지스터의 스톱시점 전압 시프트에 의한 발광 소자의 휘도 변화를 억제한다.

대표도 - 도1



특허청구의 범위

청구항 1

제 1 단자가 전원선에 전기적으로 접속되고, 제 2 단자가 발광 소자에 전기적으로 접속된 n채널형 트랜지스터와,

제 1 단자가 상기 전원선에 전기적으로 접속되고, 제 2 단자가 상기 발광 소자에 전기적으로 접속된 p채널형 트랜지스터와,

한쪽의 단자가 데이터선에 전기적으로 접속되고, 다른 한쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 스위치를 포함하고,

상기 데이터선에는 적어도 제 1 전위, 제 2 전위 또는 제 3 전위가 입력되고,

상기 제 1 전위는 상기 n채널형 트랜지스터가 온이 되고, 상기 p채널형 트랜지스터가 오프가 되는 전위이고,

상기 제 2 전위는 상기 n채널형 트랜지스터가 오프가 되고, 상기 p채널형 트랜지스터가 온이 되는 전위이고,

상기 제 3 전위는 상기 n채널형 트랜지스터가 오프가 되고, 상기 p채널형 트랜지스터가 오프가 되는 전위인 것을 특징으로 하는, 표시 장치.

청구항 2

제 1 단자가 전원선에 전기적으로 접속되고, 제 2 단자가 발광 소자에 전기적으로 접속된 n채널형 트랜지스터와,

제 1 단자가 상기 전원선에 전기적으로 접속되고, 제 2 단자가 상기 발광 소자에 전기적으로 접속된 p채널형 트랜지스터와,

한쪽의 전극이 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속되고, 다른 한쪽의 전극이 상기 전원선에 전기적으로 접속된 용량 소자와,

한쪽의 단자가 데이터선에 전기적으로 접속되고, 다른 한쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 스위치를 포함하고,

상기 데이터선에는 적어도 제 1 전위, 제 2 전위 또는 제 3 전위가 입력되고,

상기 제 1 전위는 상기 n채널형 트랜지스터가 온이 되고, 상기 p채널형 트랜지스터가 오프가 되는 전위이고,

상기 제 2 전위는 상기 n채널형 트랜지스터가 오프가 되고, 상기 p채널형 트랜지스터가 온이 되는 전위이고,

상기 제 3 전위는 상기 n채널형 트랜지스터가 오프가 되고, 상기 p채널형 트랜지스터가 오프가 되는 전위인 것을 특징으로 하는, 표시 장치.

청구항 3

제 1 단자가 제 1 전원선에 전기적으로 접속되고, 제 2 단자가 발광 소자에 전기적으로 접속된 n채널형 트랜지스터와,

제 1 단자가 상기 제 1 전원선에 전기적으로 접속되고, 제 2 단자가 상기 발광 소자에 전기적으로 접속된 p채널형 트랜지스터와,

한쪽의 단자가 데이터선에 전기적으로 접속되고, 다른 한쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 제 1 스위치와,

한쪽의 단자가 제 2 전원선에 전기적으로 접속되고, 다른 한쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 제 2 스위치를 포함하고,

상기 데이터선에는 적어도 제 1 전위, 제 2 전위 또는 제 3 전위가 입력되고,

상기 제 1 전위는 상기 n채널형 트랜지스터가 온이 되고, 상기 p채널형 트랜지스터가 오프가 되는 전위이고,

상기 제 2 전위는 상기 n채널형 트랜지스터가 오프가 되고, 상기 p채널형 트랜지스터가 온이 되는 전위이고,

상기 제 3 전위는 상기 n채널형 트랜지스터가 오프가 되고, 상기 p채널형 트랜지스터가 오프가 되는 전위인 것을 특징으로 하는, 표시 장치.

청구항 4

제 1 단자가 제 1 전원선에 전기적으로 접속되고, 제 2 단자가 발광 소자에 전기적으로 접속된 n채널형 트랜지스터와,

제 1 단자가 상기 제 1 전원선에 전기적으로 접속되고, 제 2 단자가 상기 발광 소자에 전기적으로 접속된 p채널형 트랜지스터와,

한쪽의 전극이 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속되고, 다른 한쪽의 전극이 상기 제 1 전원선에 전기적으로 접속된 용량 소자와,

한쪽의 단자가 데이터선에 전기적으로 접속되고, 다른 한쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 제 1 스위치와,

한쪽의 단자가 제 2 전원선에 전기적으로 접속되고, 다른 한쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 제 2 스위치를 포함하고,

상기 데이터선에는 적어도 제 1 전위, 제 2 전위 또는 제 3 전위가 입력되고,

상기 제 1 전위는 상기 n채널형 트랜지스터가 온이 되고, 상기 p채널형 트랜지스터가 오프가 되는 전위이고,

상기 제 2 전위는 상기 n채널형 트랜지스터가 오프가 되고, 상기 p채널형 트랜지스터가 온이 되는 전위이고,

상기 제 3 전위는 상기 n채널형 트랜지스터가 오프가 되고, 상기 p채널형 트랜지스터가 오프가 되는 전위인 것을 특징으로 하는, 표시 장치.

청구항 5

삭제

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 기재된 표시 장치를 구비하는 것을 특징으로 하는, 전자 기기.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 표시 장치에 관한 것이다. 본 발명은 특히 발광 소자를 표시 소자로서 갖춘 표시 장치에 관한 것이다. 또한, 본 발명은 상기 표시 장치를 표시부에 구비하는 전자기기에 관한 것이다.

배경 기술

[0002] 근년에 들어, 기관 위에 박막 트랜지스터(이하, TFT)를 형성하는 기술이 크게 진보되고, 액티브 매트릭스형 표시 장치로의 기술 개발이 진행되고 있다. 액티브 매트릭스형 표시 장치에 있어서는, 고정세화 및 높은 계조수로의 화상 표현력이 요구되어, 고화질화를 위한 기술 개발도 활발히 진행되고 있다. 특히, 액티브 매트릭스형 표시 장치의 각 화소에 형성되는 표시 소자로서 발광 소자인 전계 발광 소자(이하, EL 소자)는 액정 소자를 이용한 액정 표시 장치와 비교하여 시야각이 크고, 색채, 콘트라스트, 및 동영상 응답성이 뛰어나므로, 고화질화를 도모하는 데에 있어서 유망하다. 따라서, EL 소자를 구비하는 표시 장치의 기술 개발은 활발하고, 상품화도 진행되고 있다.

[0003] 한편, EL 소자를 구동하기 위한 트랜지스터는 표시 시간에 비례하여 경시(經時)적으로 열화(劣化)하므로, 표시하고자 하는 계조와 실제로 표시되는 계조 사이에 차이가 생겨 버린다. 이 계조 차이의 원인으로서는 게이트 절연막과 반도체층의 계면 결합에 캐리어인 전자나 정공이 트랩(포획)됨으로써 공간 전하가 생겨, 트랜지스터의 스레시홀드 전압이 시프트하는 점을 들 수 있다.

[0004] 트랜지스터의 스레시홀드 전압이 시프트하는 문제를 해결하기 위하여, EL 소자의 발광시에 트랜지스터의 게이트 전극에 인가하는 전위의 극성을 반전시켜 교대로 인가하는 것이 유효하다. 예를 들어, 문헌 1에는 트랜지스터의 스레시홀드 전압을 제어하기 위하여, 발광 소자인 EL 소자가 발광하는 기간과는 별도로 스레시홀드값 제어 기간을 설정하고, 스레시홀드 전압을 제어하기 위한 역 극성의 스레시홀드값 제어 전압을 트랜지스터에 인가하는 직류 전류 구동 표시 장치에 대하여 제안되고 있다.

[0005] [문헌 1] 일본국 공개특허공고 2004-118132호 공보

발명의 내용

해결 하고자하는 과제

[0006] 문헌 1에 기재된 표시 장치는 EL 소자를 구동하기 위한 트랜지스터의 스레시홀드 전압의 제어를 행할 수 있지만, 화소 점등 기간과 스레시홀드값 제어 기간으로 나누어 스레시홀드 전압을 제어하는 것이다. 따라서, 일정 기간 동안 계속 발광하는 발광 소자를 구비하는 화소를 갖는 정지 화상에 있어서는, 화소 점등 기간과 스레시홀드값 제어 기간을 반복하는 화소를 구비하게 되고, 휘도의 저하, 정지 화상의 깜박거림 등의 문제가 표면화된다.

[0007] 본 발명은 이러한 문제를 감안하여 이루어진 것으로, EL 소자가 일정 기간 동안 계속 발광하는 상황에 있어서도, 휘도의 저하나 정지 화상의 깜박거림을 억제하고, 또 EL 소자를 구동하는 트랜지스터의 스레시홀드 전압을 제어하는 것을 과제의 하나로 한다.

과제 해결수단

[0008] 본 발명은 발광 소자를 구동하기 위한 트랜지스터로서, n채널형 트랜지스터 및 p채널형 트랜지스터를 배치하고, 데이터선으로부터 공급되는 화상 신호의 극성을 임의의 기간마다 반전시켜 각 화소에 공급함으로써, 트랜지스터의 스레시홀드 전압의 제어 및 발광 소자의 발광 상태의 유지를 동시에 달성하는 것이다.

[0009] 본 발명의 하나는 제 1 단자가 전원선에 전기적으로 접속되고 제 2 단자가 발광 소자에 전기적으로 접속된 n채널형 트랜지스터와, 제 1 단자가 상기 전원선에 전기적으로 접속되고 제 2 단자가 상기 발광 소자에 전기적으로 접속된 p채널형 트랜지스터와, 한쪽의 단자가 데이터선에 전기적으로 접속되고 다른 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 스위치를 갖는 표시 장치이다.

[0010] 또한, 본 발명의 다른 하나는 제 1 단자가 전원선에 전기적으로 접속되고 제 2 단자가 발광 소자에 전기적으로 접속된 n채널형 트랜지스터와, 제 1 단자가 상기 전원선에 전기적으로 접속되고 제 2 단자가 상기 발광 소자에 전기적으로 접속된 p채널형 트랜지스터와, 한쪽의 전극이 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속되고 다른 전극이 상기 전원선에 전기적으로 접속된 용량 소자와, 한쪽

의 단자가 데이터선에 전기적으로 접속되고 다른 쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 스위치를 갖는 표시 장치이다.

[0011] 또한, 본 발명의 다른 하나는 제 1 단자가 제 1 전원선에 전기적으로 접속되고 제 2 단자가 발광 소자에 전기적으로 접속된 n채널형 트랜지스터와, 제 1 단자가 상기 제 1 전원선에 전기적으로 접속되고 제 2 단자가 상기 발광 소자에 전기적으로 접속된 p채널형 트랜지스터와, 한쪽의 단자가 데이터선에 전기적으로 접속되고 다른 쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 제 1 스위치와, 한쪽의 단자가 제 2 전원선에 접속되고 다른 쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 제 2 스위치를 갖는 표시 장치이다.

[0012] 또한, 본 발명의 다른 하나는 제 1 단자가 제 1 전원선에 전기적으로 접속되고 제 2 단자가 발광 소자에 전기적으로 접속된 n채널형 트랜지스터와, 제 1 단자가 상기 제 1 전원선에 전기적으로 접속되고 제 2 단자가 상기 발광 소자에 전기적으로 접속된 p채널형 트랜지스터와, 한쪽의 전극이 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속되고 다른 쪽의 전극이 상기 제 1 전원선에 전기적으로 접속된 용량 소자와, 한쪽의 단자가 데이터선에 전기적으로 접속되고 다른 쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 제 1 스위치와, 한쪽의 단자가 제 2 전원선에 접속되고 다른 쪽의 단자가 상기 n채널형 트랜지스터 및 상기 p채널형 트랜지스터의 게이트에 전기적으로 접속된 제 2 스위치를 갖는 표시 장치이다.

효 과

[0013] 본 발명에 의하여, 일정 기간 동안 계속 발광하는 기간에 있어서도, 휘도의 저하나 정지 화상의 깜박거림을 표면화시키지 않고, EL 소자를 구동하는 트랜지스터의 게이트에 인가하는 전위의 극성을 반전시켜 교대로 인가함으로써, 스테시홀드 전압을 제어할 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 이하에, 본 발명의 실시형태에 대하여 도면에 의거하여 설명한다. 다만, 본 발명은 많은 다른 양태로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0015] [실시형태 1]

[0016] 본 발명의 표시 장치를 구성하는 1화소의 회로도에 대하여 설명한다. 도 1에 본 발명의 화소의 회로도를 도시한다. 도 1에 있어서 화소(100)는 스위치(스위칭 소자)(101), n채널형 트랜지스터(102), p채널형 트랜지스터(103), 용량 소자(104), 표시 소자(105)를 가진다. 스위치(101)의 한쪽의 단자는 데이터선(106)(제 1 배선이라고도 표기함)에 전기적으로 접속되고, 다른 쪽의 단자는 n채널형 트랜지스터(102)의 게이트 단자, p채널형 트랜지스터(103)의 게이트 단자, 및 용량 소자(104)의 한쪽의 전극에 전기적으로 접속된다. n채널형 트랜지스터(102)의 제 1 단자, p채널형 트랜지스터(103)의 제 1 단자, 및 용량 소자(104)의 다른 쪽의 전극은 전원선(107)(제 2 배선이라고도 표기함)에 접속된다. n채널형 트랜지스터(102)의 제 2 단자, 및 p채널형 트랜지스터(103)의 제 2 단자는 표시 소자(105)의 한쪽의 전극에 접속된다. 표시 소자(105)의 다른 쪽의 전극은 그라운드선(108)(제 3 배선이라고도 표기함)에 접속된다.

[0017] 또한, 도 1에 도시한 화소를 복수개 구비하는 표시 장치의 블록도에 대하여 도 2에 도시한다. 표시 장치는 주사선 구동 회로부(201), 데이터선 구동 회로부(202) 등으로 구성되는 구동 회로부와, 화소(100)가 복수개 배치된 화소부(220)를 가진다.

[0018] 데이터선 구동 회로부(202)로부터 출력되는 신호는 데이터선(D1 내지 Dx)에 입력되어 화소부(220)의 화소(100)에 공급된다. 또한, 주사선 구동 회로부(201)로부터 출력되는 신호는 주사선(G1 내지 Gy)에 입력되어 화소(100)에 공급된다. 또한, 데이터선에 평행하게 전원선(V1 내지 Vx)이 배치되어 화소(100)에 전원을 공급한다.

[0019] 또한, 본 명세서에서 사용하는 "제 1, 제 2, 제 3, 내지 제 N(N은 자연수)"이라는 용어는 구성 요소의 혼동을 피하기 위한 것이고 수(數)적으로 한정하는 것이 아니라는 것을 부기한다.

[0020] 또한, 스위치(101)는 다양한 형태의 스위치를 사용할 수 있다. 예로서는 전기적 스위치나 기계적 스위

치 등이 있다. 즉, 전류의 흐름을 제어할 수 있는 것이면 좋고, 특정한 것에 한정되지 않는다. 예를 들어, 스위치로서 트랜지스터를 사용할 수 있다.

[0021] 또한, n채널형 트랜지스터(102), p채널형 트랜지스터(103)로서 다양한 형태의 트랜지스터를 사용할 수 있다. 따라서, 사용하는 트랜지스터의 종류는 한정되지 않는다. 예를 들어, 기판 위에 형성하는 비정질 실리콘, 다결정 실리콘, 미(微)결정(마이크로 크리스털) 실리콘 등으로 대표되는 비정질 반도체막을 갖는 박막 트랜지스터(TFT) 등을 사용할 수 있다. TFT를 사용하는 경우, 다양한 장점이 있다. 예를 들어, 기판 위에 트랜지스터를 제작할 수 있기 때문에, 제작 비용의 삭감 혹은 기판의 대형화를 도모할 수 있다.

[0022] 또한, 발광 소자를 구동하기 위한 트랜지스터로서 충분한 전류의 공급 능력을 확보하기 위하여, 게이트 절연막으로서 산화규소막을 채용하는 대신에, 유전율이 높은 질화규소막, 질산화규소막을 게이트 절연막으로서 채용하는 경우가 있다. 본 발명에 있어서는 특히, 질소를 함유하는 게이트 절연막을 사용한 트랜지스터의 스레시홀드 전압의 시프트의 문제에 대하여 효과적이다. 트랜지스터의 게이트 전극에 정(正)의 전위를 계속 인가하면 상기 트랜지스터의 스레시홀드 전압이 정의 방향으로 시프트하고, 한편, 부(負)의 전위를 계속 인가하면 상기 트랜지스터의 스레시홀드 전압이 부의 방향으로 시프트한다. 본 발명에서는 트랜지스터의 스레시홀드 전압이 시프트하여도 극성을 반전시켜 전위를 게이트 전극에 인가함으로써, 스레시홀드 전압을 반대 방향으로 시프트시켜 보정하기 때문에, 게이트에 인가되는 전위의 절대값이 클수록, 또한 온 상태의 시간(구동 시간)이 길수록, 스레시홀드 전압이 시프트하게 되는 문제에 대하여 효과적이다.

[0023] 또한, n채널형 트랜지스터(102), p채널형 트랜지스터(103)로서는, ZnO, a-InGaZnO, SiGe, GaAs 등의 화합물 반도체 혹은 산화물 반도체를 갖는 트랜지스터, 또한 이들 화합물 반도체 혹은 산화물 반도체를 박막화한 박막 트랜지스터 등을 사용할 수 있다. 특히, 산화물 반도체는 스퍼터링을 사용하여 형성할 수 있다. 예를 들어, 실온에서 트랜지스터를 제작할 수 있게 된다. 결과적으로, 내열성이 낮은 기판, 예를 들어, 플라스틱 기판이나 필름 기판에 트랜지스터를 직접 형성할 수 있다.

[0024] 또한, n채널형 트랜지스터(102), p채널형 트랜지스터(103)는 잉크젯이나 인쇄법을 이용하여 형성한 트랜지스터를 사용할 수 있다. 이로써, 실온에서 제조, 저(低)진공도로 제조, 혹은 대형 기판 위에 제조할 수 있다. 포토마스크를 사용하지 않아도 제작할 수 있게 되기 때문에, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다.

[0025] 또한, n채널형 트랜지스터(102), p채널형 트랜지스터(103)는 GOLD 구조(Gate Over Lapped Drain), LDD(Lightly Doped Drain) 구조로 할 수도 있다.

[0026] 또한, n채널형 트랜지스터(102), p채널형 트랜지스터(103)와 같이, 트랜지스터는 게이트, 드레인, 소스를 포함하는 적어도 3개의 단자를 갖는 소자이고, 드레인 영역과 소스 영역 사이에 채널 영역을 가지고, 드레인 영역과 채널 영역과 소스 영역을 통하여 전류를 흘릴 수 있다. 여기서, 소스와 드레인은 트랜지스터의 구조나 동작 조건 등에 따라 바뀔으로써, 어느 쪽이 소스 혹은 드레인인지 한정하기 어렵다. 따라서, 본 명세서에서는 소스 및 드레인으로서 기능하는 영역을 소스 혹은 드레인이라고 표기하지 않는 경우가 있다. 그 경우, 일례로서 각각을 제 1 단자, 제 2 단자라고 표기하는 경우가 있다. 또한, 게이트로서 기능하는 영역은 게이트 단자라고 표기하는 것으로 한다.

[0027] 또한, 용량 소자(104)는 n채널형 트랜지스터(102), 혹은 p채널형 트랜지스터(103)의 게이트 용량을 대용(代用)하여 생략할 수도 있다.

[0028] 또한, 1화소란 명도(明度)를 제어할 수 있는 요소 하나를 가리키는 것으로 한다. 따라서, 일례로서 1 화소는 하나의 색 요소를 가리키는 것으로 하고, 그 색 요소 하나로 명도를 표현한다. 따라서, R(적색) G(녹색) B(청색)의 색 요소로 이루어지는 컬러 표시 장치의 경우에는 화상의 최소 단위는 R의 화소, G의 화소, B의 화소의 3화소로 구성되는 것으로 한다. 또한, 색 요소는 3색에 한정되지 않고, 3색 이상을 사용하여도 좋고, RGB 외의 색을 사용하여도 좋다.

[0029] 또한, 화소는 매트릭스 형상으로 배치(배열)되는 경우가 있다. 여기서, "화소가 매트릭스 형상으로 배치(배열)된다"란 세로 방향 혹은 가로 방향에 있어서, 화소가 직선 위에 나란히 배치되는 경우, 혹은 갈쭉갈쭉한 선 위에 배치되는 경우를 포함한다. 따라서, 예를 들어, 3색의 색 요소(예를 들어, RGB)로 풀 컬러 표시를 행하는 경우에, 스트라이프 배치되는 경우, 혹은 3가지의 색 요소의 도트가 델타 배치되는 경우도 포함한다. 또한, 색 요소는 3색에 한정되지 않고 3색 이상이라도 좋고, 예를 들어, RGBW(W는 흰색), 혹은 RGB에 노랑색, 시안색, 마젠타색 등을 하나 이상 추가한 것 등이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상

이하여도 좋다. 이로써, 저소비 전력화, 혹은 표시 소자의 장기 수명화를 도모할 수 있다.

[0030] 또한, 본 명세서에 있어서, "A와 B가 접촉된다"란 A와 B가 전기적으로 접촉되는 것을 포함하는 것으로 한다. 또한, A와 B가 전기적으로 접촉되는 경우에는, A와 B 사이에 어떠한 전기적 작용을 갖는 대상물이 존재하는 경우도 포함하는 것으로 한다.

[0031] 또한, 표시 소자(105)란, EL 소자(유기 EL 소자, 무기 EL 소자 혹은 유기물 및 무기물을 포함하는 EL 소자) 등의 발광 소자를 가리킨다. 또한, EL 소자는 스스로 발광하기 때문에 시인성이 높고, 액정 표시 장치에서 필요한 백 라이트가 불필요하므로 박막화에 최적이고, 또 시야각에도 제한이 없으므로 표시 장치에 사용하는 데에 바람직하다. 본 실시형태에서는 EL 소자로서 유기 EL 소자를 사용한 표시 장치를 상정하여 설명하지만, 본 발명은 다른 발광 소자를 사용한 표시 장치이어도 좋다. 유기 EL 소자는 전장(電場)을 가함으로써 광(Electro Luminescence)을 방출하는 재료를 포함하는 층(이하, 유기층이라고 표기함)과, 양극층과, 음극층을 가진다. 일렉트로 루미네스스에는 주입된 전자가 1중항 여기 상태로부터 기저 상태로 에너지적으로 완화될 때의 발광(형광(螢光))과 3중항 여기 상태로부터 기저 상태로 에너지적으로 완화될 때의 발광(인광(燐光))이 있지만, 본 발명의 표시 장치는 상술한 발광 중 어느 한쪽의 발광을 사용하여도 좋고, 혹은 양쪽 모두의 발광을 사용하여도 좋다.

[0032] 또한, 표시 장치란 표시 소자를 갖는 장치를 가리킨다. 또한, 표시 장치는 표시 소자를 포함하는 복수의 화소를 포함한다. 또한, 표시 장치는 복수의 화소를 구동시키는 주변 구동 회로를 포함하여도 좋다. 또한, 복수의 화소를 구동시키는 주변 구동 회로는 복수의 화소와 동일 기판 위에 형성되어도 좋다. 또한, 표시 장치는 와이어 본딩이나 범프(bump) 등에 의하여 기판 위에 배치된 주변 구동 회로, 이른바, 칩 온 글라스(COG)로 접속된 IC 칩, 혹은 TAB 등으로 접속된 IC 칩을 포함하여도 좋다. 또한, 표시 장치는 IC 칩, 저항 소자, 용량 소자, 인덕터, 트랜지스터 등이 설치된 플렉시블 프린트 서킷(FPC)을 포함하여도 좋다. 또한, 표시 장치는 플렉시블 프린트 서킷(FPC) 등을 통하여 접속되고, IC 칩, 저항 소자, 용량 소자, 인덕터, 트랜지스터 등이 설치된 프린트 배선 기판(PWB)을 포함하여도 좋다.

[0033] 다음에, 도 1에 도시한 화소의 회로도에 대하여, 화소(100)가 갖는 기능 및 동작에 대하여 자세히 설명한다. 도 3(A) 내지 도 3(F)에서는 표시 소자(105)의 제 1 도통 상태, 제 1 도통 유지 상태, 제 2 도통 상태, 제 2 도통 유지 상태, 비도통 상태, 비도통 유지 상태에 대하여 나누어 설명하기로 한다. 여기서, 데이터선(106)에는 제 1 데이터선 전위 $V_{sig}(>0)$, 제 2 데이터선 전위 $-V_{sig}(<0)$, 제 3 데이터선 전위 V_{off} 의 어느 하나가 인가되고, 전원선(107)에는 전위 V_{DD} 가 인가되고, 그라운드선(108)에는 전위 GND가 인가된다고 가정한다.

[0034] 또한, 제 1 데이터선 전위 V_{sig} 란 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 인가될 때, n채널형 트랜지스터(102)를 온 상태로 하고, p채널형 트랜지스터(103)를 오프 상태로 하는 전위를 가리킨다. 그리고 n채널형 트랜지스터(102)의 게이트 및 p채널형 트랜지스터(103)의 게이트에 정의 제 1 데이터선 전위 V_{sig} 를 인가하면, 제 1 도통 유지 상태에 있어서는, n채널형 트랜지스터(102)의 게이트 및 p채널형 트랜지스터(103)의 게이트에 정의 전위를 계속 인가하게 되기 때문에, 각각의 트랜지스터의 스레시홀드 전압이 정의 방향으로 시프트하게 된다. 또한, 제 1 데이터선 전위 V_{sig} 는 전원선의 전위 V_{DD} 가 정인 경우에, n채널형 트랜지스터(102)가 온 상태가 될 때, n채널형 트랜지스터(102)의 제 2 단자(표시 소자(105)에 접속된 측)에 전달되는 전위가 n채널형 트랜지스터(102)의 스레시홀드값의 영향으로 인하여 저하되지 않도록, n채널형 트랜지스터의 스레시홀드 전압을 V_{thN} 로 하면, 미리 제 1 데이터선 전위 V_{sig} 를 $(V_{sig} + V_{thN})$ 으로 하는 것이 바람직하다. 본 실시형태에 있어서는, $(V_{sig} + V_{thN})$ 을 포함하여 제 1 데이터선 전위 V_{sig} 로서 설명하기로 한다.

[0035] 또한, 제 2 데이터선 전위 $-V_{sig}$ 란 제 2 데이터선 전위 $-V_{sig}$ 가 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 인가될 때, n채널형 트랜지스터(102)를 오프 상태로 하고, p채널형 트랜지스터(103)를 온 상태로 하는 전위를 가리킨다. 그리고, n채널형 트랜지스터(102)의 게이트 및 p채널형 트랜지스터(103)의 게이트에 부의 제 2 데이터선 전위 $-V_{sig}$ 를 인가하면, 제 2 도통 유지 상태에 있어서는, n채널형 트랜지스터(102)의 게이트 및 p채널형 트랜지스터(103)의 게이트에 부의 전위를 계속 인가하게 되기 때문에, 각각의 트랜지스터의 스레시홀드 전압이 부의 방향으로 시프트하게 된다.

[0036] 또한, 제 3 데이터선 전위 V_{off} 란 제 3 데이터선 전위 V_{off} 가 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 인가될 때, n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 양쪽 모두를 오프

상태로 하는 전위를 가리킨다. n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 양쪽 모두를 오프 상태로 하는 전위로서는, n채널형 트랜지스터(102)의 채널에 N 전도형을 부여하는 불순물을 첨가함으로써, 스레시홀드 전압을 정의 방향으로 시프트시킨 스레시홀드 전압을 (V_{thN}), 즉 엔헨스먼트형(enhancement type, 혹은 노멀리 오프형(normally off type)이라고도 표기함)으로 하고, p채널형 트랜지스터(103)의 채널에 도전형을 부여하는 불순물을 첨가함으로써, 스레시홀드 전압을 부의 방향으로 시프트시킨 스레시홀드 전압을 (V_{thP}), 즉 엔헨스먼트형으로 하면, $V_{DD} + V_{thP} < V_{off} < V_{thN}$ 를 충족시키는 전위이다. V_{off} 가 $V_{DD} + V_{thP} < V_{off} < V_{thN}$ 를 충족시킴으로써, n채널형 트랜지스터(102) 혹은 p채널형 트랜지스터(103)가 온 상태가 되는 전위뿐만 아니라, n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 양쪽 모두를 오프 상태로 하는 전위를 설정할 수 있다.

[0037] 먼저, 제 1 도통 상태에 대하여 도 3(A)을 사용하여 설명한다. 제 1 도통 상태란 n채널형 트랜지스터(102) 혹은 p채널형 트랜지스터(103) 중, n채널형 트랜지스터(102)를 온 상태로 하고, p채널형 트랜지스터(103)을 오프 상태로 함으로써, 전원선(107)과 표시 소자(105)의 한쪽의 전극을 도통시키는 상태를 가리킨다. 제 1 도통 상태에 있어서, 데이터선(106)에는 제 1 데이터선 전위 V_{sig} 가 인가되고, 전원선(107)에는 전위 V_{DD} , 그라운드선(108)에는 전위 GND가 각각 인가된다. 이 때, 스위치(101)를 온 상태로 함으로써 데이터선의 제 1 데이터선 전위 V_{sig} 가 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 인가된다. 제 1 데이터선 전위 V_{sig} 는 n채널형 트랜지스터(102)를 온 상태로 하고, p채널형 트랜지스터(103)를 오프 상태로 하는 전위이다. 결과적으로, 전원선(107)과 표시소자(105)의 한쪽의 전극이 도통하여, 도 3(A)에 도시하는 점선 화살표의 경로에 따라 전류가 흐름으로써, 표시 소자는 발광한다.

[0038] 다음에, 제 1 도통 유지 상태에 대하여 도 3(B)를 사용하여 설명한다. 제 1 도통 유지 상태란 상술한 제 1 도통 상태를 유지하는 상태를 가리킨다. 제 1 도통 유지 상태에 있어서, 데이터선(106)과 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트를 전기적으로 차단하기 위하여, 스위치(101)가 오프 상태가 된다. 용량 소자(104)의 한쪽의 전극에는 제 1 데이터선 전위 V_{sig} 가 유지되고, 전원선(107)에는 전위 V_{DD} , 그라운드선(108)에는 전위 GND가 각각 인가되기 때문에, 스위치(101)가 오프 상태라도 제 1 데이터선 전위 V_{sig} 가 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 계속 인가할 수 있다. 결과적으로, 전원선(107)과 표시 소자(105)의 한쪽의 전극이 도통하여, 도 3(B)에 도시하는 점선 화살표의 경로에 따라 전류가 흐름으로써, 표시 소자는 발광한다.

[0039] 다음에, 제 2 도통 상태에 대하여 도 3(C)를 사용하여 설명한다. 제 2 도통 상태란 n채널형 트랜지스터(102) 혹은 p채널형 트랜지스터(103) 중, n채널형 트랜지스터(102)를 오프 상태로 하고, p채널형 트랜지스터(103)를 온 상태로 함으로써, 전원선(107)과 표시 소자(105)의 한쪽의 전극을 도통시키는 상태를 가리킨다. 제 2 도통 상태에 있어서, 데이터선(106)에는 제 2 데이터선 전위 $-V_{sig}$ 가 인가되고, 전원선(107)에는 전위 V_{DD} , 그라운드선(108)에는 전위 GND가 각각 인가된다. 이 때, 스위치(101)를 온 상태로 함으로써 데이터선의 제 2 데이터선 전위 $-V_{sig}$ 가 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 인가된다. 제 2 데이터선 전위 $-V_{sig}$ 는 n채널형 트랜지스터(102)를 오프 상태로 하고, p채널형 트랜지스터(103)를 온 상태로 하는 전위이다. 결과적으로, 전원선(107)과 표시 소자(105)의 한쪽의 전극이 도통하여, 도 3(C)에 도시하는 점선 화살표의 경로에 따라 전류가 흐름으로써, 표시 소자는 표시를 행하기 위하여 발광한다. 제 2 도통 상태는 제 1 도통 상태와 마찬가지로 전원선(107)과 표시 소자(105)의 한쪽의 전극이 도통하여, 표시 소자는 표시할 수 있는 상태 이면서도, n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 온 상태 혹은 오프 상태가 전환된다.

[0040] 다음에, 제 2 도통 유지 상태에 대하여 도 3(D)를 사용하여 설명한다. 제 2 도통 유지 상태란 상술한 제 2 도통 상태를 유지하는 상태를 가리킨다. 제 2 도통 유지 상태에 있어서, 데이터선(106)과 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트를 전기적으로 차단하기 위하여, 스위치(101)가 오프 상태가 된다. 용량 소자(104)의 한쪽의 전극에는 부의 제 2 데이터선 전위 $-V_{sig}$ 가 유지되고, 전원선(107)에는 전위 V_{DD} , 그라운드선(108)에는 전위 GND가 각각 인가되기 때문에, 스위치(101)가 오프 상태라도, 제 2 데이터선 전위 $-V_{sig}$ 를 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 계속 인가할 수 있다. 결과적으로, 전원선(107)과 표시 소자(105)의 한쪽의 전극이 도통하여, 도 3(D)에 도시하는 점선의 화살표의 경로에 따라 전류가 흐름으로써, 표시 소자는 발광한다.

[0041] 다음에, 비도통 상태에 대하여 도 3(E)를 사용하여 설명한다. 비도통 상태란 n채널형 트랜지스터(102)

및 p채널형 트랜지스터(103)의 양쪽 모두를 오프 상태로 하고, 전원선(107)과 표시 소자(105)의 한쪽의 전극을 비도통으로 하는 상태를 가리킨다. 비도통 상태에 있어서, 데이터선(106)에는 제 3 데이터선 전위 V_{off} 가 인가되고, 전원선(107)에는 전위 V_{DD} , 그라운드선(108)에는 전위 GND가 각각 인가된다. 이 때, 스위치(101)를 온 상태로 함으로써, 데이터선의 제 3 데이터선 전위 V_{off} 가 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 인가된다. 제 3 데이터선 전위 V_{off} 는 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 양쪽 모두를 오프 상태로 하는 전위이다. n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 양쪽 모두를 오프 상태로 함으로써, 전원선(107)과 표시 소자(105)의 한쪽의 전극이 비도통 상태가 되어, 도 3(E)에 도시하는 점선의 화살표의 경로에 따라 전류가 흐르지 않음으로써, 표시 소자를 비발광 상태로 할 수 있다.

[0042] 다음에, 비도통 유지 상태에 대하여, 도 3(F)을 사용하여 설명한다. 비도통 유지 상태란 상술한 비도통 상태를 유지하는 상태를 가리킨다. 비도통 유지 상태에 있어서, 데이터선(106)과 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트를 전기적으로 차단하기 위하여, 스위치(101)가 오프 상태가 된다. 용량 소자(104)의 한쪽의 전극에는 제 3 데이터선 전위 V_{off} 가 유지되고, 전원선(107)에는 전위 V_{DD} , 그라운드선(108)에는 전위 GND가 각각 인가되기 때문에, 스위치(101)가 오프 상태라도, 제 3 데이터선 전위 V_{off} 를 n채널형 트랜지스터(102) 및 p채널형 트랜지스터(103)의 게이트에 계속 인가할 수 있다. 따라서, 도 3(F)에 도시하는 점선 화살표의 경로에 따라 전류가 흐르지 않음으로써, 표시 소자를 비발광 상태로 할 수 있다.

[0043] 다음에, 본 발명의 표시 장치를 구성하는 1화소의 회로도에 대하여, 도 1에 도시한 회로도를 구체화한 도 4의 회로도를 사용하여 설명한다. 도 4에 있어서 화소(400)는 스위칭 트랜지스터(401), n채널형 트랜지스터(402), p채널형 트랜지스터(403), 용량 소자(404), 표시 소자(405)를 가진다. 스위칭 트랜지스터(401)의 제 1 단자는 데이터선(406)에 전기적으로 접속되고, 게이트 단자는 주사선(409)에 전기적으로 접속되고, 제 2 단자는 n채널형 트랜지스터(402)의 게이트 단자, p채널형 트랜지스터(403)의 게이트 단자, 및 용량 소자(404)의 한쪽의 전극에 전기적으로 접속 된다. n채널형 트랜지스터(402)의 제 1 단자, p채널형 트랜지스터(403)의 제 1 단자, 및 용량 소자(404)의 다른 쪽의 전극은 전원선(407)에 접속된다. n채널형 트랜지스터(402)의 제 2 단자, 및 p채널형 트랜지스터(403)의 제 2 단자는 표시 소자(405)의 한쪽의 전극에 접속된다. 표시 소자(405)의 다른 쪽의 전극은 그라운드선(408)에 접속된다. 또한, 도 4에 도시하는 화소의 회로도에 있어서, 도 1에 도시한 화소의 회로도와는 차이가 스위치(101)로서 n채널형 스위칭 트랜지스터(401), 스위칭 트랜지스터(401)의 온 혹은 오프를 제어하기 위한 주사선(409)을 구비한 점에 있다. 또한, 도 4에 있어서, n채널형 트랜지스터(402), p채널형 트랜지스터(403)의 게이트 단자의 노드(node)를 N1, 표시 소자(405)의 한쪽의 전극의 노드를 N2로 하여 설명하기로 한다.

[0044] 도 5(A) 및 도 5(B)에 도 4에서 설명한 화소의 회로도의 타이밍 차트 및 각 배선 및 노드의 전위 변화에 대하여 설명한다.

[0045] 먼저, 도 5(A)에 대하여 설명한다. 도 5(A)에 도시하는 기간 P1 내지 기간 P6은 도 3(A) 내지 도 3(F)에서 설명한 제 1 도통 상태, 제 1 도통 유지 상태, 제 2 도통 상태, 제 2 도통 유지 상태, 비도통 상태, 비도통 유지 상태에 대응하는 것으로서 설명한다. 따라서, 기간 P1, 기간 P3, 기간 P5에서는 주사선(409)의 전위를 고전위 레벨(H전위, V_H 라고도 표기함)로 하고, 기간 P2, 기간 P4, 기간 P6에서는 주사선(409)의 전위를 저전위 레벨(L전위, V_L 라고도 표기함)로 한다. 그리고, 기간 P1에서는 제 1 데이터선 전위 V_{sig} 가 데이터선에 입력되고, 기간 P2에서는 데이터선의 전위에 상관없이 기간 P1에서의 데이터선의 전위가 유지되고, 기간 P3에서는 제 2 데이터선 전위 $-V_{sig}$ 가 데이터선에 입력되고, 기간 P4에서는 데이터선의 전위에 상관없이 기간 P3에서의 데이터선의 전위가 유지되고, 기간 P5에서는 제 3 데이터선 전위 V_{off} 가 데이터선에 입력되고, 기간 P6에서는 데이터선의 전위에 상관없이 기간 P5에서의 데이터선의 전위가 유지되게 된다.

[0046] 도 5(B)에서는 기간 P1 내지 기간 P6에 있어서의 데이터선(406)의 전위 D1, 주사선(409)의 전위 D2, 노드 N1의 전위 D3, 노드 N2의 전위 D4에 대하여, 각 기간에서의 전위의 변화에 대하여 설명한다.

[0047] 기간 P1에 있어서, 주사선(409)의 전위 D2는 V_H 가 되고, 데이터선(406)의 전위 D1인 V_{sig} 가 노드 N1에 인가되고, 노드 N1의 전위 D3가 V_{sig} 가 된다. 그리고, 노드 N1의 전위 D3가 V_{sig} 가 됨으로써, n채널형 트랜지스터(402)의 게이트와 소스 사이의 전위차의 절대값이 스레시홀드 전압보다 크게 되어, 전원선(407)과 표시 소자

의 한쪽의 전극이 도통한다. 그리고, 노드 N2의 전위 D4가 전원선(407)의 전위 V_{DD} 가 된다.

[0048] 시간 P2에 있어서, 주사선(409)의 전위 D2는 V_L 가 되고, 데이터선(406)의 전위 D1에 상관없이, 노드 N1에는 용량 소자(404)에 의하여 기간 P1에서의 전위 V_{sig} 가 유지된다. 그리고, 노드 N1의 전위 D3가 V_{sig} 이므로 n채널형 트랜지스터(402)의 게이트와 소스 사이의 전위차의 절대값이 스레시홀드 전압보다 크게 되어, 기간 P1와 마찬가지로, 전원선(407)과 표시 소자의 한쪽의 전극과의 도통이 유지된다. 그리고, 노드 N2의 전위 D4가 전원선(407)의 전위 V_{DD} 로서 유지된다.

[0049] 시간 P3에 있어서, 주사선(409)의 전위 D2는 V_H 가 되고, 데이터선(406)의 전위 D1인 $-V_{sig}$ 가 노드 N1에 인가되고, 노드 N1의 전위 D3가 $-V_{sig}$ 가 된다. 그리고, 노드 N1의 전위 D3가 $-V_{sig}$ 가 됨으로써 p채널형 트랜지스터(403)의 게이트와 소스 사이의 전위차의 절대값이 스레시홀드 전압보다 크게 되고, 전원선(407)과 표시 소자의 한쪽의 전극이 도통한다. 그리고, 노드 N2의 전위 D4가 전원선(407)의 전위 V_{DD} 가 된다. 또한, 기간 P2로부터 기간 P3로 변화하는 경우, 노드 N1의 전위 D3가 V_{sig} 로부터 $-V_{sig}$ 로 변화할 때, n채널형 트랜지스터(402) 및 p채널형 트랜지스터(403)의 양쪽 모두가 오프 상태가 되는 기간이 있기 때문에, 노드 N2의 전위 D4가 V_{DD} 를 유지하지 않는 기간을 거치게 되지만, 데이터 신호의 입력은 극히 짧은 기간에 행해지므로, 표시에의 영향이 경미(輕微)하다.

[0050] 시간 P4에 있어서, 주사선(409)의 전위 D2는 V_L 가 되고, 데이터선(406)의 전위 D2에 상관없이, 노드 N1에는 용량 소자(404)에 의하여 기간 P3에서의 전위 $-V_{sig}$ 가 유지된다. 그리고, 노드 N1의 전위 D3가 $-V_{sig}$ 이므로, p채널형 트랜지스터(403)의 게이트와 소스 사이의 전위차의 절대값이 스레시홀드 전압보다 크게 되고, 기간 P3와 마찬가지로, 전원선(407)과 표시 소자의 한쪽의 전극과의 도통이 유지된다. 그리고, 노드 N2의 전위 D4가 전원선(407)의 전위 V_{DD} 로서 유지된다.

[0051] 시간 P5에 있어서, 주사선(409)의 전위 D2는 V_H 가 되고, 데이터선(406)의 전위 D1인 V_{off} 가 노드 N1에 인가되고, 노드 N1의 전위 D3가 V_{off} 가 된다. 그리고, 노드 N1의 전위 D3가 V_{off} 가 됨으로써, n채널형 트랜지스터(402) 및 p채널형 트랜지스터(403)의 게이트와 소스 사이의 전위차의 절대값이 각각의 스레시홀드 전압보다 밑돌아, 전원선(407)과 표시 소자의 한쪽의 전극이 비도통 상태가 된다. 그리고, 노드 N2의 전위 D4가 그라운드선(408)의 전위 V_{GND} 가 된다.

[0052] 또한, 기간 P1 및 기간 P3, 및 기간 P2 및 기간 P4는, 같은 길이가 되도록 설정되는 것이 바람직하다. 일례로서는, 데이터선 구동 회로부의 외부에 스레시홀드값을 제어하기 위한 기능을 갖는 회로를 형성함으로써, 같은 발광 기간, 즉 도통 상태의 기간이라도 극성이 다른 데이터선 전위를 입력할 수 있으므로, n채널형 트랜지스터 및 p채널형 트랜지스터의 스레시홀드 전압을 제어할 수 있다.

[0053] 또한, 상술한 제 1 도통 상태와 제 2 도통 상태는 1프레임 기간마다 프레임 전체를 반전시켜 구동하여도 좋다. 또한, 행 방향 혹은 열 방향의 1화소마다 반전한 데이터선 전위를 입력하여 1프레임 기간마다 반전시켜 구동하여도 좋다. 또한, 화소 1행마다 혹은 1열마다 반전한 데이터선 전위를 입력하여, 1프레임 기간마다 반전시켜 구동하여도 좋다.

[0054] 본 발명은 상술한 제 1 도통 상태와 제 2 도통 상태, 혹은 기간 P2와 기간 P4과 같이, 표시 소자인 EL 소자의 발광 기간에 구동 트랜지스터인 n채널형 트랜지스터 및 p채널형 트랜지스터의 게이트 전극에 인가하는 전위의 극성을, 표시에 영향을 주지 않고, 반전하여 입력할 수 있는 것이다. 따라서, 일정 기간 동안 계속 발광하는 기간에 있어서도, 휘도의 저하나 정지 화상의 깜박거림을 표면화시키지 않고, EL 소자를 구동시킬 수 있다. 이것은 구동 트랜지스터의 게이트 전극에 인가하는 전위의 극성을 반전시켜 교대로 인가함으로써, 스레시홀드 전압을 제어할 수 있기 때문이다.

[0055] 또한, 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합 혹은 치환 등을 자유로이 행할 수 있다.

[0056] [실시형태 2]

[0057] 본 실시형태에 있어서는, 실시형태 1에서 설명한 화소의 회로도나 다른 구성에 대하여 설명한다. 본

실시형태에 있어서는, 표시 장치를 구성하는 화소의 구동 방법의 일례로서, 디지털 시간 계조 구동의 일례를 제시하여 설명한다.

[0058] 도 6(A) 및 도 6(B)는 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 도시하는 도면이다.

[0059] 도 6(A)에는 본 실시형태의 화소의 회로도를 도시한다. 도 6(A)에 있어서 화소(600)은 제 1 스위치(601), n채널형 트랜지스터(602), p채널형 트랜지스터(603), 용량 소자(604), 표시 소자(605), 제 2 스위치(610)를 가진다. 제 1 스위치(601)의 한쪽의 단자는 데이터선(606)에 전기적으로 접속되고, 다른 쪽의 단자는 n채널형 트랜지스터(602)의 게이트 단자, p채널형 트랜지스터(603)의 게이트 단자, 및 용량 소자(604)의 한쪽의 전극에 전기적으로 접속된다. 제 2 스위치(610)의 한쪽의 단자는 제 2 전원선(608)에 전기적으로 접속되고, 다른 쪽의 단자는 n채널형 트랜지스터(602)의 게이트 단자, p채널형 트랜지스터(603)의 게이트 단자, 및 용량 소자(604)의 한쪽의 전극에 전기적으로 접속된다. n채널형 트랜지스터(602)의 제 1 단자, p채널형 트랜지스터(603)의 제 1 단자, 및 용량 소자(604)의 다른 쪽의 전극은 제 1 전원선(607)에 접속된다. n채널형 트랜지스터(602)의 제 2 단자, 및 p채널형 트랜지스터(603)의 제 2 단자는 표시 소자(605)의 한쪽의 전극에 접속된다. 표시 소자(605)의 다른 쪽의 전극은 그라운드선(609)에 접속된다. 즉, 도 6(A) 및 도 6(B)에 도시하는 화소(600)는 도 1에 도시한 화소(100)에 제 2 스위치(610)를 추가한 구성이다.

[0060] 또한 도 6(B)에, 도 6(A)에 도시한 화소를 구체화한 회로도를 도시한다. 도 6(B)는 도 6(A)에 도시한 제 1 스위치로서, n채널형 제 1 스위칭 트랜지스터(651) 및 제 1 스위칭 트랜지스터(651)를 제어하기 위한 제 1 주사선(652), 및 n채널형 제 2 스위칭 트랜지스터(653) 및 제 2 스위칭 트랜지스터(653)를 제어하기 위한 제 2 주사선(654)으로 한 것이다.

[0061] 또한, 도 6(A) 및 도 6(B)에서는 데이터선(606)에는 제 1 데이터선 전위 V_{sig} , 제 2 데이터선 전위 $-V_{sig}$, 제 3 데이터선 전위 V_{off} 중 하나가 인가되고, 제 1 전원선(607)에는 전위 V_{DD} 가 인가되고, 그라운드선(609)에는 전위 V_{GND} 가 인가되고, 제 2 전원선(608)에는 제 3 데이터선 전위 V_{off} 가 인가되는 것으로서 가정하여 설명한다.

[0062] 도 6(A)에 도시하는 회로도에 있어서, 용량 소자(604)의 한쪽의 전극에 유지된 데이터선 전위의 소거 동작에 대하여 설명한다. 소거 동작시에는, 제 2 스위치(610)를 온 상태로 함으로써, n채널형 트랜지스터(602) 및 p채널형 트랜지스터(603)의 게이트를 제 3 데이터선 전위를 V_{off} 로 한다. 즉, n채널형 트랜지스터(602) 및 p채널형 트랜지스터(603)의 게이트와 소스 사이의 전위차의 절대값을 그들의 스톱시홀드 전압 이하로 한다. 이로써, n채널형 트랜지스터(602) 및 p채널형 트랜지스터(603)를 강제적으로 오프 상태로 할 수 있다. 또한, 도 6(B)에서의 소거 동작시에는, 제 2 주사선(654)에 의하여 제 2 스위칭 트랜지스터(653)를 온 상태로 함으로써, n채널형 트랜지스터(602) 및 p채널형 트랜지스터(603)의 게이트를 제 3 데이터선 전위 V_{off} 로 할 수 있다.

[0063] 도 7(A) 및 도 7(B)는 디지털 시간 계조 구동의 일례를 도시하는 타이밍 차트이다. 여기서는, 도 6(B)에 도시한 회로도에 있어서의 소거 기간을 설정하여 어드레스 기간보다 짧은 데이터 유지 시간을 설정하는 경우의 구동 방법에 대하여도 7(A)를 사용하여 설명한다.

[0064] 먼저, 어드레스 기간 $Ta1$ 에 있어서, 첫번째행부터 순차로 제 1 주사선(652)에 화소 주사 신호가 입력되어 화소가 선택된다. 그리고, 화소가 선택되어 있을 때, 데이터선으로부터 화소에 데이터선 전위가 입력된다. 그리고, 화소에 데이터선 전위가 입력되면, 화소는 다시 새로운 데이터선 전위가 입력될 때까지 그 데이터선 전위를 유지 한다. 이 입력된 데이터선 전위에 의하여 서스테인(sustain) 기간에서 기간 $Ts1$ 에 있어서의 각 화소의 점등, 비점등이 제어된다. 데이터선 전위의 입력 동작이 완료된 행에 있어서는 즉시 입력된 데이터선 전위에 따라, 화소가 점등 상태 혹은 비점등 상태가 된다. 같은 동작이 마지막 행까지 행해짐으로써 어드레스 기간 $Ta1$ 이 종료한다. 그리고, 데이터 유지 시간이 종료된 행으로부터 순차로 다음 서브 프레임 기간의 신호 기입 동작으로 이행한다. 마찬가지로, 어드레스 기간 $Ta2$, $Ta3$, $Ta4$ 에 있어서 화소에 데이터선 전위가 입력되고, 그 데이터선 전위에 의하여 서스테인 기간 $Ts2$, $Ts3$, $Ts4$ 에 있어서의 각 화소의 점등, 비점등이 제어된다. 그리고, 서스테인 기간 $Ts4$ 는 그 종기(終期)를 소거 동작의 개시에 따라 설정된다. 왜냐하면, 각 행의 소거 시간 Te 에 화소에 기록된 신호가 소거되면, 화소에 새로운 신호가 기입될 때까지는, 어드레스 기간에 화소에 입력된 데이터선 전위에 상관없이, 강제적으로 비점등 상태가 되기 때문이다. 즉, 소거 시간 Te 가 시작된 행의 화소로부터 데이터 유지 시간이 종료된다.

- [0065] 여기서, 도 7(B)를 참조하여 i 번째행의 화소 행에 착안하여 설명한다. i 번째행의 화소 행에 있어서, 어드레스 기간 $Ta1$ 에 있어서, 첫번째행부터 순차로 제 1 주사선(652)에 화소 주사 신호가 입력되어 화소가 선택된다. 그리고, 기간 $Tb1(i)$ 에 있어서 i 번째행의 화소가 선택될 때, i 번째행의 화소에 데이터선 전위가 입력된다. 그리고, i 번째행의 화소에 데이터선 전위가 입력되면, i 번째행의 화소는 다시 신호가 입력될 때까지 그 신호를 유지한다. 이 입력된 데이터선 전위에 의하여, 서스테인 기간 $Ts1(i)$ 에 있어서의 i 번째행의 화소의 점등, 비점등이 제어된다. 즉, i 번째행에 데이터선 전위의 입력 동작이 완료되면, 즉시 입력된 데이터선 전위에 따라, i 번째행의 화소가 점등 상태 혹은 비점등 상태가 된다. 마찬가지로, 어드레스 기간 $Ta2, Ta3, Ta4$ 에 있어서 i 번째행의 화소에 데이터선 전위가 입력되고, 그 데이터선 전위에 의하여 서스테인 기간 $Ts2, Ts3, Ts4$ 에 있어서의 i 번째행의 화소의 점등, 비점등이 제어된다. 그리고, 서스테인 기간 $Ts4(i)$ 는 그 종기를 소거 동작의 개시에 의해서 설정된다. 왜냐하면, i 번째행의 소거 시간 $Te(i)$ 에 i 번째행의 화소에 입력된 데이터선 전위에 상관없이, 강제적으로 비점등 상태가 되기 때문이다. 즉, 소거 시간 $Te(i)$ 가 시작되면 i 번째행의 화소의 데이터 유지 시간이 종료된다.
- [0066] 따라서, 어드레스 기간과 서스테인 기간을 분리하지 않고, 어드레스 기간보다 짧은 데이터 유지 기간을 가지는 고계조이고 듀티비(1 프레임 기간 중의 점등 기간의 비율)가 높은 표시 장치를 제공할 수 있다. 표시 소자의 발광 시간을 길게 할 수 있기 때문에 발광 소자의 휘도를 억제할 수 있고, 따라서, 표시 소자의 신뢰성의 향상을 도모할 수 있다.
- [0067] 또한, 여기에서는 4비트 계조를 표현하는 경우에 대하여 설명하지만, 비트 수 및 계조 수는 이것으로 한정되지 않는다. 또한, 점등의 순서는 $Ts1, Ts2, Ts3, Ts4$ 일 필요는 없고, 임의의 순서로 하거나, 복수로 분할하여 발광하여도 좋다. 또한, $Ts1, Ts2, Ts3, Ts4$ 의 점등 시간은 2의 제곱으로 할 필요는 없고, 같은 길이의 점등 시간으로 하거나, 2의 제곱에서 약간 어긋나게 하여도 좋다.
- [0068] 본 발명은 상기 실시형태 1에서 설명한 바와 같이, 표시 소자인 EL소자를 발광 상태로 하기 위한 구동 트랜지스터인 n 채널형 트랜지스터 및 p 채널형 트랜지스터의 게이트에 인가하는 전위의 극성을, 표시에 영향을 주지 않고, 반전해 입력할 수 있는 것이다. 본 실시형태에서 설명한 디지털 시간 계조 구동을 적용할 수 있는 화소를 구비하는 표시 장치에 있어서는, 일정 기간마다 발광 혹은 비발광을 반복할 때의 시간적인 제어가 용이하게 되기 때문에, 특히 본 발명은 바람직하다. 일정 기간 계속 발광하는 기간에 있어서도, 휘도의 저하나 정지 화상의 깜박거림을 표면화시키지 않고, EL소자를 구동시킬 수 있다. 이것은 구동 트랜지스터의 게이트에 인가하는 전위의 극성을 반전시켜 교대로 인가함으로써, 스톱시홀드 전압의 제어를 실시할 수 있기 때문이다.
- [0069] 또한, 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합 혹은 치환 등을 자유로이 행할 수 있다.
- [0070] [실시형태 3]
- [0071] 본 실시형태에 있어서는 표시 소자에 적용할 수 있는 발광 소자의 예를 도 8에 도시한다.
- [0072] 기관(4501) 위에 양극(4502), 정공 주입 재료로 이루어지는 정공 주입층(4503), 그 위에 정공 수송 재료로 이루어지는 정공 수송층(4504), 발광층(4505), 전자 수송 재료로 이루어지는 전자 수송층(4506), 전자 주입 재료로 이루어지는 전자 주입층(4507), 그리고 음극(4508)을 적층시킨 소자 구조이다.
- [0073] 여기서, 발광층(4505)은 1종류의 발광 재료만으로 형성될 수도 있지만, 2종류 이상의 재료로 형성되어도 좋다. 또한, 본 발명의 소자의 구조는 이 구조에 한정되지 않는다.
- [0074] 또한, 도 8에 도시한 각 기능층을 적층한 적층 구조 외에, 고분자 화합물을 사용한 소자, 발광층에 3중항 여기 상태에서부터 발광하는 3중항 발광 재료를 이용한 고효율 발광 소자 등, 변형예는 다양하다. 정공 블록킹층에 의하여 캐리어의 재결합 영역을 제어하여, 발광 영역을 2개의 영역으로 분할함으로써 얻어지는 백색 발광 소자 등에도 응용할 수 있다.
- [0075] 다음에, 도 8에 도시하는 소자의 제작 방법에 대하여 설명한다. 먼저, 양극(4502)(ITO(인듐 주석 산화물))을 갖는 기관(4501)에 정공 주입 재료, 정공 수송 재료, 발광 재료를 순차로 증착한다. 다음에, 전자 수송 재료, 전자 주입 재료를 증착하고, 마지막으로 음극(4508)을 증착하여 형성한다.
- [0076] 다음에, 정공 주입 재료, 정공 수송 재료, 전자 수송 재료, 전자 주입 재료, 발광 재료의 재료로서 바람직한 재료를 이하에 열거한다.

[0077] 정공 주입 재료로서는 유기 화합물을 예로 들면, 포르피린계의 화합물이나, 프탈로시아닌(이하 "H₂Pc"라고 표기함), 구리프탈로시아닌(이하 "CuPc"라고 표기함) 등이 발광 재료에 정공을 주입하는 데에 유효하다. 또한, 사용하는 정공 수송 재료보다 이온화 포텐셜의 값이 작고, 또 정공 수송 기능을 갖는 재료이면, 정공 주입 재료로서 사용할 수 있다. 도전성 고분자 화합물에 화학 도핑한 재료도 있고, 폴리스티렌설포산(이하 "PSS"라고 표기함)을 도핑한 폴리에틸렌디옥시테오펜(이하 "PEDOT"라고 표기함)이나, 폴리아닐린 등을 들 수 있다. 또한, 절연체의 고분자 화합물도 양극의 평탄화의 점에서 유효하고, 폴리이미드(이하 "PI"라고 표기함)가 흔히 사용된다. 또한, 무기 화합물도 사용되고 금이나 백금 등의 금속 박막 외에, 산화알루미늄(이하 "알루미나"라고 표기함)의 초박막 등이 있다.

[0078] 정공 수송 재료로서 가장 널리 사용되는 것은 방향족 아민계(즉, 벤젠고리-질소의 결합을 갖는 것)의 화합물이다. 널리 사용되고 있는 재료로서, 4,4'-비스(디페닐아미노)-비페닐(이하, "TAD"라고 표기함)이나, 그의 유도체인 4,4'-비스[N-(3-메틸페닐)-N-페닐-아미노]-비페닐(이하, "TPD"라고 표기함), 4,4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, "α-NPD"라고 표기함)이 있다. 4,4',4''-트리스(N,N-디페닐-아미노)-트리페닐아민(이하, "TDATA"라고 표기함), 4,4',4''-트리스[N-(3-메틸페닐)-N-페닐-아미노]-트리페닐아민(이하, "MTDATA"라고 표기함) 등의 스타 버스트(star burst)형 방향족 아민 화합물을 들 수 있다.

[0079] 전자 수송 재료로서는 금속 착체가 흔히 사용되고, 트리스(8-퀴놀리놀라토)알루미늄(이하, "Alq₃"라고 표기함), BA1q, 트리스(4-메틸-8-퀴놀리놀라토)알루미늄(이하, "Almq"라고 표기함), 비스(10-하이드록시벤조[h]-퀴놀리나토)베릴륨(이하, "Bebq"라고 표기함) 등의 퀴놀린 골격 혹은 벤조퀴놀린 골격을 갖는 금속 착체 등이 있다. 또한, 비스[2-(2-하이드록시페닐)-벤조옥사졸라토]아연(이하, "Zn(BOX)₂"라고 표기함), 비스[2-(2-하이드록시페닐)-벤조티아졸라토]아연(이하, "Zn(BTZ)₂"라고 표기함) 등의 옥사졸계 혹은 티아졸계 배위자를 갖는 금속 착체도 있다. 또한, 금속 착체 외에도, 2-(4-비페닐릴)-5-(4-tert-부틸페닐)-1,3,4-옥사디아졸(이하, "PBD"라고 표기함), OXD-7 등의 옥사디아졸 유도체, TAZ, 3-(4-tert-부틸페닐)-4-(4-에틸페닐)-5-(4-비페닐릴)-1,2,4-트리아졸(이하, "p-EtTAZ"라고 표기함) 등의 트리아졸 유도체, 바소페난트롤린(이하, "BPhen"라고 표기함), BCP 등의 페난트롤린 유도체가 전자 수송성을 가진다.

[0080] 전자 주입 재료로서는 상술한 전자 수송 재료를 사용할 수 있다. 그 외에, 불화칼슘, 불화리튬, 불화세슘 등의 금속 할로겐화물이나, 산화리튬 등의 알칼리 금속 산화물과 같은 절연체의 초박막이 흔히 사용된다. 또한, 리튬아세틸아세토네이트(이하, "Li(acac)"라고 표기함)나, 8-퀴놀리놀라토-리튬(이하, "Liq"라고 표기함) 등의 알칼리 금속 착체도 유효하다.

[0081] 발광 재료로서는, 상술한 Alq₃, Almq, BeBq, BA1q, Zn(BOX)₂, Zn(BTZ)₂ 등의 금속 착체 외에, 각종 형광 색소가 유효하다. 형광 색소로서는, 청색인 4,4'-비스(2,2-디페닐-비닐)-비페닐이나, 적등색인 4-(디시아노메틸렌)-2-메틸-6-(p-디메틸아미노스티릴)-4H-피란 등이 있다. 또한, 3중항 발광 재료도 가능하고, 백금 혹은 이리듐을 중심 금속으로 하는 착체가 주체이다. 3중항 발광 재료로서, 트리스(2-페닐피리딘)이리듐, 비스(2-(4'-톨릴)피리디나토-N,C^{2'})아세틸아세토나토 이리듐(이하, "acacIr(tpy)₂"라고 표기함), 2,3,7,8,12,13,17,18-옥타에틸-21H, 23H포르피린-백금 등이 알려져 있다.

[0082] 상술한 바와 같은 각 기능을 갖는 재료를 각각 조합하여, 고신뢰성의 발광소자를 제작할 수 있다.

[0083] 본 발명은 상기 실시형태 1에서 설명한 바와 같이, 표시 소자인 EL 소자를 발광 상태로 하기 위한 구동 트랜지스터인 n채널형 트랜지스터 및 p채널형 트랜지스터의 게이트에 인가하는 전위의 극성을, 표시에 영향을 주지 않고, 반전하여 입력할 수 있는 것이다. 본 실시형태에서 설명한 전류 구동 소자인 EL 소자를 구비하는 표시 장치에 있어서는, EL 소자에 전류를 공급하기 위한 트랜지스터의 제어가 필요하게 되기 때문에 특히 바람직하다. 일정 기간 계속 발광하는 기간에 있어서도, 휘도의 저하나 정지 화상의 깜박거림을 표면화시키지 않고, EL소자를 구동시킬 수 있다. 이것은 구동 트랜지스터의 게이트에 인가하는 전위의 극성을 반전시켜 교대로 인가함으로써, 스테시홀드 전압을 제어할 수 있기 때문이다.

[0084] 또한, 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합 혹은 치환 등을 자유로이 행할 수 있다.

[0085] [실시형태 4]

[0086] 본 실시형태에서는 발광 소자를 구비하는 표시 장치에 있어서의 회로도를 도 9(A)에, 화소의 상면 구조

를 도 9(B)에, 도 9(B)에 도시한 상면 구조의 단면도에 관하여 도 9(C)에 도시한다. 또한, 본 실시형태에 도시하는 본 발명의 표시 장치에 있어서의 화소의 구성은 일례이고, 이것에 한정되지 않는 것을 부기한다.

[0087] 도 9(A) 및 도 9(B)에 있어서, 화소(900)는 스위칭 트랜지스터(901), n채널형 트랜지스터(902), p채널형 트랜지스터(903), 용량 소자(904), 발광 소자(905)를 가진다. 스위칭 트랜지스터(901)의 제 1 단자는 데이터선(906)에 전기적으로 접속되고, 게이트 단자는 주사선(909)에 전기적으로 접속되고, 제 2 단자는 n채널형 트랜지스터(902)의 게이트 단자, p채널형 트랜지스터(903)의 게이트 단자, 및 용량 소자(904)의 한쪽의 전극에 전기적으로 접속된다. n채널형 트랜지스터(902)의 제 1 단자, p채널형 트랜지스터(903)의 제 1 단자, 및 용량 소자(904)의 다른 쪽의 전극은 전원선(907)에 접속된다. n채널형 트랜지스터(902)의 제 2 단자 및 p채널형 트랜지스터(903)의 제 2 단자는 발광 소자(905)의 한쪽의 전극에 접속된다. 발광 소자(905)의 다른 쪽의 전극은 그라운드선(908)에 접속된다.

[0088] 스위칭 트랜지스터(901), n채널형 트랜지스터(902), 및 p채널형 트랜지스터(903)는 본 실시형태에서는 하나의 게이트를 갖는 구조로 하지만, 복수의 게이트를 배치하여 복수의 트랜지스터가 전기적으로 직렬로 접속되는 구조로 하여도 좋다. 복수의 트랜지스터가 전기적으로 직렬로 접속되는 구조로 함으로써, 오프 전류값을 저감할 수 있는 이점이 있다. 또한, 스위칭 트랜지스터(901), n채널형 트랜지스터(902), 및 p채널형 트랜지스터(903)는 반도체층을 박막화한 박막 트랜지스터(TFT)로 형성함으로써, 양산화를 도모할 수 있어 저비용화할 수 있다.

[0089] 또한, n채널형 트랜지스터(902), 및 p채널형 트랜지스터(903)는 발광 소자(905)의 점등을 제어하기 위한 소자이며, 많은 전류가 흐르기 때문에, 열로 인한 열화나 핫 캐리어로 인한 열화의 위험성이 높은 소자이기도 하다.

[0090] 또한, 도 9(B)에 도시하는 바와 같이, n채널형 트랜지스터(902), 및 p채널형 트랜지스터(903)의 게이트를 포함하는 배선은 전원선(907)과 중첩하는 영역까지 연장하여 용량 소자(904)가 형성된다. 용량 소자(904)는 전원선(907)과 전기적으로 접속된 반도체층(도시하지 않음), 게이트 절연막과 동일층의 절연막(도시하지 않음) 및 n채널형 트랜지스터(902), 및 p채널형 트랜지스터(903)의 게이트를 포함하는 배선 사이에 형성된다. 이 용량 소자(904)는 n채널형 트랜지스터(902), 및 p채널형 트랜지스터(903)의 게이트에 인가하는 전압을 유지하는 기능을 가진다.

[0091] 발광소자(905)는 n채널형 트랜지스터(902), 및 p채널형 트랜지스터(903) 등의 소자가 형성된 기관 위에, 양극층(화소 전극이라고도 표기함), 유기층, 그리고 음극층(대향 전극이라고도 표기함)을 적층시킨 소자 구조이다.

[0092] 또한, 발광 소자는 발광을 취출하기 위하여 적어도 양극 혹은 음극의 한쪽이 투명하면 좋다. 그리고, 기관 위에 전계 효과 트랜지스터 및 발광 소자를 형성하고, 소자가 형성된 기관 면으로부터 발광을 취출하는 상면 사출이나, 소자가 형성된 면의 이면으로부터 발광을 취출하는 하면 사출이나, 기관층 및 기관과는 반대층의 면으로부터 발광을 취출하는 양면 사출 구조의 발광 소자가 있고, 본 발명의 화소 구성은 어느 사출 구조의 발광 소자에나 적용할 수 있다.

[0093] 도 9(B)에 도시한 화소의 상면도에 대응하는 단면도에 대하여 설명한다. 도 9(C)는 도 9(B)에 도시하는 A-B 부분의 단면도의 일례이다. 또한, 본 실시형태에 있어서의 단면도에 도시하는 각 소자는 단면 구조를 명확히 도시하기 위하여 과장한 축척에 의하여 표기하는 것으로 한다.

[0094] 도 9(C)에서는 지지 기관(951) 위에 블로킹막(952), 절연층(953), 보호층(954), 절연층(955), 배선층(956), 평탄화층(957), p채널형 트랜지스터(903), 격벽(958), 화소 전극(959), 유기층(960), 및 대향 전극(961)이 형성된 단면도에 대하여 도시한다. 또한, p채널형 트랜지스터(903)는 게이트 절연막, 반도체층, 및 게이트 전극을 구비한다. 또한, 배선층(956)은 p채널형 트랜지스터(903)의 제 1 단자 및 제 2 단자에 접속되는 배선으로서의 기능을 가진다. 또한, 화소 전극(959), 유기층(960), 및 대향 전극(961)을 적층하여 형성함으로써, 발광 소자(905)가 된다.

[0095] 본 실시형태에서 설명한 바와 같이, 표시 소자를 구동하기 위한 트랜지스터로서 박막 트랜지스터를 사용할 수 있다. 박막 트랜지스터를 사용한 트랜지스터는 양산화가 용이하기 때문에 저비용화를 도모하는 데에 바람직하다. 그리고, 본 발명은 상기 실시형태 1에서 설명한 바와 같이, 표시 소자인 EL 소자를 발광 상태로 하기 위한 구동 트랜지스터인 n채널형 트랜지스터 및 p채널형 트랜지스터의 게이트 전극에 인가하는 전위의 극성을, 표시에 영향을 주지 않고, 반전하여 입력할 수 있는 것이다. 일정 기간 동안 계속 발광하는 기간에 있어

서도, 휘도의 저하나 정지 화상의 깜박거림을 표면화시키지 않고, EL 소자를 구동시킬 수 있다. 이것은 구동 트랜지스터의 게이트 전극에 인가하는 전위의 극성을 반전시켜 교대로 인가함으로써, 스테시홀드 전압을 제어할 수 있기 때문이다.

[0096] 또한, 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합 혹은 치환 등을 자유로이 행할 수 있다.

[0097] [실시형태 5]

[0098] 본 실시형태에 있어서는 전자기기의 예에 대하여 설명한다.

[0099] 도 10(A)는 휴대형 게임기이고, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 기록 매체 판독부(9672) 등을 가질 수 있다. 도 10(A)에 도시하는 휴대형 게임기는 기록 매체에 기록된 프로그램 혹은 데이터를 판독하여 표시부에 표시하는 기능, 다른 휴대형 게임기와 무선 통신을 행하여 정보를 공유하는 기능 등을 가질 수 있다. 또한, 도 10(A)에 도시하는 휴대형 게임기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0100] 도 10(B)는 디지털 카메라이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 가질 수 있다. 도 10(B)에 도시하는 텔레비전 수상 기능을 갖는 디지털 카메라는 정지 화상을 촬영하는 기능, 동영상 촬영하는 기능, 촬영한 화상을 자동 혹은 수동으로 보정하는 기능, 안테나로부터 다양한 정보를 취득하는 기능, 촬영한 화상, 혹은 안테나로부터 취득한 정보를 보존하는 기능, 촬영한 화상, 혹은 안테나로부터 취득한 정보를 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 10(B)에 도시하는 텔레비전 수상 기능을 갖는 디지털 카메라가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0101] 도 10(C)는 텔레비전 수상기이고, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636) 등을 가질 수 있다. 도 10(C)에 도시하는 텔레비전 수상기는 텔레비용 전파를 처리하여 화상 신호로 변환하는 기능, 화상 신호를 처리하여 표시에 적합한 신호로 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 또한, 도 10(C)에 도시하는 텔레비전 수상기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0102] 도 10(D)는 컴퓨터이고, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부접속 포트(6980) 등을 가질 수 있다. 도 10(D)에 도시하는 컴퓨터는 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 혹은 유선 통신 등의 통신 기능, 통신 기능을 사용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 통신 기능을 사용하여 다양한 데이터 송신 혹은 수신 행하는 기능 등을 가질 수 있다. 또한, 도 10(D)에 도시하는 컴퓨터가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

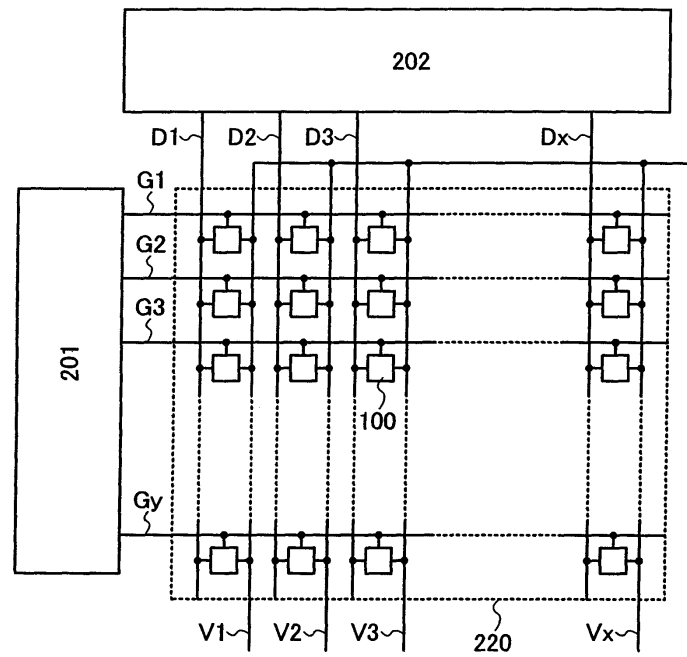
[0103] 다음에, 도 10(E)는 휴대 전화이고, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 마이크로폰(9638), 외부접속 포트(9680) 등을 가질 수 있다. 도 10(E)에 도시한 휴대 전화는 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 혹은 시간 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 혹은 편집하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 도 10(E)에 도시한 휴대 전화가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0104] 본 실시형태에 있어서 기술한 전자기기는 정보를 표시하기 위한 표시부에 본 발명의 표시 장치를 구비하는 것을 특징으로 한다. 본 발명은 상기 실시형태 1에서 설명한 바와 같이, 표시 소자인 EL 소자를 발광 상태로 하기 위한 구동 트랜지스터인 n채널형 트랜지스터 및 p채널형 트랜지스터의 게이트 전극에 인가하는 전위의 극성을, 표시에 영향을 주지 않고, 반전하여 입력할 수 있는 것이다. 일정 기간 동안 계속 발광하는 기간에 있어서도, 휘도의 저하나 정지 화상의 깜박거림을 표면화시키지 않고, EL 소자를 구동시킬 수 있다. 이것은 구동 트랜지스터의 게이트 전극에 인가하는 전위의 극성을 반전시켜 교대로 인가함으로써, 스테시홀드 전압을 제어할 수 있기 때문이다.

[0105] 또한, 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합 혹은 치환 등을 자유로이 행할 수 있다.

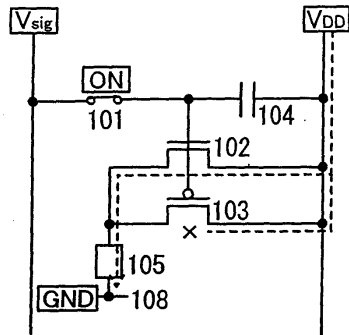
도면의 간단한 설명

도면2

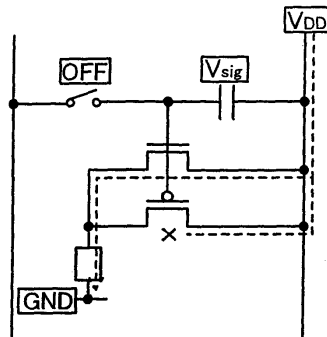


도면3

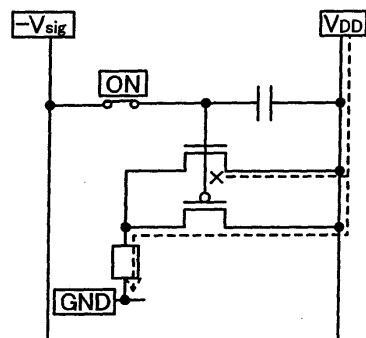
(A)



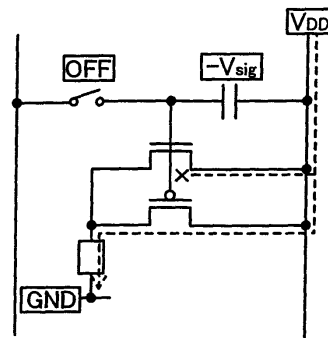
(B)



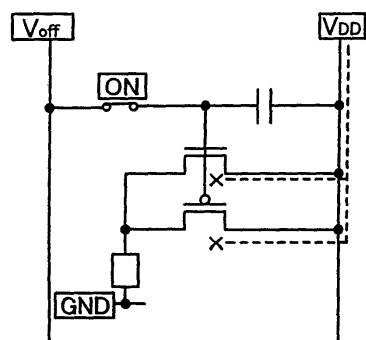
(C)



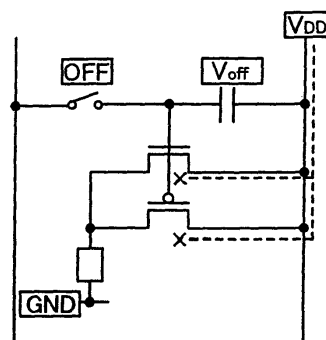
(D)



(E)

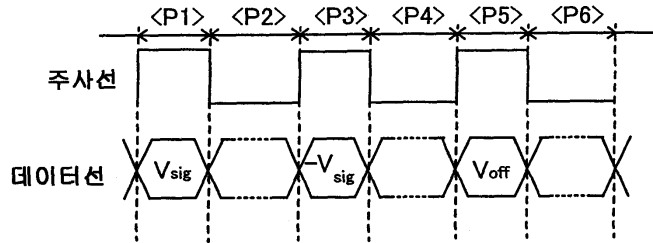


(F)

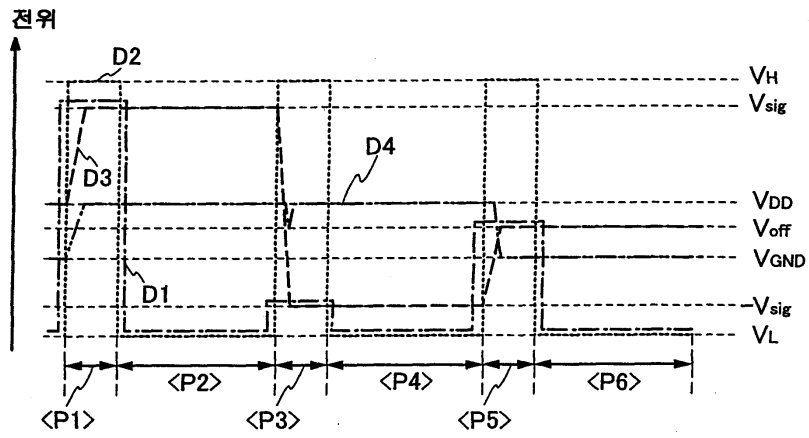


도면5

(A)

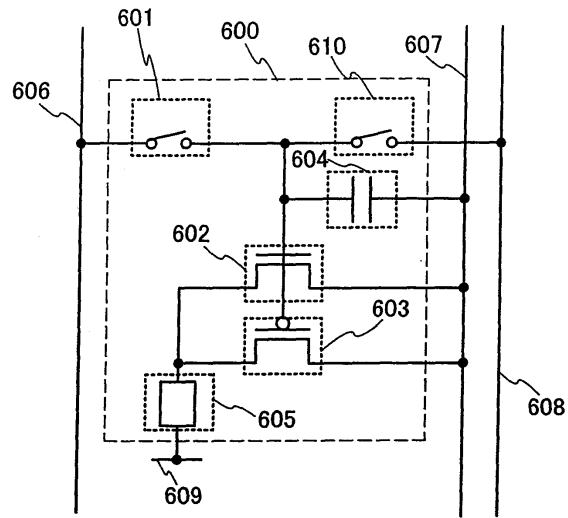


(B)

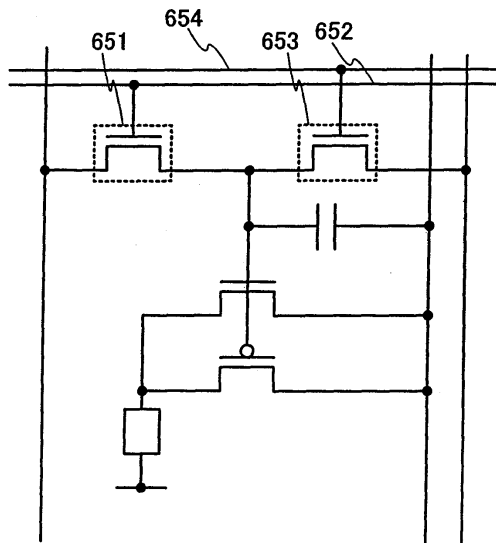


도면6

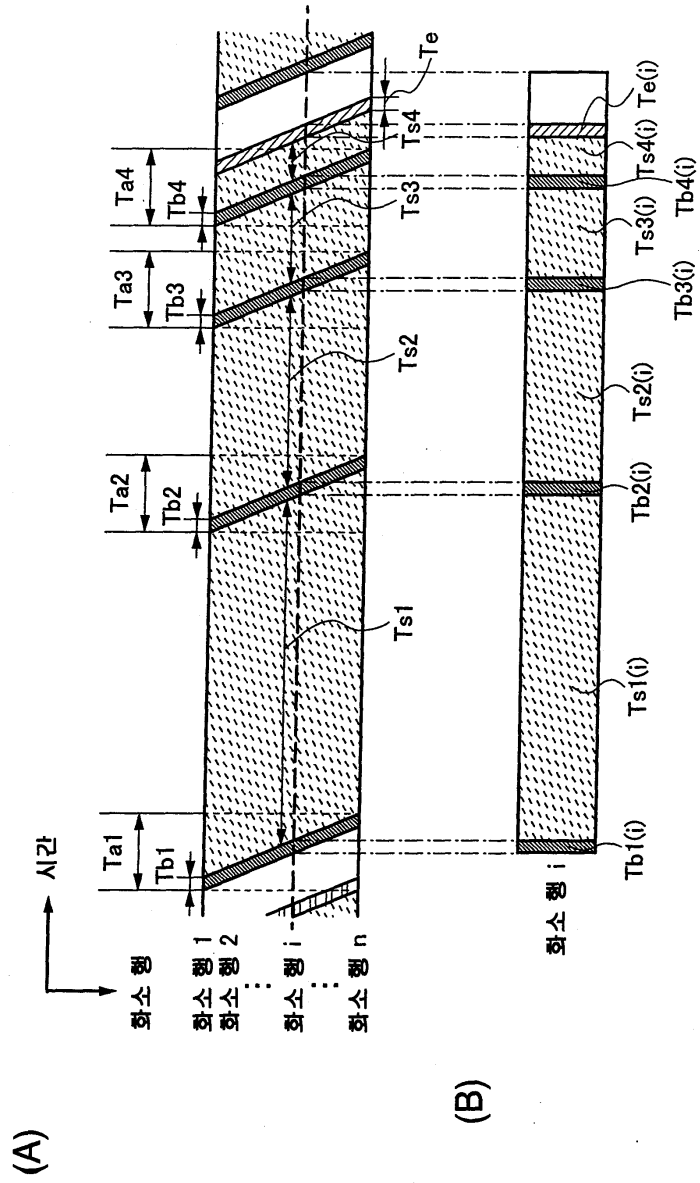
(A)



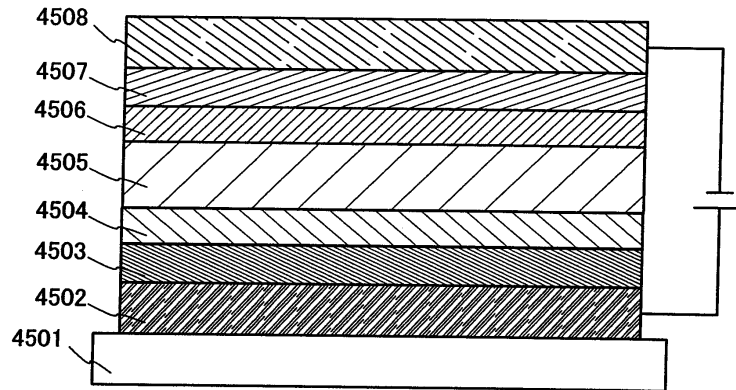
(B)



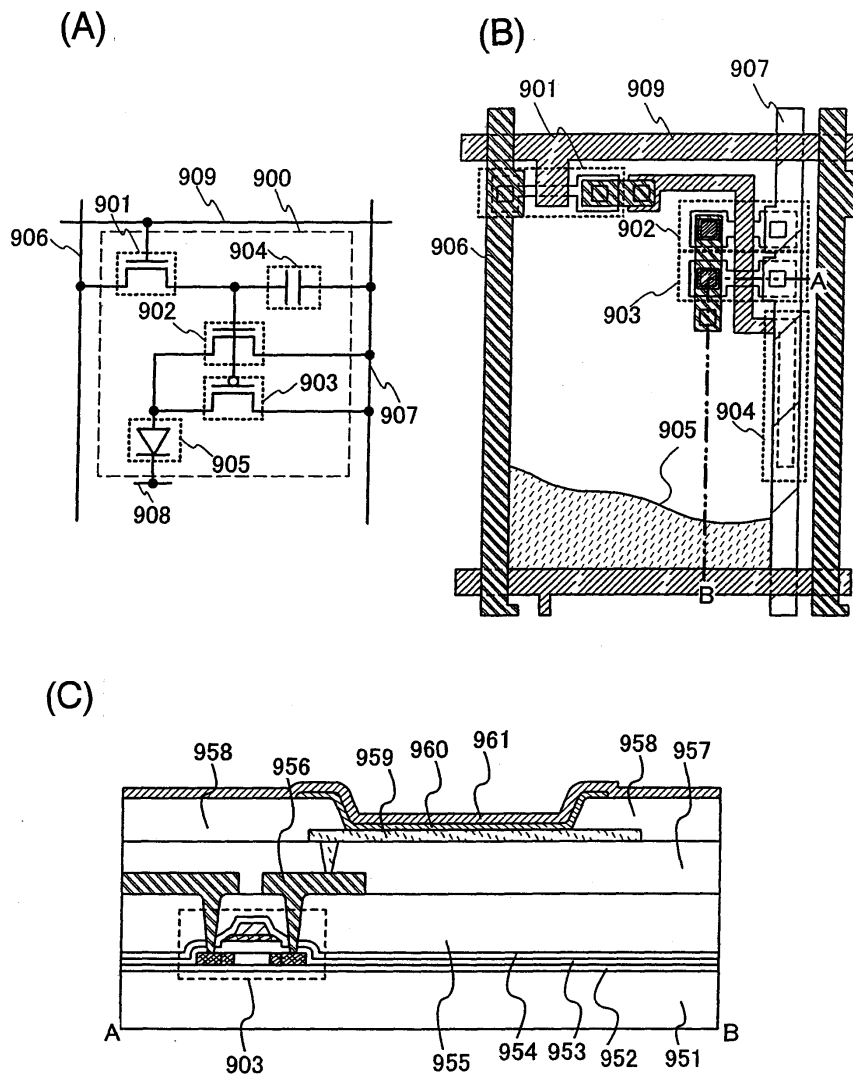
도면7



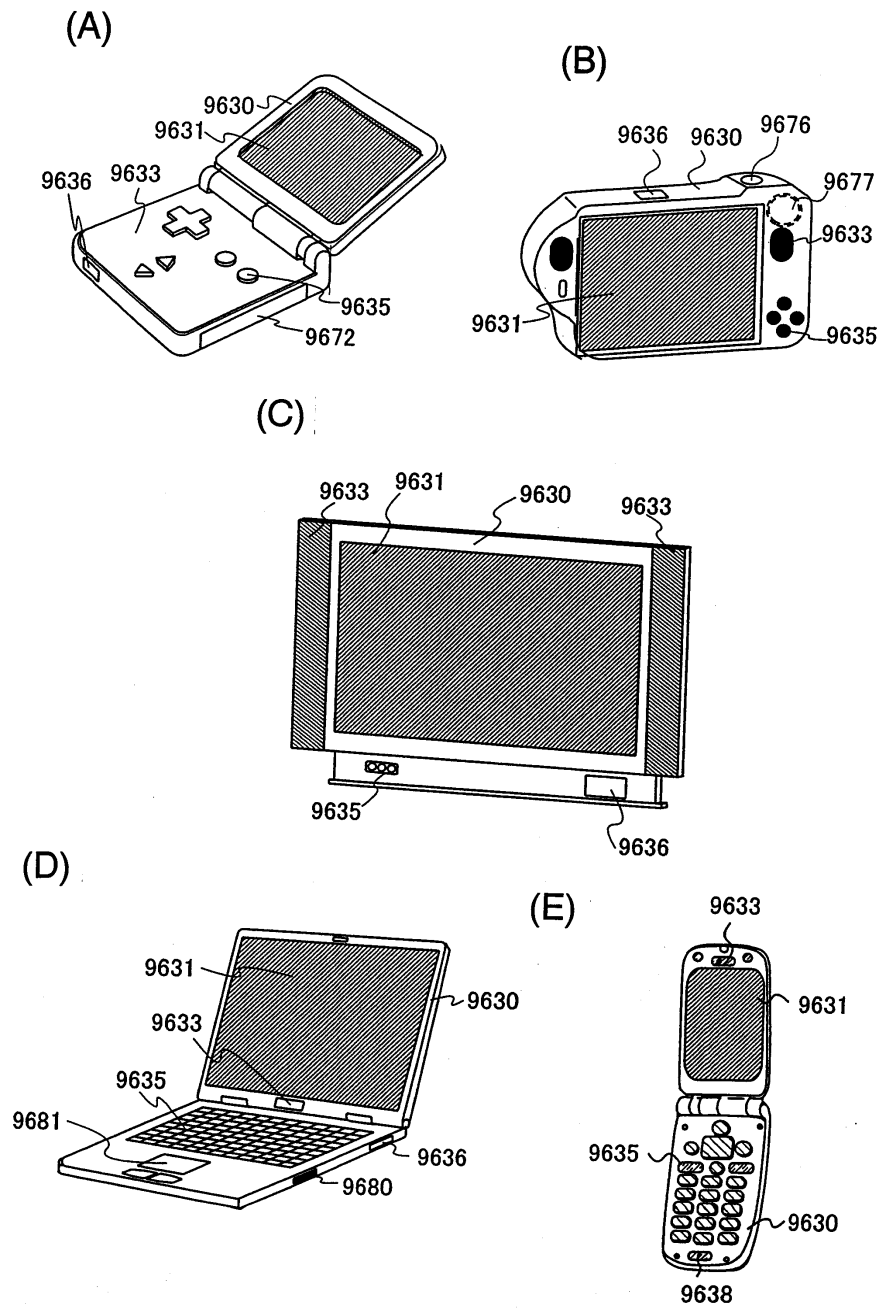
도면8



도면9



도면10



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 显示装置和包括显示装置的电子装置 | | |
| 公开(公告)号 | KR101400408B1 | 公开(公告)日 | 2014-05-26 |
| 申请号 | KR1020080133554 | 申请日 | 2008-12-24 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| 申请(专利权)人(译) | 株式会社绒布器肯kyusyo极限戴哦 | | |
| 当前申请(专利权)人(译) | 株式会社绒布器肯kyusyo极限戴哦 | | |
| [标]发明人 | HONDA TATSUYA | | |
| 发明人 | HONDA, TATSUYA | | |
| IPC分类号 | G09G3/30 G09G3/32 G09G3/20 H01L51/50 G09F9/30 H01L27/32 | | |
| CPC分类号 | G09G2300/0842 G09G2320/043 G09G2300/0823 G09G3/3233 G09G2300/0819 | | |
| 优先权 | 2007336322 2007-12-27 JP | | |
| 其他公开文献 | KR1020090071452A | | |
| 外部链接 | Espacenet | | |

摘要(译)

在本发明中，即使在EL元件连续发光一段时间的情况下，通过控制驱动EL元件的晶体管的阈值电压，也可以抑制静止图像的亮度或闪烁，被驱使。n沟道晶体管和p沟道晶体管被布置为用于驱动发光元件的驱动晶体管。从数据线提供的图像信号的极性每隔任意周期反转并提供给每个像素的驱动晶体管的栅极，由此，抑制了由于驱动晶体管的阈值电压的偏移引起的发光元件的亮度变化。

