



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월21일
(11) 등록번호 10-0853545
(24) 등록일자 2008년08월14일

(51) Int. Cl.

H05B 33/26 (2006.01)

(21) 출원번호 10-2007-0047135

(22) 출원일자 2007년05월15일

심사청구일자 2007년05월15일

(56) 선행기술조사문헌

KR1020050110729 A

JP07058334 A

KR1020050003518 A

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

최중현

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

유경진

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

전희철

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인

박상수

전체 청구항 수 : 총 20 항

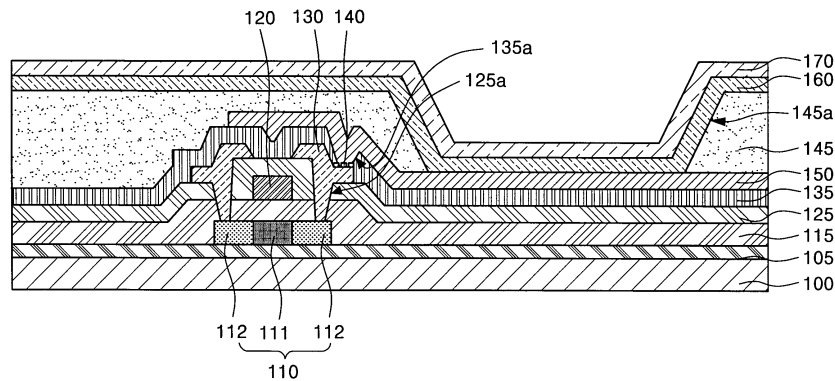
심사관 : 김지강

(54) 유기전계발광소자 및 그의 제조방법

(57) 요약

본 발명은 소오스/드레인 전극과 제 1 전극 사이의 접촉저항을 감소시킬 수 있고, 제 1 전극의 반사막과 투명도 전막 사이의 접촉저항을 감소시킬 수 있는 유기전계발광소자 및 그의 제조방법에 관한 것으로서, 기판; 상기 기판 상에 위치하는 반도체층; 상기 반도체층과 대응되는 영역에 위치하며 상기 반도체층과 절연되는 게이트 전극; 상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막; 상기 반도체층과 연결되는 소오스/드레인 전극; 상기 소오스/드레인 전극 상에 서로 각각 일정 간격 이격되게 위치하고, 니켈을 포함하는 금속층; 상기 금속층을 포함하는 기판 전면에 걸쳐 위치하는 보호막; 상기 보호막 상에 위치하고, 상기 금속층과 연결되는 제 1 전극; 상기 제 1 전극 상에 위치하는 유기막층; 및 상기 유기막층 상에 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자를 제공한다.

대표도 - 도1a



특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 반도체층;

상기 반도체층과 대응되는 영역에 위치하며 상기 반도체층과 절연되는 게이트 전극;

상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막;

상기 반도체층과 연결되는 소오스/드레인 전극;

상기 소오스/드레인 전극 상에 서로 각각 일정 간격 이격되게 위치하고, 니켈을 포함하는 금속층;

상기 금속층을 포함하는 기관 전면에 걸쳐 위치하는 보호막;

상기 보호막 상에 위치하고, 상기 금속층과 연결되는 제 1 전극;

상기 제 1 전극 상에 위치하는 유기막층; 및

상기 유기막층 상에 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 2

제 1 항에 있어서,

상기 소오스/드레인 전극의 두께는 3000~4000Å인 것을 특징으로 하는 유기전계발광소자.

청구항 3

제 1 항에 있어서,

상기 소오스/드레인 전극은 Al을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 4

제 1 항에 있어서,

상기 금속층의 두께는 0.1~0.5nm인 것을 특징으로 하는 유기전계발광소자.

청구항 5

제 1 항에 있어서,

상기 일정간격은 0.01~3 μ m인 것을 특징으로 하는 유기전계발광소자.

청구항 6

제 1 항에 있어서,

상기 보호막은 다수개의 비아홀을 구비하며, 상기 금속층은 상기 비아홀 내에 위치하는 것을 특징으로 하는 유기전계발광소자.

청구항 7

기관;

상기 기관 상에 위치하는 반도체층;

상기 반도체층을 포함하는 기관 전면에 위치한 게이트 절연막;

상기 반도체층과 대응되는 상기 게이트 절연막 상에 위치하는 게이트 전극;

상기 게이트 절연막을 포함하는 기관 상에 위치하는 층간절연막;

상기 층간절연막 상에 위치하고, 상기 반도체층과 연결되는 소오스/드레인 전극;

상기 소오스/드레인 전극을 포함하는 기판 전면에 걸쳐 위치하는 보호막;

상기 소오스/드레인 전극과 연결되는 반사막, 상기 반사막 상에 서로 각각 일정간격 이격되게 위치하고 니켈을 포함하는 금속층 및 상기 금속층 상에 위치하는 투명도전막이 적층되어 이루어지며 상기 보호막 상에 위치하는 제 1 전극;

상기 제 1 전극 상에 위치하는 유기막층; 및

상기 유기막층 상에 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 8

제 7 항에 있어서,

상기 금속층의 두께는 0.1~0.5nm인 것을 특징으로 하는 유기전계발광소자.

청구항 9

제 7 항에 있어서,

상기 일정간격은 0.01~3 μ m인 것을 특징으로 하는 유기전계발광소자.

청구항 10

제 7 항에 있어서,

상기 소오스/드레인 전극은 Al을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 11

기판을 제공하고,

상기 기판 상에 반도체층을 형성하고,

상기 반도체층을 포함하는 기판 전면에 게이트 절연막을 형성하고,

상기 게이트 절연막 상의 상기 반도체층과 대응되는 영역에 게이트 전극을 형성하고,

상기 게이트 전극을 포함하는 기판 전면에 층간절연막을 형성하고,

상기 층간절연막 상에 상기 반도체층과 연결되는 소오스/드레인 전극을 형성하고,

상기 소오스/드레인 전극 상에 금속층을 형성하고,

상기 금속층을 포함하는 기판 전면에 걸쳐 보호막을 형성하고,

상기 보호막 상에 상기 금속층과 연결되는 제 1 전극을 형성하고,

상기 제 1 전극 상에 유기막층을 형성하고,

상기 유기막층 상에 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 12

제 11 항에 있어서,

상기 금속층은 스퍼터링법을 이용하여 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 13

제 11 항에 있어서,

상기 금속층은 패터닝하여 비아홀 부분에 형성되는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 14

제 11 항에 있어서,

상기 제 1 전극이 형성된 기판을 150~400℃에서 열처리하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 15

기판을 제공하고,

상기 기판 상에 반도체층을 형성하고,

상기 반도체층을 포함하는 기판 전면에 게이트 절연막을 형성하고,

상기 게이트 절연막 상의 상기 반도체층과 대응되는 영역에 게이트 전극을 형성하고,

상기 게이트 전극을 포함하는 기판 전면에 층간절연막을 형성하고,

상기 층간절연막 상에 상기 반도체층과 연결되는 소오스/드레인 전극을 형성하고,

상기 기판 전면에 걸쳐 보호막을 형성하고,

상기 보호막 상에 비어홀을 형성하여 소스/드레인 전극의 일부를 노출시키고,

상기 노출된 소스/드레인 전극 상부에 금속층을 형성하고,

상기 보호막 상에 상기 금속층과 연결되는 제 1 전극을 형성하고,

상기 제 1 전극 상에 유기막층을 형성하고,

상기 유기막층 상에 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 16

제 15 항에 있어서,

상기 금속층은 스퍼터링법을 이용하여 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 17

제 15 항에 있어서,

상기 제 1 전극이 형성된 기판을 150~400℃에서 열처리하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 18

기판을 제공하고,

상기 기판 상에 반도체층을 형성하고,

상기 반도체층을 포함하는 기판 전면에 게이트 절연막을 형성하고,

상기 게이트 절연막 상의 상기 반도체층과 대응되는 영역에 게이트 전극을 형성하고,

상기 게이트 전극을 포함하는 기판 전면에 층간절연막을 형성하고,

상기 층간절연막 상에 상기 반도체층과 연결되는 소오스/드레인 전극을 형성하고,

상기 소오스/드레인 전극을 포함하는 기판 전면에 걸쳐 보호막을 형성하고,

상기 보호막 상에 상기 소스/드레인 전극과 연결되는 반사막, 상기 반사막 상에 서로 각각 일정간격 이격되어 위치하며 니켈을 포함하는 금속층 및 상기 금속층 상에 위치하는 투명도전막을 순차적으로 적층하여 제 1 전극을 형성하고,

상기 제 1 전극 상에 유기막층을 형성하고,

상기 유기막층 상에 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 19

제 18 항에 있어서,

상기 금속층은 스퍼터링법을 이용하여 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 20

제 18 항에 있어서,

상기 제 1 전극이 형성된 기판을 150~400℃에서 열처리하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <4> 본 발명은 유기전계발광소자 및 그의 제조방법에 관한 것으로써, 더욱 상세하게는 소오스/드레인 전극과 제 1 전극과의 접촉저항이 감소되고, 제 1 전극의 반사막과 투명도전막 사이의 접촉저항도 감소될 수 있도록 니켈을 포함하는 금속층을 포함하는 유기전계발광소자 및 그의 제조방법에 관한 것이다.
- <5> 유기전계발광소자 또는 액정표시장치와 같은 평판표시장치는 N×M개의 단위화소가 매트릭스 형태로 위치하는데, 상기 N×M개의 단위화소들을 구동하는 방식에 따라 수동 매트릭스(passive matrix)방식과 능동 매트릭스(active matrix)방식으로 나뉘어 진다. 상기 능동 매트릭스 방식에 있어서 단위화소영역에는 발광영역을 정의하는 화소 전극과 상기 화소전극에 전류 또는 전압을 인가하기 위한 단위화소 구동회로가 위치하는데, 상기 단위화소 구동회로는 적어도 하나의 박막트랜지스터를 구비한다.
- <6> 이러한 박막트랜지스터는 일반적으로 반도체층, 게이트 전극 및 소오스/드레인 전극을 구비하는데, 상기 반도체층의 가장자리에는 소오스/드레인 영역이 구비되고, 상기 소오스/드레인 영역 사이에는 채널 영역이 구비된다. 또한 박막트랜지스터는 단위화소의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.
- <7> 그러나, 상기와 같은 박막트랜지스터를 구비하는 종래의 유기전계발광소자는 알루미늄인 소오스/드레인 전극과 투명도전막인 제 1 전극 사이에 접촉 저항이 높아 전하이동도가 감소되는 문제점이 발생한다. 이러한 전하이동도 감소로 인해 신호배선의 신호지연을 유발할 수 있으며, 이로 인해 유기전계발광소자의 화질 저하를 초래할 수 있다. 또한 알루미늄으로 형성된 소오스/드레인 전극의 경우 대기 중에서 쉽게 산화되므로, 소오스/드레인 전극과 제 1 전극과의 사이에 산화막이 형성될 수도 있어 접촉저항이 더욱 증가하는 문제점을 발생할 수 있다. 또한, 전면발광형 유기전계발광소자의 경우에는 반사막을 포함하는 제 1 전극을 이용하는데, 제 1 전극의 반사막과 투명도전막 사이에 접촉저항이 높아 유기막층에 전하가 원활하게 수송되지 않아 유기전계발광소자의 발광 효율이 저하되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

- <8> 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 본 발명은 소오스/드레인 전극과 제1전극과의 접촉저항과 제1전극의 반사막과 투명 도전막 사이의 접촉저항을 감소시킬 수 있는 유기전계발광소자 및 그의 제조방법을 제공한다.

발명의 구성 및 작용

- <9> 본 발명의 상기 기술적 과제를 이루기 위하여, 본 발명은 기판; 상기 기판 상에 위치하는 반도체층; 상기 반도체층과 대응되는 영역에 위치하며 상기 반도체층과 절연되는 게이트 전극; 상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막; 상기 반도체층과 연결되는 소오스/드레인 전극; 상기 소오스/드레인 전극 상에 서로 각각 일정 간격 이격되게 위치하고, 니켈을 포함하는 금속층; 상기 금속층을 포함하는 기판 전면에 걸쳐 위치하는 보호막; 상기 보호막 상에 위치하고, 상기 금속층과 연결되는 제 1 전극; 상기 제 1 전극 상에 위치하는 유기막층; 및 상기 유기막층 상에 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자를 제공한다.
- <10> 또한, 본 발명은 기판; 상기 기판 상에 위치하는 반도체층; 상기 반도체층을 포함하는 기판 전면에 위치한 게이트

트 절연막; 상기 반도체층과 대응되는 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 절연막을 포함하는 기판 상에 위치하는 층간절연막; 상기 층간절연막 상에 위치하고, 상기 반도체층과 연결되는 소오스/드레인 전극; 상기 소오스/드레인 전극을 포함하는 기판 전면에 걸쳐 위치하는 보호막; 상기 소오스/드레인 전극과 연결되는 반사막, 상기 반사막 상에 서로 각각 일정간격 이격되게 위치하고 니켈을 포함하는 금속층 및 상기 금속층 상에 위치하는 투명도전막이 적층되어 이루어지며, 상기 보호막 상에 위치하는 제 1 전극; 상기 제 1 전극 상에 위치하는 유기막층; 및 상기 유기막층 상에 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자를 제공한다.

<11> 또한, 본 발명은 기판을 제공하고, 상기 기판 상에 반도체층을 형성하고, 상기 반도체층을 포함하는 기판 전면 에 게이트 절연막을 형성하고, 상기 게이트 절연막 상의 상기 반도체층과 대응되는 영역에 게이트 전극을 형성하고, 상기 게이트 전극을 포함하는 기판 전면에 층간절연막을 형성하고, 상기 층간절연막 상에 상기 반도체층과 연결되는 소오스/드레인 전극을 형성하고, 상기 소오스/드레인 전극 상에 금속층을 형성하고, 상기 금속층을 포함하는 기판 전면에 걸쳐 보호막을 형성하고, 상기 보호막 상에 상기 금속층과 연결되는 제 1 전극을 형성하고, 상기 제 1 전극 상에 유기막층을 형성하고, 상기 유기막층 상에 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법을 제공한다.

<12> 또한, 본 발명은 기판을 제공하고, 상기 기판 상에 반도체층을 형성하고, 상기 반도체층을 포함하는 기판 전면 에 게이트 절연막을 형성하고, 상기 게이트 절연막 상의 상기 반도체층과 대응되는 영역에 게이트 전극을 형성하고, 상기 게이트 전극을 포함하는 기판 전면에 층간절연막을 형성하고, 상기 층간절연막 상에 상기 반도체층과 연결되는 소오스/드레인 전극을 형성하고, 상기 기판 전면에 걸쳐 보호막을 형성하고, 상기 보호막 상에 비어홀을 형성하여 소스/드레인 전극의 일부를 노출시키고, 상기 노출된 소스/드레인 전극 상부에 금속층을 형성하고, 상기 보호막 상에 상기 금속층과 연결되는 제 1 전극을 형성하고, 상기 제 1 전극 상에 유기막층을 형성하고, 상기 유기막층 상에 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법을 제공한다.

<13> 또한, 본 발명은 기판을 제공하고, 상기 기판 상에 반도체층을 형성하고, 상기 반도체층을 포함하는 기판 전면 에 게이트 절연막을 형성하고, 상기 게이트 절연막 상의 상기 반도체층과 대응되는 영역에 게이트 전극을 형성하고, 상기 게이트 전극을 포함하는 기판 전면에 층간절연막을 형성하고, 상기 층간절연막 상에 상기 반도체층과 연결되는 소오스/드레인 전극을 형성하고, 상기 소오스/드레인 전극을 포함하는 기판 전면에 걸쳐 보호막을 형성하고, 상기 보호막 상에 상기 소스/드레인 전극과 연결되는 반사막, 상기 반사막 상에 서로 각각 일정간격 이격되어 위치하며 니켈을 포함하는 금속층 및 상기 금속층 상에 위치하는 투명도전막을 순차적으로 적층하여 제 1 전극을 형성하고, 상기 제 1 전극 상에 유기막층을 형성하고, 상기 유기막층 상에 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법을 제공한다.

<14> 이하, 본 발명의 구체적인 이해를 위하여 본 발명에 따른 바람직한 실시예 및 첨부된 도면들을 참조하여 보다 상세하게 설명한다.

<15> 도 1a는 본 발명의 제 1 실시예에 따른 유기전계발광소자의 단면도이다.

<16> 도 1a를 참조하면, 유리, 스테인레스 스틸 또는 플라스틱 등으로 구성된 기판 (100) 상에 버퍼층(105)을 형성한다. 여기서, 상기 버퍼층(105)은 실리콘 질화막, 실리콘 산화막 또는 이들의 다중층으로 형성할 수 있다. 이때 상기 버퍼층(105)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달속도를 조절함으로써, 후공정에서 형성될 반도체층(110)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.

<17> 이어서, 상기 버퍼층(105) 상에 비정질 실리콘층을 형성한 후, 상기 비정질 실리콘층을 결정화하여 다결정 또는 단결정 실리콘층을 형성한다. 상기 비정질 실리콘은 화학적 기상 증착법(Cheical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용하여 형성될 수 있다. 또한 상기 비정질 실리콘을 형성할 때 또는 형성한 후에 탈수소처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다. 또한, 상기 비정질 실리콘층을 결정화하는 방법은 RTA(Rapid Thermal Annealing) 공정, SPC법(Solid Phase Crystallization), MIC법(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization), SGS법(Super Grain Silicon), ELA법(Excimer Laser Crystallization) 또는 SLS법(Sequential Lateral Solidification) 중 어느 하나 이상을 이용할 수 있다.

<18> 상기 다결정 또는 단결정 실리콘층을 패터닝하여 반도체층(110)을 형성한다. 상기 반도체층(110)이 형성된 기판 전면에 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층인 게이트 절연막(115)을 형성하고, 상기 게이트 절연막(115) 상의 상기 반도체층(110)과 대응되는 영역에 게이트 전극(120)을 형성한다. 여기서, 상기 게이트

전극(120)은 알루미늄(Al), 알루미늄 합금(Al-alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo-alloy)으로 이루어진 군에서 선택되는 하나를 포함하는 것이 바람직하며, 몰리브덴-텅스텐(MoW) 합금으로 형성하는 것이 더욱 바람직하다.

- <19> 이어서, 상기 게이트 전극(120) 상에 마스크를 위치시키고 상기 반도체층(110)에 불순물을 도입하는 이온도핑공정을 실시하여, 소오스/드레인 영역(112) 및 채널영역(111)을 형성한다.
- <20> 이어서, 상기 게이트 전극(120) 상에 위치한 마스크를 제거하고, 상기 게이트 전극(120)을 포함하는 기판 전면에 걸쳐 층간절연막(125)을 형성한다. 상기 층간절연막(125)은 실리콘 질화막, 실리콘 산화막 또는 이들의 다중층으로 형성할 수 있다.
- <21> 이어서, 상기 층간절연막(125)을 식각하여 콘택홀(125a)을 형성하고, 상기 콘택홀(125a)을 통하여 상기 소오스/드레인 영역(111)과 연결되는 소오스/드레인 전극(130)을 스퍼터링법을 이용하여 3000~4000Å의 두께로 형성한다. 상기 소오스/드레인 전극(130)은 알루미늄(Al)으로 형성될 수 있다.
- <22> 상기 소오스/드레인 전극(130)을 포함하는 기판 전면에 걸쳐 니켈을 포함하는 금속층 물질을 스퍼터링법을 이용하여 형성하고, 비어홀 형성 예정 영역에만 금속층물질을 남기고 패터닝한다. 상기 금속층물질은 0.1~0.5nm의 두께로 형성하는 것이 바람직하다. 상기 금속층물질이 상술한 범위 내에 두께를 갖는다면, 후공정에서 형성될 제 1 전극과의 상기 소오스/드레인 전극(130)과의 접촉저항을 현저하게 감소시킬 수 있으며, 금속층이 추가되어도 소자의 두께에는 크게 영향을 미치지 않는다.
- <23> 이어서, 상기 금속층물질을 포함하는 기판 전면에 걸쳐 보호막(135)을 형성하고, 상기 금속층물질을 노출하는 비어홀(135a)을 형성한다. 따라서, 상기 금속층물질 상에는 보호막(135)이 일부 형성될 수 있다.
- <24> 이후, 상기 비어홀(135a)을 통하여 상기 금속층물질과 연결되는 제 1 전극(150)을 형성한다. 상기 제 1 전극(150)은 일함수가 높은 ITO, IZO 또는 ITZO 중에서 어느 하나일 수 있다.
- <25> 상기 제 1 전극(150)을 포함하는 기판을 150~400℃에서 0.5~4시간동안 열처리를 실시한다. 상기 소오스/드레인 전극(130)과 상기 제 1 전극(150) 사이에서 위치한 금속층물질은 구성물질인 니켈의 자체 특성상 가열되면 즉, 열처리를 실시하게 되면 니켈 중에서도 가장 에너지가 낮은 방향으로 뭉치도록 이동하게 된다. 이에 따라 상기 소오스/드레인 전극(130)과 상기 제 1 전극(150) 사이에 일정간격 이격되게 위치하고 니켈이 포함되는 금속층(140)이 형성된다. 상기 금속층(140) 사이의 간격은 열처리 온도나 시간에 의해 영향을 받으며, 0.01~3μm으로 형성될 수 있다.
- <26> 상기 제 1 전극(150) 상에 화소정의막(145)을 형성하고 이를 패터닝하여 개구부(145a)를 형성한다. 상기 화소정의막(145)은 유기막인 폴리이미이드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택되는 1종의 물질로 형성할 수 있고, 무기막인 실리케이트 온 글래스로 형성될 수도 있다.
- <27> 상기 제 1 전극(150) 상에 유기발광층을 포함하는 유기막층(160)을 형성한다. 상기 유기막층(160)은 증착법, 잉크젯 프린팅법 또는 레이저 열전사법을 수행하여 형성할 수 있다. 또한, 상기 유기막층(160)은 정공주입층, 정공수송층, 정공억제층, 전자수송층 및 전자주입층 중에서 선택되는 하나 또는 다수개를 더욱 포함할 수 있다.
- <28> 상기 유기막층(160) 상에 제 2 전극(170)을 형성한다. 상기 제 2 전극(170)은 Ag, Al, Ca, Mg 및 이들의 합금으로 형성된다.
- <29> 실린트(미도시) 또는 프릿(미도시)을 이용하여 봉지기판(미도시)으로 봉지하여 본 발명의 제1실시예에 따른 유기전계발광소자를 완성한다.
- <30> 도 1b는 본 발명의 제 2실시예에 따른 유기전계발광소자의 단면도이다.
- <31> 이하, 본 발명의 제 2실시예에서는 소스/드레인 전극 형성 공정까지는 앞서 설명한 본 발명의 제 1실시예와 동일하므로 중복을 피하기 위하여 설명을 생략한다.
- <32> 이어서, 도1b를 참조하면, 상기 소오스/드레인 전극(130)을 포함하는 기판 전면에 걸쳐 보호막(135)을 형성하고, 상기 보호막(135) 상에 소스/드레인 전극(230)의 일부를 노출하는 비어홀(135a)을 형성한다.
- <33> 이후, 상기 소오스/드레인 전극(130)의 노출된 부분 상부에 니켈을 포함하는 금속층 물질을 마스크를 사용하여 스퍼터링법으로 형성한다. 이때, 상기 금속층물질은 0.1~0.5nm의 두께로 형성하는 것이 바람직하다. 상기 금속

층물질이 상술한 범위 내에 두께를 갖는다면, 후공정에서 형성될 제 1 전극과의 상기 소오스/드레인 전극(130)과의 접촉저항을 현저하게 감소시킬 수 있으며, 금속층이 추가되어도 소자의 두께에는 크게 영향을 미치지 않는다. 따라서, 상기 금속층물질 상에는 보호막이 형성될 수 없다.

- <34> 이어서, 상기 보호막(135) 상에 상기 비어홀(135a)을 통하여 상기 금속층 물질과 연결되는 제 1 전극(150)을 형성한다. 상기 제 1 전극(150)은 일함수가 높은 ITO, IZO 또는 ITZO 중에서 어느 하나일 수 있다.
- <35> 상기 제 1 전극(150)을 포함하는 기판을 150~400℃에서 0.5~4시간동안 열처리를 실시한다. 상기 소오스/드레인 전극(130)과 상기 제 1 전극(150) 사이에서 위치한 금속층물질은 구성물질인 니켈의 자체 특성상 가열되면 즉, 열처리를 실시하게 되면 니켈 중에서도 가장 에너지가 낮은 방향으로 뭉치도록 이동하게 된다. 이에 따라 상기 소오스/드레인 전극(130)과 상기 제 1 전극(150) 사이에 일정간격 이격되게 위치하고 니켈이 포함되는 금속층(140)이 형성된다. 상기 금속층(140) 사이의 간격은 열처리 온도나 시간에 의해 영향을 받으며, 0.01~3μm으로 형성될 수 있다.
- <36> 이후, 제 1실시예에 나타난 방법과 동일한 방법으로 화소정의막(145), 유기막층(160) 및 제 2 전극(170)을 형성한다.
- <37> 그리고 나서 실런트(미도시) 또는 프릿(미도시)을 이용하여 봉지기판(미도시)으로 봉지하여 본 발명의 제 2실시예에 따른 유기전계발광소자를 완성한다.
- <38> 도 2는 본 발명의 제 3실시예에 따른 유기전계발광소자의 단면도이다. 본 발명의 제 3실시예에서는 소스/드레인 전극 형성 공정까지는 앞서 서 설명한 본 발명의 제 1실시예와 동일하므로 중복을 피하기 위하여 본 실시예에서는 설명을 생략한다.
- <39> 도 2를 참고하면, 소오스/드레인 전극(130)을 포함하는 기판 전면에 걸쳐 보호막(135)을 형성하고, 상기 보호막(135)을 포함하는 기판 전면에 평탄화막(185)을 형성한다. 상기 평탄화막(185)은 유기막인 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택되는 1종의 물질로 형성할 수 있고, 무기막인 실리케이트 온 글래스로 형성될 수도 있다.
- <40> 이어서, 상기 보호막(135) 및 상기 평탄화막(185)을 식각하여 상기 소오스/드레인 전극(130)을 노출하는 비어홀(135a)을 형성한다. 그리고 상사기 비어홀(135a)을 통하여 상기 평탄화막(285) 상에 위치하는 상기 소오스/드레인 전극(130)과 연결되도록 반사막 물질을 형성하고, 상기 반사막 물질 상에 금속층 물질을 형성한다. 그리고 나서, 상기 금속층 물질 상에 투명도전막 물질을 형성한 후, 상기 반사막 물질, 금속층 물질, 투명도전막 물질을 일괄 식각하여 반사막(210), 금속층 물질, 투명 도전막(230)이 적층되어 이루어진 제 1 전극(200)을 형성한다.
- <41> 상기 반사막(210)은 반사율이 높은 알루미늄 또는 알루미늄 합금을 이용하는 것이 바람직하다. 또한 상기 금속층물질은 0.1~0.5nm의 두께로 형성하는 것이 바람직하다. 상기 금속층물질이 상술한 범위 내에 두께를 갖는다면, 상기 투명도전막(230)과 상기 반사막(210)과의 접촉저항을 현저하게 감소시킬 수 있으며, 금속층이 추가되어도 소자의 두께에는 크게 영향을 미치지 않는다. 상기 투명도전막(230)은 일함수가 높은 ITO, IZO 또는 ITZO 중에서 어느 하나인 것이 바람직하다.
- <42> 이어서, 상기 투명도전막(230)이 형성된 기판을 150~400℃에서 0.5~4시간동안 열처리를 실시한다. 도 1a에 관한 설명에서 상술하였듯이, 상기 금속층물질은 구성물질인 니켈의 자체 특성상 가열되면 즉, 열처리를 실시하게 되면 니켈 중에서도 가장 에너지가 낮은 방향으로 뭉치도록 이동하게 된다. 이에 따라 니켈은 상기 반사막(210)과 상기 투명도전막(230)의 표면 거칠기에 의해 벌어진 사이에 일정간격 이격되게 위치하고, 니켈을 포함하는 금속층(220)이 형성된다. 상기 금속층(220) 사이의 간격은 열처리 온도나 시간에 의해 영향을 받으며, 0.01~3μm으로 형성될 수 있다.
- <43> 이로써 상기 반사막(210), 상기 금속층(220) 및 상기 투명도전막(230)이 적층되어 이루어진 제 1 전극(200)을 완성한다.
- <44> 상기 제 1 전극(200)을 포함하는 기판 전면에 화소정의막(145)을 형성하고, 상기 제 1 전극(200)의 일부를 노출시키는 개구부(145a)를 형성한다.
- <45> 상기 제 1 전극(200) 상에 발광층을 포함하는 유기막층(160)을 형성하고, 상기 유기막층 상에 제 2 전극(170)을 형성한다. 상기 제 2 전극(170)은 반투과 전극이며, 마그네슘은(MgAg) 또는 알루미늄은(AlAg)이 사용될 수 있다. 여기서, 상기 마그네슘은은 마그네슘과 은의 공증착으로 형성되며, 상기 알루미늄은은 알루미늄과 은을

순차적으로 증착하여 적층 구조로 형성된다. 또한 상기 제 2 전극(170) 상에 ITO 또는 IZO와 같은 투명도전막이 더욱 형성될 수 있다.

<46> 이로써, 본 발명의 제 3 실시예를 따른 유기전계발광소자를 완성한다.

<47> 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

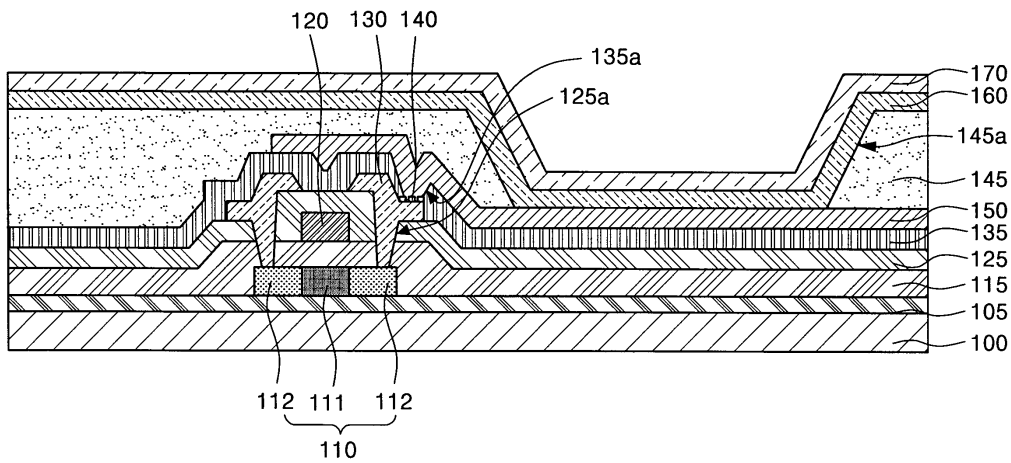
<48> 본 발명은 소오스/드레인 전극과 제 1 전극 사이에 니켈을 포함하는 금속층을 위치시킴으로써, 소오스/드레인 전극과 제 1 전극 사이의 접촉저항을 감소시켜, 전하이동도를 향상시킬 수 있다. 이로 인해, 박막트랜지스터의 신호지연을 방지할 수 있으므로 화질이 향상되어 소자의 신뢰성이 향상되는 효과가 있다. 또한 전면발광형 유기전계발광소자의 경우, 제 1 전극의 반사막과 투명도전막 사이에 니켈을 포함하는 금속층을 위치시킴으로써, 접촉저항이 감소되고 이로 인해 제 1 전극의 전하이동도가 향상되어 유기전계발광소자의 발광효율이 증대되는 효과를 구현한다.

도면의 간단한 설명

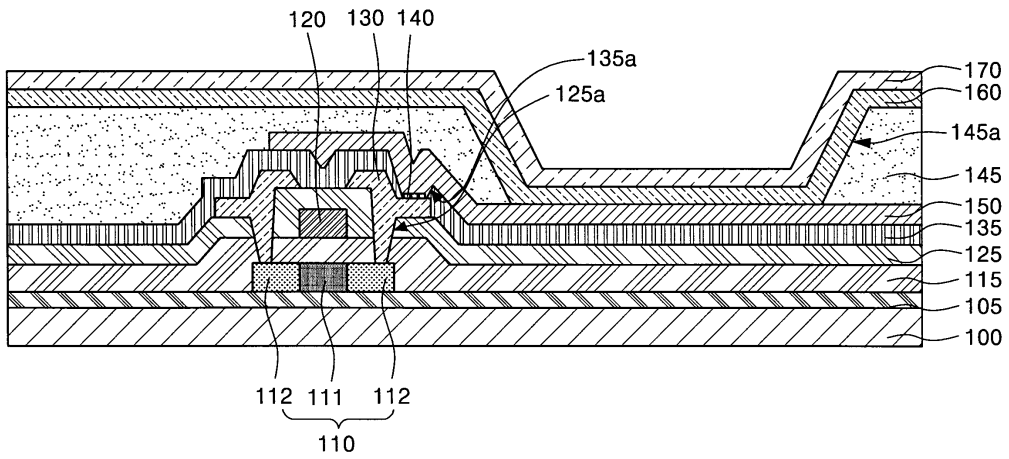
- <1> 도 1a는 본 발명의 제 1 실시예에 따른 유기전계발광소자의 단면도.
- <2> 도 1b는 본 발명의 제 2 실시예에 따른 유기전계발광소자의 단면도.
- <3> 도 2는 본 발명의 제 3 실시예에 따른 유기전계발광소자의 단면도.

도면

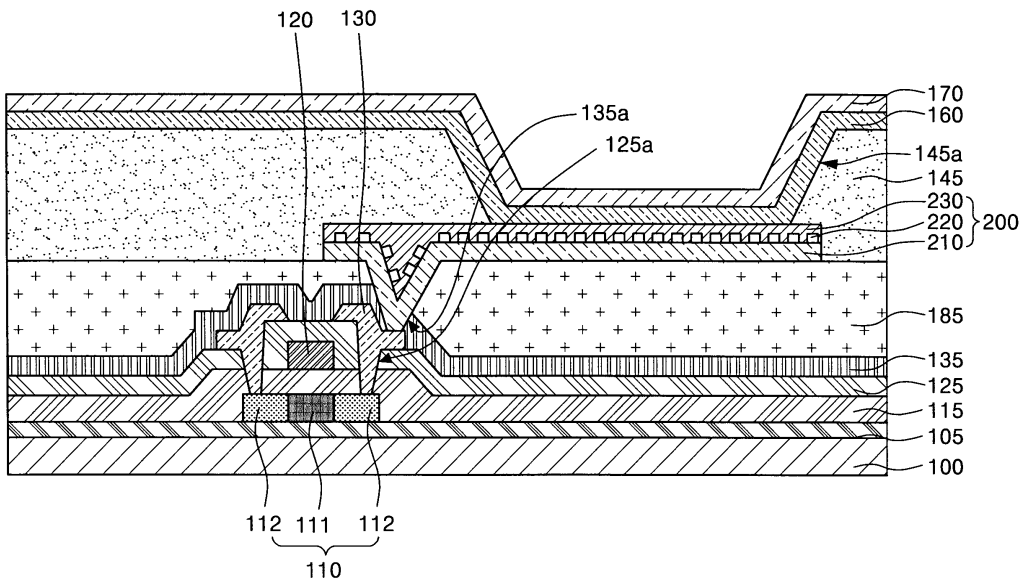
도면1a



도면1b



도면2



专利名称(译)	有机电致发光器件及其制造方法		
公开(公告)号	KR100853545B1	公开(公告)日	2008-08-21
申请号	KR1020070047135	申请日	2007-05-15
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHOI JONG HYUN 최중현 YOO KYUNG JIN 유경진 JEON HEE CHUL 전희철		
发明人	최중현 유경진 전희철		
IPC分类号	H05B33/26		
CPC分类号	H01L2251/5315 H01L51/5206 H01L27/3248 H01L51/5212 H01L51/5218		
代理人(译)	Baksangsu		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示装置及其制造方法，以通过降低在第一电极的反射膜和透明导电膜之间的含镍的膳食层的接触电阻来改善载流子迁移率。半导体层(110)位于基板(100)上。栅电极(120)位于与半导体层对应的区域中并与半导体层绝缘。栅极绝缘膜(115)使半导体层和栅电极绝缘。源电极和漏电极(130)连接到半导体层。金属层(140)位于源极和漏极上并含有镍。钝化膜(135)位于包括金属层的基板的整个表面上。第一电极(150)位于钝化膜上并连接到金属层。有机薄膜层(160)位于第一电极上。第二电极(170)位于有机薄膜层上。

