

청구항 1.

인가되는 전류에 의해 대응하여 빛을 방출하는 유기 발광 소자;

상기 유기 발광소자로 구동전류를 공급하는 제1 트랜지스터;

선택신호에 응답하여 스위칭 되어, 상기 제1 트랜지스터로의 데이터 신호의 전달을 제어하는 제2 트랜지스터;

상기 제1 트랜지스터를 다이오드 연결시키는 제3 트랜지스터;

상기 제1 트랜지스터와 상기 유기 발광 소자 사이에 개재되고, 제2 발광제어 신호에 응답하여 상기 유기 발광 소자로 공급되는 구동전류를 스위칭하는 제4 트랜지스터;

상기 제1 트랜지스터의 구동전류에 대응하는 전압을 저장하는 제1 캐패시터; 및

제1 발광제어신호에 의해 응답하여 상기 제1 캐패시터에 저장된 전압을 상기 제1 트랜지스터의 일 전극으로 인가되도록 제어하는 제5 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 2.

삭제

청구항 3.

인가되는 전류에 의해 대응하여 빛을 방출하는 유기 발광 소자;

상기 유기 발광 소자로 구동전류를 공급하는 제1 트랜지스터;

선택신호에 응답하여 스위칭 되어, 상기 제1 트랜지스터로의 데이터 신호의 전달을 제어하는 제2 트랜지스터;

상기 제1 트랜지스터를 다이오드 연결시키는 제3 트랜지스터;

상기 제1 트랜지스터와 상기 유기 발광 소자 사이에 개재되고, 제2 발광제어 신호에 응답하여 상기 유기 발광 소자로 공급되는 구동전류를 스위칭하는 제4 트랜지스터;

상기 제1 트랜지스터의 구동전류에 대응하는 전압을 저장하는 제1 캐패시터;

제1 발광제어신호에 의해 응답하여 상기 제1 캐패시터에 저장된 전압을 상기 제1 트랜지스터의 일 전극으로 인가되도록 제어하는 제5 트랜지스터; 및

상기 제1 캐패시터 및 제4 트랜지스터 사이에 개재되고, 상기 제3 트랜지스터 온/오프 시에 발생하는 누설전류의 일부를 저장하는 저장소자를 포함하는 유기 발광 표시 장치.

청구항 4.

삭제

청구항 5.

제 3항에 있어서, 상기 저장소자는 제6 트랜지스터인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6.

제 5항에 있어서, 상기 제6 트랜지스터는

제1 전극 및 제2 전극이 상기 제1 트랜지스터의 주전극과 전기적으로 연결되고, 상기 주전극이 상기 제4 트랜지스터의 주전극과 전기적으로 연결된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7.

제 3항에 있어서, 상기 저장소자는 제2 캐패시터인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8.

제 7항에 있어서, 상기 제2 캐패시터는

일 전극이 상기 제1 트랜지스터의 주전극과 전기적으로 연결되고, 타 전극이 상기 제4 트랜지스터의 주전극과 전기적으로 연결된 것을 특징으로 하는 유기 발광 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 표시 장치에 관한 것으로, 더욱 상세하게는 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 휘도를 표현하고, 스위칭 트랜지스터의 킥 백(Kick_back) 현상에 의해 발생하는 구동 전압의 변화를 최소화하여 고해상도 구현이 가능한 유기 발광 표시 장치에 관한 것이다.

도 1은 종래의 유기 발광 표시장치를 나타낸다.

도 1에 도시된 바와 같이, 상기 유기 발광 표시장치(10)는, 데이터 구동부(11), 주사 구동부(12) 및 표시부(13)를 구비한다. 상기 표시부(13)에는 세로 방향으로 뻗어있는 복수의 데이터 신호선, 가로로 뻗어있는 복수의 선택 신호선이 포함된다.

또한, 상기 유기 발광 표시장치의 표시부(13)에는, 상기 데이터 신호선 및 선택신호선에 의해 매트릭스 형태로 화소(14)가 정의되며, 상기 화소(14)에는 화소회로가 형성되어 있다.

데이터 구동부(11)는 데이터 신호선들을 통하여 데이터 신호(D[1] 내지 D[m])를 화소회로에 전달한다. 주사 구동부(12)는 선택 신호 선들을 통하여 선택신호(S[1] 내지 S[n])를 인가하여, 표시부(13)를 구성하는 복수 개의 화소(14)들을 라인 단위로 선택한다. 상기 선택신호(S[1] 내지 S[n])에 의하여 선택된 화소(14)들에는 데이터 신호(D[1] 내지 D[m])의 정보가 전달된다. 한편, 소정의 전원전압(VDD)이 버斯拉인을 통해 상기 표시부(13)의 모든 화소(14)들로 공급된다.

한편, 도 2는 도 1의 유기 발광 표시장치에 채용된 화소의 회로도이다.

도 2를 참조하면, 유기 발광 표시장치의 화소는 유기 발광 소자(OLED) 및 두 개의 트랜지스터(M1, M2)와 하나의 캐패시터(C_{st})를 구비하며, 일반적으로 상기 제1 및 제2 트랜지스터(M1, M2)는 박막 트랜지스터(TFT)가 사용된다.

상기 도 2의 화소회로에서는 제1 트랜지스터(M1)의 제1전극이 데이터 신호선에 연결된다. 이때 주전극에 인가되는 선택신호(S[n])에 의하여 상기 제1 트랜지스터(M1)가 온 되어짐으로써, 데이터 신호(D[m])가 화소회로로 인가된다.

한편, 상기 캐패시터(C_{st})는 제2 트랜지스터(M2)의 제1전극과 주전극 사이에 연결되어, 데이터 전압을 일정 기간 유지한다. 또한, 상기 제2 트랜지스터(M2)는 캐패시터(C_{st})의 양 전극 사이에 걸린 전압에 대응하는 전류를 상기 유기 발광 소자(OLED)로 공급한다.

상기 제1 트랜지스터(M1)가 온 되어지면, 데이터 신호선을 통해 인가된 데이터 전압이 캐패시터(C_{st})에 저장되며, 이후 제1 트랜지스터(M1)가 오프 되어지는 경우에도 상기 캐패시터(C_{st})에 저장된 데이터 전압에 대응하는 전류가 제2 트랜지스터(M2)를 통해 유기 발광 소자(OLED)로 인가된다. 이에 따라 제1 트랜지스터(M1)가 오프된 경우에도 상기 유기 발광 소자(OLED)는 소정의 기간동안 발광을 유지하게 된다.

이때, 유기 발광 소자(OLED)에 흐르는 전류는 다음의 수학적 식 1과 같다.

[수학적 식 1]

$$I_{OLED} = \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} (V_{DD} - V_{data} - |V_{th}|)^2$$

상기 수학적 식 1에서, I_{OLED}는 유기 발광 소자(OLED)에 흐르는 전류, V_{gs}는 제2 트랜지스터(M2)의 주전극과 제1전극 사이의 전압, V_{th}는 제2 트랜지스터(M2)의 문턱 전압, V_{DD}는 전원전압, V_{data}는 데이터 전압, β는 이득 계수(gain factor)를 나타낸다.

그러나, 상기와 같은 전압 기입 방식의 화소회로에서는, 제2 트랜지스터와 같은 구동 트랜지스터가 그 제조 공정 상 문턱 전압(V_{th})의 편차가 발생함으로써, 균일한 밝기의 화면을 얻기 어려운 문제점이 발생한다. 즉, 소정의 구동 트랜지스터가 높은 문턱전압의 절대값을 갖는 경우, 상기 수학적 식 1에 언급한 바와 같이 I_{OLED}값이 낮아지며, 상기 낮은 I_{OLED}에 의해 유기 발광 소자(OLED)는 어두운 빛을 발광하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적인 과제는 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 휘도를 표현할 수 있는 유기 발광 표시 장치를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 킥 백(Kick_back) 현상에 의해 발생하는 구동 전압의 변화를 최소화하여 고해상도 구현이 가능한 유기 발광 표시 장치를 제공하는데 있다.

발명의 구성

본 발명이 이루고자 하는 기술적인 과제를 해결하기 위한 본 발명에 따른 유기 발광 표시 장치는 인가되는 전류에 의해 대응하여 빛을 방출하는 유기 발광 소자; 상기 유기 발광 소자로 구동전류를 공급하는 제1 트랜지스터; 선택신호에 응답하여 스위칭 되어, 상기 제1 트랜지스터로의 데이터 신호의 전달을 제어하는 제2 트랜지스터; 상기 제1 트랜지스터를 다이오드 연결시키는 제3 트랜지스터; 상기 제1 트랜지스터와 상기 유기 발광 소자 사이에 개재되고, 제2 발광제어 신호에 응답하여 상기 유기 발광소자로 공급되는 구동전류를 스위칭하는 제4 트랜지스터; 및 상기 제1 트랜지스터의 구동전류에 대응하는 전압을 저장하는 제1 캐패시터를 포함하는 것이 바람직하다.

본 발명이 이루고자 하는 다른 기술적 과제를 해결하기 위한 본 발명에 따른 유기 발광 표시장치는 인가되는 전류에 의해 대응하여 빛을 방출하는 유기 발광 소자; 상기 유기 발광 소자로 구동전류를 공급하는 제1 트랜지스터; 선택신호에 응답하여 스위칭 되어, 상기 제1 트랜지스터로의 데이터 신호의 전달을 제어하는 제2 트랜지스터; 상기 제1 트랜지스터를 다이오드 연결시키는 제3 트랜지스터; 상기 제1 트랜지스터와 상기 유기 발광 소자 사이에 개재되고, 제2 발광제어 신호에 응답하여 상기 유기 발광소자로 공급되는 구동전류를 스위칭하는 제4 트랜지스터; 상기 제1 트랜지스터의 구동전류에 대응하는 전압을 저장하는 제1 캐패시터; 및 상기 제1 캐패시터 및 제4 트랜지스터 사이에 개재되고, 상기 제3 트랜지스터 온/오프 시에 발생하는 누설전류의 일부를 저장하는 저장소자를 포함하는 것이 바람직하다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.

도 3에 도시된 바와 같이 본 발명의 제1 실시 예에 따른 문턱 전압 보상을 위한 화소 회로는 유기 발광 소자(OLED), 구동 트랜지스터인 제1 트랜지스터(M1), 스위칭 트랜지스터인 제2 내지 제5 트랜지스터(M2~M5) 및 캐패시터(C_{st})를 포함한다.

제2 트랜지스터(M2)는 주사선(S[n])으로부터 선택 신호의 로우 레벨에 응답하여 데이터선(D[m])에 인가되는 데이터 전압(V_{data})을 스위칭 한다.

제1 트랜지스터(M1)는 유기 발광 소자(OLED)에 흐르는 전류를 제어하기 위한 트랜지스터로서, 제1 트랜지스터(M1)의 제1 전극은 제2 트랜지스터(M2)가 턴-온 되는 경우 데이터 전압(V_{data})에 연결되고, 제1 트랜지스터(M1)의 제2 전극이 제4 트랜지스터(M4)의 제1 전극에 연결된다.

제3 트랜지스터(M3)는 주사선(S[n])으로부터 선택 신호의 로우 레벨에 응답하여 제1 트랜지스터(M1)를 다이오드 연결(Diode connection)시킨다.

제4 트랜지스터(M4)는 제2 발광제어신호(EM2)로부터의 로우 레벨에 응답하여 유기 발광 소자(OLED)를 구동하는 구동 전류를 스위칭한다.

유기 발광 소자(OLED)의 애노드는 제4 트랜지스터(M4)의 제1 전극에 연결되고, 유기 발광 소자(OLED)의 캐소드는 기준 전압(V_{SS})에 연결되어 제4 트랜지스터(M4)가 턴-온 되어 제1 트랜지스터(M1)로부터 인가되는 전류의 양에 대응하는 빛을 방출한다. 이때, 기준 전압(V_{SS})은 전원 전압(V_{DD}) 보다 낮은 레벨의 전압으로서, 그라운드 전압, 음의 전압등이 사용될 수 있다.

제5 트랜지스터(M5)는 제1 발광제어신호(EM1)로부터의 로우 레벨에 응답하여 전원 전압(V_{DD})을 스위칭 한다.

캐패시터(C_{st})의 일 전극은 전원 전압(V_{DD})에, 타 전극은 제1 트랜지스터(M1)의 주전극에 연결되어 있다.

다음에 도 4 및 도 5를 참조하여 문턱 전압 보상을 위한 본 발명의 제1 실시 예에 따른 화소 회로의 동작을 설명한다.

t1' 구간은 초기화 구간으로서, 제1 발광제어신호(EM1)가 하이 상태, 제2 발광제어신호(EM2)가 로우 상태이고, 선택신호(S[n])가 로우 상태인 구간이다. t1' 구간에서는 제5 트랜지스터(M5)를 제외한 제2 내지 제4 트랜지스터(M2, M3, M4)가 턴-온 된다. 제3 트랜지스터(M3)가 턴-온 되므로, 제1 트랜지스터(M1)는 다이오드 연결(Diode connection) 상태가 된다. 이때 캐패시터(C_{st})에 저장되어 있던 전하가 클리어 된다.

t2' 구간은 데이터 기입 구간으로서, 제1 발광제어신호(EM1) 및 제2 발광제어신호(EM2)가 하이 상태이고, 선택신호(S[n])가 로우 상태인 구간이다. t2' 구간에서는 제4 및 제5 트랜지스터(M4 및 M5)를 제외한 제2 및 제3 트랜지스터(M2 및 M3)가 턴-온 된다. 제3 트랜지스터(M3)는 턴-온 상태를 유지하므로, 제1 트랜지스터(M1)는 다이오드 연결(Diode connection) 상태를 유지한다. t2' 구간에서 캐패시터(C_{st}) 양단의 전압은 수학식2와 같다.

[수학식 2]

$$V_{c_{st}} = V_{DD} - \{V_{data} - |V_{th}|\}$$

t3' 구간은 발광 유예 구간으로 제1 발광제어신호(EM1), 제2 발광제어신호(EM2) 및 선택신호(S[n])가 하이 상태인 구간이다. t3' 구간에서는 제2 내지 제5 트랜지스터(M2~M5)가 모두 턴-오프 되고, 이때 캐패시터(C_{st}) 양단의 전압은 상기 수학식2와 같다. t3'구간에서 선택신호(S[n]) 구간은 제1 및 2 발광 제어신호(EM1 및 EM2) 구간 이하의 범위를 만족하는 것이 바람직하다. 이는, 선택신호(S[n])가 제2 및 제3 트랜지스터(M2 및 M3)를 턴 온 시켜 데이터를 기입하는 동안, 제4 및 제5 트랜지스터(M4 및 M5)를 안정적으로 턴 오프 시키기 위함이다. 제2 및 제3 트랜지스터(M2 및 M3)를 턴 온 시키는 시점과, 제4 및 제5 트랜지스터(M4 및 M5)를 턴 온 시키는 시점이 동일한 경우, 선택신호(S[n])에 연결되는 부하의 차이로 인하여, 제4 및 제5 트랜지스터(M4 및 M5)가 턴 온 상태인 시점에서 제2 및 제3 트랜지스터(M2 및 M3)를 턴 온시킬 수 있다. 제4 및 제5 트랜지스터(M4, M5)를 턴 온 상태에서 데이터가 기입되는 경우에는, 데이터에 대응하는 전압이

캐패시터(C_{st})에 정확하게 기입되지 못하게 되는 문제가 발생한다. 따라서, t3'구간에서 선택신호(S[n]) 구간을 제1 및 2 발광 제어신호(EM1 및 EM2) 구간 이하의 범위로 설정하여 데이터에 대응하는 전압이 캐패시터(C_{st})에 정확하게 기입되도록 한다.

이어서, t4' 구간은 디스플레이 구간으로써, 제1 및 제2 발광제어신호(EM1, EM2)가 로우 상태이고, 선택신호(S[n])가 하이 상태인 구간이다. t4' 구간에서는 제2 및 제3 트랜지스터(M2 및 M3)가 턴-오프 되고, 제4 및 제5 트랜지스터(M4 및 M5)가 턴-온 되어 유기 발광 소자(OLED)에는 캐패시터(C_{st})에 저장된 전압에 대응하는 전류가 흐르게 되어 발광하게 된다. 유기 발광 소자(OLED)에 흐르는 전류(I_{OLED})는 수학식3으로 표현할 수 있다.

[수학식 3]

$$\begin{aligned} I_{OLED} &= \frac{\beta}{2} (V_{gs} - |V_{th}|)^2 \\ &= \frac{\beta}{2} (V_{data} - |V_{th}| - V_{DD} - |V_{th}|)^2 \\ &= \frac{\beta}{2} (V_{data} - V_{DD})^2 \end{aligned}$$

이로써, 문턱 전압의 편차를 보상하여 균일한 휘도를 표현할 수 있게 된다.

그러나, t3' 구간에서 제3 트랜지스터(M3)가 턴-오프 되면서 제3 트랜지스터(M3)의 채널 형성 시에 사용되었던 전하들이 캐패시터(C_{st})로 누설되는 킥-백(Kick_back) 현상이 발생한다. 이 누설 전류는 캐패시터(C_{st})의 양단 전압에 영향을 미쳐, 캐패시터(C_{st}) 양단의 데이터 전압이 도 5에 도시된 바와 같이 변하게 된다. 킥 백 전류에 의해 캐패시터(C_{st}) 양단의 전압은 수학식 4와 같이 전압 ($\Delta V = |Q_{ch}/C_{st}|$) 변동이 발생한다.

[수학식 4]

$$V_{cs} = V_{DD} - \left\{ V_{data} - |V_{th}| + \left| \frac{Q_{ch}}{C_{st}} \right| \right\}$$

수학식3에서 Q_{ch}는 제3 트랜지스터(M3)가 턴-오프 되면서 캐패시터(C_{st})로 누설되는 전하량을 나타내고, C_{st}는 캐패시터(C_{st})의 캐패시턴스 값을 나타낸다.

이어서, t4' 구간에서 유기 발광 소자(OLED)에는 캐패시터(C_{st})에 저장된 전압에 대응하는 전류가 흐르게 되어 발광하게 되는데, 상기 수학식 4에서와 같이 캐패시터(C_{st}) 양단의 전압이 변동하여 결국 유기 발광 소자(OLED)에 흐르는 전류(I_{OLED})는 수학식5로 표현할 수 있다.

[수학식 5]

$$\begin{aligned} I_{OLED} &= \frac{\beta}{2} (V_{gs} - |V_{th}|)^2 \\ &= \frac{\beta}{2} (V_{data} - |V_{th}| + \left| \frac{Q_{ch}}{C_{st}} \right| - V_{DD} - |V_{th}|)^2 \\ &= \frac{\beta}{2} (V_{data} - V_{DD} + \left| \frac{Q_{ch}}{C_{st}} \right|)^2 \end{aligned}$$

수학식5에 나타난 바와 같이, 킥-백 현상에 의해 캐패시터(C_{st}) 양단의 전압에 변동 ($\Delta V = |Q_{ch}/C_{st}|$)이 발생하게 되면, 고해상도 구현에 문제가 발생한다. 고해상도 구현을 위해서는 캐패시터(C_{st})의 크기를 최소로 구현해야 하는데, 이렇게 되면 캐패시터(C_{st})의 크기 감소에 따른 킥-백 현상에 의한 전압 변화량이 커진다. 따라서 킥-백 현상에 의한 전압 변화를 줄이는 방법은 캐패시터(C_{st})의 크기를 크게 하는 방법 밖에는 없고, 이 또한 고해상도 구현에 적합하지 않은 구조가 된다.

따라서, 이를 해결하기 위하여 도 6 및 도 9에 킥-백 현상을 보상하기 위한 화소 회로도의 제1 및 제2 실시 예가 도시되어 있다.

먼저 도 6 내지 도 8을 참조하여 제1 실시 예에 따른 킥-백 현상을 보상하기 위한 화소 회로를 설명한다.

도 6에 도시된 화소 회로는 도 3에 도시된 화소 회로에서 제1 및 제2 전극이 캐패시터(C_{st})의 타 전극에 연결되고, 주 전극이 제2 발광제어신호(EM2)에 연결된 제6 트랜지스터(M6)가 더 구비되어 있다. 제6 트랜지스터(M6)는 제2 발광제어신호(EM2)에 의해 온/오프 되어, 킥-백 현상에 의해 발생하는 변동전압의 일부를 저장하는 저장 소자 역할을 한다.

도 7은 도 6에 도시된 화소 회로를 구동하기 위한 구동 파형도로서, t1 내지 t3 구간은 도 4의 t1' 내지 t3' 구간과 동일하므로 그 설명을 생략한다.

t4 구간은 디스플레이 구간으로써, 제1 및 제2 발광제어신호(EM1, EM2)가 로우 상태이고, 선택신호(S[n])가 하이 상태인 구간이다. t4 구간에서는 제2 및 제3 트랜지스터(M2 및 M3)가 턴-오프 되고, 제4, 제5 및 제6 트랜지스터(M4, M5 및 M6)가 턴-온 되어 유기 발광 소자(OLED)에는 캐패시터(C_{st})에 저장된 전압에 대응하는 전류가 흐르게 되어 발광하게 된다.

t4 구간에서 제2 발광제어신호(EM2)가 로우 상태로 전환되는 순간, 제6 트랜지스터(M6)가 턴 온 된다. 이때 제6 트랜지스터(M6)는 캐패시터 역할을 한다. 제6 트랜지스터(M6)가 턴-온 되면, 킥-백 현상에 의해 제2 트랜지스터(M2)로부터 누설되는 전하가 캐패시터(C_{st}) 및 제6 트랜지스터(M6)로 분배되어 캐패시터(C_{st})의 양단 전압에 변화 ($\Delta V = |Q_{ch1} - Q_{ch2} / C_{st}|$)가 발생하며, 이는 도 8에 도시되어 있고, 수학식6과 같이 표현할 수 있다.

[수학식 6]

$$V_{c_{st}} = V_{DD} - \left\{ V_{data} - |V_{th}| + \left| \frac{Q_{ch1} - Q_{ch2}}{C_{st}} \right| \right\}$$

수학식6에서 Q_{ch1}은 제3 트랜지스터(M3)가 턴-오프 되면서 캐패시터(C_{st})로 누설되는 제1 전하량을 나타내고, Q_{ch2}은 제3 트랜지스터(M3)가 턴-오프 되면서 제6 트랜지스터(M6)로 누설되는 제2 전하량을 각각 나타내고, C_{st}는 캐패시터(C_{st})의 캐패시턴스 값을 나타낸다.

따라서, 캐패시터(C_{st})의 양단 전압에 변동 양이 종래 보다 현저하게 줄어들음을 알 수 있다. 최종적으로 t4 구간에서 유기 발광 소자(OLED)에 흐르는 전류(I_{OLED})는 수학식7로 표현할 수 있다.

[수학식 7]

$$I_{OLED} = \frac{B}{2} (V_{data} - V_{DD} + \left| \frac{Q_{ch1} - Q_{ch2}}{C_{st}} \right|)^2$$

문턱 전압을 보상하는 도 3의 화소 회로에 저장소자 역할을 하는 제6 트랜지스터를 더 구비함으로써 균일한 휘도를 표현함과 동시에 킥 백(Kick_back) 현상에 의해 발생하는 구동 전압의 변화를 최소화하여 고해상도 구현이 가능하게 된다.

도 9는 본 발명의 제3 실시 예에 따른 킥-백 전류를 보상하기 위한 화소 회로도로서, 도 9에 도시된 화소 회로는 도 3에 도시된 화소 회로에서 일 전극이 캐패시터(C_{st})의 타 전극에 연결되고, 타 전극이 제2 발광제어신호(EM2)에 연결된 임의의 캐패시터(C_c)가 더 구비되어 있다. 임의의 캐패시터(C_c)는 킥-백 현상에 의해 발생하는 변동전압의 일부를 저장하는 저장 소자 역할을 한다. 킥-백 현상에 의해 제3 트랜지스터(M3)로부터 누설되는 전하가 캐패시터(C_{st}) 및 캐패시터(C_c)로 분배되어 캐패시터(C_{st})의 양단 전압에 변화 ($\Delta V = |Q_{ch1} - Q_{ch2} / C_{st}|$)가 발생하며, 이는 도 8에 도시되어 있고, 상기 수학식6과 같이 표현할 수 있다. 수학식 6에서 Q_{ch1}은 제3 트랜지스터(M3)가 턴-오프 되면서 캐패시터(C_{st})로 누설되는 제1 전하량을 나타내고, Q_{ch2}은 제3 트랜지스터(M3)가 턴-오프 되면서 임의의 캐패시터(C_c)로 누설되는 제2 전하량을 각각 나타

내고, C_{st} 는 캐패시터(C_{st})의 캐패시턴스 값을 나타낸다. 도 6과 마찬가지로 캐패시터(C_{st})의 양단 전압에 변동 양이 종래보다 현저하게 줄어들음을 알 수 있으며, 캐패시터(C_c)의 크기를 잘 조절하면 분자항을 "0"으로 만들 수 있다. t4 구간에서 유기 발광 소자(OLED)에 흐르는 전류(I_{OLED})는 상기 수학식7과 같다.

상술한 바와 같이 유기 발광 장치의 픽셀 회로에서 제6 트랜지스터(M6) 및 캐패시터(C_c)를 구비함으로써, 캐패시터(C_{st})의 크기를 최소화 할 수 있게 된다. 즉, 도 3 보다 더 작은 캐패시터(C_{st})를 구현하면서도, 더 좋은 구동 특성을 얻을 수 있다는 것이다. 이는 전압 변동을 줄이기 위해 픽셀 회로에 소자를 하나 더 추가한다는 단점이 있지만, 픽셀 회로에서 가장 큰 면적을 차지하는 캐패시터(C_{st})의 면적을 줄일 수 있기 때문에 더 큰 이득을 얻을 수 있게 된다.

이상에서와 같이 도면과 명세서에서 최적 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 유기 발광 표시장치는, 문턱 전압을 보상하여 균일한 휘도를 표현함과 동시에 킥 백(Kick-back) 현상에 의해 발생하는 구동 전압의 변화를 최소화하여 고해상도 구현이 가능하게 된다.

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 유기 발광 표시장치를 나타내는 개략도이다.

도 2는 도 1의 유기 발광 표시장치에 채용된 화소의 회로도이다.

도 3은 본 발명의 제1 실시 예에 따른 문턱 전압 보상을 위한 화소 회로도이다.

도 4는 도 3에 도시된 화소 회로를 구동하기 위한 구동 파형도이다.

도 5는 도 3의 화소 회로 중 제3 트랜지스터(M3)가 턴-오프 되는 순간 발생하는 데이터 전압 변동을 설명하기 위한 도면이다.

도 6은 본 발명의 제2 실시 예에 따른 킥-백 현상을 보상하기 위한 화소 회로도이다.

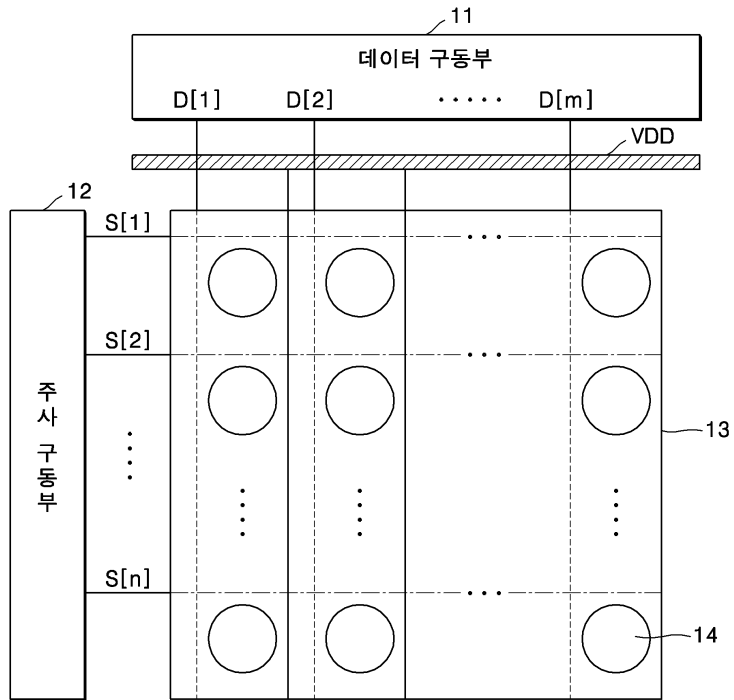
도 7은 도 6에 도시된 화소 회로를 구동하기 위한 구동 파형도이다.

도 8은 도 6의 화소 회로 중 제3 트랜지스터(M3)가 턴-오프 되는 순간 발생하는 데이터 전압 변동을 설명하기 위한 도면이다.

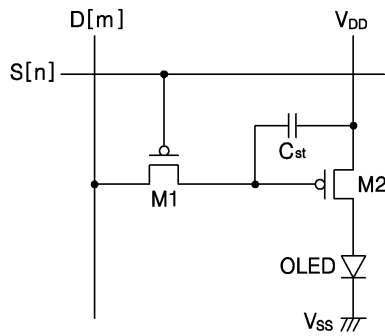
도 9는 본 발명의 제3 실시 예에 따른 킥-백 현상을 보상하기 위한 화소 회로도이다.

도면

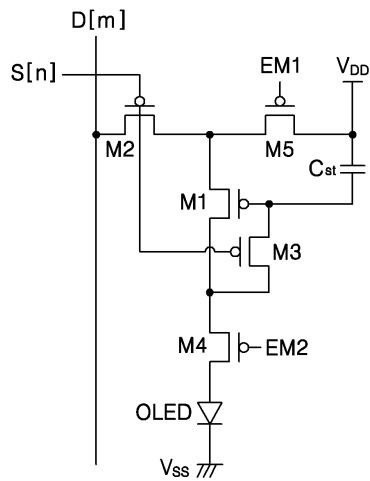
도면1



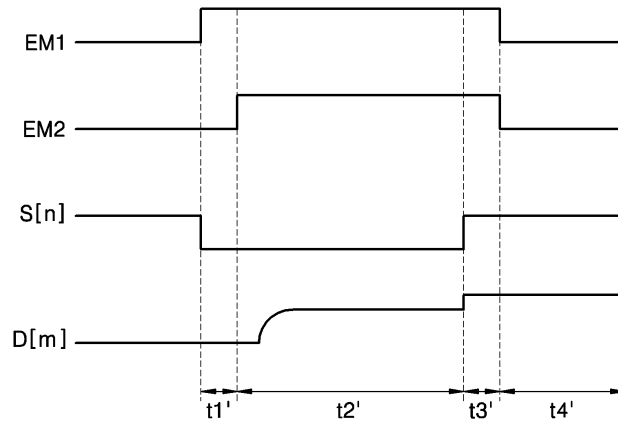
도면2



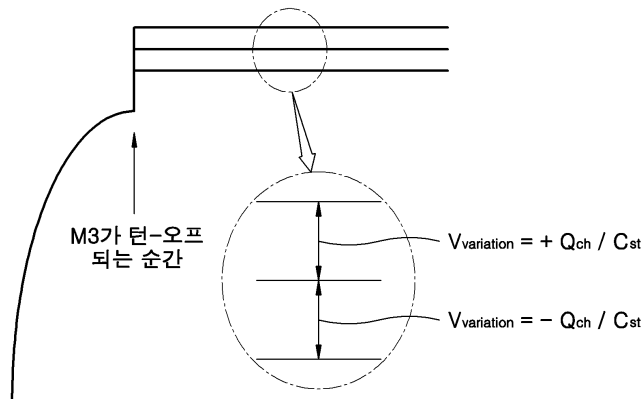
도면3



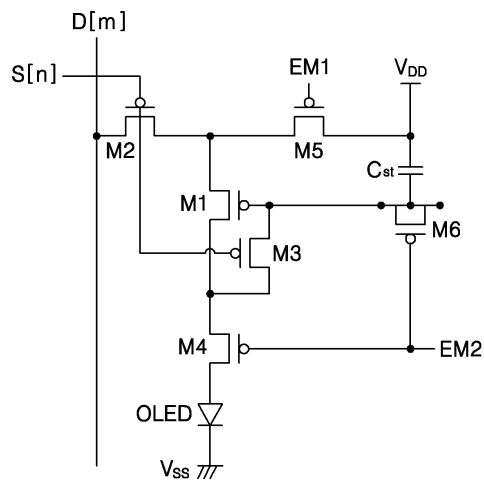
도면4



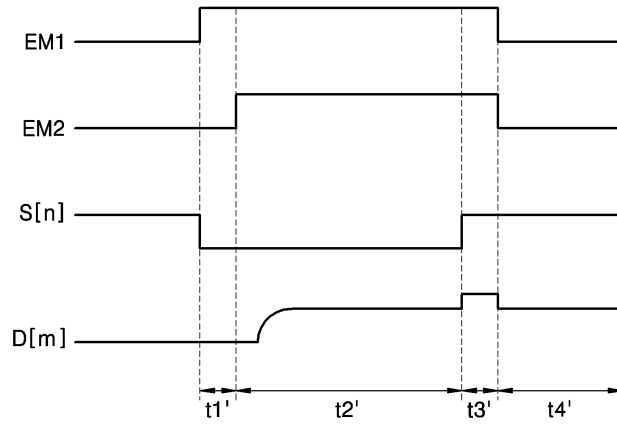
도면5



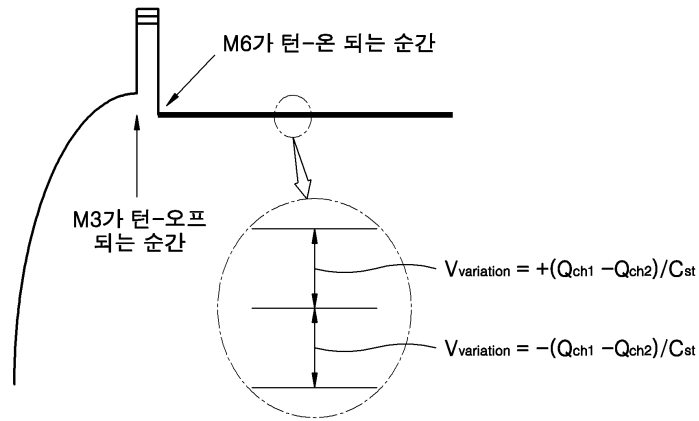
도면6



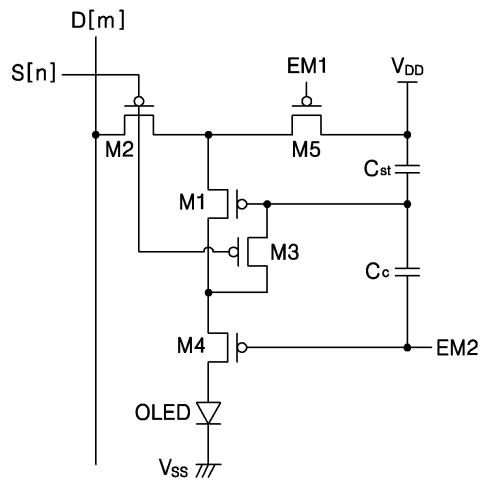
도면7



도면8



도면9



专利名称(译)	有机发光显示器		
公开(公告)号	KR100741076B1	公开(公告)日	2007-07-20
申请号	KR1020050039232	申请日	2005-05-11
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM TAE GYU		
发明人	KIM,TAE GYU		
IPC分类号	G09G3/30		
CPC分类号	G09G3/325 G09G2300/043 G09G2320/0233		
代理人(译)	李, 杨HAE		
其他公开文献	KR1020060117452A		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机发光显示装置，通过补偿阈值电压来显示均匀的亮度，并最小化由于反冲引起的驱动电压的变化。

