



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0004670  
(43) 공개일자 2009년01월12일

(51) Int. Cl.  
H05B 33/10 (2006.01) H05B 33/26 (2006.01)  
H01L 51/50 (2006.01)  
(21) 출원번호 10-2008-0063703  
(22) 출원일자 2008년07월02일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2007-00177992 2007년07월06일 일본(JP)

(71) 출원인  
소니 가부시끼 가이샤  
일본국 도쿄도 미나토쿠 코난 1-7-1  
(72) 발명자  
후지무라 히로시  
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 내  
아사노 미츠히루  
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 내  
이마이 토시아키  
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 내  
(74) 대리인  
최달용

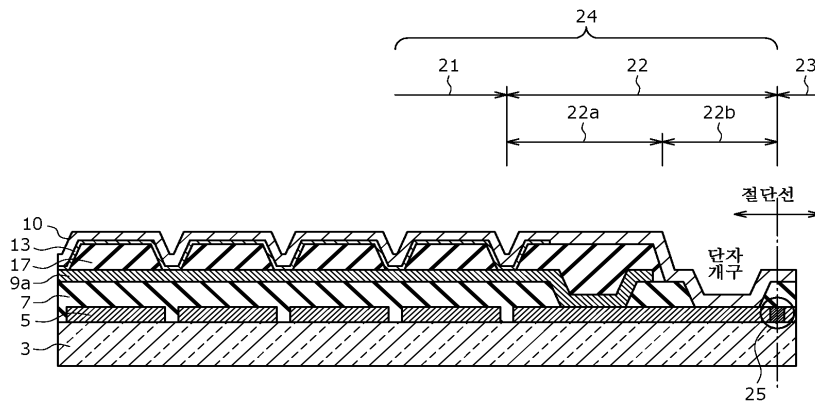
전체 청구항 수 : 총 4 항

(54) 유기 EL 표시 장치의 제조 방법 및 유기 EL 표시 장치

(57) 요약

기판의 유효 영역상의 각 화소 영역에 형성된 하부 전극, 유기층 및 상부 전극의 적층 구조와, 상기 각 화소 영역을 전기적으로 접속하는 공통 전극을 갖는 유기 EL 소자의 제조 방법은 상기 공통 전극과 전기적으로 접속되는 보호 전극과 외주 전극을 형성하는 공정과, 상기 적층 구조를 형성하는 공정과, 상기 기판의 대전을 수반하는 성막 처리를 행하는 공정을 갖는다.

대표도 - 도6



**특허청구의 범위**

**청구항 1**

기관의 유효 영역상의 각 화소 영역에 형성된 하부 전극, 유기층 및 상부 전극의 적층 구조와, 상기 각 화소 영역을 전기적으로 접속하는 공통 전극을 갖는 유기 EL 소자의 제조 방법에 있어서,  
 상기 공통 전극과 전기적으로 접속되는 보호 전극과 외주 전극을 형성하는 공정과,  
 상기 적층 구조를 형성하는 공정과,  
 상기 기관의 대전을 수반하는 성막 처리를 행하는 공정을 갖는 것을 특징으로 하는 유기 EL 표시 장치의 제조 방법.

**청구항 2**

제 1항에 있어서,  
 상기 공통 전극은 상기 하부 전극과 동일층에 해당 하부 전극에 대해 절연성을 유지하고 배치된 보조 배선을 포함하는 것을 특징으로 하는 유기 EL 표시 장치의 제조 방법.

**청구항 3**

제 1항에 있어서,  
 상기 공통 전극은 상기 상부 전극을 포함하고,  
 상기 상부 전극은 상기 각 화소 영역의 전역을 덮도록 배설되어 있는 것을 특징으로 하는 유기 EL 표시 장치의 제조 방법.

**청구항 4**

기관의 유효 영역상의 각 화소 영역에 형성된 하부 전극, 유기층 및 상부 전극의 적층 구조와, 상기 각 화소 영역을 전기적으로 접속하는 공통 전극을 갖는 유기 EL 소자를 형성하는 공정과,  
 상기 유기 EL 소자의 형성 후에 상기 유효 영역 이외의 영역을 제거하여 해당 유효 영역만을 남기는 공정을 경유하여 형성되는 유기 EL 표시 장치로서,  
 상기 유기 EL 소자를 형성하는 공정의 후, 상기 유효 영역만을 남기는 공정 전에, 상기 유기 EL 소자를 포함하는 기관 전체를 보호하기 위한 보호막이 대전을 수반하는 성막 처리에 의해 형성됨과 함께,  
 상기 공통 전극과 상기 유효 영역 이외의 영역에 형성되는 외주 전극을 도통시키는 보호 전극이 형성되어 있고, 상기 보호막의 성막 처리에 즈음하여 상기 공통 전극으로부터 상기 외주 전극으로의 전하의 흐름을 발생시키도록 구성되어 있는 것을 특징으로 하는 유기 EL 표시 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 유기 전계 발광(EL) 소자를 이용한 유기 EL 표시 장치의 제조 방법, 및, 그 제조 방법에 의해 얻어지는 유기 EL 표시 장치에 관한 것이다.

**배경기술**

<2> 근래, 평면형의 표시 장치로서, 유기 EL 소자를 발광 소자로 한 유기 EL 표시 장치가 주목을 받고 있다. 이 유기 EL 표시 장치는 백라이트가 불필요한 자발광형의 플랫 패널 디스플레이이고, 자발광형에 특유한 시야각이 넓은 디스플레이를 실현할 수 있다는 이점을 갖는다. 또한, 필요한 화소만을 점등시키면 좋기 때문에 소비 전력의 점에서 백라이트형(액정 표시 장치 등)에 비하여 유리함과 함께, 금후 실용화가 기대되고 있는 고정밀도의 고속의 비디오 신호에 대해 충분한 응답성능을 구비한다고 고려되고 있다.

<3> 유기 EL 표시 장치는 일반적으로, 유리 패널 등으로 이루어지는 기판상에, 양극(애노드)이 되는 하부 전극이 형성되어 있음과 함께, 그 하부 전극상에 정공 수송층과 발광층으로 이루어지는 유기층이 형성되어 있고, 또한 그 유기층상에는 음극(캐소드)이 되는 상부 전극이 형성되어, 구성되어 있다. 이러한 구성에 의해, 하부 전극, 유기층 및 상부 전극이 겹치는 위치에는 각각 유기 EL 소자가 형성된다. 그리고, 이들의 유기 EL 소자를 중형으로 배열함으로써 발광 영역이 형성되고, 또한 그 주변 영역에는 각 유기 EL 소자를 외부 회로 또는 내부 구동 회로와 접속시키기 위한 전극부가 형성되게 된다(예를 들면, 일본국 특개2004-207217호 공보, 및 일본국 특개2004-139970호 공보를 참조).

<4> 이와 같은 구성의 유기 EL 표시 장치는 통상, 예를 들면 도 19에 도시하는 바와 같이, 각 층의 성막 후에, 기판상의 유효 영역(발광 영역(51) 및 그 주변 영역(52)을 합친 영역)(53) 이외의 영역(54)이 제거되고(도면중 절단선 참조), 이로써 유기 EL 표시 장치가 완성되게 된다. 그 경우에, 유효 영역(53)과 그 이외의 영역(54)은 전기적으로 접속되지 않은 상태로 되어 있는 것이 일반적이다.

**발명의 내용**

**해결 하고자하는 과제**

<5> 유기 EL 표시 장치는 여러 가지의 성막 기술, 구체적으로는 공지의 진공 증착 기술이나 CVD(Chemical Vapor Deposition) 성막 기술 등을 이용하여 제조된다. 예를 들면, 유기 EL 소자를 형성하는 공정의 후, 유효 영역(53)만을 남기는 공정 전에, 유기 EL 소자를 포함하는 기판 전체를 덮는 질화규소(SiN)막을 해당 기판 전체를 보호하기 위한 보호막으로서, 대전을 수반하는 CVD 성막 처리에 의해 형성한다는 방식이다.

<6> 그러나, 종래의 유기 EL 표시 장치의 제조 과정에서는 예를 들면 CVD 성막 처리에서의 플라즈마 발생에 의해 생기는 대전 전하가 원인이 되어, 발광 영역(51)의 외주 부근에 뿌옇게 보이는 부분이 생겨 버릴 우려가 있다. 이것은 CVD 성막 처리에서의 플라즈마 발생에 의해, 유효 영역(53)과 그 이외 영역(54)에서 전위차가 생겨 버리고, 그로 인해 CVD 성막 처리로 형성하는 보호막이 균일하게 생성되지 않을 가능성이 있음에 의한다. 즉, 보호막에 대전한 전하가 발광 영역(51)의 면 내에서의 전위차에 기인하여 해당 발광 영역(51)의 외주 부근에 모여서 쌓여 버리고, 이로써 보호막의 표면에 막 거침이 발생하고, 그 막 거침이 뿌옇게 보여 버리는 것이다. 또한, 플라즈마 발생에 의해, 유기 EL 표시 장치를 구성하는 박막 트랜지스터(thin film transistor : 이하 「TFT」라고 한다) 회로 등의 전기 회로에 전기적인 충격을 가할 우려도 있다.

<7> 그래서, 본 발명은 제조 과정에서의 성막 처리에 의해 발생할 수 있는 대전 전하의 악영향을 억제할 수 있는 유기 EL 표시 장치의 제조 방법 및 유기 EL 표시 장치를 제공하는 것을 목적으로 한다.

**과제 해결수단**

<8> 본 발명은 상기 목적을 달성하기 위한 것으로, 기판의 유효 영역상의 각 화소 영역에 형성된 하부 전극, 유기층 및 상부 전극의 적층 구조와, 상기 각 화소 영역을 전기적으로 접속하는 공통 전극을 갖는 유기 EL 소자의 제조 방법에 있어서, 상기 공통 전극과 전기적으로 접속되는 보호 전극과 외주 전극을 형성하는 공정과, 상기 적층 구조를 형성하는 공정과, 상기 기판의 대전을 수반하는 성막 처리를 행하는 공정을 갖는 것을 특징으로 한다.

<9> 상기 구성의 유기 EL 표시 장치의 제조 방법에서는 기판의 대전을 수반하는 성막 처리에 앞서서 공통 전극과 전기적으로 접속되는 보호 전극과 외주 전극을 형성하여 두기 때문에, 그 성막 처리할 때에 전하가 대전하여도, 보호 전극 및 외주 전극으로의 전하의 흐름에 의해, 그 대전 전하가 유효 영역 외로 흐르게 되고, 해당 유효 영역 내의 어느 특정 개소에 대전 전하가 모여서 쌓이는 일이 발생하지 않는다.

**효과**

<10> 본 발명에 의하면, 유효 영역 내의 어느 특정 개소에 대전 전하가 모여서 쌓여 버리는 일이 없기 때문에, 유기 EL 표시 장치의 제조 과정에서, 예를 들면 플라즈마 처리를 이용한 CVD 성막과 같은 대전을 수반하는 성막 처리를 행하는 경우라도, 그 성막 처리할 때에 생기는 대전 전하가 원인이 되어 유효 영역 내의 어느 특정 개소에 회피함이 생겨 버리는 것을 억제할 수 있다. 또한, 유효 영역 외로의 전하의 흐름에 의해, 유기 EL 표시 장치를 구성하는 전기 회로에 전기적인 데미지가 미치는 것도 회피할 수 있다. 따라서 회피함이 생기는 일이 없고, 또한 전기적 데미지도 회피할 수 있는 유기 EL 표시 장치를 제조하는 것이 가능해지고, 그 제조 품질이나 제조 수율 등의 향상이 도모되게 된다.

**발명의 실시를 위한 구체적인 내용**

- <11> 이하, 도면에 의거하여 본 발명에 관한 유기 EL 표시 장치의 제조 방법 및 유기 EL 표시 장치에 관해 설명한다.
- <12> [제 1의 실시예]
- <13> 우선, 유기 EL 표시 장치의 개략 구성에 관해 설명한다.
- <14> 도 1은 유기 EL 표시 장치에서의 표시 영역의 개략 구성의 한 예를 도시하는 주요부 단면도이다. 도시 예에서는 유기 EL 소자를 발광 소자로서 배열 형성한 액티브 매트릭스형의 유기 EL 표시 장치의 개략 구성을 도시하고 있다.
- <15> 상기 실시예의 유기 EL 표시 장치(1)는 기관(3)상의 각 화소에 TFT(4)를 구비하고 있다. TFT(4)가 형성된 기관(3)상에는 TFT(4)의 소스·드레인에 접속된 배선(5)이 형성되고, 이 배선(5)을 덮는 상태로 평탄화 절연막(7)이 마련되어 있다. 또한, TFT(4)는 도시한 보텀 게이트형으로 한정되는 것이 아니고, 톱 게이트형이라도 좋고, 그 게이트 전극은 주사 회로에 접속되어 있는 것으로 한다.
- <16> 상기 평탄화 절연막(7)상의 각 화소 개구(A) 부분에, 하부 전극(9), 유기층(11), 및 상부 전극(13)을 적층하여 이루어지는 유기 EL 소자(15)가 마련된 구성으로 되어 있다. 또한 특히, 본 실시 형태의 유기 EL 표시 장치(1)에서는 유기 EL 소자(15)가 마련된 화소 개구(A) 사이에, 하부 전극(9)과 동일층에서 구성된 보조 배선(9a)이 마련된 구성으로 되어 있다. 또한, 화소 개구(A)는 하부 전극(9)을 덮는 절연막(17)에 형성되는 개구부인 것으로 한다.
- <17> 여기서, 유기 EL 소자(15)를 구성하는 하부 전극(9)은 평탄화 절연막(7)에 형성된 접속 구멍(7a)을 통하여 배선(5)에 접속되는 상태임과 함께, 화소 개구(A)보다도 크게 패턴 형성되어 있다.
- <18> 그리고, 하부 전극(9)과 동일층에서 구성된 보조 배선(9a)은 예를 들면 기관(3)상에 매트릭스형상으로 배치된 화소 개구(A) 사이에 뜨개질교형상으로 연속하여 배치됨과 함께, 하부 전극(9)에 대해 절연성을 유지하고 패턴 형성되어 있는 것으로 한다.
- <19> 이들의 하부 전극(9)의 주연(peripheral edge) 및 보조 배선(9a)은 하부 전극(9)의 중앙부를 노출시키는 절연막(17)으로 덮여 있고, 하부 전극(9)의 중앙을 노출시키는 절연막(17)의 개구부분이 화소 개구(A)가 된다. 또한, 이 절연막(17)에는 화소 개구(A)와 함께, 보조 배선(9a)에 달하는 접속 구멍(17a)이 마련되어 있다. 이 접속 구멍(17a)은 필요에 따른 위치에 마련되고, 화소 개구(A)마다 대응하여 마련될 필요는 없다.
- <20> 또한, 유기층(11)은 절연막(17)에 의해 규정된 화소 개구(A) 내에 노출하는 하부 전극(9) 위를 덮도록, 화소 개구(A)마다 패턴 형성되어 있다.
- <21> 또한, 상부 전극(13)은 유기층(11) 위를 완전히 덮음과 함께, 절연막(17)에 마련된 접속 구멍(17a)을 통하여 보조 배선(9a)에 접속되는 상태로 마련되어 있다. 이 상부 전극(13)은 기관(3)의 상방에 베타막으로서 마련되어도 좋고, 복수의 화소로 공유되는 상태로, 복수 부분마다 패턴 형성되어도 좋다.
- <22> 그런데, 이 유기 EL 표시 장치(1)는 기관(3)상의 화소마다 TFT(4)가 형성되어 있기 때문에, 기관(3)과 반대측의 상부 전극(13)측에서부터 발광광을 취출하는 윗면 발광형으로 하는 것이, 유기 EL 소자의 개구율을 확보하는데 유리하다. 이 경우, 기관(3)은 투명 재료로 이루어지는 것에 한정되는 일은 없다.
- <23> 유기 EL 표시 장치(1)가 윗면 발광형인 경우, 하부 전극(9)에는 알루미늄(Al), 은(Ag), 은(Ag)을 주성분으로 하는 합금, 크롬(Cr) 등의 광반사성이 양호한 금속 재료를 이용함으로써, 상부 전극(13)측으로 발광광을 반사시키는 것이 바람직하다. 특히, 은(Ag) 또는 은 합금을 이용함에 의해, 보다 많은 발광광을 반사시킬 수 있기 때문에, 바람직하다.
- <24> 또한, 이 경우, 하부 전극(9)의 표면을 평탄화하는 것을 목적으로 하여, 표면 평탄성에 우수한 광투과성의 도전성 산화 재료층을 상술한 금속 재료층상에 마련한 2층 구조로 하여도 좋다. 이 도전성 산화 재료층은 특히 은(Ag) 등의 반사성이 양호한 금속 재료층의 산화를 방지하기 위한 배리어층이 된다.
- <25> 또한, 금속 재료층의 하부에는 하부의 평탄화 절연막(7)과의 밀착층으로서 도전성 산화 재료층을 마련하고, 금속 재료층을 도전성 산화 재료층으로 끼워지지하여 이루어지는 3층 구조로 하여도 좋다.
- <26> 또한, 이 하부 전극(9)은 양극 또는 음극으로서 이용되고, 어느 쪽으로서 이용되는지에 의해 적절한 일 함수를 구비한 재료가 선택하여 이용되는 것으로 한다. 예를 들면, 이 하부 전극(9)이 양극으로서 이용되는 경우에는

유기층(11)에 접한 최상층에는 일 함수가 큰 재료를 홀 주입층으로서 이용하는 것으로 한다. 이 때문에, 상술한 2층 구조 또는 3층 구조로 하부 전극(9)을 구성하는 경우, 일 함수가 크고 광투과성이 양호한 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide) 등의 산화인듐이, 최상층의 도전성 산화 재료층으로서 이용된다. 또한, 금속 재료층과 평탄화 절연막(7)과의 밀착층으로서 마련되는 도전성 산화 재료층으로서도, ITO나 IZO가 이용된다.

- <27> 이상으로부터, 양극으로서 이용되는 하부 전극(9) 및 보조 배선(9a)의 구성으로서, ITO로 이루어지는 도전성 산화 재료층의 사이에 은(Ag)으로 이루어지는 금속 재료층을 끼워지지하여 이루어지는 3층 구조가 예시된다.
- <28> 또한, 유기층(11)은 적어도 발광층을 구비한 적층 구조로 이루어지고, 예를 들면 양극측으로부터 차례로, 정공 주입층, 발광층, 전자 수송층, 및 전자 주입층 등을 차례로 적층하여 이루어진다. 이들의 층은 적절히 선택하여 적층되는 것으로 한다.
- <29> 또한, 이 유기 EL 표시 장치(1)가 윗면 발광형인 경우, 상부 전극(13)은 광투과성을 갖는 재료를 이용하여 구성되고, 양호한 광 취출 효율을 얻기 위해, 충분히 얇은 막두께로 구성되는 것이 바람직하다. 또한, 하부 전극(9)이 양극인 경우에는 상부 전극(13)은 음극으로서 이용된다.
- <30> 이상에 대해, 이 유기 EL 표시 장치(1)가 기관(3)측에서부터 발광광을 취출하는 투과형인 경우, 기관(3) 및 하부 전극(9)은 광투과성을 갖는 재료로 구성되게 된다. 한편, 상부 전극(13)은 광반사성이 양호한 재료로 구성되게 된다.
- <31> 이상 설명한 바와 같이 구성된 유기 EL 표시 장치(1)는 상부 전극(13)에 접속된 보조 배선(9a)을 특별한 층으로 구성하는 일 없이 하부 전극(9)과 동일층으로 이루어지는 것으로 하였다. 이로써, 유기 EL 표시 장치(1)의 층 구조를 복잡화시키는 일 없이, 보조 배선(9a)의 접속에 의해 상부 전극(13)을 전기적으로 저저항화할 수 있다. 이 때문에, 예를 들면, 이 유기 EL 표시 장치(1)가 상부 전극(13)측에서부터 광을 취출하는 윗면 발광형인 것으로, 상부 전극(13)에 광투과성이 요구되고, 이로써 상부 전극(13)이 막막화한 경우라도, 층 구조를 복잡화시키는 일 없이 상부 전극(13)의 저저항화를 도모하고, 그 전압 강하를 방지하는 것이 가능해진다. 이 결과, 표시 장치로서의 표시 특성을 양호하게 유지하는 것이 가능해진다.
- <32> 다음에, 상술한 구성의 유기 EL 표시 장치의 제조 방법의 한 예, 및, 그 유기 EL 표시 장치의 더욱 상세한 구성의 구체예에 관해 설명한다. 도 2a 내지 도 2e는 유기 EL 표시 장치의 제조 공정의 한 예를 도시하는 설명도이다.
- <33> 상술한 구성의 유기 EL 표시 장치의 제조에 즈음하여서는 우선, 도 2a에 도시하는 바와 같이, 예를 들면 유리 기관으로 이루어지는 기관(3)상에 TFT(4) 및 이 소스·드레인에 접속된 배선(5)을 형성한다.
- <34> 그 후, 도 2b에 도시하는 바와 같이, TFT(4) 및 배선(5)의 형성에 의해, 기관(3)의 표면층에 생긴 요철을 매입하도록, 기관(3)상에 평탄화 절연막(7)을 형성한다. 이 경우, 예를 들면, 기관(3)상에 포지형 감광성 폴리이미드를 스핀코트법에 의해 도포하고, 노광 장치에 배선(5)의 상부면에 노광광을 조사하는 패턴 노광을 행하고, 뒤 이어 패들식 현상 장치로 현상을 행한다. 다음에, 폴리이미드를 이미드화(환화(cyclizing))시키기 위해 본 소성을 클린 베이킹 로(clean-bake furnace)에서 행한다. 이로써, 배선(5)에 달하는 접속 구멍(7a)을 갖는 평탄화 절연막(7)을 형성한다. 이 평탄화 절연막(7)은 예를 들면 배선(5)을 형성한 상태의 요철이 1.0 $\mu$ m 정도로 있는 경우, 2.0 $\mu$ m 정도의 막두께로 형성된다.
- <35> 다음에, 도 2c에 도시하는 바와 같이, 평탄화 절연막(7)상에, 하부 전극(9), 및 보조 배선(9a)을 형성한다. 여기서 예를 들면 양극이 되는 하부 전극(9)을 형성한다. 이 경우, 우선, 평탄화 절연막(7)상에, 밀착층이 되는 도전성 산화 재료(예를 들면 ITO)를, DC 스퍼터링법에 의해 20nm 정도의 막두께로 성막한다. 다음에, 금속 재료(예를 들면 Ag)를, DC 스퍼터링법에 의해 100nm 정도의 막두께로 성막한다. 그 후, 이 금속 재료층상에 배리어층, 홀 주입층 및 평탄화층이 되는 도전성 산화 재료(예를 들면 ITO)를, DC 스퍼터링법에 의해 10nm 정도의 막두께로 성막한다.
- <36> 또한, 밀착층으로서 형성되는 도전성 산화 재료층은 밀착 가능한 막두께로 있으면 좋고, ITO라면 5nm 내지 100nm의 막두께로 형성되는 것으로 한다. 또한, 금속 재료층은 발광광을 투과시키지 않으면서도 가공이 가능하면 좋고, Ag라면 50nm 내지 500nm의 막두께로 형성되는 것으로 한다. 또한, 배리어층, 홀 주입층 및 평탄화층이 되는 도전성 산화 재료층은 가공 한계인 3nm 내지 50nm의 막두께로 형성되는 것으로 한다.
- <37> 뒤이어, 통상의 리소그래피 기술에 의해 형성한 레지스트 패턴을 마스크로 이용한 에칭에 의해, 이들의 금속 재료층 및 도전성 산화 재료층을 패터닝한다. 이로써, 접속 구멍(7a)을 통하여 배선(5)에 접속되는 하부 전극(9)

을 각 화소 부분에 대응시켜서 매트릭스형상으로 배열 형성하고, 또한 이들의 하부 전극(9) 사이에 보조 배선(9a)을 형성한다.

- <38> 또한, 2층 구조의 하부 전극(9) 및 보조 배선(9a)을 형성하는 경우에는 평탄화 절연막(7)상에, DC 스퍼터링법에 의해 금속 재료층(예를 들면 Ag) 150nm 정도의 막두께로 성막하고, 또한 ITO층을 10nm 정도의 막두께로 성막한 후, 이들의 층을 패터닝한다.
- <39> 그 후, 도 2d에 도시하는 바와 같이, 화소 개구(A)와 접속 구멍(17a)을 갖는 절연막(17)을 형성한다. 여기서는 우선, 예를 들면 CVD법에 의해, 이산화규소(SiO<sub>2</sub>)막을 1.0 $\mu$ m 정도의 막두께로 성막한다. 그 후, 통상의 리소그래피 기술을 이용하여 형성한 레지스트 패턴을 마스크로 한 에칭에 의해, 이산화규소막을 패터닝한다. 이 때, 에칭 측벽이 테이퍼 형상이 되는 조건으로 에칭을 행하는 것으로 한다. 이로써, 하부 전극(9)의 중앙부를 노출시키는 화소 개구(A)와, 보조 배선(9a)에 달하는 접속 구멍(17a)을 갖는 이산화규소막으로 이루어지는 절연막(17)을 얻는다. 또한, 이 절연막(17)은 이산화규소막으로 이루어지는 것으로 한정된 것이 아니다.
- <40> 다음에, 도 2e에 도시하는 바와 같이, 화소 개구(A)의 저부에 노출하고 있는 하부 전극(9)을 덮는 형상의 유기층(11)을 패터닝 형성한다. 여기서는 절연막(17)상에 증착 마스크(29)를 대향 배치한 상태에서, 저분자의 유기 재료를 이용한 증착 성막을 행하는 것으로 한다. 이 증착 마스크(29)는 유기층(11)의 형성부에 대응시킨 개구부(29a)를 구비하고 있다. 또한, 화소 개구(A) 내의 하부 전극(9)을 확실하게 덮는 상태로 유기층(11)이 형성되도록, 증착 마스크(29)측에서 평면시적으로 본 경우에, 하부 전극(9)의 노출 부분의 전체를 노출시키도록, 개구부(29a)가 화소 개구(A) 주위의 절연막(17)의 측벽에 겹치도록 설계되어 있는 것으로 한다.
- <41> 그리고, 이 증착 마스크(29)를 이용한 증착 성막에 의해, 예를 들면 하부 전극(9) 측으로부터 차례로, 정공 주입층으로서 4,4',4"-트리스(3-메틸페닐페닐아미노)트리페닐아민(MTDATA), 정공 수송층으로서 비스(N-나프틸)-N-페닐벤지딘( $\alpha$ -NPD), 발광층으로서 8-퀴놀리놀알루미늄 착체(Alq3)를 적층하여 이루어지는 유기층(11)을 형성한다.
- <42> 이 때, 유기층(11)을 구성하는 상기한 각 재료는 각각 0.2g를 저장 가열용의 보트에 충전하고, 진공 증착 장치의 소정의 전극에 부착한다. 그리고, 증착실 내를  $0.1 \times 10^{-4}$  Pa 정도까지 감압한 후, 각 보트에 순차로 전압을 인가함으로써, 복수의 유기 재료를 순차로 증착 성막시킨다. 각 재료의 막두께는 정공 주입층으로서 MTDATA를 30nm, 정공 수송층으로서  $\alpha$ -NPD를 20nm, 발광층으로서 Alq3를 30nm 정도로 한다.
- <43> 또한, 상술한 증착 성막할 때에는 증착 마스크(29)를 절연막(17)상에 재치함으로써, 증착 마스크(29)와 기관(3)이 소정의 간격으로 유지되도록 하여도 좋다.
- <44> 이상의 단계 이후에, 도 2f에 도시하는 바와 같이, 유기층(11) 및 절연막(17) 위를 덮음과 함께, 절연막(17)의 접속 구멍(17a)을 통하여 보조 배선(9a)에 접속된 상부 전극(13)을 형성한다. 여기서는 음극이 되는 Mg-Ag를 공증착(co-evaporation)에 의해 기관(3)상의 전면에 형성한다.
- <45> 이 때, Mg 0.1g와 Ag 0.4g를 각각 보트에 충전하고, 진공 증착 장치의 소정의 전극에 부착한다. 그리고, 증착실 내를  $0.1 \times 10^{-4}$  Pa 정도까지 감압한 후, 각 보트에 전압을 인가함으로써, Mg와 Ag를 기관(3)의 상부에 공증착시킨다. 또한, 한 예로서, Mg와 Ag와의 성막 속도의 비는 9 : 1 정도로 하고, 10nm 정도의 막두께로 형성한다.
- <46> 또한, 이상의 유기층(11)의 형성과 상부 전극(13)의 형성은 모두 증착 성막으로 행하여지기 때문에, 동일한 증착실 내에서 연속하여 행하는 것으로 한다. 단, 유기층(11)의 증착 성막이 종료된 후, 상부 전극(13)의 증착 성막을 행할 때에는 기관(3)상에서부터 증착 마스크(29)를 제거하는 것으로 한다.
- <47> 이상에 의해, 도 1을 이용하여 설명한 구성의 유기 EL 표시 장치(1)를 얻을 수 있다.
- <48> 이상 설명한 제조 방법에 의하면, 도 2c를 이용하여 설명한 바와 같이, 하부 전극(9)의 형성과 동일 공정으로 보조 배선(9a)이 형성된다. 또한 도 2d를 이용하여 설명한 바와 같이, 절연막(17)에 대한 화소 개구(A)의 형성과 동일 공정으로 보조 배선(9a)에 달하는 접속 구멍(17a)이 형성된다. 그리고, 도 2f 및 도 1을 이용하여 설명한 바와 같이, 유기층(11)을 덮음과 함께 접속 구멍(17a)을 통하여 보조 배선(9a)에 접속되도록 상부 전극(13)이 형성된다. 따라서 공정을 추가하는 일 없이, 상부 전극(13)에 보조 배선(9a)을 접속시켜서 이루어지는 즉, 도 1을 이용하여 설명한 유기 EL 표시 장치(1)를 얻는 것이 가능해진다.
- <49> 이로써, 상부 전극(13)에 보조 배선(9a)을 접속시켜서 이루어지는 유기 EL 표시 장치의 제조 비용을 억제하는

것이 가능해짐과 함께, 제조 공정의 삭감에 의한 수율의 향상을 달성하는 것이 가능해진다.

- <50> 도 3은 이상과 같은 순서를 경유하여 얻어지는 유기 EL 표시 장치(1)의 개략 구성예를 도시하는 사시도이다.
- <51> 도시된 실시예와 같이, 유기 EL 표시 장치(1)는 기관(3)상의 평면 영역이, 발광 영역(21)과 그 주변 영역(22)으로 구성되어 있다.
- <52> 발광 영역(21)은 하부 전극(9), 유기층(11), 및 상부 전극(13)을 적층하여 이루어지는 유기 EL 소자(15)가, 매트릭스상에 배치되는 영역이다. 즉, 발광 영역(21)은 복수의 화소 영역으로 구성되어 있고, 각 화소 영역의 각 각에 유기 EL 소자(15)가 형성되게 된다.
- <53> 주변 영역(22)은 각 화소 영역의 유기 EL 소자(15)를 구동하기 위한 주변 회로(22a)와, 전원이나 신호 등을 입력하기 위한 전극 단자(22b)가 형성되는 영역이다. 전극 단자(22b)는 금속층(배선(5))이 노출한 상태가 되도록 형성된다.
- <54> 이와 같은 유기 EL 표시 장치(1)는 이른바 스크라이브 처리를 경유하여 완성된다. 즉, 주변 영역(22)보다도 또한 그 외주측에 위치하는 영역(이하 「외주 영역」이라고 한다)(23)을 포함하는 크기의 기관(3)상에 각 층의 성막을 행하고, 각 층의 성막이 전부 완료한 후는 외주 영역(23)을 스크라이브 처리에 의해 절단 제거하고, 발광 영역(21)과 주변 영역(22)으로 이루어지는 유효 영역(24)만을 남김으로써, 유기 EL 표시 장치(1)가 완성되게 된다.
- <55> 그런데, 이상과 같은 순서의 유기 EL 표시 장치의 제조 과정에서는 하부 전극(9), 유기층(11) 및 상부 전극(13)의 적층 구조로 이루어지는 유기 EL 소자를 형성하는 공정의 후, 유효 영역(24) 이외의 외주 영역(23)을 스크라이브 처리에 의해 제거하여 해당 유효 영역(24)만을 남기는 공정 전에, 유기 EL 소자를 포함하는 기관 전체를 덮는 질화규소(SiN)막 또는 이산화규소(SiO<sub>2</sub>)막을 해당 기관 전체를 보호하기 위한 보호막으로서, 대전을 수반하는 CVD 성막 처리에 의해 형성하는 일 있다. 단, 이와 같은 보호막을 형성하는 공정을 포함하는 경우에는 그 CVD 성막 공정에서 이용하는 플라즈마 처리할 때에 생기는 대전 전하가 원인이 되어, 발광 영역의 외주 부근에 뿌옇게 보이는 부분이 생겨 버릴 우려가 있다.
- <56> 이 때문에, 본 실시 형태에서의 유기 EL 표시 장치의 제조 방법에서는 이하에 기재하는 바와 같은 특징적인 순서를 경유하는 것으로 한다.
- <57> 도 4는 본 발명에 관한 유기 EL 표시 장치의 제조 공정의 한 예를 도시하는 설명도이다.
- <58> 도시 예와 같이, 유기 EL 표시 장치의 제조에 즈음하여서는 기관(3)상에, 배선(5)이 되는 금속층(예를 들면 TiAl계 합금)을 패턴 성막하고, 그 위에 평탄화 절연막(7)을 성막하고, 또한 보조 배선(9a)을 형성하고, 그 상면측에 절연막(17)을 형성한다. 그리고, 이들의 윗면측을 전체적으로 덮도록, 기관 전체를 보호하는 보호막(10)을 CVD법에 의해 성막한다.
- <59> 단, 이미 설명한 바와 같이, CVD법에 의해 성막되는 보호막(10)에는 플라즈마 처리에 의해 전하가 대전하는 것이 고려된다. 이와 같은 전하의 대전은 CVD막의 표면에 막 거침이 발생하고, 유효 영역(24)이 뿌옇게 되어 버리는 요인이 될 수 있기 때문에, 억제하여야 한다.
- <60> 그래서, 본 실시 형태에서의 유기 EL 표시 장치의 제조 방법에서는 CVD법에 의한 보호막(10)의 성막 처리에 앞서서, 배선(5)이 되는 금속층의 성막시에 해당 금속층을 유효 영역(24) 내뿐만 아니라 외주 영역(23)에도 형성하여 덩과 함께, 주변 영역(22)의 금속층과 외주 영역(23)에 형성되는 금속층(이하, 이 금속층을 「외주 전극」이라고 한다)을 도통시키는 보호 전극(25)을 형성하여 두도록 한다. 구체적으로는 유효 영역(24)과 외주 영역(23)의 경계부분(도면중의 절단선 참조)은 통상, 후에 행하는 스크라이브 처리의 용이화를 고려하여, 금속층이 단절하도록 패턴 성막되지만, 그 경계부분을 가로질러 연결되는 부분이 존재하도록 해당 금속층을 패턴 성막함으로써, 보호 전극(25)을 형성하는 것이 고려된다.
- <61> 보호 전극(25)은 하나의 유효 영역(24)당 적어도 하나가 형성되어 있으면 되고, 그 형성 개소 수나 형성 위치 등에 관해서는 특히 한정되는 것이 아니다.
- <62> 도 5a 내지 도 5c는 보호 전극(25)의 형성 위치의 구체예를 도시하는 설명도이다.
- <63> 발광 영역(21)이 직사각형형상인 경우, 그 발광 영역(21)에서의 회미함은 직사각형형상의 각 정부(vertexes) 부근에 발생하기 쉽다. 이에 대응하여, 보호 전극(25)은 도 5a에 도시하는 바와 같이, 발광 영역(21)의 각 정부의

각각에 대응하여, 해당 각 정부의 부근에 형성하는 것이 고려된다.

- <64> 또한, 하나의 기관(3)상에 복수의 유기 EL 표시 장치(1)를 형성하는 이른바 다면취(multi-panel cutting)를 행하는 경우라면, 도 5c에 도시하는 바와 같이, 주변 영역(22)에 면하는 개소에만(도시 예에서는 유효 영역(24a)의 우측 부분 2개소와 유효 영역(24b)의 좌측 부분 2개소), 보호 전극(25)을 형성하는 것이 고려된다.
- <65> 또한, 다면취를 행하는 경우에는 도 5c에 도시하는 바와 같이, 기관 내의 유효 영역(24)끼리의 사이에도 필요에 따라 외주 영역(23)을 마련하고, 그 외주 영역(23)에 접속하도록 보호 전극(25)을 형성하는 것도 고려된다.
- <66> 이와 같은 보호 전극(25)은 주변 영역(22)의 금속층과 외주 전극을 도통시키는 것이다. 그리고, 주변 영역(22)의 금속층은 보조 배선(9a)과 전기적으로 접속하고 있음과 함께, 그 보조 배선(9a)은 각 화소 영역에서의 유기 EL 소자(15)의 하부 전극(9) 또는 상부 전극(13)과의 전기적 접속이 확보되어 있다. 즉, 주변 영역(22)의 금속층 및 보조 배선(9a)은 각 화소 영역과의 전기적 접속을 확보하기 위한 공통 전극으로서 기능한다.
- <67> 따라서 보호 전극(25)은 각 화소 영역과의 전기적 접속을 확보하기 위한 공통 전극을 외주 전극과 도통시키게 되고, 이로써 해당 공통 전극으로부터 해당 외주 전극으로의 전하의 흐름을 발생시키게 된다.
- <68> 이상과 같은 특징적인 순서를 경유하는 제조 방법 및 해당 순서를 경유하여 얻어지는 유기 EL 표시 장치(1)에서는 대전을 수반하는 CVD 성막 처리에 앞서서 보호 전극(25)을 형성하여 두기 때문에, 그 CVD 성막 처리할 때에 CVD막(보호막(10))에 전하가 대전하여도, 보호 전극(25)이 생기게 하는 전하의 흐름에 의해, 그 대전 전하가 주변 영역(22)의 전극 단자로부터 외주 전극에 흐르게 된다. 즉, 유효 영역(24) 내의 어느 특정 개소에 대전 전하가 모여서 쌓여 버린다는 일이 발생하지 않는다.
- <69> 그 때문에, 상술한 특징적인 순서를 경유하면, 유효 영역(24) 내의 어느 특정 개소에 대전 전하가 모여서 쌓여 버리는 일이 없기 때문에, 유기 EL 표시 장치(1)의 제조 과정에서, 예를 들면 플라즈마 처리를 이용한 CVD 성막과 같은 대전을 수반하는 성막 처리를 행하는 경우라도, 그 성막 처리할 때에 생기는 대전 전하가 원인이 되어 유효 영역(24) 내의 어느 특정 개소에 회미함이 생겨 버리는 것을 억제할 수 있다. 즉, 회미함이 생기는 일이 없는 유기 EL 표시 장치(1)를 제조하는 것이 가능해지고, 그 제조 품질이나 제조 수율 등의 향상을 도모할 수 있게 된다. 나아가서는 보호 전극(25)이 생기게 하는 전하의 흐름에 의해, 유기 EL 표시 장치를 구성하는 TFT(4) 등의 전기 회로에 전기적인 데미지가 미치는 것도 회피할 수 있다.
- <70> [제 2의 실시예]
- <71> 도 6은 본 발명에 관한 유기 EL 표시 장치의 제조 공정의 다른 실시예를 도시하는 설명도이다.
- <72> 도시된 실시예의 유기 EL 표시 장치의 제조에 즈음하여서는 기관(3)상에, 배선(5)이 되는 금속층(예를 들면 TiAl계 합금)을 패턴 성막하고, 그 위에 평탄화 절연막(7)을 성막하고, 또한 보조 전극(9)을 형성하고, 그 상면측에 절연막(17)을 통하여 상부 전극(13)을 형성한다. 이 상부 전극(13)은 예를 들면 마그네슘 은(MgAg)의 베타막에 의해 형성하는 것이 고려된다. 그리고, 이들의 윗면측을 전체적으로 덮도록, 기관 전체를 보호하는 보호막(10)을 CVD법에 의해 성막한다.
- <73> 단, CVD법에 의해 성막된 보호막(10)에는 플라즈마 처리에 의해 전하가 대전하는 것이 고려된다. 이와 같은 전하의 대전은 CVD막의 표면에 막 거침이 발생하여, 유효 영역(24)이 뿌옇게 되어 버리는 요인이 될 수 있기 때문에, 억제해야 한다.
- <74> 본 실시 형태에서도, 상술한 제 1의 실시예의 경우와 마찬가지로, CVD법에 의한 보호막(10)의 성막 처리에 앞서서, 배선(5)이 되는 금속층의 성막시에 해당 금속층을 유효 영역(24) 내뿐만 아니라 외주 영역(23)에도 형성하여 돕과 함께, 주변 영역(22)의 금속층과 외주 전극을 도통시키는 보호 전극(25)을 형성하여 두도록 한다.
- <75> 이와 같은 보호 전극(25)은 주변 영역(22)의 금속층과 외주 전극을 도통시키는 것이다. 그리고, 주변 영역(22)의 금속층은 보조 배선(9a)과 전기적으로 접속하고 있음과 함께, 그 보조 배선(9a)은 베타막상의 상부 전극(13)과의 전기적 접속이 확보되어 있다. 즉, 주변 영역(22)의 금속층, 보조 배선(9a) 및 상부 전극(13)은 각 화소 영역과의 전기적 접속을 확보하기 위한 공통 전극으로서 기능한다.
- <76> 따라서 보호 전극(25)은 각 화소 영역과의 전기적 접속을 확보하기 위한 공통 전극을 외주 전극과 도통시키게 되고, 이로써 해당 공통 전극으로부터 해당 외주 전극으로의 전하의 흐름을 발생시키게 된다.
- <77> 즉, 본 실시 형태에서도, 상술한 제 1의 실시예의 경우와 마찬가지로, 대전을 수반하는 CVD 성막 처리에 앞서서 보호 전극(25)을 형성해 두기 때문에, 그 CVD 성막 처리할 때에 CVD막(보호막(10))에 전하가 대전하여도, 보호

전극(25)이 생기게 하는 전하의 흐름에 의해, 그 대전 전하가 주변 영역(22)의 전극 단자로부터 외주 전극으로 흐르게 된다. 즉, 유효 영역(24) 내의 어느 특정 개소에 대전 전하가 모여서 쌓여 버린다는 일이 발생하지 않는다. 그 때문에, 유기 EL 표시 장치(1)의 제조 과정에서, 예를 들면 플라즈마 처리를 이용한 CVD 성막과 같은 대전을 수반하는 성막 처리를 행하는 경우라도, 그 성막 처리할 때에 생기는 대전 전하가 원인이 되어 유효 영역(24) 내의 어느 특정 개소에 회미함이 생겨 버리는 것을 억제할 수 있다. 즉, 회미함이 생기는 일이 없는 유기 EL 표시 장치(1)를 제조하는 것이 가능해지고, 그 제조 품질이나 제조 수율 등의 향상을 도모할 수 있게 된다. 나아가서는 보호 전극(25)이 생기게 하는 전하의 흐름에 의해, 유기 EL 표시 장치를 구성하는 TFT(4) 등의 전기 회로에 전기적인 데미지가 미치는 것도 회피할 수 있다.

<78> 특히, 본 실시 형태에서는 베타막상의 상부 전극(13)이 공통 전극의 일부로서 기능한다.

<79> 도 7은 본 실시 형태에서 유기 EL 표시 장치(1)의 개략 구성예를 도시하는 사시도이다.

<80> 이와 같은 유기 EL 표시 장치(1)에 의하면, 상부 전극(13)이 베타막 상태이기 때문에, 각 화소 영역의 전역을 덮는 것이 되고, 그것보다도 하방에 형성되어 있는 전기 회로(TFT 회로, 화소 회로, 주변 회로 등)를, 해당 상부 전극(13)이 전기적으로 실드하게 된다. 따라서 상부 전극(13)이 공통 전극의 일부로서 기능시킴으로써, CVD 성막 처리할 때, 전기 회로에 전기적인 데미지가 미치는 것을 확실하게 방지하여 해당 전기 회로를 보호할 수 있게 되고, 또한 CVD막에 대전한 전하를 외주 전극으로 확실하게 놓아주는 것도 가능해진다. 즉, 이와 같은 구성은 CVD막 회미함의 대책과, TFT(4) 등의 전기 회로의 보호의 관점에서부터, 가장 효과적인 것이라고 고려된다.

<81> [제 3의 실시예]

<82> 도 8는 유기 EL 표시 장치에서의 표시 영역의 개략 구성의 다른 예를 도시하는 주요부 단면도이다.

<83> 도시 예의 유기 EL 표시 장치에서는 기관(3)상에, 음극 보조 배선(31), 층간 절연막(32), 소스 메탈층(33), 평탄화막(34), ITO층(35) 및 बैं크층(36)이 순차로 적층되어 이루어지는 다층 적층 구조(30)가 형성되어 있다. 이 다층 적층 구조(30)는 발광 영역(21)상에 형성되어 있는 것이다. 다층 적층 구조(30)의 상층에는 음극(37)이 성막되어 있다. 층간 절연막(32)은 데이터선(Idat) 및 주사선(Vsel)을 음극 보조 배선(31)으로부터 전기적으로 분리하기 위한 절연막이고, 층간 절연막(32)상에는 데이터선(Idat) 및 주사선(Vsel)과 동일 공정에서 패터닝된 소스 메탈층(33)이 섬형상(島狀)으로 형성되어 있다. 소스 메탈층(33)은 층간 절연막(32) 내로 개구하는 콘택트 홀(h5)을 통하여 음극 보조 배선(31)과 도통하고 있다. 층간 절연막(32)상에는 평탄화 처리된 절연성의 평탄화막(34)이 적층되어 있고, 그 상층에는 섬형상으로 패터닝된 ITO층(35)이 형성되어 있다. ITO층(35)과 소스 메탈층(33)은 평탄화막(34)으로 개구하는 콘택트 홀(h3)을 통하여 도통하고 있다. 콘택트 홀(h3)은 음극 보조 배선(31)의 연장 방향에 따라 복수 개구하고 있고, ITO층(35)과 소스 메탈층(33)과의 접촉점을 다수 마련함으로써 전기 저항치를 저감하고 있다.

<84> 떠런. 이와 같은 구성의 유기 EL 표시 장치에서도, 기관(3)상의 각 층의 성막 후에, 기관 전체를 보호하는 보호막(단 도시 생략)을 CVD법에 의해 성막하면, 그 성막 처리에 의해 형성되는 보호막에는 성막시에 이용하는 플라즈마 처리에 의해, 전하가 대전하는 것이 고려된다. 그래서, 본 실시 형태에서도, 상술한 제 1 또는 제 2의 실시예의 경우와 마찬가지로, CVD법에 의한 보호막의 성막 처리에 앞서서, 음극 보조 배선(31)이 되는 금속층의 성막시에 해당 금속층을 유효 영역(24) 내뿐만 아니라 외주 영역(23)에도 형성하여 둘과 함께, 주변 영역(22)의 금속층과 외주 영역(23)에 형성되는 금속층(외주 전극)을 도통시켜서 전하의 흐름을 발생시키는 보호 전극(25)을 형성하여 두도록 한다.

<85> 또한, 본 실시 형태에서는 유효 영역(24)에서의 금속층이 기관(3)상에 이른바 베타로 일양하게 성막되고, 이로써 음극 보조 배선(31)을 구성하고 있기 때문에, 그 음극 보조 배선(31)을 통하여, 각 화소 영역에서의 유기 EL 소자(15)의 하부 전극(9) 또는 상부 전극(13)과의 전기적 접속이 확보된다. 즉, 주변 영역(22)에 형성되는 금속 및 이것에 도통한 음극 보조 배선(31)이, 각 화소 영역과의 전기적 접속을 확보하기 위한 공통 전극으로서 기능하게 된다.

<86> 이상과 같은 본 실시 형태에서도, 상술한 제 1 또는 제 2의 실시예의 경우와 마찬가지로, CVD 성막 처리할 때에 CVD막에 전하가 대전하여도, 보호 전극(25)이 생기게 하는 전하의 흐름에 의해, 유효 영역(24) 내의 어느 특정 개소에 대전 전하가 모여서 쌓여 버린다는 일이 발생하지 않는다. 따라서 유기 EL 표시 장치(1)의 제조 과정에서, 예를 들면 플라즈마 처리를 이용한 CVD 성막과 같은 대전을 수반하는 성막 처리를 행하는 경우라도, 그 성막 처리할 때에 생기는 대전 전하가 원인이 되어 유효 영역(24) 내의 어느 특정 개소에 회미함이 생겨 버리는

것을 억제할 수 있다. 또한, 보호 전극(25)이 생기게 하는 전하의 흐름에 의해, 유기 EL 표시 장치를 구성하는 TFT(4) 등의 전기 회로에 전기적인 데미지가 미치는 것도 회피할 수 있다. 즉, 유기 EL 표시 장치(1)의 제조 품질이나 제조 수율 등의 향상을 도모할 수 있게 된다.

<87> [제 4의 실시예]

<88> 도 9는 유기 EL 표시 장치의 유효 영역(24) 내에서의 배선(주로 화소 회로에 접속되는 배선)의 구체예를 모식적으로 도시하는 회로도이다. 도시 예와 같이, 발광 영역(21)의 각 화소 영역에 대응하여 배치된 화소 회로에 접속하는 배선(신호선이나 전원 공급선 등)은 그 개략 전부가, 주변 영역(22)을 제외한 유효 영역(24)의 전체에 이르도록 망라되어 있다. 따라서 이들의 어느 하나를, 각 화소 영역과의 전기적 접속을 확보하기 위한 공통 전극으로서 이용하는 것이 가능하다.

<89> 도 10은 상부 전극 배선을 공통 전극으로서 이용하는 경우의 접속예를 모식적으로 도시하는 회로도이다. 여기서, 상부 전극 배선이란, 상술한 제 2의 실시예에서 설명한 바와 같이, 주변 영역(22)의 금속층, 보조 배선(9a) 및 상부 전극(13)에 의해, 각 화소 영역과의 전기적 접속을 확보하기 위한 것이다.

<90> 또한, 도시 예에서는 회로 접속 상태만을 도시하고 있기 때문에, 상부 전극 배선이 화소 영역에만 분포하고 있는 도면으로 되어 있지만, 실제의 상부 전극 배선은 유효 영역(24)의 전체를 덮도록 분포하고 있는 것으로 한다.

<91> 이러한 회로 구성에서는 상부 전극 배선과 접속하는 전극 단자(Vcat)와, 외주 전극 사이에, 이들을 전기적으로 접속하는 보호 전극(25)을 배치하여, 전극 단자(Vcat)로부터 외주 전극으로의 전하의 흐름을 발생시키도록 하는 것이 고려된다.

<92> 이와 같은 회로 구성(전기적인 접속 상태)을 실현하면, 상부 전극(13)이 발광 영역(21)의 전역을 전기적으로 실드하고, 게다가 보호 전극(25)을 통하여 전하의 차지가 외주 전극으로 빠져나갈 수 있기 때문에, CVD막 회피막의 대책과, TFT(4) 등의 전기 회로의 보호의 관점에서, 가장 효과적인 것이라고 할 수 있다.

<93> 도 11은 상부 전극 배선을 공통 전극으로서 이용하는 경우의 변형예를 모식적으로 도시하는 회로도이다. 도시 예는 상부 전극 배선과 외주 전극 사이의 접속을 상부 전극 배선과 접속하는 전극 단자(Vcat) 이외의 개소에서 행한 경우의 접속예를 도시하고 있다. 즉, 보호 전극(25)은 공통 전극과 외주 전극 사이를 접속하는 것이면, 어느 개소에 배설되어 있어도 좋고, 도시 예와 같이 전극 단자(Vcat) 이외의 개소에 배설되어 있어도 좋다.

<94> 도 12는 전원 공급선을 공통 전극으로서 이용하는 경우의 접속예를 모식적으로 도시하는 회로도이다. 도시 예에서는 전원 공급선에 접속하는 전극 단자(Vsub)와 외주 전극 사이에, 보호 전극(25)을 배설한 경우의 예를 도시하고 있다. 이와 같이, 전원 공급선을 이용하는 경우라도, 각 화소 영역에 대응하여 배치된 화소 회로와의 도통을 확보할 수 있기 때문에, 보호 전극(25)을 통하여 전하의 차지가 외주 전극으로 빠져나가는 것이 가능해진다.

<95> 도 13는 신호선을 공통 전극으로서 이용하는 경우의 접속예를 모식적으로 도시하는 회로도이다. 신호선을 공통 전극으로서 이용하는 경우에는 하나의 신호선이 유효 영역(24)의 전체에 이르도록 망라되어 있는 것은 아니기 때문에, 도시 예와 같이, 각 신호선에 대응한 각각의 전극 단자(Sig(1) 내지 Sig(2))에 대해, 보호 전극(25)을 통하여 외주 전극과의 전기적 접속을 확보할 필요가 있다. 이와 같이, 신호선을 이용하는 경우라도, 각 신호선에 대응하여 보호 전극(25)을 배설하면, 각 화소 회로와의 도통을 확보할 수 있기 때문에, 보호 전극(25)을 통하여 전하의 차지가 외주 전극으로 빠져나가는 것이 가능해진다.

<96> [제 5의 실시예]

<97> 이상으로 설명한 각 실시 형태에 의해 얻을 수 있는 유기 EL 표시 장치(1)는 도 14 내지 도 18에 도시하는 다양한 전자 기기, 예를 들면, 디지털 카메라, 노트형 퍼스널 컴퓨터, 휴대 전화 등의 휴대 단말 장치, 비디오 카메라 등, 전자 기기에 입력된 영상 신호, 또는 전자 기기 내에서 생성한 영상 신호를, 화상 또는 영상으로서 표시하는 모든 분야의 전자 기기의 표시 장치로서 이용된다. 이하에, 유기 EL 표시 장치가 이용된 전자 기기의 구체예를 설명한다.

<98> 또한, 유기 EL 표시 장치는 밀봉된 구성의 모듈 형상의 것도 포함한다. 예를 들면, 화소 어레이부에 투명한 유리 등의 대향부에 부착되어 형성되는 표시 모듈이 해당한다. 이 투명한 대향부에는 컬러 필터, 보호막 등, 나아가서는 상기한 차광막이 마련되어도 좋다. 또한, 표시 모듈에는 외부로부터 화소 어레이부와의 신호 등을 입출력하기 위한 회로부나 FPC(플렉시블 프린트 서킷) 등이 마련되어 있어도 좋다.

- <99> 도 14는 전자 기기의 한 구체예인 텔레비전을 도시하는 사시도이다. 도시 예의 텔레비전은 프런트 패널(102)이나 필터 유리(103) 등으로 구성되는 영상 표시 화면부(101)를 포함하고, 그 영상 표시 화면부(101)로서 유기 EL 표시 장치를 이용함에 의해 제작된다.
- <100> 도 15a 내지 도 15b는 전자 기기의 한 구체예인 디지털 카메라를 도시하는 사시도이고, 도 15 a 표면측에서 본 사시도, 도 15b는 이면측에서 본 사시도이다. 도시 예의 디지털 카메라는 플래시용의 발광부(111), 표시부(112), 메뉴 스위치(113), 셔터 버튼(114) 등을 포함하고, 그 표시부(112)로서 유기 EL 표시 장치를 이용함에 의해 제작된다.
- <101> 도 16은 전자 기기의 한 구체예인 노트북형 퍼스널 컴퓨터를 도시하는 사시도이다. 도시 예의 노트북형 퍼스널 컴퓨터는 본체(121)에, 문자 등을 입력할 때 조작되는 키보드(122), 화상을 표시하는 표시부(123) 등을 포함하고, 그 표시부(123)로서 유기 EL 표시 장치를 이용함에 의해 제작된다.
- <102> 도 17은 전자 기기의 한 구체예인 비디오 카메라를 도시하는 사시도이다. 도시 예의 비디오 카메라는 본체부(131), 앞쪽을 향한 측면에 피사체 촬영용의 렌즈(132), 촬영시의 스타트/스톱 스위치(133), 표시부(134) 등을 포함하고, 그 표시부(134)로서 유기 EL 표시 장치를 이용함에 의해 제작된다.
- <103> 도 18a 내지 도 18g는 전자 기기의 한 구체예인 휴대 단말 장치, 예를 들면 휴대 전화기를 도시하는 도면이고, 도 18a 열은 상태에서의 정면도, 도 18b는 그 측면도, 도 18c는 닫은 상태에서의 정면도, 도 18d는 좌측면도, 도 18e는 우측면도, 도 18f는 상면도, 도 18g는 하면도이다. 본 적용예에 관한 휴대 전화기는 상측 몸체(141), 하측 몸체(142), 연결부(여기서는 힌지부)(143), 디스플레이(144), 서브 디스플레이(145), 픽처 라이트(146), 카메라(147) 등을 포함하고, 그 디스플레이(144)나 서브 디스플레이(145)로서 유기 EL 표시 장치를 이용함에 의해 제작된다.
- <104> 또한, 상술한 제 1 내지 제 5의 실시예에서는 본 발명의 알맞는 실시 구체예를 설명하였지만, 본 발명은 그 내용으로 한정되는 것이 아니고, 그 요지를 일탈하지 않는 범위에서 적절히 변경하는 것이 가능하다. 예를 들면, 각 실시 형태에서 예로 들었던 각 구성 요소의 재료, 막두께, 그 성막 방법 및 성막 조건 등은 특히 한정되는 것이 아니고, 필요에 따라 적절히 변경하는 것이 가능하다.

**도면의 간단한 설명**

- <105> 도 1은 유기 EL 표시 장치에서의 표시 영역의 개략 구성의 한 예를 도시하는 주요부 단면도.
- <106> 도 2a 내지 도 2e는 유기 EL 표시 장치의 제조 공정의 한 예를 도시하는 설명도.
- <107> 도 3는 유기 EL 표시 장치의 개략 구성예를 도시하는 사시도.
- <108> 도 4는 본 발명에 관한 유기 EL 표시 장치의 제조 공정의 한 예를 도시하는 설명도.
- <109> 도 5는 보호 전극의 형성 위치의 구체예를 도시하는 설명도.
- <110> 도 6은 본 발명에 관한 유기 EL 표시 장치의 제조 공정의 다른 예를 도시하는 설명도.
- <111> 도 7은 유기 EL 표시 장치의 다른 개략 구성예를 도시하는 사시도.
- <112> 도 8는 유기 EL 표시 장치에서의 표시 영역의 개략 구성의 다른 예를 도시하는 주요부 단면도.
- <113> 도 9은 유기 EL 표시 장치의 유효 영역 내에서의 배선의 구체예를 모식적으로 도시하는 회로도.
- <114> 도 10은 상부 전극 배선을 공통 전극으로서 이용하는 경우의 접속예를 모식적으로 도시하는 회로도.
- <115> 도 11는 상부 전극 배선을 공통 전극으로서 이용하는 경우의 변형예를 모식적으로 도시하는 회로도.
- <116> 도 12은 전원 공급선을 공통 전극으로서 이용하는 경우의 접속예를 모식적으로 도시하는 회로도.
- <117> 도 13는 신호선을 공통 전극으로서 이용하는 경우의 접속예를 모식적으로 도시하는 회로도.
- <118> 도 14는 전자 기기의 한 구체예인 텔레비전을 도시하는 사시도.
- <119> 도 15는 전자 기기의 한 구체예인 디지털 카메라를 도시하는 사시도.
- <120> 도 16은 전자 기기의 한 구체예인 노트북형 퍼스널 컴퓨터를 도시하는 사시도.

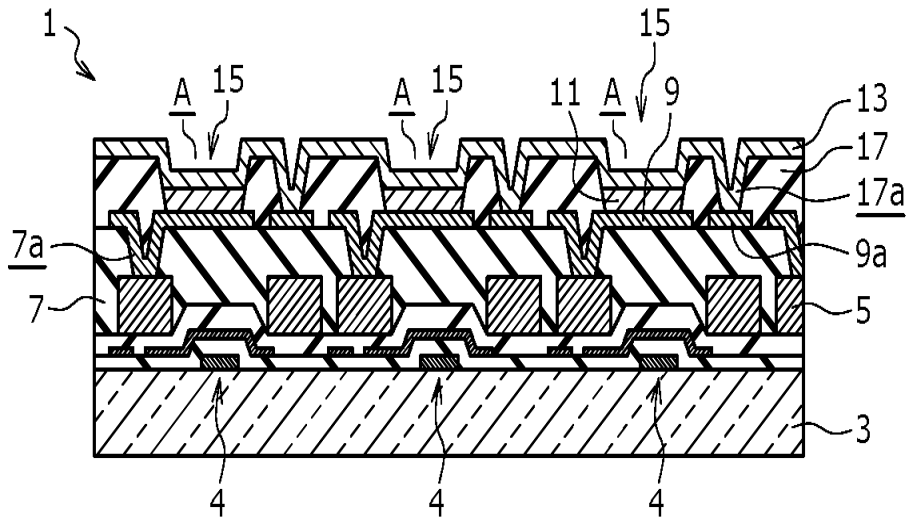
<121> 도 17은 전자 기기의 한 구체예인 비디오 카메라를 도시하는 사시도.

<122> 도 18는 전자 기기의 한 구체예인 휴대 단말 장치, 예를 들면 휴대 전화기를 도시하는 도면.

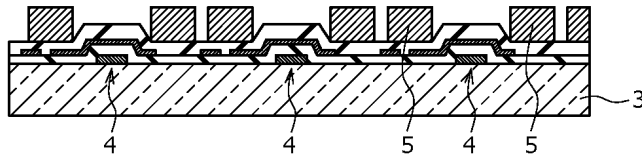
<123> 도 19은 종래의 유기 EL 표시 장치의 제조 공정의 한 예를 도시하는 설명도.

도면

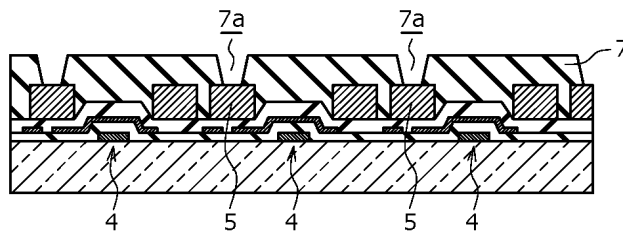
도면1



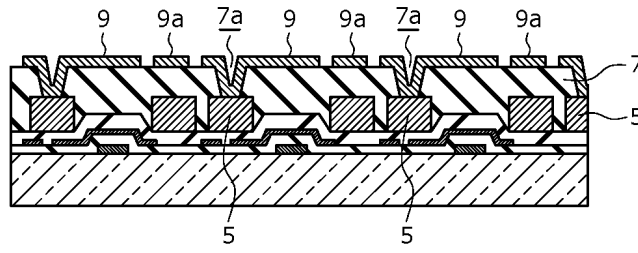
도면2a



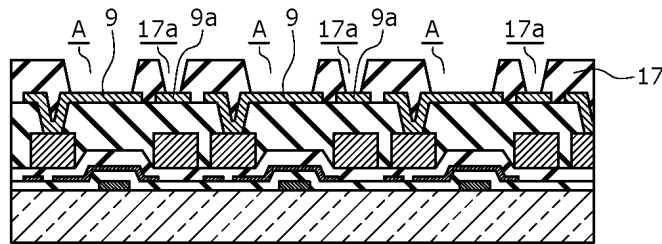
도면2b



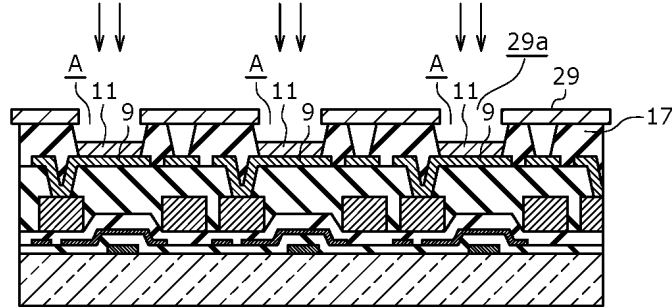
도면2c



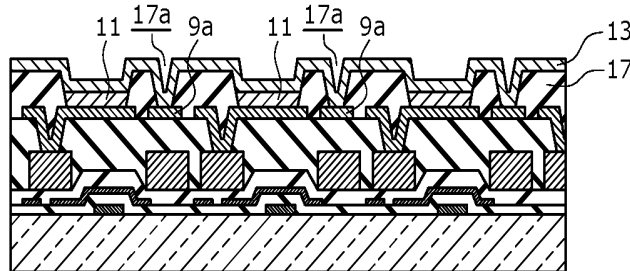
도면2d



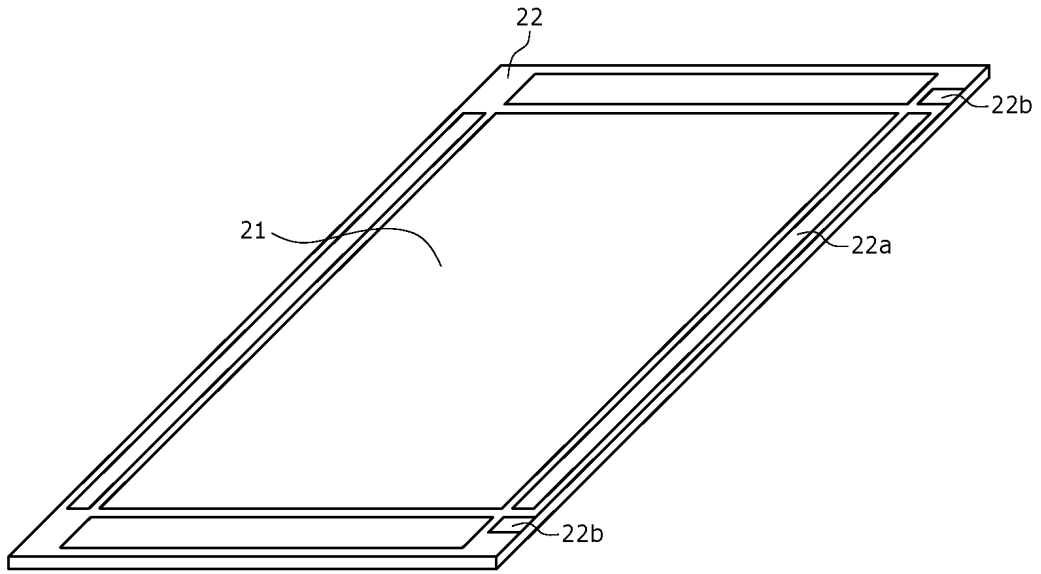
도면2e



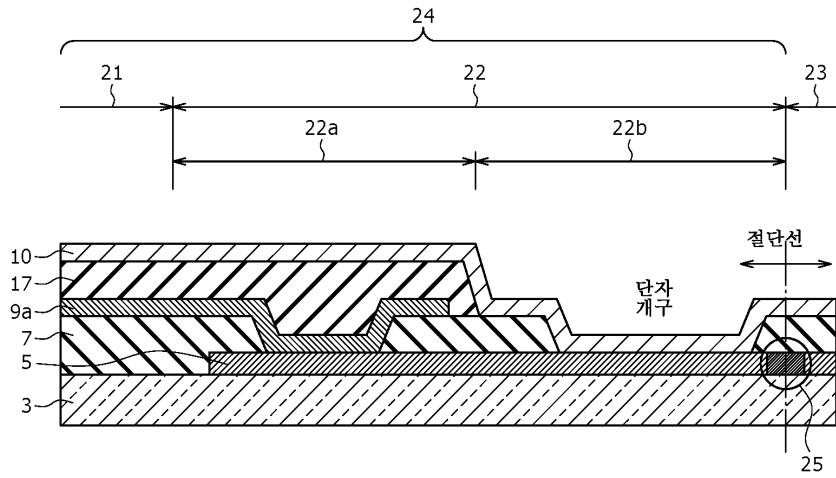
도면2f



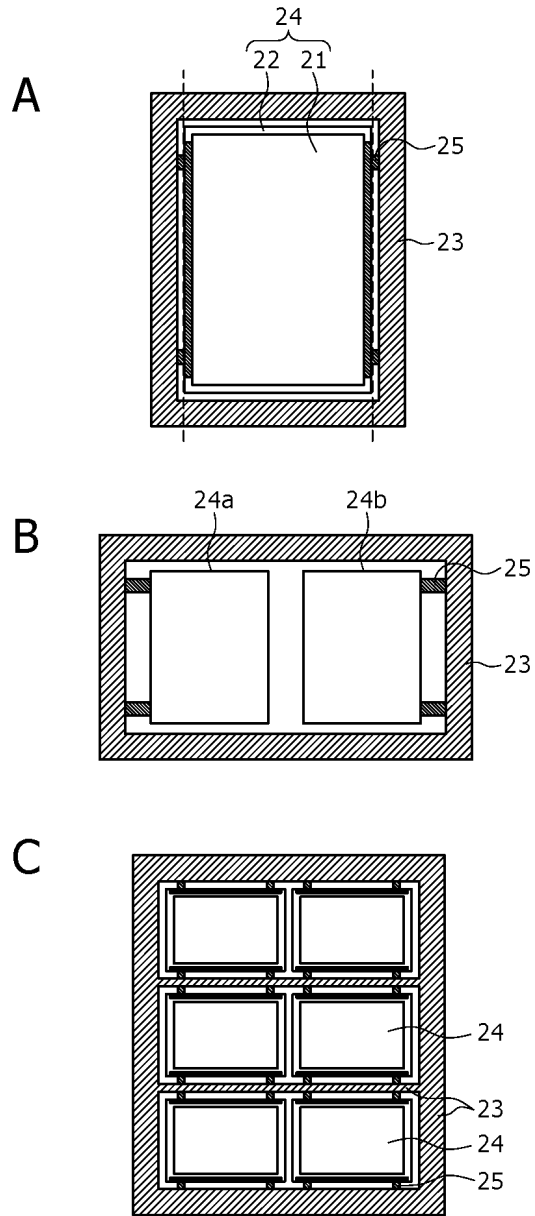
도면3



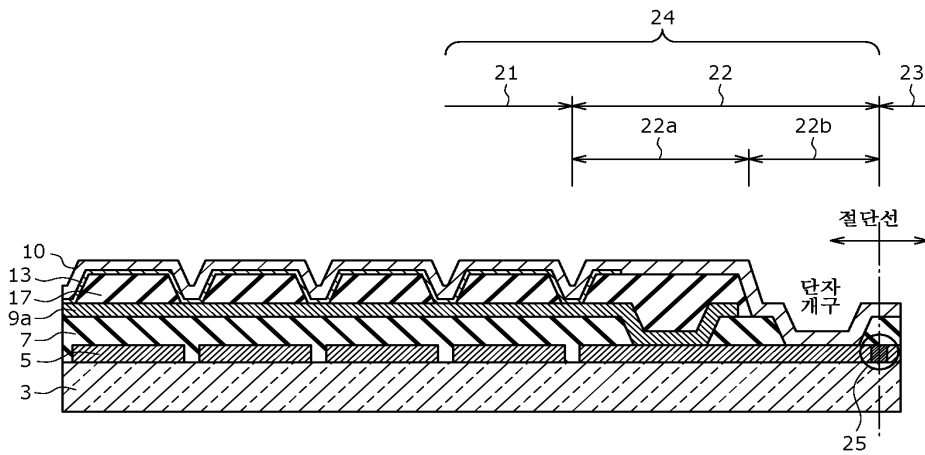
도면4



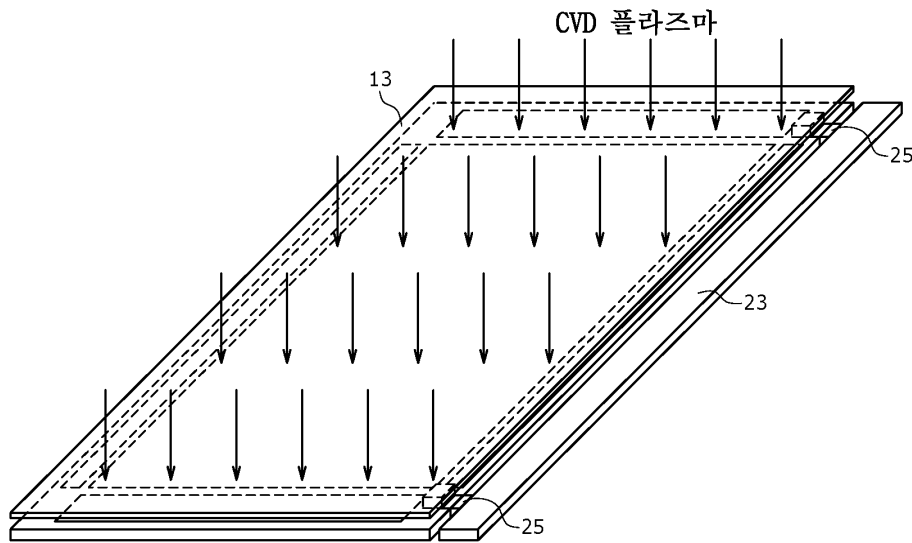
도면5



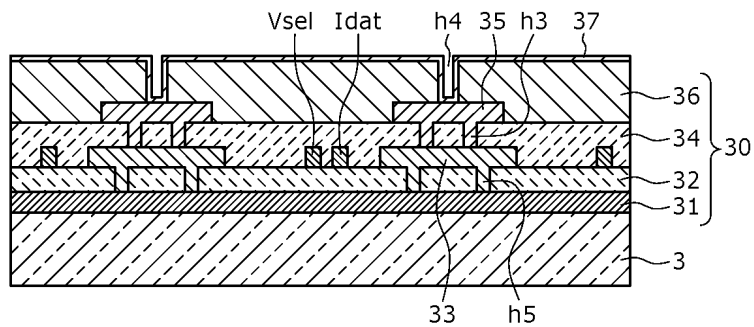
도면6



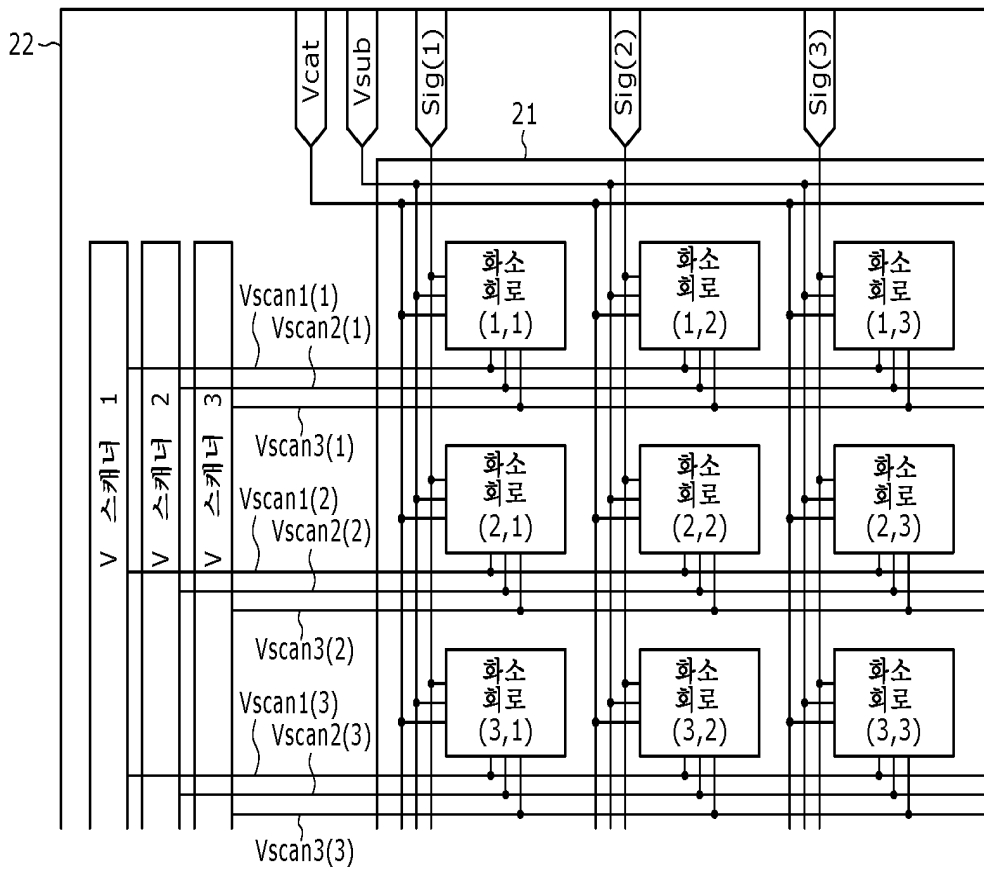
도면7



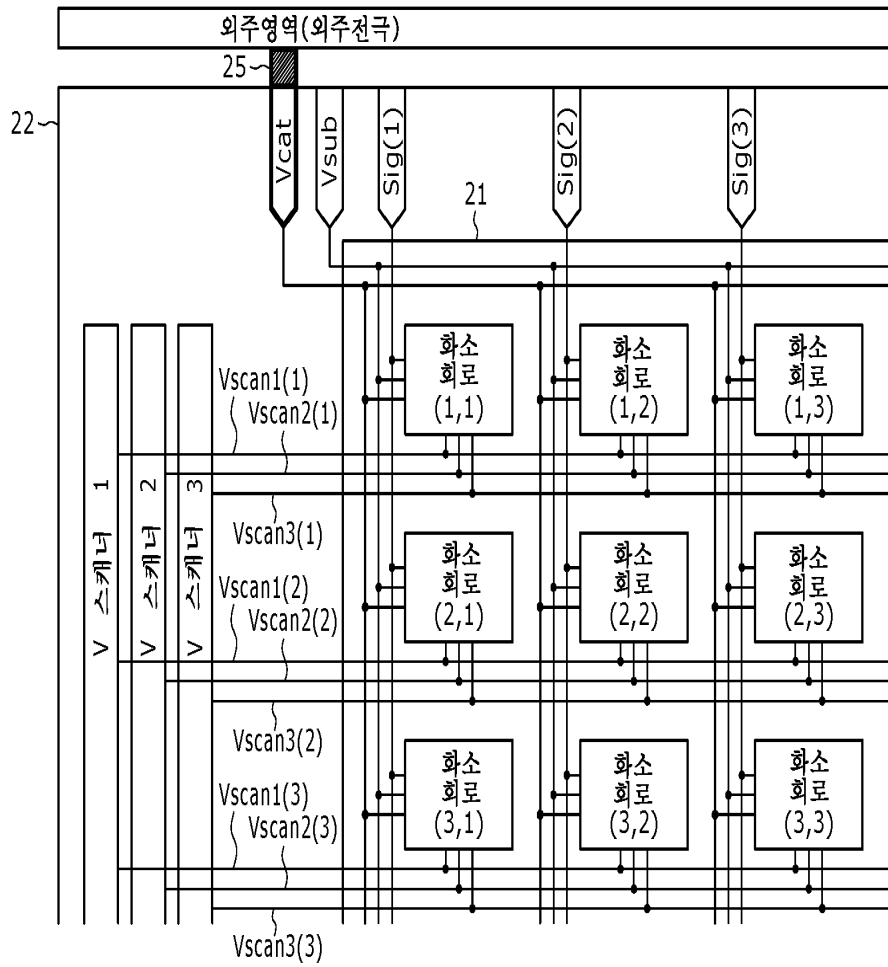
도면8



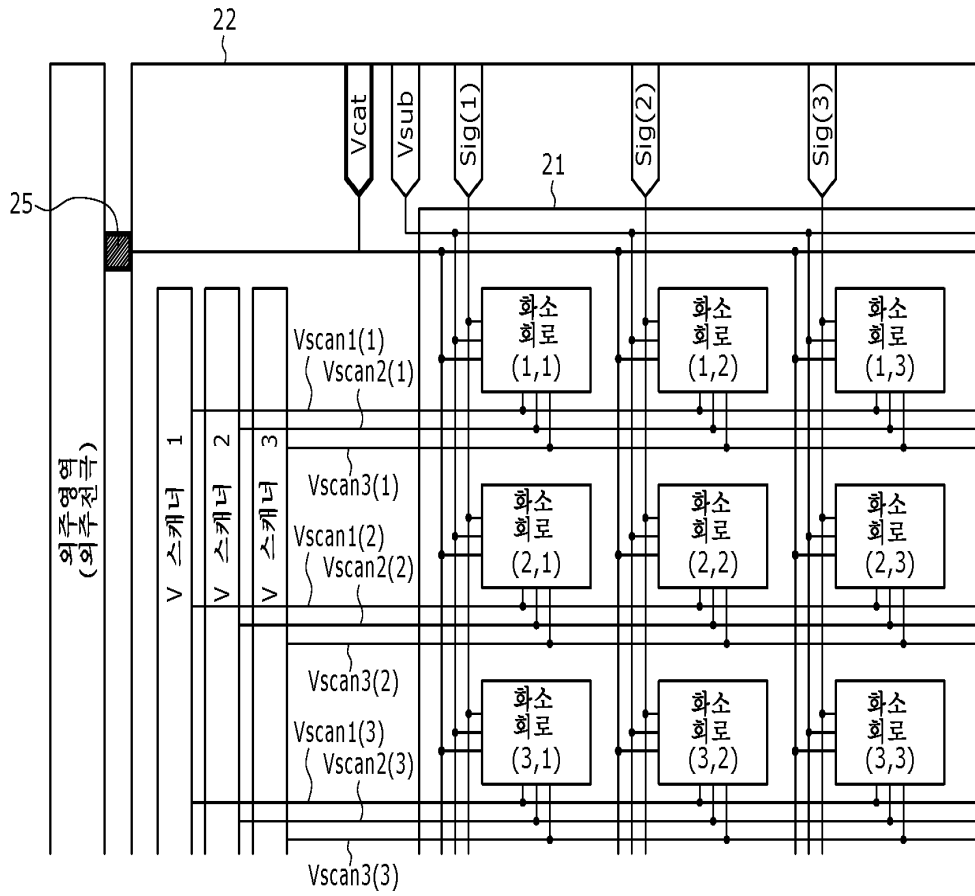
도면9



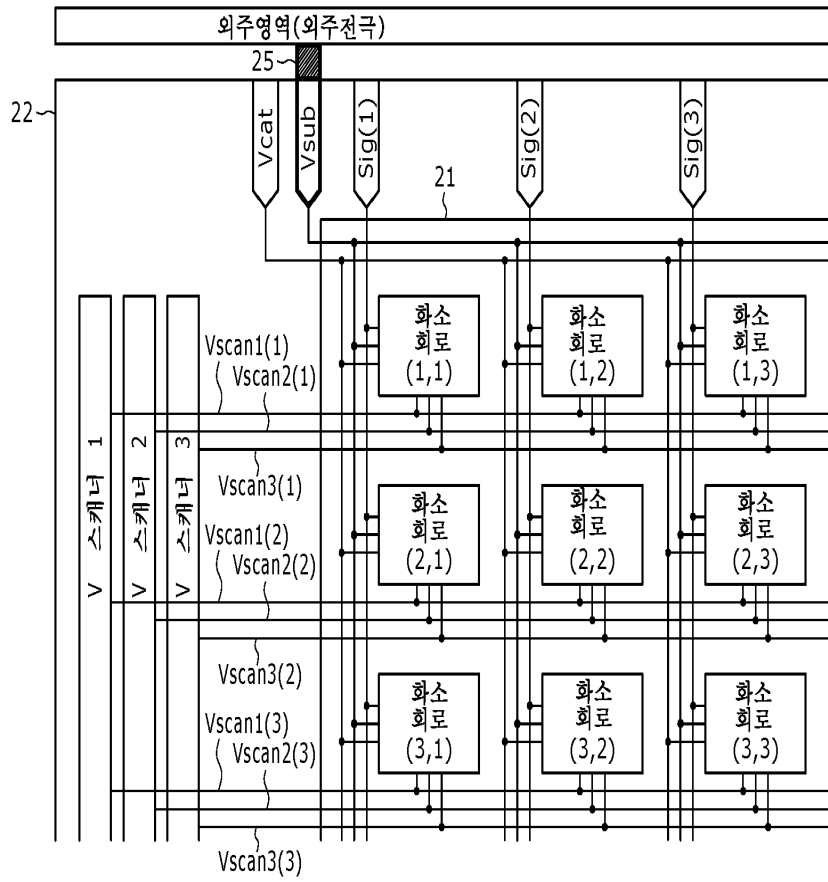
도면10



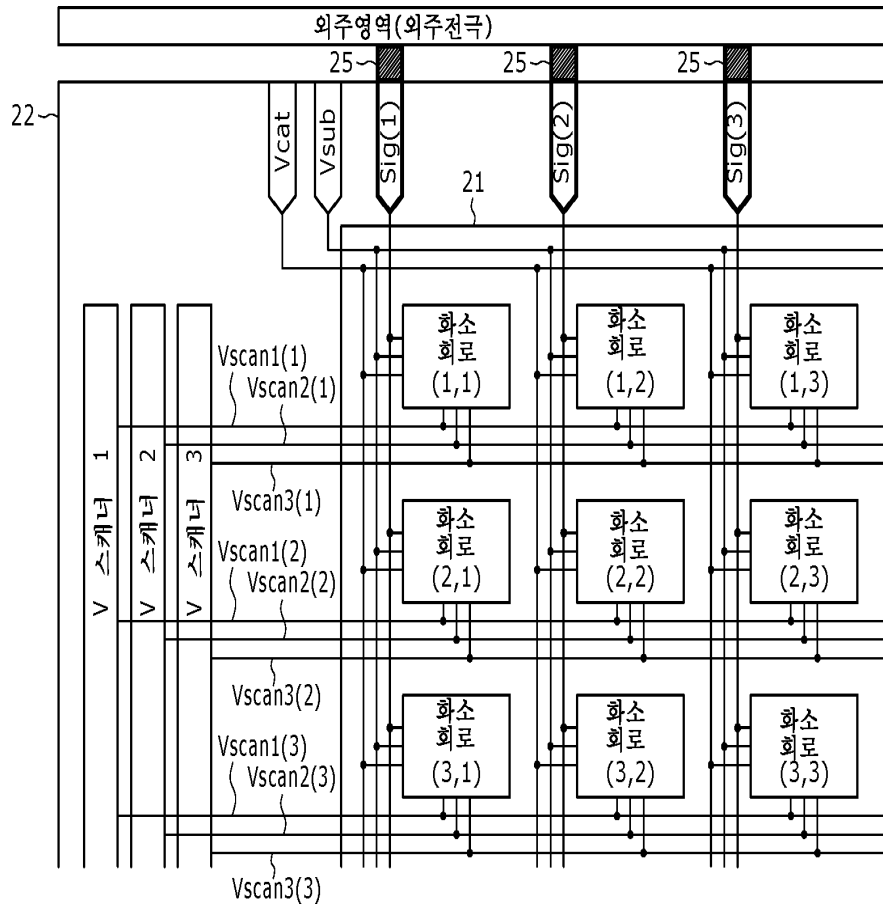
도면11



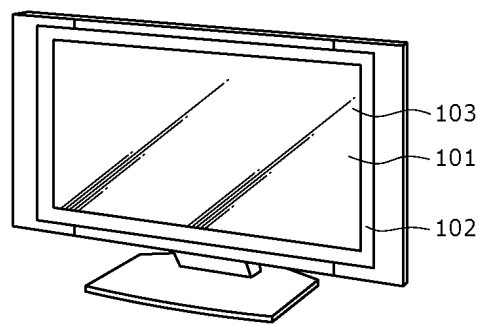
도면12



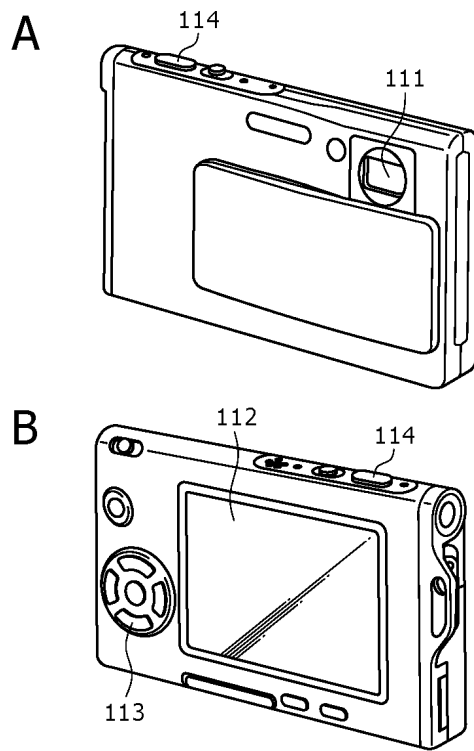
도면13



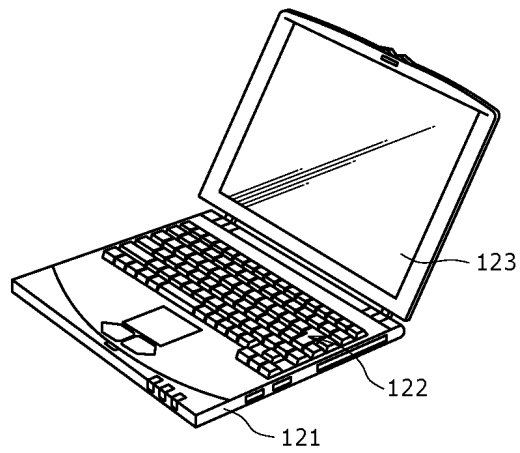
도면14



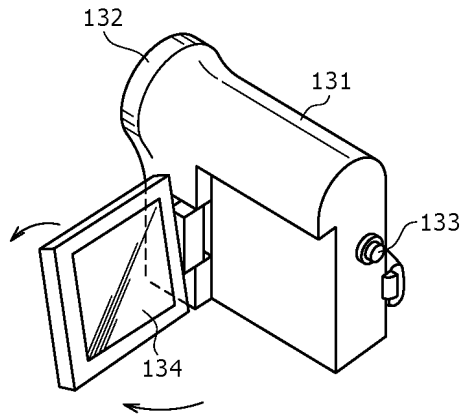
도면15



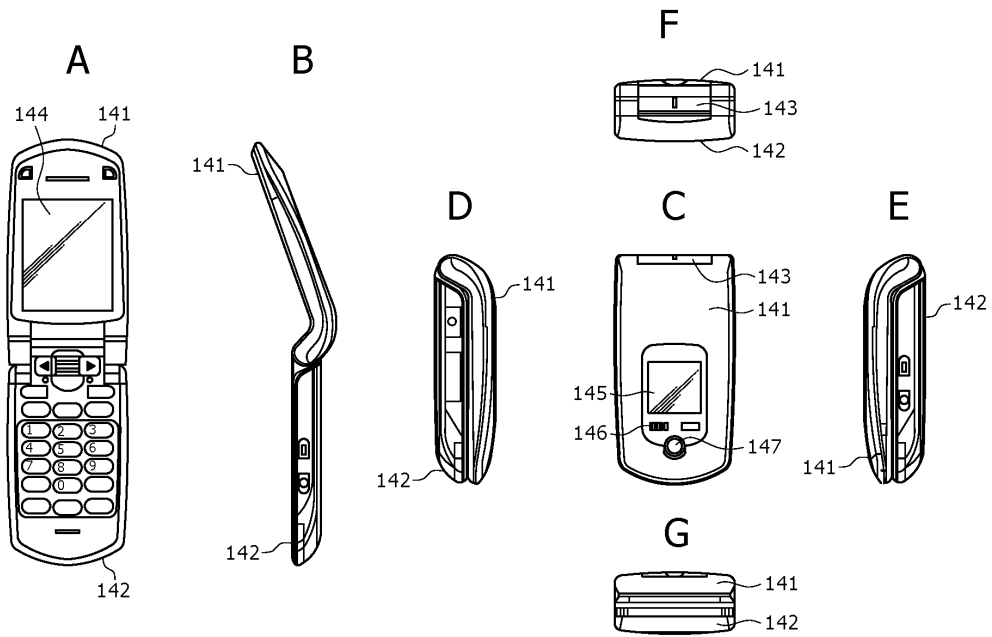
도면16



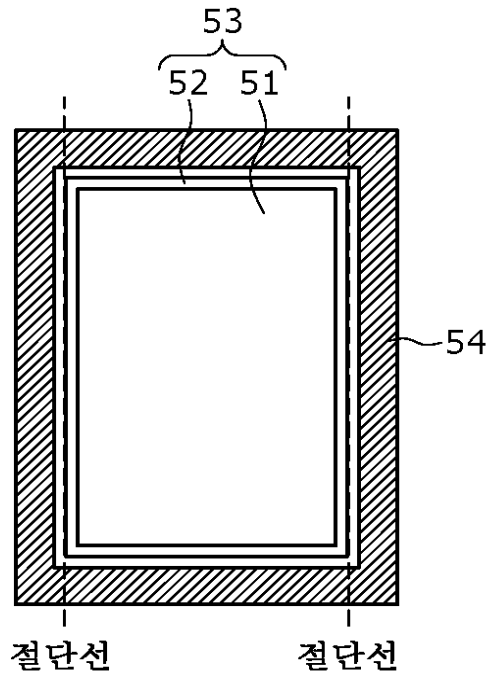
도면17



도면18



도면19



专利名称(译)	有机EL显示装置的制造方法和有机EL显示装置		
公开(公告)号	<a href="#">KR1020090004670A</a>	公开(公告)日	2009-01-12
申请号	KR1020080063703	申请日	2008-07-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	FUJIMURA HIROSHI 후지무라히로시 ASANO MITSURU 아사노미츠크 IMAI TOSHIAKI 이마이토시아키		
发明人	후지무라히로시 아사노미츠크 이마이토시아키		
IPC分类号	H05B33/10 H05B33/26 H01L51/50		
CPC分类号	H01L51/56 H01L27/3276 H05B33/06 H01L2251/5315 H01L51/5237 H01L51/5206 H01L51/5228 H01L27/3272 H01L27/3223 H01L51/5218 H01L51/5221 H01L51/5234 H01L51/5253 H01L2251/308 H01L2251/558 H01L2227/32		
优先权	2007177992 2007-07-06 JP		
其他公开文献	KR101505196B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

形成在基板的可用区域上的每个像素区域上的底部电极，以及具有有机层和上部电极的层叠结构的有机电致发光显示器的制造方法以及电连接每个像素区域的公共电极具有该过程进行与公共电极电连接的屏蔽电极的电荷的成膜过程和形成周边电极的工艺以及形成层叠结构的工艺和基板。有机EL显示装置。

