

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

G09G 3/32 (2006.01)

(11) 공개번호 10-2006-0088828

(43) 공개일자 2006년08월07일

(21) 출원번호 10-2006-0009046

(22) 출원일자 2006년01월27일

(30) 우선권주장 JP-P-2005-00027028 2005년02월02일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고(72) 발명자 야마시타 준이치
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내
우치노 가즈히데
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내

(74) 대리인 신관호

심사청구 : 없음

(54) 화소회로 및 표시장치와 그 구동방법

요약

드라이브 트랜지스터의 이동도의 영향을 캔슬 가능한 화소회로를 제공한다.

드라이브 트랜지스터(Trd)는, 소정의 발광 기간중 입력전압(Vgs)에 따른 출력전류를 발광소자(EL)에 공급한다. 발광소자(EL)는, 드라이브 트랜지스터(Trd)로부터 공급된 출력전류에 의해 영상신호에 따른 휘도로 발광한다. 출력전류의 캐리어 이동도에 대한 의존성을 지우기 위해서, 미리 발광 기간의 전 또는 선두에서 용량부(Cs)에 유지된 입력전압(Vgs)을 보정하는 보정수단을 갖추고 있다. 이 보정수단은 주사선(DS, WS, AZ1, AZ2)으로부터 공급되는 제어신호에 따라 샘플링 기간의 일부에서 동작하고, 영상신호가 샘플링되고 있는 상태로 드라이브 트랜지스터(Trd)로부터 출력전류를 취출하고, 이것을 용량부(Cs)에 부귀환하여 입력전압(Vgs)을 보정한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 표시장치의 참고예를 나타내는 블록도이다.

도 2는 도 1에 나타난 표시장치에 포함되는 화소회로의 구성을 나타내는 회로도이다.

도 3은 도 2에 나타난 화소회로의 동작 설명에 제공하는 참고 타이밍 차트이다.

도 4는 드라이브 트랜지스터의 입력전압 / 출력전류 특성을 나타내는 그래프이다.

도 5는 본 발명에 관한 표시장치의 제 1 실시 형태를 나타내는 블록도이다.

도 6은 도 5에 나타난 표시장치에 포함되는 화소회로를 취출한 모식도이다.

도 7은 도 6에 나타난 화소회로의 동작 설명에 제공하는 타이밍 차트이다.

도 8은 도 6에 나타난 화소회로의 동작 설명에 제공하는 모식도이다.

도 9는 같은 동작 설명에 제공하는 그래프이다.

도 10은 같은 동작 설명에 제공하는 모식도이다.

도 11은 도 6에 나타난 화소회로에 포함되는 드라이브 트랜지스터의 동작 특성을 나타내는 그래프이다.

도 12는 본 발명에 관한 표시장치의 제 2 실시 형태를 나타내는 블록도이다.

도 13은 도 12에 나타난 표시장치에 포함되는 화소회로의 동작 설명에 제공하는 타이밍 차트이다.

도 14는 같은 동작 설명에 제공하는 화소회로도이다.

도 15는 본 발명에 관한 표시장치의 제 3 실시 형태를 나타내는 블록도이다.

도 16은 도 15에 나타난 표시장치에 포함되는 화소회로의 동작 설명에 제공하는 모식도이다.

도 17은 같은 동작 설명에 제공하는 타이밍 차트이다.

도 18은 같은 동작 설명에 제공하는 모식도이다.

* 도면의 간단한 설명

1. 화소 어레이 2. 화소회로

3. 수평 선택터 4. 라이트 스캐너

5. 드라이브 스캐너 7. 보정용 스캐너

(Tr1)··샘플링 트랜지스터 (Trd)··드라이브 트랜지스터

(EL)··발광소자 Cs··용량 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 화소마다 배치한 발광소자를 전류 구동하는 화소회로에 관한 것이다. 또, 이 화소회로가 매트릭스형(행열형)으로 배열된 표시장치이며, 특히 각 화소회로내에 설치된 절연 게이트형 전계효과 트랜지스터에 의해서, 유기(EL)등의 발광소자에 통전하는 전류량을 제어하는, 이른바 액티브 매트릭스형의 표시장치에 관한 것이다.

화상 표시장치, 예를 들면, 액정 디스플레이 등에서는, 다수의 액정 화소를 매트릭스형으로 늘어놓아 표시해야 할 화상 정보에 따라 화소마다 입사광의 투과 강도 또는 반사 강도를 제어하는 것에 의해서 화상을 표시한다. 이것은, 유기(EL)소자를 화소에 이용한 유기(EL)디스플레이 등에 있어도 동일하지만, 액정 화소와 달리 유기(EL)소자는 자발광 소자이다. 그 때문에, 유기(EL)디스플레이는 액정 디스플레이에 비해서 화상의 시인성이 높고, 백 라이트가 불필요하고, 응답 속도가 높은 등의 이점을 가진다. 또, 각 발광소자의 휘도 레벨(계조)은 거기에 흐르는 전류치에 의해서 제어 가능하고, 이른바 전류 제어형이라는 점에서 액정 디스플레이 등의 전압 제어형과는 크게 다르다.

유기(EL)디스플레이에 있어서는, 액정 디스플레이와 같이, 그 구동 방식으로서 단순 매트릭스행렬 방식과 액티브 매트릭스(active matrix)방식이 있다. 전자는 구조가 단순하지만, 대형 또한 고정밀의 디스플레이의 실현이 어려운 등의 문제가 있기 때문에, 현재는 액티브 매트릭스방식의 개발이 활발히 행해지고 있다. 이 방식은, 각 화소회로 내부의 발광소자에 흐르는 전류를, 화소회로 내부에 설치한 능동 소자(일반적으로는 박막 트랜지스터, TFT)에 의해서 제어하는 것이고, 이하의 특허 문헌에 기재가 있다.

[특허 문헌 1] 특개 2003-255856

[특허 문헌 2] 특개 2003-271095

[특허 문헌 3] 특개 2004-133240

[특허 문헌 4] 특개 2004-029791

[특허 문헌 5] 특개 2004-093682

발명이 이루고자 하는 기술적 과제

종래의 화소회로는, 제어신호를 공급하는 행모양의 주사선과 영상신호를 공급하는 열모양의 신호선이 교차하는 부분에 배치되고, 적어도 샘플링 트랜지스터와 용량부와 드라이브 트랜지스터와 발광소자를 포함한다. 샘플링 트랜지스터는, 주사선으로부터 공급되는 제어신호에 따라 도통하여 신호선으로부터 공급된 영상신호를 샘플링한다. 용량부는, 샘플링된 영상신호에 따른 입력전압을 유지한다. 드라이브 트랜지스터는, 용량부에 유지된 입력전압에 따라 소정의 발광 기간에 출력전류를 공급한다. 일반적으로, 출력전류는 드라이브 트랜지스터의 채널 영역의 캐리어 이동도 및 임계전압에 대해서 의존성을 가진다. 발광소자는, 드라이브 트랜지스터로부터 공급된 출력전류에 의해 영상신호에 따른 휘도로 발광한다.

드라이브 트랜지스터는, 용량부에 유지된 입력전압을 게이트에 수신하여 소스 / 드레인간에 출력전류를 흘리고, 발광소자에 통전한다. 일반적으로 발광소자의 발광 휘도는 통전량에 비례하고 있다. 또한, 드라이브 트랜지스터의 출력전류 공급량은 게이트 전압 즉, 용량부에 기입된 입력전압에 의해서 제어된다. 종래의 화소회로는, 드라이브 트랜지스터의 게이트에 인가되는 입력전압을 입력 영상신호에 따라 변화시키는 것으로서, 발광소자로 공급하는 전류량을 제어하고 있다.

여기서 드라이브 트랜지스터의 동작 특성은 이하의 식1로 표현된다.

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \dots \text{식1}$$

이 트랜지스터 특성식 1에 있어서, I_{ds} 는 소스 / 드레인간에 흐르는 드레인 전류를 나타내고 있어, 화소회로에서는 발광소자에 공급되는 출력전류이다. V_{gs} 는 소스를 기준으로하여 게이트에 인가되는 게이트 전압을 나타내고 있어, 화소회로에서는 상기 기술한 입력전압이다. V_{th} 는 트랜지스터의 임계전압이다. 또, μ 는 트랜지스터의 채널을 구성하는 반도체 박막의 이동도를 나타내고 있다. 그 외 W 는 채널폭을 나타내고, L 는 채널장을 나타내며, C_{ox} 는 게이트 용량을 나타내고 있다. 이 트랜지스터 특성식 1에서 밝혀진 바와 같이, 박막 트랜지스터는 포화 영역에서 동작할 때, 게이트 전압(V_{gs})이 임계전압(V_{th})을 초과하여 커지면, 온 상태가 되어 드레인 전류(I_{ds})가 흐른다. 원리적으로 보면, 상기의 트랜지스터 특성식 1에

밝혀진 바와 같이, 게이트 전압(V_{gs})이 일정하면 항상 같은 양의 드레인 전류(I_{ds})가 발광소자에게 공급된다. 따라서, 화면을 구성하는 각 화소에 모두 동일한 레벨의 영상신호를 공급하면, 전화소가 동일 휘도로 발광하고, 화면의 동일성(一様性)(유니포미티)이 얻을 질 것이다.

그렇지만 실제로는, 폴리 실리콘 등의 반도체 박막으로 구성된 박막 트랜지스터(TFT)는, 개개의 디바이스 특성에 격차가 있다. 특히, 임계전압(V_{th})은 일정하지 않고, 각 화소마다 격차가 있다. 상기 기술한 트랜지스터 특성식 1에서 밝혀진 바와 같이, 각 드라이브 트랜지스터의 임계전압(V_{th})가 흩어지면, 게이트 전압(V_{gs})이 일정해도, 드레인 전류(I_{ds})에 격차가 생겨, 화소마다 휘도가 흩어져 버리기 때문에, 화면의 유니포미티를 해친다. 종래부터 드라이브 트랜지스터의 임계전압의 격차를 캔슬하는 기능을 첨가한 화소회로가 개발되고 있고, 예를 들면, 앞에서 본 특허 문헌 3에 개시가 있다.

임계전압의 격차를 캔슬하는 기능을 첨가한 화소회로는, 어느 정도 화면의 유니포미티를 개선하는 것이 가능하다. 그렇지만, 폴리 실리콘 박막 트랜지스터의 특성은, 임계전압 뿐만이 아니라 이동도(μ)도 소자마다 격차가 있다. 상기 기술한 트랜지스터 특성식 1에서 밝혀진 바와 같이, 이동도(μ)가 흩어지면, 게이트 전압(V_{gs})이 일정해도 드레인 전류(I_{ds})에 격차가 발생해 버린다. 이 결과 발광 휘도가 화소마다 변화하기 때문에, 화면의 유니포미티를 해친다고 하는 과제가 있다.

상기 기술한 종래의 기술의 과제에 감안하여, 본 발명은 이동도의 영향을 캔슬하고, 이는 드라이브 트랜지스터가 공급하는 드레인 전류(출력전류)의 격차를 보상 가능한 화소회로 및 표시장치와 그 구동 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 관계되는 목적을 달성하기 위해 이하의 수단을 강구했다. 즉, 본 발명은, 제어신호를 공급하는 행모양(行狀)의 주사선과 영상신호를 공급하는 열모양의 신호선이 교차하는 부분에 배치되고, 적어도 샘플링 트랜지스터와, 이것에 접속하는 용량부와, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함하고, 상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통하여 신호선으로부터 공급된 영상신호를 상기 용량부에 샘플링하고, 상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스간에 입력전압을 인가하고, 상기 드라이브 트랜지스터는, 소정의 발광 기간중 상기 입력전압에 따라 출력전류를 상기 발광소자에게 공급하고, 상기 출력전류는 상기 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대해서 의존성을 가지고, 상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따라 휘도로 발광하는 화소회로에 있어서, 상기 출력전류의 캐리어 이동도에 대한 의존성을 지우기 위해서, 미리 상기 발광 기간의 전 또는 선두에서 상기 용량부에 유지된 상기 입력전압을 보정하는 보정수단을 갖추고 있고, 상기 보정수단은 주사선으로부터 공급되는 제어신호에 따라서 상기 샘플링 기간의 일부에서 동작하고, 상기 영상신호가 샘플링되어 있는 상태로 상기 드라이브 트랜지스터로부터 출력전류를 취출하고, 이것을 상기 용량부에 부귀환(負歸還)하여 상기 입력전압을 보정하는 것을 특징으로 한다.

바람직하게는, 상기 드라이브 트랜지스터는, 그 출력전류가 채널 영역의 캐리어 이동도에 부가하여 임계전압에 대해서도 의존성을 가지고, 상기 보정수단은, 상기 출력전류의 임계전압에 대한 의존성을 지우기 위해서, 미리 샘플링 기간에 앞서 상기 드라이브 트랜지스터의 임계전압을 검출하고, 또한 상기 검출된 임계전압을 상기 입력전압에 더하도록 한 것을 특징으로 한다. 일 형태에서는, 상기 드라이브 트랜지스터는, N채널형 트랜지스터로 드레인이 전원 측에 접속하는 한편 소스가 발광소자측에 접속하고, 상기 보정수단은, 상기 샘플링 기간의 후부분과 겹쳐지는 상기 발광 기간의 선두 부분에서 상기 드라이브 트랜지스터로부터 상기 출력전류를 취출하고, 상기 용량부측에 부귀환한다. 이 경우, 상기 보정수단은, 상기 발광 기간의 선두 부분에서 상기 드라이브 트랜지스터의 소스측에서 취출한 상기 출력전류가, 상기 발광소자가 가지는 용량에 유입되도록 된다. 또한, 상기 발광소자는 애노드 및 캐소드를 갖춘 다이오드형의 발광소자로 이루어지고, 애노드측이 상기 드라이브 트랜지스터의 소스에 접속하는 한편 캐소드측이 접지되어 있어 상기 보정수단은, 미리 상기 발광소자의 애노드 / 캐소드간을 역바이어스 상태로 세트하여 두어, 상기 드라이브 트랜지스터의 소스측에서 취출한 상기 출력전류가 상기 발광소자에 유입될 때, 상기 다이오드형의 발광소자가 용량성 소자로서 기능하도록 제어한다. 다른 형태(樣態)에서는, 상기 드라이브 트랜지스터는, P채널형 트랜지스터로 소스가 전원측에 접속하는 한편 드레인이 발광소자 측에 접속하고, 상기 보정수단은, 상기 발광 기간보다 선행하는 상기 샘플링 기간의 일부로, 상기 드라이브 트랜지스터로부터 상기 출력전류를 취출하여 상기 용량부측에 부귀환한다. 바람직하게는, 상기 보정수단은, 상기 샘플링 기간내에 상기 드라이브 트랜지스터로부터 출력전류를 취출하는(꺼내는) 시간폭이 조정 가능하고, 이것에 의해 상기 용량부에 대한 출력전류의 부귀환량을 최적화한다.

또, 본 발명은 화소 어레이부와 스캐너부와 신호부를 포함하고, 상기 화소 어레이부는, 행모양에 배치된 주사선과 열모양에 배치된 신호선과 양자가 교차하는 부분에 배치된 행열모양의 화소로 이루어지고, 상기 신호부는, 상기 신호선에 영상신호를 공급하고, 상기 스캐너부는, 상기 주사선에 제어신호를 공급하여 차례차례 행 마다 화소를 주사하고, 각 화소는, 적어도 샘플링 트랜지스터와, 이것에 접속하는 용량부와, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자

를 포함하고, 상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통하여 신호선으로부터 공급된 영상신호를 상기 용량부에 샘플링하고, 상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스간에 입력전압을 인가하고, 상기 드라이브 트랜지스터는, 소정의 발광 기간중 상기 입력전압에 따른 출력전류를 상기 발광소자에게 공급하고, 상기 출력전류는 상기 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대해서 의존성을 가지고, 상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따른 휘도로 발광하는 표시장치에 있어서, 각 화소는, 상기 드라이브 트랜지스터의 출력전류의 캐리어 이동도에 대한 의존성을 지우기 위해서, 미리 상기 발광 기간의 전 또는 선두에서 상기 용량부에 유지된 상기 입력전압을 보정하는 보정수단을 갖추고 있고, 상기 보정수단은 주사선으로부터 공급되는 제어신호에 따라 상기 샘플링 기간의 일부에서 동작하고, 상기 영상신호가 샘플링되어 있는 상태로 상기 드라이브 트랜지스터로부터 출력전류를 취출하고, 이것을 상기 용량부에 부귀환해 상기 입력전압을 보정하는 것을 특징으로 한다.

바람직하게는, 상기 드라이브 트랜지스터는, 그 출력전류가 채널 영역의 캐리어 이동도에 부가하여 임계전압에 대해서도 의존성을 가져, 상기 보정수단은, 상기 출력전류의 임계전압에 대한 의존성을 지우기 위해서, 미리 샘플링 기간에 앞서 상기 드라이브 트랜지스터의 임계전압을 검출하고, 한편 상기 검출된 임계전압을 상기 입력전압에 더하도록 한 것을 특징으로 한다. 한 형태에서는, 상기 드라이브 트랜지스터는, N채널형 트랜지스터로 드레인이 전원측에 접속하는 한편 소스가 발광소자측에 접속하고, 상기 보정수단은, 상기 샘플링 기간의 후부분과 겹쳐지는 상기 발광 기간의 선두 부분에서 상기 드라이브 트랜지스터로부터 상기 출력전류를 취출하고, 상기 용량부측에 부귀환한다. 이 경우, 상기 보정수단은, 상기 발광 기간의 선두 부분에서 상기 드라이브 트랜지스터의 소스측에서 취출한 상기 출력전류가, 상기 발광소자가 가지는 용량에 유입되도록 된다. 또한, 상기 발광소자는 애노드 및 캐소드를 갖춘 다이오드형의 발광소자로 이루어지고, 애노드측이 상기 드라이브 트랜지스터의 소스에 접속할 뿐 캐소드측이 접지되어 있고, 상기 보정수단은, 미리 상기 발광소자의 애노드 / 캐소드간을 역바이어스 상태에 세트하여 두고, 상기 드라이브 트랜지스터의 소스측에서 취출한 상기 출력전류가 상기 발광소자에게 유입될 때, 상기 다이오드형의 발광소자가 용량성 소자로서 기능하도록 제어한다. 다른 형태에서는, 상기 드라이브 트랜지스터는, P채널형 트랜지스터로 소스가 전원측에 접속하는 한편 드레인이 발광소자측에 접속하고, 상기 보정수단은, 상기 발광 기간보다 선행하는 상기 샘플링 기간의 일부로, 상기 드라이브 트랜지스터로부터 상기 출력전류를 취출하여 상기 용량부측에 부귀환한다. 바람직하게는, 상기 보정수단은, 상기 샘플링 기간내에 상기 드라이브 트랜지스터로부터 출력전류를 취출하는 시간폭이 조정 가능하고, 이것에 의해 상기 용량부에 대한 출력전류의 부귀환량을 최적화한다.

또한, 본 발명은, 화소 어레이부와 스캐너부와 신호부를 포함하고, 상기 화소 어레이부는 행모양에 배치된 주사선과, 열모양에 배치된 신호선과, 양자가 교차하는 부분에 배치된 행열모양의 화소로 이루어지고, 상기 신호부는 상기 신호선에 영상신호를 공급하고, 상기 스캐너부는 상기 주사선에 제어신호를 공급하고 차례차례 행 마다 화소를 주사 하며, 각 화소는 적어도 샘플링 트랜지스터와, 이것에 접속하는 용량부와, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함한 표시장치의 구동 방법이며, 상기 스캐너부는 소정의 샘플링 기간에 주사선으로부터 상기 샘플링 트랜지스터에 제어신호를 공급하여 도통시키고, 신호선으로부터 공급된 영상신호를 상기 용량부에 샘플링하고, 상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스간에 입력전압을 인가하고, 상기 드라이브 트랜지스터는, 소정의 발광 기간중 상기 입력전압에 따른 출력전류를 상기 발광소자로 공급하고, 상기 출력전류는 상기 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대해서 의존성을 가지고, 상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따라 휘도로 발광하고, 또한, 상기 스캐너부는, 상기 드라이브 트랜지스터의 출력전류의 캐리어 이동도에 대한 의존성을 지우기 위해서, 미리 상기 발광 기간의 전 또는 선두에서 상기 용량부에 유지된 상기 입력전압을 보정하는 보정 수순(手順)을 상기 화소에 실시시키고, 상기 보정수순은, 상기 샘플링 기간내에 상기 영상신호가 샘플링되고 있는 동안에 상기 드라이브 트랜지스터로부터 출력전류를 취출하고, 이것을 상기 용량부에 부귀환하여 상기 입력전압을 보정한다.

이하 도면을 참조하여 본 발명의 실시의 형태를 상세하게 설명한다. 우선 최초로 본 발명의 배경을 분명히 하기 위해, 도 1을 참조해 V_{th} 보정 기능을 갖춘 액티브 매트릭스 표시장치의 참고예를 설명한다. 도시하는 것처럼, 액티브 매트릭스 표시장치는 주요부가 되는 화소 어레이(1)와 주변의 회로부로 구성되어 있다.

주변의 회로부는 수평 실렉터(3), 라이트 스캐너(4), 드라이브 스캐너(5), 보정용 스캐너(7)등을 포함하고 있다. 화소 어레이(1)은 행모양의 주사선(WS)과 열모양의 신호선(SL)과 양자의 교차하는 부분에 매트릭스형으로 배열한 화소 R, G, B로 구성되어 있다. 칼라 표시를 가능하게 하기 위해, RGB의 삼원색 화소를 준비하고 있지만, 본 발명은 이것에 한정되는 것은 아니다. 각 화소 R, G, B는 각각 화소회로(2)로 구성되어 있다. 신호선(SL)은 수평 실렉터(3)에 의해서 구동된다. 수평 실렉터(3)은 신호부를 구성하여, 신호선(SL)에 영상신호를 공급한다. 주사선(WS)은 라이트 스캐너(4)에 의해서 주사된다. 또, 주사선(WS)과 평행하게 다른 주사선(DS 및 AZ)도 배선되어 있다. 주사선(DS)은 드라이브 스캐너(5)에 의해서 주사된다. 주사선(AZ)은 보정용 스캐너(7)에 의해서 주사된다. 라이트 스캐너(4), 드라이브 스캐너(5) 및 보정용 스캐너(7)는 스캐너부를 구성하고 있어, 1 수평 기간마다 화소의 행을 차례차례 주사한다. 각 화소회로(2)는 주사선(WS)에 의해서 선택

되었을 때 신호선(SL)으로부터 영상신호를 샘플링 한다. 더욱 주사선(DS)에 의해서 선택되었을 때, 샘플링된 영상신호에 따라 화소회로(2)내에 포함되어 있는 발광소자를 구동한다. 부가하여 화소회로(2)는 주사선(AZ)에 의해서 주사되었을 때, 미리 결정된 보정 동작을 행한다.

상기 기술한 화소 어레이(1)는 통상 유리 등의 절연 기판상에 형성되고 있고, 플랫 패널이 되어 있다. 각 화소회로(2)는 아모퍼스(amorphous) 실리콘 박막 트랜지스터(TFT) 또는 저온 폴리 실리콘 TFT로 형성되어 있다. 아모퍼스(amorphous) 실리콘 TFT의 경우, 스캐너부는 패널과는 다른 TAB 등에서 구성되어 플렉서블 케이블로 플랫 패널에 접속된다. 저온 폴리 실리콘 TFT의 경우, 신호부 및 스캐너부도 같은 저온 폴리 실리콘 TFT로 형성할 수 있으므로, 플랫 패널상에 화소 어레이부와 신호부와 스캐너부를 일체적으로 형성할 수 있다.

도 2는, 도 1에 나타난 화소 어레이에 포함되는 화소회로의 구성을 나타내는 회로도이다. 도시하는 것처럼, 화소회로(2)는 5개의 박막 트랜지스터($Tr1 \sim Tr4$, Trd)와 2개의 용량 소자($Cs1$, $Cs2$)와 1개의 발광소자(EL)로 구성되어 있다. 트랜지스터($Tr1 \sim Tr4$), (Trd)는 모두 P채널형의 폴리 실리콘 TFT이다. 단, 본 발명은 이것에 한정되는 것이 아니고, N채널형의 폴리 실리콘 TFT를 혼재시켜도 괜찮다. 혹은, N 채널형의 아모퍼스(amorphous) 실리콘 TFT로 화소회로를 구성해도 좋다. 2개의 용량 소자($Cs1$)와 $Cs2$ 는 양자 맞추어 화소회로(2)의 용량부를 구성하고 있다. 발광소자(EL)는 예를 들면, 애노드 및 캐소드를 갖춘 다이오드형의 유기(EL)소자로 이루어진다. 단, 본 발명은 이것에 한정되는 것이 아니고, 발광소자는 일반적으로 전류 구동으로 발광하는 모든 디바이스를 포함한다.

화소회로(2)의 중심이 되는 드라이브 트랜지스터(Trd)는 게이트(G)가 G점에 접속되고, 소스(S)가 S점에 접속되고, 드레인(D)가 D점에 접속되어 있다. 발광소자(EL)는 애노드가 D점에 접속되고, 캐소드가 접지되어 있다. 스위칭 트랜지스터(switching transistor)($Tr4$)는 전원 전위(V_{cc})와 S점과의 사이에 접속되어 있고, 발광소자(EL)의 온 / 오프를 제어한다. 트랜지스터($Tr4$)의 게이트는 주사선(DS)에 접속되어 있다.

한편 샘플링 트랜지스터($Tr1$)는 신호선(SL)와 A점과의 사이에 접속되어 있다. 샘플링 트랜지스터($Tr1$)의 게이트는 주사선(WS)에 접속하고 있다. A점과 S점과의 사이에 검출 트랜지스터($Tr5$)가 접속되어 있다. 그 게이트는 주사선(AZ)에 접속하고 있다. 또, 스위칭 트랜지스터($Tr3$)는 G점과 소정의 오프셋 전위(V_{ofs})와의 사이에 접속되어 있다. 그 게이트는 주사선(AZ)에 접속되어 있다. 또, 검출 트랜지스터($Tr5$)와 스위칭 트랜지스터($Tr3$)는 V_{th} 캔슬용의 보정수단을 구성하고 있다. 한편 용량 소자($Cs1$)는 A점과 G점과의 사이에 접속되고, 타편의 용량 소자 ($Cs2$)는 전원 전위(V_{cc})와 A점과의 사이에 접속되어 있다.

드라이브 트랜지스터(Trd)는 소스 / 게이트간에 인가되는 게이트 전압(V_{gs})에 따라 소스 / 드레인간에 드레인 전류(I_{ds})를 흘리고, 이것으로 발광소자(EL)를 구동한다. 본 명세서에서는 게이트 전압(V_{gs})을 입력전압으로 하고, 드레인 전류(I_{ds})를 출력전류라고 정의하고 있다. 신호선(SL)로부터 공급되는 영상신호(V_{sig})에 따라 게이트 전압(V_{gs})을 설정하고, 이것에 의해 드레인 전류(I_{ds})를 흐르게하는 것으로, 영상신호의 계조에 따라서 발광소자(EL)의 발광 휘도를 제어할 수 있다.

드라이브 트랜지스터(Trd)의 임계전압(V_{th})은 화소마다 변동한다. 이것을 캔슬하기 위해 미리 드라이브 트랜지스터(Trd)의 임계전압(V_{th})을 검출하고, 용량 소자($Cs1$)로 유지하여 둔다. 이 후 샘플링 트랜지스터($Tr1$)를 온하여 용량 소자($Cs2$)에 신호 전위(V_{sig})를 기입한다. 이와 같이하여 설정된 게이트 전압(V_{gs})에 의해, 드라이브 트랜지스터(Trd)를 구동한다.

도 3은, 도 2에 나타난 화소회로의 동작 설명에 제공되는 타이밍 차트이다. 시간축(T)에 따라서 각 주사선(WS, AZ 및 DS)에 인가되는 제어신호의 파형을 나타내고 있다. 표기를 간략화하기 위해, 이하 본 명세서에서는 제어신호도 대응하는 주사선의 부호와 같은 부호로 나타낸다. 트랜지스터는 모두 P채널형이므로, 주사선이 하이레벨 때 오프하고, 로 레벨때 온 한다. 그래서 표기를 간략화하기 위해, 본 참고예에서는 제어신호가 하이레벨로부터 로 레벨로 입하하는 경우를 「온」이라고 나타내고, 로 레벨로부터 하이레벨에 입상하는 경우를 「오프」라고 부른다. 각 제어신호(WS, AZ, DS)의 파형과 함께, A점 및 G점의 전위 변화도 나타내고 있다. 또한, N채널형의 경우는, 반대로 제어신호가 하이레벨로부터 로 레벨로 하강하는 경우를 「오프」라고 나타내고, 로 레벨로부터 하이레벨에 상승하는 경우를 「온」이라고 부른다.

도시의 타이밍 차트에서는 타이밍($T1 \sim T7$)까지를 1 필드(1 f)로 되어 있다. 1 필드의 사이에 화소 어레이의 각 행이 1회 순차(차례차례) 주사된다. 타이밍 차트는, 1행 분의 화소에 인가되는 각 제어신호(WS, AZ, DS)의 파형을 나타내고 있다.

상기 필드가 시작되기 전의 타이밍 $T0$ 에서, 제어신호(WS 및 AZ)는 오프인데 대해, 제어신호(DS)가 온 하고 있다. 따라서 샘플링 트랜지스터($Tr1$), 검출 트랜지스터($Tr5$) 및 스위칭 트랜지스터($Tr3$)가 오프 상태인데 대해, 스위칭 트랜지스터($Tr4$)만이 온 상태에 있다. 이 상태에서, A점 전위는 신호 전위(V_{sig})에 있고, G점 전위는 V_{sig} 로부터 V_{th} 만큼 내린 전위

에 있다. 이때 S점은 트랜지스터(Tr4)가 온 하고 있으므로 Vcc가 되어 있다. 따라서 트랜지스터(Trd)의 소스와 게이트와의 사이에는 Vth를 초과하는 충분한 전압이 인가되고 있어 출력전류(IdS)가 발광소자(EL)에 공급되어 있다. 따라서 타이밍 T0에서는 발광소자(EL)는 발광 상태에 있다.

이 후 상기 필드에 들어간 타이밍 T1으로 제어신호(AZ)가 온하고, 트랜지스터(Tr5 및 Tr3)가 도통한다. 이 결과 A점과 S점이 직접 연결되므로, A점 전위는 전원 전위(Vcc)에서 급격하게 상승한다. 한편 트랜지스터(Tr3)가 온 하기 위해, G점 전위는 소정의 오프셋 전위(Vofs)까지 급격하게 하강한다.

이 직후 타이밍 T2로 제어신호(DS)가 오프가 되어, 스위칭 트랜지스터(Tr 4)가 비도통 상태가 된다. 이것에 의해 S점이 전원 전위(Vcc)로부터 분리(切離)되고, 비발광 상태로 변한다. 타이밍 T1에서 타이밍 T2까지의 기간(T1-T2)에서, A점 전위가 Vcc로 되고 G점 전위가 Vofs로 되어 각 용량 소자(Cs1, Cs2)의 전위가 리셋 된다. 이 리셋 동작은, 다음에 계속되는 검출 동작을 안정화하기 위한 준비이며, 기간(T1-T2)을 리셋 기간이라고 부른다.

타이밍 T2에서 제어신호(DS)가 오프하면 S점이 Vcc로부터 분리되므로, 전원에서의 급전이 차단되는 한편 용량 소자(Cs1)의 방전이 시작되어 과도전류가 트랜지스터(Tr5)를 통해 흘러 A점 전위가 Vcc로부터 저하되어 간다. G점 전위에 대해서 A점 전위가 Vth까지 저하했을 때, 과도 전류가 흐르지 않게 된다. 이 결과 A점과 G점의 전위차가 Vth가 되어, 이것이 용량 소자(Cs1)에 유지된다.

타이밍 T3에서 제어신호(AZ)가 오프하고, 트랜지스터(Tr5 및 Tr3)가 오프하여, 용량 소자(Cs1)의 G점측이 Vofs로부터 분리되는 것과 동시에, A점측이 S점으로부터 분리된다. 타이밍(T2~T3)까지의 기간에 Vth를 검출하고 또한 Cs1에 유지하는 것으로, 기간(T2-T3)를 특히 검출 기간이라고 부른다. 이 검출 기간(T2-T3)은 드라이브 트랜지스터에 흐르는 과도 전류가 0이 되도록 충분한 시간폭을 차지하고 있다.

이상 설명한 바와 같이, 리셋 기간(T1-T2)에 있어서의 리셋 동작과 검출 기간(T2-T3)에 있어서의 검출 동작으로 임계 전압(Vth)의 보정 동작이 행해진다. 그래서 리셋 기간과 검출 기간을 맞춘 기간(T1-T3)을 Vth 보정 기간이라고 부른다. 경우에 따라서는, 기간(T2-T3)을 Vth보정 기간이라고 부르기도 한다. 도 3의 타이밍 차트로부터 밝혀진 바와 같이, Vth 보정 기간(T1-T3)은 제어신호(AZ)에 의해서 규정된다. 한편, Vth 보정 기간(T1-T3)내에서 리셋 기간(T1-T2)과 검출 기간(T2-T3)을 구분하는 것이 제어신호(DS)이다. 제어신호(DS)는 기본적으로 스위칭 트랜지스터(Tr4)의 온 / 오프를 제어하는 펄스이며, 따라서 비발광 기간과 발광 기간을 규정하고 있다.

Vth 보정 기간(T1-T3)이 경과한 후, 타이밍 T4에서 제어신호(WS)가 온하고, 샘플링 트랜지스터(Tr1)가 도통한다. 이 결과, 신호선(SL)으로부터 공급된 영상신호(Vsig)가 용량 소자(Cs2)에 샘플링 된다. 이것에 의해 A점 전위는 Vth로부터 신호 전위(Vsig)로 상승한다. 이 상승에 연동하여 G점 전위도 차분(Vth)를 유지한 채로 상승한다. 타이밍 차트에서 밝혀진 바와 같이, 샘플링 다음에도 A점 전위와 G점 전위의 전위차는 Vth에 유지되어 있다. 이 후 1수평 기간이 경과하는 타이밍 T5에서 제어신호(WS)는 오프하고, 샘플링 트랜지스터(Tr1)가 비도통 상태가 된다. Vsig를 샘플링하여 Cs2로 유지하는 샘플링 동작은 기간(T4-T5)에서 행해지기 때문에, 이것을 샘플링 기간이라고 부른다. 샘플링 기간(T4-T5)은 1 수평 기간(1 H)에 동일하다.

이후 타이밍 T6에서 제어신호(DS)가 다시 온하고, 스위칭 트랜지스터 (Tr4)가 도통한다. 이 결과 드라이브 트랜지스터 (Trd)는 S점 전위와 G점 전위와의 차이 Vgs에 따라 드레인 전류(IdS)를 발광소자(EL)에 공급한다. 발광소자(EL)는 이것에 의해 Vgs에 따른 휘도로 발광한다.

이 후 타이밍 T7에 이르러 상기 필드가 종료하는 것과 동시에, 다음의 필드로 이행한다. 다음의 필드에서는 최초로 리셋 기간에 들어간다.

도 3의 타이밍 차트에 기초하여, 샘플링 기간(T4-T5) 및 그 후의 발광 기간에 있어서의 입력전압(Vgs)을 요구한다. 입력 전압(Vgs)은 S점을 기준으로 한 G점의 전위이다. 샘플링 기간(T4-T5)의 뒤의 발광 기간으로는 트랜지스터 (Tr4)가 온 하고 있기 때문에, S점 전위는 전원에 접속되어 Vcc로 되어 있다. 한편 A점 전위는 상기 기술한 바와 같이, Vcc보다도 Vsig만큼 낮다. 또한, G점 전위는 A점 전위로부터 Vth만큼 낮다. 따라서 S점 전위를 기준으로 한 G점 전위를 나타내는 Vgs는 Vcc-(Vsig-Vth)가 된다. 상술의 트랜지스터 특성식 1의 Vgs에 여기서 요구한 Vcc-(Vsig-Vth)를 대입하면, 이하의 식을 얻을 수 있다.

$$(IdS)=(1/2)\mu(W/L)Cox(Vcc-Vsig)^2$$

상기 특성식에서는 앞의 기본 특성식 1에 포함되어 있던 V_{th} 의 항이 캔슬되어 $V_{cc} - V_{sig}$ 로 치환되어 있다. 따라서 도 2에 나타난 화소회로(2)는, 드라이브 트랜지스터(Trd)의 V_{th} 에 의존하지 않고, V_{sig} 의 값에 따른 출력전류(I_{ds})를 발광소자(EL)에 공급할 수 있다. 따라서 드라이브 트랜지스터(Trd)의 V_{th} 가 화소마다 흩어져 있어도, 화소 어레이로서는 그 격차를 제외한 출력전류를 각 화소의 발광소자(EL)에 공급할 수 있다.

도 4는, 상기 특성식을 그래프화한 것이고, 세로축에 출력전류(I_{ds})를 취해, 횡축에 입력전압($V_{cc} - V_{sig}$)을 취하고 있다. 아울러 그래프의 옆에 상기 특성식을 재계하고 있다. 상기 특성식에서 밝혀진 바와 같이, 드라이브 트랜지스터의 V_{th} 의 항은 없어지고 있다. 그렇지만 이동도(μ)가 남아 있다. 이 이동도(μ)는 V_{th} 와 같이 디바이스 의존성이 있어, 각 화소마다 흩어지고 있다. 따라서, V_{th} 를 캔슬한 것만으로 출력전류(I_{ds})의 격차는 완전하게 억제할 수 없다. 그래프에서는 μ 의 큰 트랜지스터 특성을 실선으로 나타내고, μ 가 작은 트랜지스터 특성을 점선으로 나타내고 있다. 그래프로부터 밝혀진 바와 같이, 특성식의 계수 μ 가 커질수록, 특성 커브는 급격(急激)하게 되어 있다. 따라서 입력전압($V_{cc} - V_{sig}$)= V_0 로 일정해도, 이동도(μ)의 격차가 화소간에 생기기 때문에, 출력전류(I_{ds})는 μ 에 의존하여 변동하고, 화소간에 휘도의 격차가 생겨 버린다. 특히, ($V_{cc} - V_{sig}$)가 그레이로부터 흰색 표시의 계조에 있는 이동도(μ)에 의존하는 휘도 격차가 현저하게 되어, 표시 얼룩이 생겨 해결해야 할 과제이다.

도 5는, 본 발명에 관한 표시장치의 제 1 실시 형태를 나타내는 회로도이다. 도시하는 것처럼, 액티브 매트릭스 표시장치는 주요부가 되는 화소 어레이(1)와 주변의 회로부로 구성되어 있다. 주변의 회로부는 수평 실렉터(3), 라이트 스캐너(4), 드라이브 스캐너(5), 제 1보정용 스캐너(71), 제 2보정용 스캐너(72) 등을 포함하고 있다. 화소 어레이(1)는 행모양의 주사선(WS)과 열모양의 신호선(SL)과 양자의 교차하는 부분에 매트릭스모양으로 배열한 화소회로(2)로 구성되어 있다. 도면에서는 이해를 용이하게 하기 위해, 1개의 화소회로(2)만을 확대 표시되어 있다. 신호선(SL)은 수평 실렉터(3)에 의해서 구동된다. 수평 실렉터(3)는 신호부를 구성하고, 신호선(SL)에 영상신호를 공급한다. 주사선(WS)은 라이트 스캐너(4)에 의해서 주사된다. 덧붙여 주사선(WS)과 평행하게 다른 주사선(DS, AZ1 및 AZ2)도 배선되어 있다. 주사선(DS)은 드라이브 스캐너(5)에 의해서 주사된다. 주사선(AZ1)은 제 1보정용 스캐너(71)에 의해서 주사된다. 주사선(AZ2)은 제 2보정용 스캐너(72)에 의해서 주사된다. 라이트 스캐너(4), 드라이브 스캐너(5), 제 1보정용 스캐너(71) 및 제 2보정용 스캐너(72)는 스캐너부를 구성하고 있고, 1 수평 기간마다 화소의 행을 차례차례 주사한다. 각 화소회로(2)는 주사선(WS)에 의해 선택되었을 때 신호선(SL)으로부터 영상신호를 샘플링한다. 또한, 주사선(DS)에 의해 선택되었을 때, 샘플링된 영상신호에 따라 화소회로(2)내에 포함되어 있는 발광소자(EL)를 구동한다. 부가하여 화소회로(2)는 주사선(AZ1, AZ2)에 의해 주사되었을 때, 미리 결정할 수 있던 보정 동작을 실시한다.

화소회로(2)는, 5개의 박막 트랜지스터($Tr1 \sim Tr4$ 및 Trd)와 1개의 용량 소자(화소 용량)(C_s)와 1개의 발광소자(EL)로 구성되어 있다. 트랜지스터($Tr1 \sim Tr3$ 와 Trd)는 N채널형의 폴리 실리콘 TFT이다. 트랜지스터($Tr4$)만 P채널형의 폴리 실리콘 TFT이다. 1개의 용량 소자(C_s)는 본 화소회로(2)의 용량부를 구성하고 있다. 발광소자(EL)는 예를 들면, 애노드 및 캐소드를 갖춘 다이오드형의 유기(EL)소자이다. 단 본 발명은 이것에 한정되는 것이 아니고, 발광소자는 일반적으로 전류 구동으로 발광하는 모든 디바이스를 포함한다.

화소회로(2)의 중심이 되는 드라이브 트랜지스터(Trd)는 그 게이트(G)가 화소 용량(C_s)의 일단에 접속되어 그 소스(S)가 같이 화소 용량(C_s)의 타단에 접속되어 있다. 또 드라이브 트랜지스터(Trd)의 게이트(G)는 스위칭 트랜지스터($Tr2$)를 거쳐서 다른 기준 전위(V_{ss1})에 접속되어 있다. 드라이브 트랜지스터(Trd)의 드레인은 스위칭 트랜지스터($Tr4$)를 거쳐서 전원(V_{cc})에 접속되어 있다. 이 스위칭 트랜지스터($Tr2$)의 게이트는 주사선(AZ1)에 접속되어 있다. 스위칭 트랜지스터($Tr4$)의 게이트는 주사선(DS)에 접속하고 있다. 발광소자(EL)의 애노드는 드라이브 트랜지스터(Trd)의 소스(S)에 접속하고, 캐소드는 접지되어 있다. 이 접지 전위는 V_{cath} 로 나타내지는 경우가 있다. 또, 드라이브 트랜지스터(Trd)의 소스(S)와 소정의 기준 전위(V_{ss2})와의 사이에 스위칭 트랜지스터($Tr3$)가 개재(介在)되어 있다. 이 트랜지스터($Tr3$)의 게이트는 주사선(AZ2)에 접속하고 있다. 한편 샘플링 트랜지스터($Tr1$)는 신호선(SL)과 드라이브 트랜지스터(Trd)의 게이트(G)와의 사이에 접속되어 있다. 샘플링 트랜지스터($Tr1$)의 게이트는 주사선(WS)에 접속하고 있다.

이러한 구성에 있어서, 샘플링 트랜지스터($Tr1$)는, 소정의 샘플링 기간에 주사선(WS)으로부터 공급되는 제어신호(WS)에 따라 도통하여 신호선(SL)으로부터 공급된 영상신호(V_{sig})를 용량부(C_s)에 샘플링한다. 용량부(C_s)는, 샘플링된 영상신호(V_{sig})에 따라 드라이브 트랜지스터의 게이트(G)와 소스(S)간에 입력전압(V_{gs})을 인가한다. 드라이브 트랜지스터(Trd)는, 소정의 발광 기간중 입력전압(V_{gs})에 따른 출력전류(I_{ds})를 발광소자(EL)에 공급한다. 또한, 이 출력전류(드레인 전류)(I_{ds})는 드라이브 트랜지스터(Trd)의 채널 영역의 캐리어 이동도(μ) 및 임계전압(V_{th})에 대해서 의존성을 가진다.

발광소자(EL)는, 드라이브 트랜지스터(Trd)로부터 공급된 출력전류(I_{ds})에 의해 영상신호(V_{sig})에 따른 휘도로 발광한다.

본 발명의 특징 사항으로서, 화소회로(2)는 스위칭 트랜지스터($Tr_2 \sim Tr_4$)로 구성되는 보정수단을 갖추고 있어 출력전류(I_{ds})의 캐리어 이동도(μ)에 대한 의존성을 지우기 위해, 미리 발광 기간의 선두에서 용량부(C_s)에 유지된 입력전압(V_{gs})을 보정한다. 구체적으로는, 이 보정수단($Tr_2 \sim Tr_4$)은, 주사선(WS 및 DS)으로부터 공급되는 제어신호(WS, DS)에 따라서 샘플링 기간의 일부에서 동작하고, 영상신호(V_{sig})가 샘플링되어 있는 상태로 드라이브 트랜지스터(Tr_d)로부터 출력전류(I_{ds})를 취출하고, 이것을 용량부(C_s)에 부귀환하여 입력전압(V_{gs})을 보정한다. 또한, 이 보정수단($Tr_2 \sim Tr_4$)은, 출력전류(I_{ds})의 임계전압(V_{th})에 대한 의존성을 지우기 위해서, 미리 샘플링 기간에 앞서 드라이브 트랜지스터(Tr_d)의 임계전압(V_{th})을 검출하고, 또한, 검출된 임계전압(V_{th})을 입력전압(V_{gs})에 더하도록 하고 있다.

본 실시 형태의 경우, 드라이브 트랜지스터(Tr_d)는 N채널형 트랜지스터로 드레인이 전원(V_{cc})측에 접속하는 한편, 소스(S)가 발광소자(EL)측에 접속하고 있다. 이 경우, 상기 기술한 보정수단은, 샘플링 기간의 후부분과 겹쳐지는 발광 기간의 선두 부분에서 드라이브 트랜지스터(Tr_d)로부터 출력전류(I_{ds})를 취출하고, 용량부(C_s)측에 부귀환한다. 이때 본 보정수단은, 발광 기간의 선두 부분에서 드라이브 트랜지스터(Tr_d)의 소스(S)측에서 취출한 출력전류(I_{ds})가, 발광소자(EL)가 가지는 용량에 유입되도록 하고 있다. 구체적으로는, 발광소자(EL)는 애노드 및 캐소드를 갖춘 다이오드형의 발광소자로 이루어지고, 애노드측이 드라이브 트랜지스터(Tr_d)의 소스(S)에 접속하는 한편 캐소드측이 접지되어 있다. 이 구성으로, 본 보정수단($Tr_2 \sim Tr_4$)은, 미리 발광소자(EL)의 애노드 / 캐소드간을 역바이어스 상태에 세트하여 두어, 드라이브 트랜지스터(Tr_d)의 소스(S)측에서 취출한 출력전류(I_{ds})가 발광소자(EL)에 유입될 때, 이 다이오드형의 발광소자(EL)를 용량성 소자로서 기능시키고 있다. 또한 본 보정수단은, 샘플링 기간내에 드라이브 트랜지스터(Tr_d)로부터 출력전류(I_{ds})를 취출하는 시간폭(t)을 조정 가능하고, 이것에 의해 용량부(C_s)에 대한 출력전류(I_{ds})의 부귀환량을 최적화하고 있다.

도 6은, 도 5에 나타난 표시장치로부터 화소회로의 부분을 취출한 모식도이다. 이해를 용이하게 하기 위해, 샘플링 트랜지스터(Tr_1)에 의해 샘플링되는 영상신호(V_{sig})나, 드라이브 트랜지스터(Tr_d)의 입력전압(V_{gs}) 및 출력전류(I_{ds}), 또는, 발광소자(EL)가 가지는 용량 성분 C_{oled} 등을 추가로 기입한다. 이하 도 6에 기초하여, 본 화소회로(2)의 기본적인 동작을 설명한다.

도 7은, 도 6에 나타난 화소회로의 타이밍 차트이다. 도 7을 참조하여, 도 6에 나타난 화소회로의 동작을 보다 구체적 또한 상세하게 설명한다. 도 7은, 시간축(T)에 따라서 각 주사선(WS, AZ1, AZ2 및 DS)에 인가되는 제어신호의 파형을 나타내고 있다. 표기를 간략화하기 위해, 제어신호도 대응하는 주사선의 부호와 같은 부호로 나타내고 있다. 트랜지스터(Tr_1 , Tr_2 , Tr_3)는 N채널형이므로, 주사선(WS, AZ1, AZ2)이 각각 하이레벨 때 온하고, 로 레벨 때 오프한다. 또한, 트랜지스터(Tr_4)는 P채널형이므로, 주사선(DS)이 하이레벨 때 오프하고, 로 레벨 때 온 한다. 또한, 이 타이밍 차트는, 각 제어신호(WS, AZ1, AZ2, DS)의 파형과 함께, 드라이브 트랜지스터(Tr_d)의 게이트(G)의 전위 변화 및 소스(S)의 전위 변화도 나타내고 있다.

도 7의 타이밍 차트에서는 타이밍($T_1 \sim T_8$)까지를 1 필드(1 f)로 하고 있다. 1 필드의 사이에 화소 어레이의 각 행이 1회 차례차례 주사된다. 타이밍 차트는, 1행 분의 화소에 인가되는 각 제어신호(WS, AZ1, AZ2, DS)의 파형을 나타내고 있다.

상기 필드가 시작되기 전의 타이밍 T_0 으로, 모든 제어신호(WS, AZ1, AZ2, DS)가 로 레벨에 있다. 따라서 N채널형의 트랜지스터(Tr_1 , Tr_2 , Tr_3)는 오프 상태에 있는 한편, P채널형의 트랜지스터(Tr_4)만 온 상태이다. 따라서 드라이브 트랜지스터(Tr_d)는 온 상태의 트랜지스터(Tr_4)를 거쳐서 전원(V_{cc})에 접속하고 있으므로, 소정의 입력전압(V_{gs})에 따라 출력전류(I_{ds})를 발광소자(EL)에 공급하고 있다. 따라서 타이밍 T_0 에서 발광소자(EL)는 발광하고 있다. 이때 드라이브 트랜지스터(Tr_d)에 인가되는 입력전압(V_{gs})은, 게이트 전위(G)와 소스 전위(S)의 차이로 표시된다.

상기 필드가 시작되는 타이밍 T_1 으로, 제어신호(DS)가 로 레벨에서 하이레벨로 전환된다. 이것에 의해 트랜지스터(Tr_4)가 오프하고, 드라이브 트랜지스터(Tr_d)는 전원(V_{cc})으로부터 분리되므로, 발광이 정지하고 비발광 기간에 들어간다. 따라서 타이밍 T_1 에 들어가면, 모든 트랜지스터($Tr_1 \sim Tr_4$)가 오프 상태가 된다.

계속하여 타이밍 T_2 에 진행되면, 제어신호(AZ1 및 AZ2)가 하이레벨이 되므로, 스위칭 트랜지스터(Tr_2 및 Tr_3)가 온 한다. 이 결과, 드라이브 트랜지스터(Tr_d)의 게이트(G)가 기준 전위(V_{ss1})에 접속하고, 소스(S)가 기준 전위(V_{ss2})에 접속된다. 여기서 $V_{ss1} - V_{ss2} > V_{th}$ 를 충족하고 있고, $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ 로 하는 것으로, 그 후 타이밍 T_3 에서 행해지는 V_{th} 보정의 준비를 실시한다. 환언하면 기간($T_2 - T_3$)는, 드라이브 트랜지스터(Tr_d)의 리셋 기간에 상당한다. 또, 발광소자(EL)의 임계전압을 V_{thEL} 로 하면, $V_{thEL} > V_{ss2}$ 로 설정되어 있다. 이것에 의해, 발광소자(EL)에는 마이너스 바이어스가 인가되고, 이른바 역바이어스 상태가 된다. 이 역 바이어스 상태는, 다음에 실시하는 V_{th} 보정 동작 및 이동도 보정 동작을 정상적으로 실시하기 위해서 필요하다.

타이밍 T3에서는 제어신호(AZ2)를 로 레벨로 하고, 또한 직후 제어신호(DS)도 로 레벨로 하고 있다. 이것에 의해 트랜지스터(Tr3)가 오프하는 한편 트랜지스터(Tr4)가 온 한다. 이 결과 드레인 전류(I_{ds})가 화소 용량(Cs)에 유입되고, V_{th} 보정 동작을 개시한다. 이때 드라이브 트랜지스터(Trd)의 게이트(G)는 V_{ss1} 에 유지되어 있고, 드라이브 트랜지스터(Trd)가 컷 오프할 때까지 전류(I_{ds})가 흐른다. 컷오프하면 드라이브 트랜지스터(Trd)의 소스 전위(S)는 $V_{ss1} - V_{th}$ 가 된다. 드레인 전류가 컷오프 한 후의 타이밍 T4에서 제어신호(DS)를 다시 하이레벨로 되돌아오고, 스위칭 트랜지스터(Tr4)를 오프 한다. 또한, 제어신호(AZ1)도 로 레벨로 되돌아오고, 스위칭 트랜지스터(Tr2)도 오프 한다. 이 결과, 화소 용량(Cs)에 V_{th} 가 유지 고정된다. 이와 같이 타이밍(T3-T4)은 드라이브 트랜지스터(Trd)의 임계전압(V_{th})을 검출하는 기간이다. 여기에서는, 이 검출 기간(T3T4)을 V_{th} 보정 기간이라고 부르고 있다.

이와 같이 V_{th} 보정을 실시한 후 타이밍 T5에서 제어신호(WS)를 하이레벨로 전환하고, 샘플링 트랜지스터(Tr1)를 온하여 영상신호(V_{sig})를 화소 용량(Cs)에 쓴다. 발광소자(EL)의 등가 용량(C_{oled})에 비해 화소 용량(Cs)은 충분히 작다. 이 결과, 영상신호(V_{sig})의 거의 대부분이 화소 용량(Cs)에 기입된다. 정확하게는, V_{ss1} 에 대한다. V_{sig} 의 차분($V_{sig} - V_{ss1}$)이 화소 용량(Cs)에 기입된다. 따라서 드라이브 트랜지스터(Trd)의 게이트(G)와 소스(S)간의 전압(V_{gs})은, 먼저 검출 유지된 V_{th} 와 금회(今回) 샘플링된 $V_{sig} - V_{ss1}$ 을 더한 레벨($V_{sig} - V_{ss1} + V_{th}$)이 된다. 이후 설명 간이화하기 위해 $V_{ss1} = 0$ V로 하면, 게이트 / 소스간 전압(V_{gs})은 도 7의 타이밍 차트에 나타낸 바와 같이 $V_{sig} + V_{th}$ 가 된다. 이러한 영상신호(V_{sig})의 샘플링은 제어신호(WS)가 로 레벨로 돌아오는 타이밍 T7까지 행해진다. 즉, 타이밍(T5T7)이 샘플링 기간에 상당한다.

샘플링 기간의 종료하는 타이밍 T7보다 전의 타이밍 T6으로 제어신호(DS)가 로 레벨이 되어 스위칭 트랜지스터(Tr4)가 온 한다. 이것에 의해 드라이브 트랜지스터(Trd)가 전원(V_{cc})에 접속되므로, 화소회로는 비발광 기간에서 발광 기간으로 진행된다. 이와 같이 샘플링 트랜지스터(Tr1)가 아직 온 상태로, 또한 스위칭 트랜지스터(Tr4)가 온 상태에 들어간 기간(T6T7)으로, 드라이브 트랜지스터(Trd)의 이동도 보정을 실시한다. 즉, 본 실시 형태에서는, 샘플링 기간의 후부분과 발광 기간의 선두 부분이 겹치는(중첩하는)기간(T6T7)으로 이동도 보정을 실시하고 있다. 덧붙여 이 이동도 보정을 실시하는 발광 기간의 선두에서는, 발광소자(EL)는 실제로는 역바이어스 상태에 있으므로 발광하지 않는다. 이 이동도 보정 기간(T6T7)에서는, 드라이브 트랜지스터(Trd)의 게이트(G)가 영상신호(V_{sig})의 레벨에 고정된 상태로, 드라이브 트랜지스터(Trd)에 드레인 전류(I_{ds})가 흐른다. 여기서 $V_{ss1} - V_{th} < V_{thEL}$ 로 설정해두는 것으로, 발광소자(EL)는 역바이어스 상태에 있기 때문에, 다이오드 특성은 아니고 단순한 용량 특성을 나타내도록 한다. 따라서 드라이브 트랜지스터(Trd)에 흐르는 전류(I_{ds})는 화소 용량(Cs)과 발광소자(EL)의 등가 용량(C_{oled})의 양자를 결합한 용량 $C = C_s + C_{oled}$ 에 기입되어 간다. 이것에 의해 드라이브 트랜지스터(Trd)의 소스 전위(S)는 상승하여 간다. 도 7의 타이밍 차트에서는 이 상승분을 ΔV 로 나타내고 있다. 이 상승분(ΔV)은 결국 화소 용량(Cs)에 유지된 게이트 / 소스간 전압(V_{gs})으로부터 공제되게 됨으로, 부귀환을 걸친것이 된다. 이와 같이 드라이브 트랜지스터(Trd)의 출력전류(I_{ds})를 동일하게 드라이브 트랜지스터(Trd)의 입력전압(V_{gs})에 부귀환하는 것으로, 이동도(μ)를 보정하는 것이 가능하다. 또한 부귀환량(ΔV)은 이동도 보정 기간(T6-T7)의 시간폭(t)을 조정하는 것으로 최적화 가능하다.

타이밍 T7에서는 제어신호(WS)가 로 레벨이 되어 샘플링 트랜지스터(Tr1)가 오프 한다. 이 결과 드라이브 트랜지스터(Trd)의 게이트(G)는 신호선(SL)으로부터 분리된다. 영상신호(V_{sig})의 인가가 해제되므로, 드라이브 트랜지스터(Trd)의 게이트 전위(G)는 상승 가능하게 되고, 소스 전위(S)와 함께 상승하여 간다. 그 사이 화소 용량(Cs)에 유지된 게이트 / 소스간 전압(V_{gs})은 ($V_{sig} - \Delta V + V_{th}$)의 값을 유지한다. 소스 전위(S)의 상승에 수반하고, 발광소자(EL)의 역바이어스 상태는 해소되므로, 출력전류(I_{ds})의 유입에 의해 발광소자(EL)는 실제로 발광을 개시한다. 이때의 드레인 전류(I_{ds})대 게이트 전압(V_{gs})의 관계는, 앞의 트랜지스터 특성식 1의 V_{gs} 에 ($V_{sig} - \Delta V + V_{th}$)를 대입하는 일로, 이하의 식 2와 같이 주어진다.

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - \Delta V)^2 \cdots \text{식 2}$$

상기 식 2에 있어서, $k = (1/2)(W/L)C_{ox}$ 이다. 이 특성식 2에서 V_{th} 의 향이 캔슬되어있고, 발광소자(EL)에 공급되는 출력전류(I_{ds})는 드라이브 트랜지스터(Trd)의 임계전압(V_{th})에 의존하지 않는 것을 알 수 있다. 기본적으로 드레인 전류(I_{ds})는 영상신호의 신호 전압(V_{sig})에 의해 정해진다. 환언하면, 발광소자(EL)는 영상신호(V_{sig})에 따른 휘도로 발광하지 않는다. 그때 V_{sig} 는 귀환량(ΔV)으로 보정되어 있다. 이 보정량(ΔV)은 정확히 특성식 2의 계수부에 위치하는 이동도(μ)의 효과를 지우도록 동작한다. 따라서, 드레인 전류(I_{ds})는 실질적으로 영상신호(V_{sig})에만 의존하는 것이 된다.

마지막으로 타이밍 T8에 이르면 제어신호(DS)가 하이레벨이 되어 스위칭 트랜지스터(Tr4)가 오프하고, 발광이 종료함과 동시에 상기 필드가 끝난다. 이 후차의 필드로 이동하여 다시 V_{th} 보정 동작, 이동도 보정 동작 및 발광 동작이 반복되게 된다.

도 8은, 이동도 보정 기간(T6T7)에 있어서의 화소회로(2)의 상태를 나타내는 회로도이다. 도시하는 바와 같이, 이동도 보정 기간(T6T7)에서는, 샘플링 트랜지스터(Tr1) 및 스위칭 트랜지스터(Tr4)가 온 하고 있는 한편, 나머지의 스위칭 트랜지스터(Tr2 및 Tr3)가 오프 하고 있다. 이 상태로 드라이브 트랜지스터(Tr4)의 소스 전위(S)는 $V_{ss1} - V_{th}$ 이다. 이 소스 전위(S)는 발광소자(EL)의 애노드 전위이기도 하다. 상술한 것처럼 $V_{ss1} - V_{th} < V_{thEL}$ 와 설정하여 두는 것으로, 발광소자(EL)는 역바이어스 상태로 놓여지며, 다이오드 특성은 아니고 단순한 용량 특성을 나타내게 된다. 따라서 드라이브 트랜지스터(Trd)에 흐르는 전류(I_{ds})는 화소 용량(C_s)과 발광소자(EL)의 등가 용량(C_{oled})과의 합성 용량 $C = C_s + C_{oled}$ 에 흘러들게 된다. 환언하면, 드레인 전류(I_{ds})의 일부가 화소 용량(C_s)에 부귀환되고, 이동도의 보정을 실시한다.

도 9는 상기 기술한 트랜지스터 특성식 2를 그래프화한 것이고, 세로축에 I_{ds} 를 취하고 횡축에 V_{sig} 를 취하고 있다. 이 그래프의 하부에 특성식 2도 합쳐서 표시되어 있다. 도 9의 그래프는, 화소 1과 화소 2를 비교한 상태에서 특성 커브를 그리고 있다. 화소 1의 드라이브 트랜지스터의 이동도(μ)는 상대적으로 크다. 반대로 화소 2에 포함되는 드라이브 트랜지스터의 이동도(μ)는 상대적으로 작다. 이와 같이 드라이브 트랜지스터를 폴리 실리콘 박막 트랜지스터 등에서 구성했을 경우, 화소간에 이동도(μ)가 흩어지는 일은 피할 수 없다. 예를 들면, 양화소 1, 2에 동레벨의 영상신호(V_{sig})를 기입했을 경우, 아무런 이동도의 보정을 실시하지 않으면 이동도(μ)의 큰 화소 1에 흐르는 출력전류(I_{ds1})는, 이동도 μ 가 작은 화소 2에 흐르는 출력전류(I_{ds2})에 비해서 큰 차이가 생겨 버린다. 이와 같이 이동도(μ)의 격차에 기인하여 출력전류(I_{ds})의 사이에 큰 차이가 생기므로, 화면의 유니포미티를 해치는 일이 된다.

그래서 본 발명에서는 출력전류를 입력전압측에 부귀환시키는 일로 이동도의 격차를 캔슬하고 있다. 트랜지스터 특성식에서 밝혀진 바와 같이, 이동도가 크면 드레인 전류(I_{ds})가 커진다. 따라서 부귀환량(ΔV)은 이동도가 커질수록(큰 만큼) 커진다. 도 9의 그래프에 나타내는 바와 같이, 이동도(μ)의 큰 화소 1의 부귀환량(ΔV_1)은 이동도의 작은 화소 2의 부귀환량(ΔV_2)에 비해서 크다. 따라서, 이동도(μ)가 큰 만큼 부귀환이 크게 걸리는 일이 되고, 격차를 억제하는 것이 가능하다. 도시하는 바와 같이, 이동도(μ)의 큰 화소 1로 ΔV_1 의 보정을 하면, 출력전류는 I_{ds1} 에서 I_{ds1} 까지 크게 하강한다. 한편 이동도(μ)가 작은 화소 2의 보정량(ΔV_2)은 작기 때문에, 출력전류(I_{ds2})는 I_{ds2} 까지 그렇게 크게 하강하지 않는다. 결과적으로, I_{ds1} 와 I_{ds2} 는 대략 같아지고, 이동도의 격차가 캔슬된다. 이 이동도의 격차의 캔슬은 흑레벨에서 흰색 레벨까지 V_{sig} 의 전범위에서 행해지므로, 화면의 유니포미티는 지극히 높아진다. 이상을 정리하면, 이동도가 다른 화소 1과 2가 있었을 경우, 이동도의 큰 화소 1의 보정량(ΔV_1)은 이동도의 작은 화소 2의 보정량 ΔV_2 에 대해서 작아진다. 즉, 이동도가 큰 만큼 ΔV 가 크고 I_{ds} 의 감소치는 커진다. 이것에 의해 이동도가 다른 화소 전류치는 균일화되고, 이동도의 격차를 보정할 수가 있다.

이하 참고를 위해 도 10을 참조하여, 상기 기술한 이동도 보정의 수치 해석을 실시한다. 도 10에 나타난 바와 같이, 트랜지스터 (Tr1 및 Tr4)가 온한 상태로, 드라이브 트랜지스터(Trd)의 소스 전위를 변수(V)로 취하여 해석을 실시한다. 드라이브 트랜지스터(Trd)의 소스 전위(S)를 V로 하면, 드라이브 트랜지스터(Trd)를 흐르는 드레인 전류(I_{ds})는 이하의 식 3에 나타내는 바와 같다.

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{식3}$$

또 드레인 전류(I_{ds})와 용량 $C (= C_s + C_{oled})$ 의 관계에 의해, 이하의 식 4에 나타내는 것처럼 $I_{ds} = dQ / dt = CdV / dt$ 가 성립된다.

$$\begin{aligned}
 I_{ds} &= \frac{dQ}{dt} = C \frac{dV}{dt} \Leftrightarrow \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{식 4} \\
 &\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\
 &\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\
 &\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}
 \end{aligned}$$

식 4에 식 3을 대입하여 양변 적분한다. 여기서, 소스 전압V 초기 상태는 $-V_{th}$ 이며, 이동도 격차 보정 시간(T_6 ~ T_7)을 t로 한다. 이 미분 방정식을 해석하면, 이동도 보정 시간 t에 대한 화소 전류가 이하의 수식 5와 같이 주어진다.

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{식 5}$$

이동도가 다른 화소에 있어서, 식 5를 이용하여 t=0 us와 2.5us시의 전류치의 그래프를 도 11에 나타낸다. 또한 이 그래프의 하부에 아울러 식 5도 실어 둔다. t=0 us의 이동도 보정을 걸치지 않는 상태에 비해, t=2.5us에서는 이동도 격차에 대한 보정이 충분히 되어있는 것을 알 수 있다. 이동도 보정 없이는 40%의 격차가 있던 것이, 이동도 보정을 걸치면 10%이하로 억제되어 있다. 이동도 보정 동작시는, 항상 $V < V_{thEL}$ 를 충족할 필요가 있다. 상기 기술한 제1 실시 형태의 화소회로에서는 이동도 보정시에 화소 용량(Cs)과 발광소자(EL)의 등가 용량(Coled)을 사용하고 있다. Coled는 Cs에 대해서 크기 때문에 합성 용량(C)도 커지게 되고, 이동도 보정 시간 마진을 벌 수가 있다.

이상의 동작을 실시하는 것으로, 영상신호 전위 샘플 방식의 화소회로에 있어서도 이동도 격차의 보정을 실시할 수가 있는 것을 알 수 있다. 이미 실용화되고 있는 액정 디스플레이의 구동 방식은 기본적으로 영상신호 전위를 샘플링하는 전압 구동이다. 따라서 유기(EL)패널에 있어서도 전압 구동에서 이동도 격차 보정이 가능하게 되고, 종래 액정 디스플레이로 이용하고 있던 외부부착 소스 드라이버나 저온 폴리 실리콘 TFT 등을 이용한 패널 내장형 소스 드라이버 등을 이용하는 것이 가능해지고, 저비용에서 유기(EL)패널 모듈을 작성할 수가 있다. 또 제 1 실시 형태의 화소회로에서는 드라이브 트랜지스터 이외의 스위칭 트랜지스터는 N채널형과 P채널형을 혼재하여 이용하고 있지만, 각 트랜지스터의 특성은 N채널에서도 P채널에서도 상관없다.

도 12는, 본 발명에 관한 표시장치의 제 2 실시 형태를 나타내는 블럭도이다. 이해를 용이하게 하기 위해 도 5에 나타난 제 1 실시 형태와 대응하는 부분에는 대응하는 참조 번호를 이용하고 있다. 본 표시조치는, 화소 어레이(1)와 이것을 둘러싸는 주변의 회로로 구성되어 있다. 주변 회로는, 수평 선택터(3)와 라이트 스캐너(4)와 드라이브 스캐너(5)와 제 1보정용 스캐너(71)와 제 2보정용 스캐너(72)를 포함한다. 화소 어레이(1)는 매트릭스형으로 배열한 화소회로(2)로 구성되어 있다. 도면에서는 이해를 용이하게 하기 위해 1개의 화소회로(2)만을 나타내고 있다. 화소회로(2)는 6개의 트랜지스터(Tr1, Trd, Tr3~Tr6)와 2개의 용량 소자(Cs1, Cs2)와 1개의 발광소자(EL)로 구성되어 있다. 트랜지스터는 모두 N채널형이다. 본 화소회로(2)의 주요부가 되는 드라이브 트랜지스터(Trd)는, 그 게이트(G)가 각 용량 소자(Cs1, Cs2)의 일단에 접속되어 있다. 한편의 용량 소자(Cs1)는 본 화소회로(2)의 출력측과 입력측을 연결하는 결합 용량이다. 한편의 용량 소자(Cs2)는 결합 용량(Cs1)을 거쳐서 영상신호가 기입되는 화소 용량이다. 드라이브 트랜지스터(Trd)의 소스(S)는 화소 용량(Cs2)의 타단에 접속함과 동시에, 발광소자(EL)에 접속하고 있다. 발광소자(EL)는 다이오드형의 디바이스이며, 그 애노드가 드라이브 트랜지스터(Trd)의 소스(S)에 접속하는 한편, 캐소드 K가 접지 전위(Vcath)에 접속되어 있다. 또, 드라이브 트랜지스터(Trd)의 소스(S)와 소정의 기준 전위(Vss2)와의 사이에 스위칭 트랜지스터(Tr3)가 개재하고 있다. 이 트랜지스터(Tr3)의 게이트는 주사선(AZ2)에 접속하고 있다. 드라이브 트랜지스터(Trd)의 드레인은 스위칭 트랜지스터(Tr4)를

거쳐서 전원(V_{cc})에 접속되어 있다. 스위칭 트랜지스터(Tr_4)의 게이트는 주사선(DS)에 접속하고 있다. 부가하여 드라이브 트랜지스터(Tr_d)의 게이트(G)와 드레인과의 사이에 스위칭 트랜지스터(Tr_5)가 개재하고 있다. 이 트랜지스터(Tr_5)의 게이트는 주사선(AZ1)에 접속하고 있다. 한편 입력측의 샘플링 트랜지스터(Tr_1)는 신호선(SL)과 결합 용량(Cs_1)의 타단과의 사이에 접속되어 있다. 샘플링 트랜지스터(Tr_1)의 게이트는 주사선(WS)에 접속되어 있다. 결합 용량(Cs_1)의 타단과 소정의 기준 전위(V_{ss1})와의 사이에 트랜지스터(Tr_6)가 개재하고 있다. 이 트랜지스터(Tr_6)의 게이트는 주사선(AZ1)에 접속하고 있다.

도 13은, 도 12에 나타난 화소회로의 동작 설명에 제공하는 타이밍 차트이다. 시간축(T)에 따라서 제어신호(WS, DS, AZ1, AZ2)의 파형을 나타냄과 동시에, 드라이브 트랜지스터(Tr_d)의 게이트 전위(G) 및 소스 전위(S)의 변화도 나타내 있다. 상기 필드가 개시하는 타이밍 T1에서는, 제어신호(WS, AZ1, AZ2)가 로 레벨로, 제어신호(DS)만이 하이레벨이다. 따라서, 타이밍 T1에서는 스위칭 트랜지스터(Tr_4)만이 온 상태에 있고, 나머지의 트랜지스터(Tr_1 , Tr_3 , Tr_5 , Tr_6)는 오프 상태에 있다. 이때 드라이브 트랜지스터(Tr_d)는 온 상태에 있는 스위칭 트랜지스터(Tr_4)를 거쳐서 전원(V_{cc})에 접속되고 있으므로, 소정의 드레인 전류(I_{ds})가 발광소자(EL)에 흐르기 때문에 발광 상태가 되어 있다.

타이밍 T2로 되면 제어신호(AZ1와 AZ2)가 하이레벨이 되고, 스위칭 트랜지스터(Tr_5 , Tr_6)가 온 한다. 드라이브 트랜지스터(Tr_d)의 게이트(G)는 트랜지스터(Tr_5)를 통해 전원(V_{cc})측에 접속하므로, 게이트 전위(G)는 급격하게 상승한다.

이 후 타이밍 T3에서 제어신호(DS)가 로 레벨이 되고, 트랜지스터(Tr_4)가 오프 한다. 드라이브 트랜지스터(Tr_d)에 대한 전원 공급이 차단되므로, 드레인 전류(I_{ds})는 감소하여 간다. 이것에 의해 소스 전위(S) 및 게이트 전위(G)는 같이 하강하지만, 정확히 양자의 전위차가 V_{th} 가 되었을 때 전류가 흐르지 않게 된다. 이때의 V_{th} 가 화소 용량(Cs_2)에 유지된다. 화소 용량(Cs_2)에 유지된 V_{th} 는 드라이브 트랜지스터(Tr_d)의 임계전압의 캔슬에 이용된다. 또한, 스위칭 트랜지스터(Tr_3)는 온 하고 있고, 드라이브 트랜지스터(Tr_2)의 소스(S)는 트랜지스터(Tr_3)를 거쳐서 기준 전위(V_{ss2})에 접속된다. 이 V_{ss2} 는 발광소자(EL)의 임계전압보다 낮게 설정되어 있어 발광소자(EL)는 역바이어스 상태에 있다.

이 후 타이밍 T4로 되었을 때 제어신호(AZ1)가 로 레벨이 되고, 트랜지스터(Tr_5 , Tr_6)가 오프하고, Cs_2 에 기입된 V_{th} 가 고정된다. 타이밍 T2에서 T4까지 V_{th} 보정 기간(T2T4)이라고 부른다. 또한 V_{th} 보정 기간으로는 Tr_6 이 온 하고 있기 때문에, 결합 용량(Cs_1)의 타단은 소정의 기준 전위(V_{ss1})에 유지된다.

타이밍 T5로 되면 제어신호(WS 및 AZ2)가 하이레벨이 되고, 샘플링 트랜지스터(Tr_1)가 온 한다. 이 결과, 드라이브 트랜지스터(Tr_d)의 게이트(G)는 결합 용량(Cs_1) 및 온한 샘플링 트랜지스터(Tr_1)를 거쳐서 신호선(SL)에 접속된다. 이 결과 영상신호가 결합 용량(Cs_1)을 거쳐서 드라이브 트랜지스터(Tr_d)의 게이트(G)에 커플링 되어 그 전위가 상승한다. 도 13의 타이밍 차트에서는 영상신호의 커플링분으로 V_{th} 를 맞춘 전압을 V_{in} 로 나타내고 있다. 화소 용량(Cs_2)에 이 V_{in} 이 유지되게 된다. 이 후 타이밍 T7로 제어신호(WS)가 로 레벨로 돌아오고, 화소 용량(Cs_2)에 기입된 전위가 유지 고정된다. 이와 같이하여 영상신호가 결합 용량(Cs_1)을 거쳐서 화소 용량(Cs_2)에 기입되는 기간을 샘플링 기간(T5T7)이라고 부른다. 이 샘플링 기간(T5T7)은 통상 1수평 기간(1 H)에 상당한다.

본 실시 형태에서는, 샘플링 기간이 종료하는 타이밍 T7의 전의 타이밍 T6에서, 제어신호(DS)가 하이레벨이되는 한편 제어신호(AZ2)가 로 레벨이 된다. 이 결과 드라이브 트랜지스터(Tr_d)의 소스(S)가 V_{ss2} 로부터 분리되는 한편 드레인측으로부터 소스(S)측을 향하여 전류가 흐른다. 한편 샘플링 트랜지스터(Tr_1)는 계속 온 상태이므로 드라이브 트랜지스터(Tr_d)의 게이트 전위(G)는 영상신호측에 유지되어 있다. 이와 같은 상태로 드라이브 트랜지스터(Tr_d)에 출력전류가 흐르므로, 화소 용량(Cs_2) 및 역바이어스 상태에 있는 발광소자(EL)의 등가 용량을 충전하는 것이 된다. 이것에 의해 드라이브 트랜지스터(Tr_d)의 소스 전위(S)는 ΔV 만큼 상승하고, 그 만큼 Cs_2 에 유지되고 있던 전압(V_{in})이 감소한다. 환언하면, 기간(T6T7)의 사이에 소스(S)측의 출력전류가 게이트(G)측의 입력전압에 부귀환된다. 이 부귀환량이 ΔV 로 표시된다. 이 부귀환 동작에 의해, 드라이브 트랜지스터(Tr_d)의 이동도 보정을 실시한다.

이 후 타이밍 T7에서 제어신호(WS)가 로 레벨이 되고, 영상신호의 인가가 해제되면, 이른바 부트 스트랩(bootstrap) 동작을 실시하고 게이트 전위(G) 및 소스 전위(S)는 양자의 차이($V_{in} - \Delta V$)를 유지한 채로 상승한다. 소스 전위(S)의 상승에 수반해 발광소자(EL)의 역바이어스 상태는 해소되므로, 출력전류(I_{ds})가 발광소자(EL)에 유입되고, 영상신호에 따른 휘도로 발광을 한다. 이 후 타이밍 T8에서 상기 필드 1f가 끝나면 다음의 필드로 나아간다. 다음의 필드에서도, V_{th} 보정, 신호기입, 이동도 보정의 각 동작을 실시한다.

도 14는, 도 13에 나타난 이동도 보정 기간(T6T7)에 있어서의 화소회로(2) 상태를 나타내고 있다. 이 화소회로(2)도 스위칭 트랜지스터(Tr_3 , Tr_4 , Tr_5) 등에서 구성되는 보정수단을 갖추고 있다. 이 보정수단은 출력전류(I_{ds})의 캐리어 이동도 μ 에 대한 의존성을 지우기 위해, 미리 발광 기간(T6T8)의 전 또는 선두에서 화소 용량(Cs_2)에 유지된 입력전압 $V_{in}(V_{gs})$

을 보정한다. 이 보정수단은 주사선(WS 및 DS)으로부터 공급되는 제어신호(WS, DS)에 따라 샘플링 기간($T5T7$)의 일부에서 동작하고, 영상신호(V_{sig})가 샘플링되고 있는 상태로 드라이브 트랜지스터(Trd)로부터 출력전류(I_{ds})를 취출하고, 이것을 화소 용량($Cs2$)에 부귀환하여 입력전압(V_{gs})을 보정한다. 부가하여 이 보정수단($Tr3$, $Tr4$, $Tr5$)은, 출력전류(I_{ds})의 임계전압(V_{th})에 대한 의존성을 지우기 위해, 미리 샘플링 기간($T5T7$)에 앞서는 기간($T2T4$)으로 드라이브 트랜지스터(Trd)의 임계전압(V_{th})을 검출하고, 또한 검출된 임계전압(V_{th})을 입력전압(V_{gs})에 더하도록 되어 있다.

본 실시 형태에 있어서도, 드라이브 트랜지스터(Trd)는 N채널형 트랜지스터로 드레인이 전원(V_{cc})측에 접속하는 한편 소스(S)가 발광소자(EL)측에 접속하고 있다. 이 구성에 있어서 본 보정수단은, 샘플링 기간($T5T7$)의 후부분과 겹쳐지는 발광 기간($T6T8$)의 선두 부분($T6T7$)에서 드라이브 트랜지스터(Trd)로부터 출력전류(I_{ds})를 취출하여, 화소 용량($Cs2$)측에 부귀환한다. 이때 본 보정수단은, 발광 기간의 선두 부분($T6-T7$)에서 드라이브 트랜지스터(Trd)의 소스(S)측에서 취출한 출력전류(I_{ds})가, 발광소자(EL)가 가지는 등가 용량($Coled$)에 유입되도록 하고 있다. 발광소자(EL)는 애노드 및 캐소드를 갖춘 다이오드형의 발광소자로 이루어지고, 애노드측이 드라이브 트랜지스터(Trd)의 소스(S)에 접속하는 한편 캐소드측이 V_{cath} 에 접지되어 있다. 본 보정수단은 상기 기술한 것처럼 미리 발광소자(EL)의 애노드 / 캐소드간을 역바이어스 상태로 세트하여 두고, 드라이브 트랜지스터(Trd)의 소스(S)측에서 취출한 출력전류(I_{ds})가 발광소자(EL)에 유입될 때, 다이오드형의 발광소자(EL)를 용량성 소자 $Coled$ 로서 기능시키고 있다.

도 15는, 본 발명에 관한 표시장치의 제 3 실시 형태를 나타내는 블록도이다. 이해를 용이하게 하기 위해, 도 5에 나타난 제 1 실시 형태와 대응하는 부분에는 대응하는 참조 번호를 부가하고 있다. 본 표시장치도 중앙의 화소 어레이(1)로 이것을 둘러싸는 주변 회로로 구성되어 있다. 주변 회로는 수평 실렉터(3), 라이트 스캐너(4), 드라이브 스캐너(5), 제 1보정용 스캐너(71), 제 2보정용 스캐너(72)를 포함하고 있다. 화소 어레이(1)는 매트릭스형으로 배열된 화소회로로부터 구성되어 있다. 도면에서는 이해를 용이하게 하기 위해 1개의 화소회로(2)만을 확대 표시하고 있다.

화소회로(2)는 5개의 트랜지스터($Tr1$, $Tr2$, $Tr4$, $Tr5$, Trd)와 2개의 용량 소자($Cs1$, $Cs2$)와 1개의 발광소자(EL)로 구성되어 있다. 제 1 실시 형태 및 제 2 실시 형태와 달리, 드라이브 트랜지스터(Trd)는 P채널형이다. 나머지의 트랜지스터($Tr1$, $Tr2$, $Tr4$, $Tr5$)는 모두 N채널형이다. 또한, 화소 사이즈나 발광소자 (EL)의 특성에 따르지만, 일반적으로 드라이브 트랜지스터는 N채널형쪽이 이동도 보정치의 용량을 크게 취할 수가 있고, 이동도 보정의 마진이 있다.

드라이브 트랜지스터(Trd)의 소스는 전원(V_{cc})에 접속하고 있다. 게이트는 화소 용량($Cs1$)의 일단에 접속하고 있다. 드라이브 트랜지스터(Trd)가 P채널형의 경우, 게이트 전압(V_{gs})은 소스측이 되는 전원(V_{cc})을 기준으로 하여 정의된다. 드라이브 트랜지스터(Trd)의 드레인은 스위칭 트랜지스터($Tr4$)를 거쳐서 발광소자(EL)에 접속하고 있다. 발광소자(EL)는 다이오드형이며, 애노드가 스위칭 트랜지스터($Tr4$)를 거쳐서 드라이브 트랜지스터(Trd)의 드레인에 접속하는 한편, 캐소드가 접지되어 있다. 또한, 스위칭 트랜지스터($Tr4$)의 게이트는 주사선(DS)에 접속하고 있다. 드라이브 트랜지스터(Trd)의 게이트와 드레인과의 사이에 스위칭 트랜지스터($Tr5$)가 개재하고 있다. 그 게이트는 주사선(AZ1)에 접속하고 있다.

한편 화소회로(2)의 입력측이 되는 샘플링 트랜지스터($Tr1$)는 신호선(SL)과 화소 용량($Cs1$)의 타단과의 사이에 접속되어 있다. 샘플링 트랜지스터($Tr1$)의 게이트는 주사선(WS)에 접속되어 있다. 화소 용량($Cs1$)의 타단과 전원(V_{cc})과의 사이에 다른 화소 용량($Cs2$)이 접속하고 있다. 또, 화소 용량($Cs1$)의 타단과 소정의 오프셋 전위(V_{ofs})와의 사이에 스위칭 트랜지스터($Tr2$)가 접속하고 있다. 이 트랜지스터($Tr2$)의 게이트는 주사선(AZ2)에 접속하고 있다.

도 16은, 도 15에 나타난 화소회로의 각 트랜지스터와 이것들에 대응하는 제어신호와의 관계를 명시한 회로도이다. 아울러 드라이브 트랜지스터(Trd)의 게이트를 기호(G)로 명시하고, 발광소자(EL)의 애노드를 기호(X)로 명시되어 있다. 각 트랜지스터($Tr1$, $Tr2$, $Tr4$, $Tr5$)의 게이트에 인가되는 제어신호를 대응하는 주사선과 같은 기호로 나타내고 있다.

도 17은, 도 16에 나타난 화소회로의 동작 설명에 제공하는 타이밍 차트이다. 시간축(T)에 따라서 제어신호(WS, AZ1, AZ2, DS)의 파형을 나타냄과 동시에, 드라이브 트랜지스터(Trd)의 게이트 전위(G)와 발광소자(EL)의 애노드 전위(X)의 변화도 나타내고 있다.

상기 필드에 들어가기 전의 타이밍 $T0$ 에서, 제어신호(WS, AZ1, AZ2)는 로 레벨에 있는 한편, 제어신호(DS)는 하이레벨에 있다. 따라서 타이밍 $T0$ 에서는 트랜지스터($Tr4$)가 온 상태에 있는 한편, 나머지의 트랜지스터($Tr1$, $Tr2$, $Tr5$)는 오프 상태에 있다. 드라이브 트랜지스터(Trd)는 온 상태의 트랜지스터($Tr4$)를 거쳐서 발광소자(EL)에 접속하고 있다. 따라서 발광소자(EL)에는 게이트 전압(V_{gs})에 따른 출력전류가 흘러서 발광하고 있다. 또한, 도 17의 타이밍 차트에서는 게이트 전압(V_{gs})은 전원 전위(V_{cc})와 게이트 전위(G)와의 사이의 차이로 나타낸다.

상기 필드에 들어가는 타이밍 T1으로, 제어신호(AZ1 및 AZ2)가 하이레벨이 되고, 트랜지스터(Tr2, Tr5)가 온 한다. 이것에 의해 화소 용량(Cs1)의 타단은 소정의 오프셋 전위(Vofs)에 고정된다. 또한, 드라이브 트랜지스터(Trd)의 드레인과 게이트가 직결한다. 이 때문에 게이트 전위(G)는 드레인 전위에 끌려서 급격하게 하강하는 한편, 애노드 전위(X)는 발광소자(EL)내에 생긴 전압강하로 급격하게 상승한다. 이 동작으로 드라이브 트랜지스터(Trd)는 임계전압 검출의 준비 상태가 된다.

계속하여 타이밍T2에서 제어신호(DS)가 로 레벨이 되고, 스위칭 트랜지스터 (Tr4)가 오프 한다. 여기까지의 기간(T1T2)은 리셋 기간 혹은 오버랩 기간으로 불린다. 스위칭 트랜지스터(Tr4)가 오프하면 드라이브 트랜지스터의 전류로가 차단되고, 게이트 용량(Cgs) 및 화소 용량(Cs1)을 충전하여 간다. 이 결과 게이트 전위(G)가 상승한다. 정확히 전원 전위(Vcc)와 게이트 전위(G)의 차이가 Vth가 된 곳에서 드라이브 트랜지스터(Trd)가 컷오프한다. 컷오프한 후의 타이밍(T3)로 제어신호(AZ1, AZ2)가 로 레벨로 돌아오고, 트랜지스터(Tr2, Tr5)가 오프 한다. 이 결과 화소 용량(Cs1)에 기입된 임계전압(Vth)이 유지된다. 이 기간(T2T3)을 Vth 보정 기간 혹은 Vth 검출 기간이라고 부른다. 또한, 발광소자(EL)에 대한 통전이 차단되므로, 애노드 전위(X)는 접지 전위(GND)까지 내린다.

이 후 타이밍 T4에 진행되면 제어신호(WS)가 하이레벨이 되어 샘플링 트랜지스터(Tr1)가 온 한다. 이 결과 영상신호(Vsig)가 샘플링되고, 화소 용량(Cs2)에 Vofs - Vsig가 기입된다. 이 전압 Vofs - Vsig는 화소 용량(Cs1)을 거쳐서 드라이브 트랜지스터(Trd)의 게이트(G)측에 커플링 된다. 그 양은 $Cs1 (Vofs - Vsig) / (Cs1 + Cgs)$ 로 주어진다. 또한, Cgs는 드라이브 트랜지스터의 소스 / 게이트간 용량이다. 이 커플링 전압만큼 또한, 게이트 전위(G)가 하강하므로, 결국 게이트 전압(Vgs)은 $Vth + Cs1 (Vofs - Vsig) / (Cs1 + Cgs)$ 가 된다. 이후 1수평 기간(1 H) 경과후의 타이밍 T7으로 제어신호(WS)는 로 레벨로 돌아오고, 샘플링 트랜지스터 (Tr1)가 오프 한다. 이 1H에 해당하는 기간(T4T7)으로 영상신호(Vsig)의 샘플링이 실시된다.

이 샘플링 기간(T4T7)의 일부의 기간(T5T6)으로 제어신호(AZ1)가 하이레벨이 되고, 트랜지스터(Tr5)가 도통한다. 이 결과 전원(Vcc)측(드라이브 트랜지스터(Trd)의 소스측)으로부터 드레인측을 통하여 게이트(G)측에 드레인 전류가 유입된다. 이 드레인 전류의 유입에 의해 게이트 전위(G)는 ΔV 만큼 상승한다. ΔV 는 드라이브 트랜지스터의 이동도에 비례하고 있다. 드라이브 트랜지스터의 이동도가 큰 만큼 ΔV 는 커지고 게이트 전위(G)가 상승하므로, 게이트 전압(Vgs)는 그만큼 압축되어 출력전류가 억제된다. 이와 같이 드라이브 트랜지스터(Trd)의 드레인측으로부터 게이트 측에 향해 부(負)의 피드백을 걸치는 것으로, 이동도의 격차를 억제 가능하다. 샘플링 기간(T4T7)의 중앙에 설정된 기간(T5T6)을 이동도 보정 기간이라고 부른다. 이 이동도 보정을 실시하는 것으로, 드라이브 트랜지스터(Trd)의 게이트 전압(Vgs)은 결국 $Vth + Cs1 (Vofs - Vsig) / (Cs1 + Cgs) - \Delta V$ 로 주어진다. 이 게이트 전압(Vgs)에는 실질(正味)의 신호 성분에 부가되고, 드라이브 트랜지스터의 임계전압을 캔슬하기 위한 성분(Vth)과 이동도를 보정하기 위한 성분 ΔV 이 포함되어 있다.

타이밍 T8가 되면 제어신호(DS)가 하이레벨이 되어 스위칭 트랜지스터(Tr4)가 온 한다. 이것에 의해 드라이브 트랜지스터(Trd)는 발광소자(EL)에 직결하고, 임계전압(Vth) 및 이동도(μ)의 격차가 보정된 출력전류가 발광소자(EL)에 흐른다. 이 후 타이밍 T9로 상기 필드가 종료하면, 다음의 필드로 옮겨 다시 Vth 보정, 영상신호 샘플링, 이동도 보정의 각 동작을 실시한다.

도 18은, 이동도 보정 기간(T5T6)에 있어서의 화소회로의 상태를 나타내는 회로도이다. 상기 기술한 것처럼 이동도 보정 기간(T5T6)에서는 샘플링 트랜지스터(Tr1)와 스위칭 트랜지스터(Tr5)가 온 하고 있기 때문에, 드레인 전류(Ids)는 화소 용량(Cs1)에 기입된다. 이것에 의해 드라이브 트랜지스터(Trd)의 게이트 전위(G)는 ΔV 상승한다. 이때에 흐르는 드레인 전류(Ids)는 이하의 식 6에 의해 표시된다. 또한, 식 6에서는 커플링 계수 $Cs1 / (Cs1 + Cgs)$ 를 1로서 생략 되어 있다. 실제 Cgs에 비하여 Cs1는 꽤 크다.

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{ofs} - V_{sig} - \Delta V)^2 \quad \text{식 6}$$

상기 기술한 바와 같이 $\Delta V = I_{ds} \cdot t / Cs1$ 에서, 이동도가 다른 화소에서는 ΔV 도 다르다. 이동도가 큰 화소만큼 ΔV 는 커지고, Ids의 보정량도 커진다. 이러한 동작에 의해, 이동도 격차가 있는 화소에 대해서도, Ids를 균일화할 수 있고, 이동도 격차 보정을 실시할 수가 있다.

상세한 계산식은 앞의 실시 형태 1과 같은 해석에 의해서, 이하의 식 7에 나타내는 바와 같이 주어진다.

$$I_{ds} = k\mu \left(\frac{V_{ofs} - V_{sig}}{1 + (V_{ofs} - V_{sig}) \frac{k\mu}{C_{s1}} t} \right)^2 \quad \text{식7}$$

상기식 7의 우변은 이동도(μ)를 2개 포함한다. 계수부의 μ 와 좌변의 분모에 위치하는 μ 는 서로 캔슬하므로, 결과적으로 드레인 전류(I_{ds})로부터 이동도 μ 의 영향을 제외할 수 있다. 식 7의 분모에 있는 μ 의 효과는 이동도 보정 기간($T5T6$)의 시간 폭(t)에 의해 조정할 수 있다. 이것에 의해 본 발명의 이동도 보정을 최적화 가능하다.

발명의 효과

본 발명에 의하면, 드라이브 트랜지스터의 출력전류의 캐리어 이동도에 대한 의존성을 지우기 위해, 화소회로는 발광 기간의 전 또는 선두에서 드라이브 트랜지스터에 대한 입력전압(게이트 전압)을 보정하는 보정수단을 갖추고 있다. 이 보정수단은 샘플링 기간의 일부에서 동작하고, 영상신호의 전위(신호 전위)가 샘플링 되어있는 상태로 드라이브 트랜지스터로부터 출력전류(드레인 전류)를 취출하고, 이것을 용량부에 부귀환하여 입력전압(게이트 전압)을 보정하고 있다. 상기 기술한 트랜지스터 특성식 1에서 밝혀진 바와 같이, 출력전류(드레인 전류)는 이동도에 비례하고 있다. 따라서, 어느 화소의 드라이브 트랜지스터의 이동도가 높으면 출력전류는 상대적으로 커진다. 이것을 용량부에 부귀환하여 입력전압(게이트 전압)을 보정한다. 이동도가 크면 결과적으로 부귀환량이 커지므로, 입력전압(게이트 전압)은 그 만큼 크게 아래쪽으로(下方)수정된다. 게이트 전압이 하강하므로, 결과적으로 드레인 전류는 억제되는 일이 된다. 한편, 다른 화소의 드라이브 트랜지스터의 이동도가 상대적으로 작은 경우, 드레인 전류도 적게 된다. 따라서 용량부에 대한 부귀환량도 작기 때문에, 게이트 전압의 아래쪽으로 수정분이 작다. 결과적으로, 드라이브 트랜지스터의 이동도가 작으면 출력전류는 그다지 낮게 보정되지 않는다. 이와 같이, 본 발명의 보정수단은, 이동도의 격차를 캔슬하는 것처럼, 입력전압을 피드백 보정하므로, 화면의 유니포미티가 개선된다. 특히, 신호 전위를 샘플링하고 있는 상태로 이동도 보정을 하고 있다. 영상신호 전위는 흑레벨에서 흰색 레벨까지 진폭이 변화하지만, 어느 레벨에 있어서도 적절히 이동도 보정을 실시하는 것이 가능하다. 또, 입력전압에 관한 부귀환량은, 출력전류의 취출 시간에 의존하고 있다. 취출 시간을 길게 취하는 만큼, 부귀환량이 커진다. 본 발명에서는, 샘플링 기간중에 있어서의 출력전류의 취출 시간을 가변 조정하고, 부귀환량의 최적화를 측정할 수가 있다. 또한, 본 발명에서는, 영상신호 전위를 샘플링하여 발광소자를 전류 구동하고 있다. 영상신호 전위를 샘플링하는 점에서는, 종래의 액정 디스플레이와 같다. 따라서, 액티브 매트릭스형의 액정 디스플레이로 종래부터 넓게 이용되고 있는 전압 시그널 드라이버를 본 발명의 신호부에 이용할 수가 있다. 또, 종래의 폴리 실리콘 트랜지스터를 집적 형성한 액티브 매트릭스형의 액정 패널과 동일하게, 본 발명의 표시장치로도, 주변의 스캐너부나 신호부를 화소 어레이부와 일체적으로 형성한 주변회로 내장형의 패널에 정리하는 일도 가능하다.

(57) 청구의 범위

청구항 1.

제어신호를 공급하는 행모양(行狀)의 주사선과 영상신호를 공급하는 열모양의 신호선이 교차하는 부분에 배치되고, 적어도 샘플링 트랜지스터와, 이것에 접속하는 용량부와, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함하고,

상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통하여 신호선으로부터 공급된 영상신호를 상기 용량부에 샘플링하고, 상기 용량부는, 이 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스간에 입력전압을 인가하고,

상기 드라이브 트랜지스터는, 소정의 발광 기간중 상기 입력전압에 따라 출력전류를 상기 발광소자에게 공급하고, 상기 출력전류는 상기 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대해서 의존성을 가지고,

상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따라 휘도로 발광하는 화소 회로에 있어서,

상기 출력전류의 캐리어 이동도에 대한 의존성을 지우기 위해서, 미리 상기 발광 기간의 전 또는 선두에서 상기 용량부에 유지된 상기 입력전압을 보정하는 보정수단을 갖추고 있고, 상기 보정수단은 주사선으로부터 공급되는 제어신호에 따라서 상기 샘플링 기간의 일부에서 동작하고, 상기 영상신호가 샘플링되어 있는 상태로 상기 드라이브 트랜지스터로부터 출력전류를 취출하고, 이것을 상기 용량부에 부귀환(負歸還)하여 상기 입력전압을 보정하는 것을 특징으로 하는 화소회로.

청구항 2.

제 1항에 있어서,

상기 드라이브 트랜지스터는, 그 출력전류가 채널 영역의 캐리어 이동도에 부가하여 임계전압에 대해서도 의존성을 가지고, 상기 보정수단은, 상기 출력전류의 임계전압에 대한 의존성을 지우기 위해서, 미리 샘플링 기간에 앞서 상기 드라이브 트랜지스터의 임계전압을 검출하고, 또한 상기 검출된 임계전압을 상기 입력전압에 더하도록 한 것을 특징으로 하는 화소회로.

청구항 3.

제 1항에 있어서,

상기 드라이브 트랜지스터는, N채널형 트랜지스터로 드레인이 전원측에 접속하는 한편 소스가 발광소자측에 접속하고, 상기 보정수단은, 상기 샘플링 기간의 후부분과 중첩하는(겹쳐지는) 상기 발광 기간의 선두 부분에서 상기 드라이브 트랜지스터로부터 상기 출력전류를 취출하고, 상기 용량부측에 부귀환하는 것을 특징으로 하는 화소회로.

청구항 4.

제 3항에 있어서,

상기 보정수단은, 상기 발광 기간의 선두 부분에서 상기 드라이브 트랜지스터의 소스측에서 취출한 상기 출력전류가, 상기 발광소자가 가지는 용량에 유입되도록 한 것을 특징으로 하는 화소회로.

청구항 5.

제 4항에 있어서,

상기 발광소자는 애노드 및 캐소드(음극)를 갖춘 다이오드형의 발광소자로 이루어지고, 애노드측이 상기 드라이브 트랜지스터의 소스에 접속하는 한편 캐소드측이 접지되어 있고, 상기 보정수단은, 미리 상기 발광소자의 애노드 / 캐소드간을 역바이어스 상태로 세트하여 두고, 상기 드라이브 트랜지스터의 소스측에서 취출한 상기 출력전류가 상기 발광소자에게 유입될 때, 상기 다이오드형의 발광소자가 용량성 소자로서 기능하도록 제어하는 것을 특징으로 하는 화소회로.

청구항 6.

제 1항에 있어서,

상기 드라이브 트랜지스터는, P채널형 트랜지스터로 소스가 전원측에 접속하는 한편 드레인이 발광소자측에 접속하고, 상기 보정수단은, 상기 발광 기간보다 선행하는 상기 샘플링 기간의 일부로, 상기 드라이브 트랜지스터로부터 상기 출력전류를 취출하여 상기 용량부측에 부귀환하는 것을 특징으로 하는 화소회로.

청구항 7.

제 1항에 있어서,

상기 보정수단은, 상기 샘플링 기간내에 상기 드라이브 트랜지스터로부터 출력전류를 취출하는(꺼내는) 시간폭을 조정가능하고, 이것에 의해 상기 용량부에 대한 출력전류의 부귀환량을 최적화하는 것을 특징으로 하는 화소회로.

청구항 8.

화소 어레이부와 스캐너부와 신호부를 포함하고,

상기 화소 어레이부는, 행모양에 배치된 주사선과 열모양에 배치된 신호선과 양자가 교차하는 부분에 배치된 행열모양의 화소로 이루어지고,

상기 신호부는, 상기 신호선에 영상신호를 공급하고,

상기 스캐너부는, 상기 주사선에 제어신호를 공급하여 차례차례 행 마다 화소를 주사하고,

각 화소는, 적어도 샘플링 트랜지스터와, 이것에 접속하는 용량부와, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함하고,

상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통하여 신호선으로부터 공급된 영상신호를 상기 용량부에 샘플링하고,

상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스간에 입력전압을 인가하고,

상기 드라이브 트랜지스터는, 소정의 발광 기간중 상기 입력전압에 따른 출력전류를 상기 발광소자에게 공급하고, 상기 출력전류는 이 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대해서 의존성을 가지고,

상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따른 휘도로 발광하는 표시장치에 있어서,

각 화소는, 상기 드라이브 트랜지스터의 출력전류의 캐리어 이동도에 대한 의존성을 지우기 위해서, 미리 상기 발광 기간의 전 또는 선두에서 상기 용량부에 유지된 상기 입력전압을 보정하는 보정수단을 갖추고 있고,

상기 보정수단은 주사선으로부터 공급되는 제어신호에 따라 상기 샘플링 기간의 일부에서 동작하고, 상기 영상신호가 샘플링되어 있는 상태로 상기 드라이브 트랜지스터로부터 출력전류를 취출하고, 이것을 상기 용량부에 부귀환하여 상기 입력전압을 보정하는 것을 특징으로 하는 표시장치.

청구항 9.

제 8항에 있어서,

상기 드라이브 트랜지스터는, 그 출력전류가 채널 영역의 캐리어 이동도에 부가하여 임계전압에 대해서도 의존성을 가지고, 상기 보정수단은, 상기 출력전류의 임계전압에 대한 의존성을 지우기 위해서, 미리 샘플링 기간에 앞서 상기 드라이브 트랜지스터의 임계전압을 검출하고, 또한 상기 검출된 임계전압을 상기 입력전압에 더하도록 한 것을 특징으로 하는 표시장치.

청구항 10.

제 8항에 있어서,

상기 드라이브 트랜지스터는, N채널형 트랜지스터로 드레인이 전원측에 접속하는 한편 소스가 발광소자 측에 접속하고, 상기 보정수단은, 상기 샘플링 기간의 후부분과 겹쳐지는 상기 발광 기간의 선두 부분에서 상기 드라이브 트랜지스터로부터 상기 출력전류를 취출하고, 상기 용량부측에 부귀환하는 것을 특징으로 하는 표시장치.

청구항 11.

제 10항에 있어서,

상기 보정수단은, 상기 발광 기간의 선두 부분에서 상기 드라이브 트랜지스터의 소스측에서 취출한 상기 출력전류가, 상기 발광소자가 가지는 용량에 유입되도록 한 것을 특징으로 하는 표시장치.

청구항 12.

제 11항에 있어서,

상기 발광소자는 애노드 및 캐소드를 갖춘 다이오드형의 발광소자로부터 되어, 애노드측이 상기 드라이브 트랜지스터의 소스에 접속하는 한편 캐소드측이 접지되어 있고, 상기 보정수단은, 미리 상기 발광소자의 애노드 / 캐소드간을 역바이어스 상태로 세트하여 두어, 상기 드라이브 트랜지스터의 소스측에서 취출한 상기 출력전류가 상기 발광소자에게 유입될 때, 상기 다이오드형의 발광소자가 용량성 소자로서 기능하도록 제어하는 것을 특징으로 하는 표시장치.

청구항 13.

제 8항에 있어서,

상기 드라이브 트랜지스터는, P채널형 트랜지스터로 소스가 전원측에 접속하는 한편 드레인이 발광소자측에 접속하고, 상기 보정수단은, 상기 발광 기간보다 선행하는 상기 샘플링 기간의 일부로, 상기 드라이브 트랜지스터로부터 상기 출력전류를 취출하여 상기 용량부측에 부귀환하는 것을 특징으로 하는 표시장치.

청구항 14.

제 8항에 있어서,

상기 보정수단은, 상기 샘플링 기간내에 상기 드라이브 트랜지스터로부터 출력전류를 취출하는 시간폭을 조정 가능하고, 이것에 의해 상기 용량부에 대한 출력전류의 부귀환량을 최적화하는 것을 특징으로 하는 표시장치.

청구항 15.

화소 어레이부와 스캐너부와 신호부를 포함하고, 상기 화소 어레이부는 행모양으로 배치된 주사선과, 열모양으로 배치된 신호선과, 양자가 교차하는 부분에 배치된 행열모양의 화소로 이루어지고, 상기 신호부는 상기 신호선에 영상신호를 공급하고, 상기 스캐너부는 상기 주사선에 제어신호를 공급하여 차례차례 행 마다 화소를 주사하며, 각 화소는 적어도 샘플링 트랜지스터와, 이것에 접속하는 용량부와, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함한 표시장치의 구동 방법이며,

상기 스캐너부는 소정의 샘플링 기간에 주사선으로부터 상기 샘플링 트랜지스터에 제어신호를 공급하여 도통시키고, 신호선으로부터 공급된 영상신호를 상기 용량부에 샘플링하고,

상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스간에 입력전압을 인가하고,

상기 드라이브 트랜지스터는, 소정의 발광 기간중 상기 입력전압에 따른 출력전류를 상기 발광소자로 공급하고, 상기 출력전류는 상기 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대해서 의존성을 가지고,

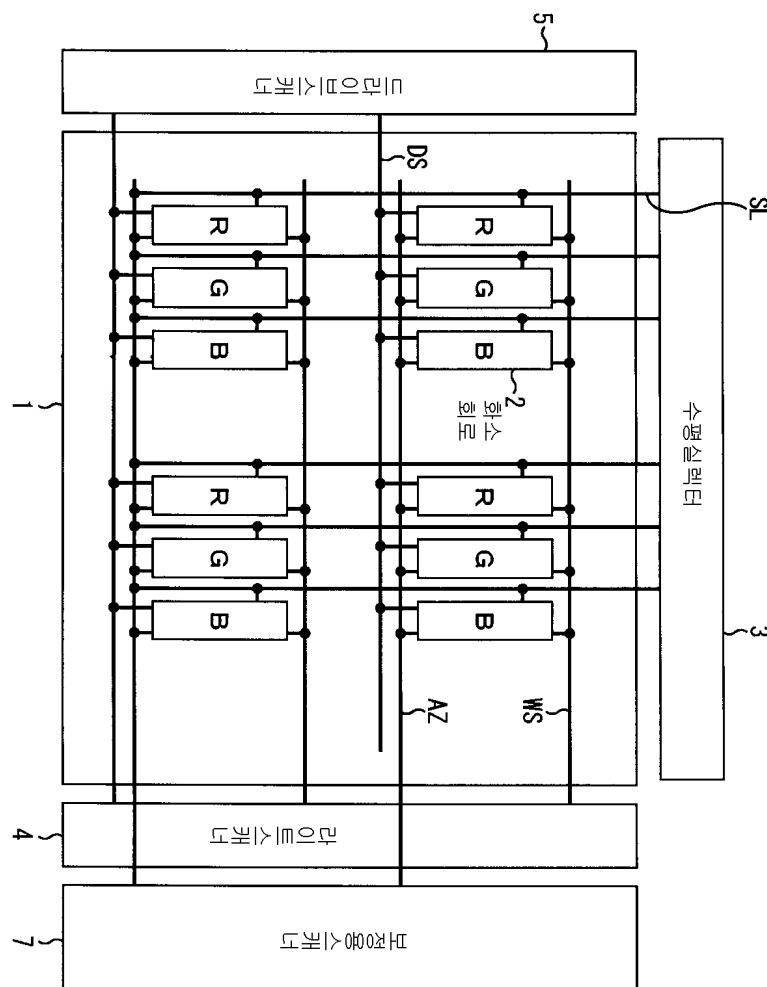
상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따라 휘도로 발광하고,

또한, 상기 스캐너부는, 상기 드라이브 트랜지스터의 출력전류의 캐리어 이동도에 대한 의존성을 지우기 위해서, 미리 상기 발광 기간의 전 또는 선두에서 상기 용량부에 유지된 상기 입력전압을 보정하는 보정 수순(手順)을 이 화소에 실시시키고,

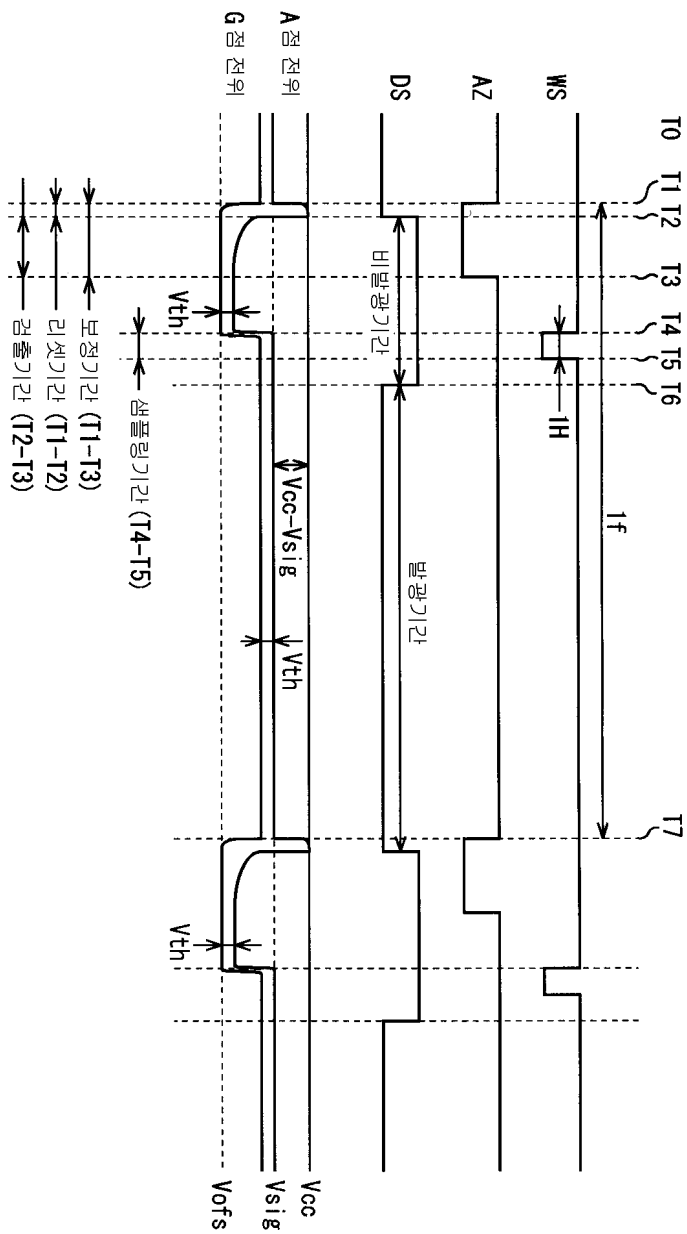
상기 보정수순은, 상기 샘플링 기간내에 상기 영상신호가 샘플링되고 있는 동안에 상기 드라이브 트랜지스터로부터 출력전류를 취출하고, 이것을 상기 용량부에 부귀환하여 상기 입력전압을 보정하는 것을 특징으로 하는 표시장치의 구동 방법.

도면

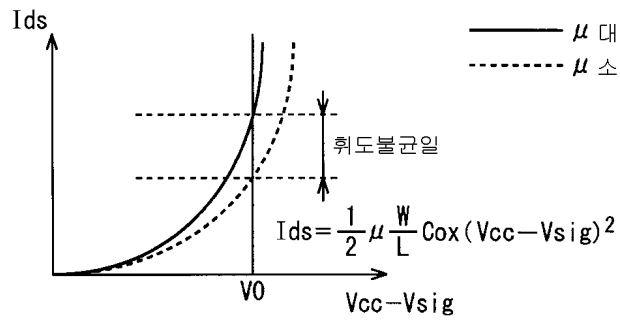
도면1



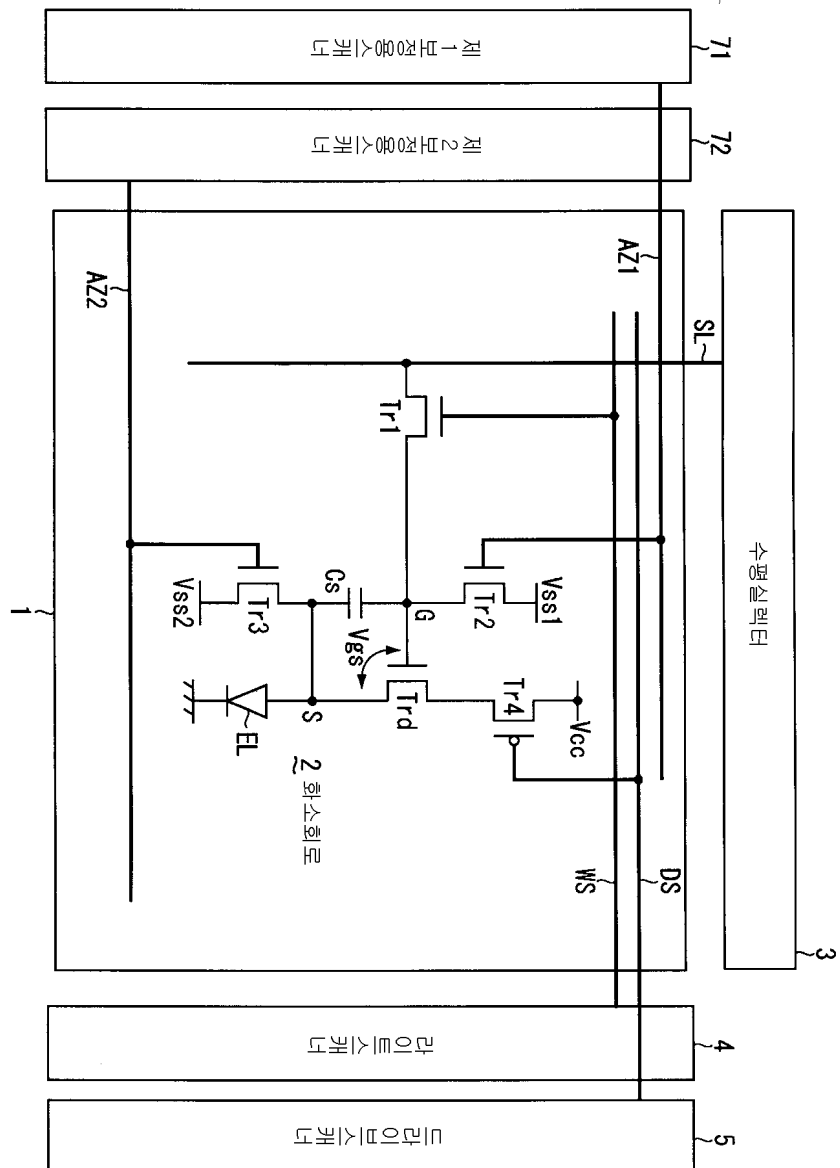
도면3



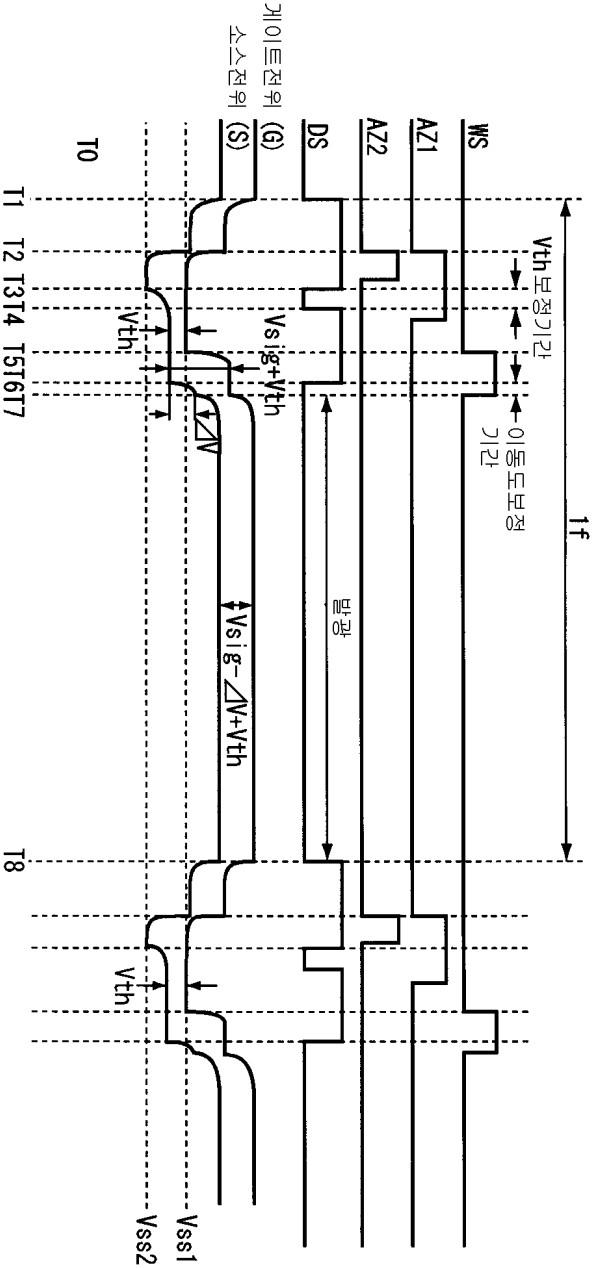
도면4



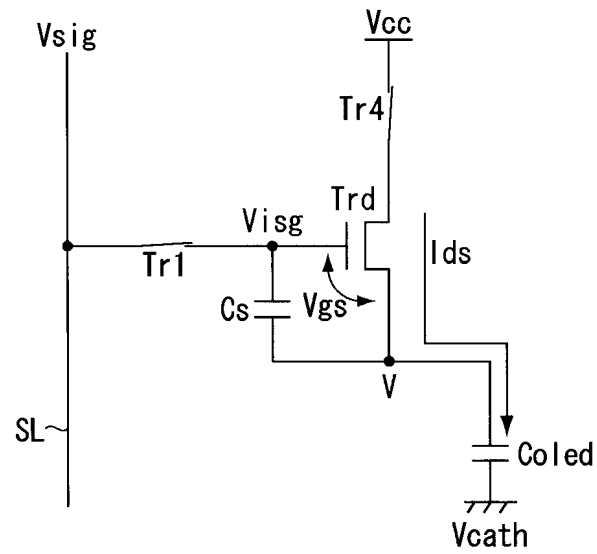
도면5



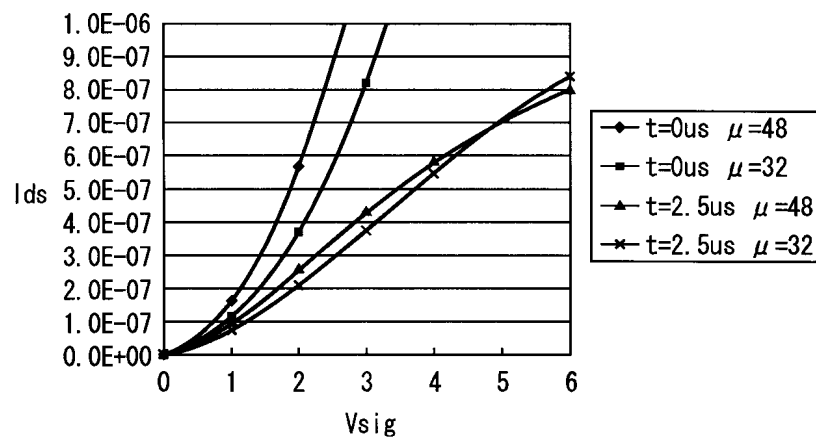
도면7



도면10

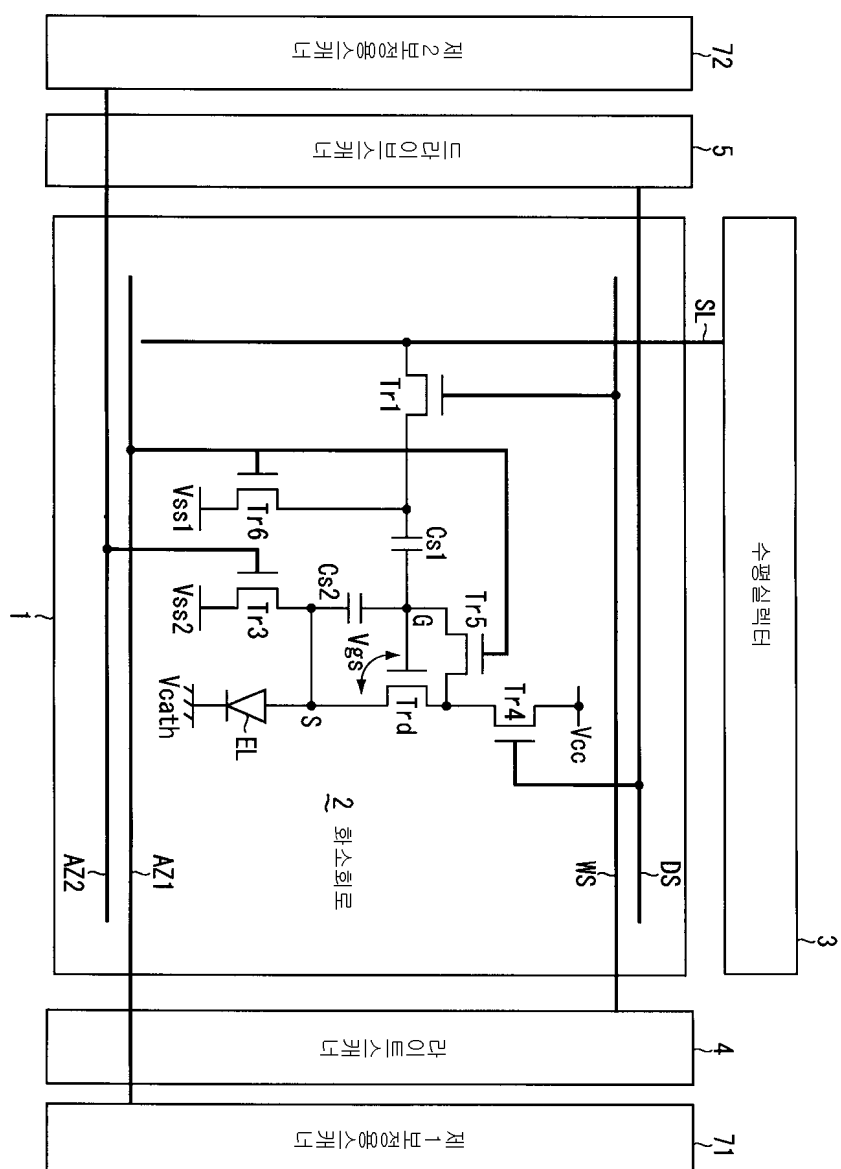


도면11

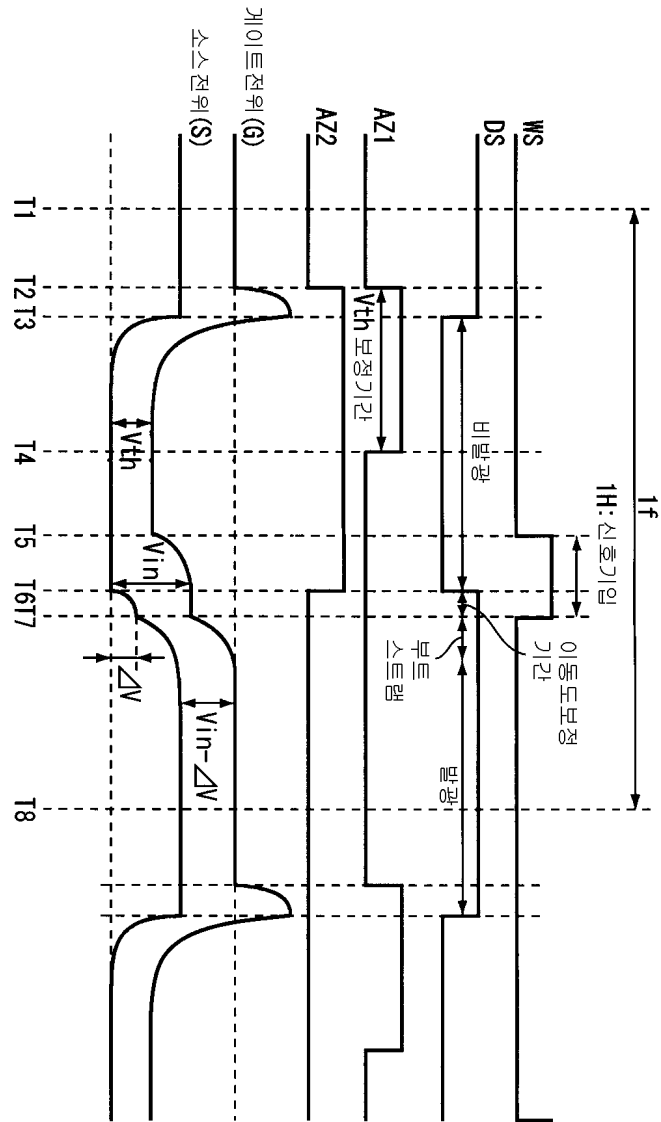


$$I_{ds} = k \mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k \mu}{C} t} \right)^2$$

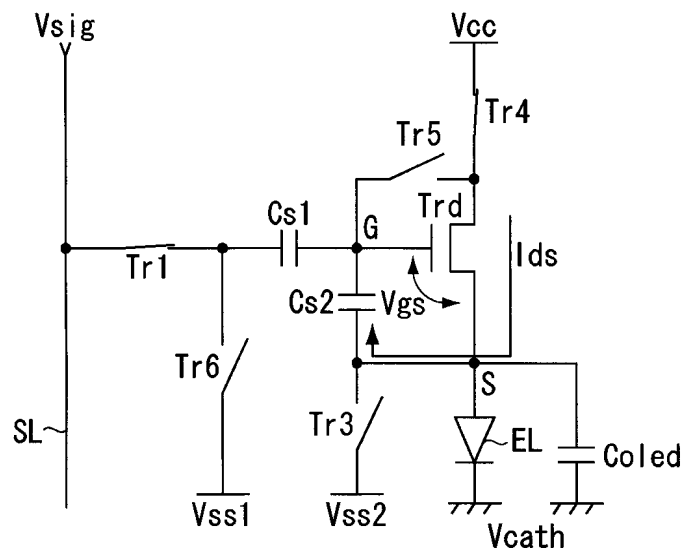
도면12



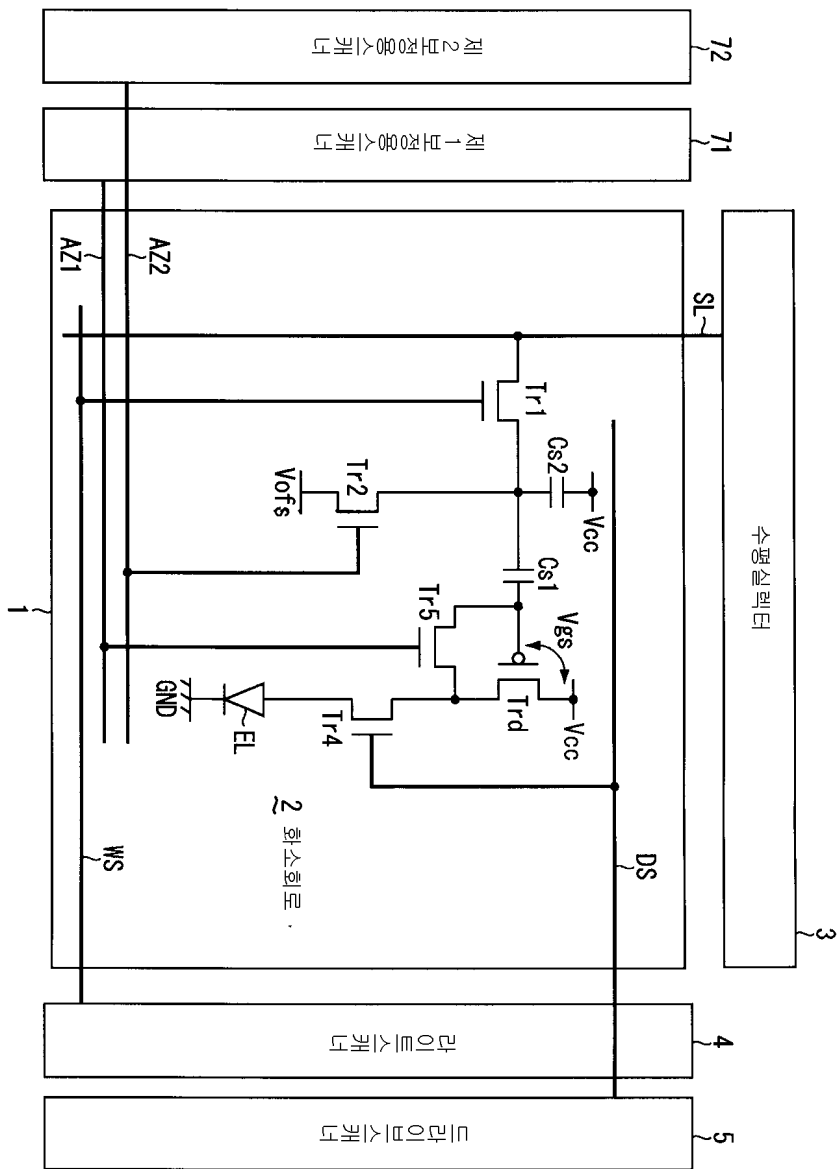
도면13



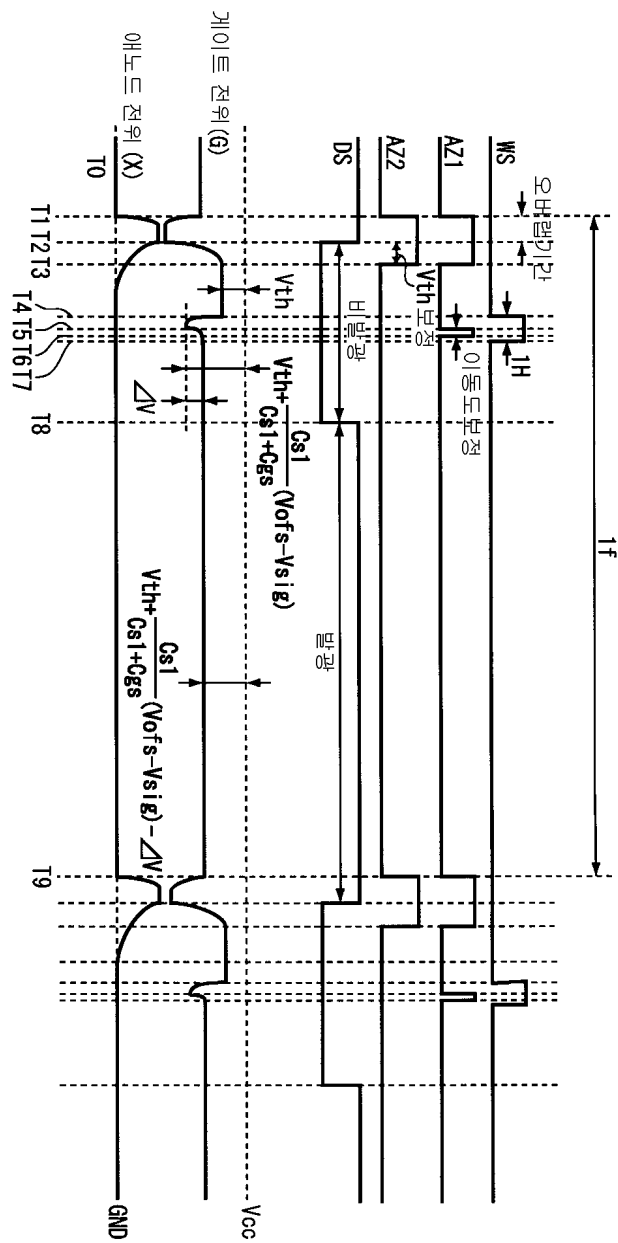
도면14



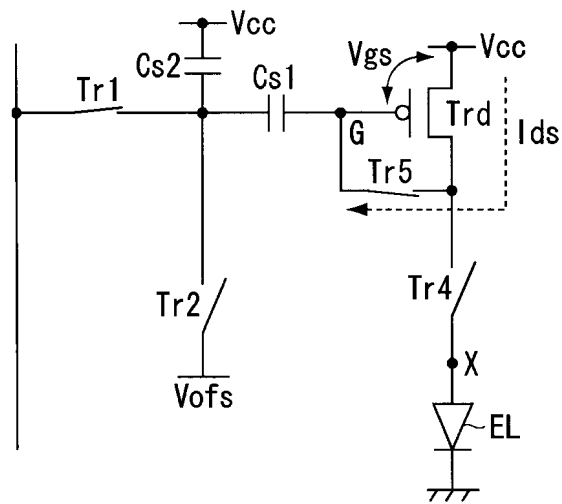
도면15



도면17



도면18



专利名称(译)	像素电路，显示装置及其驱动方法		
公开(公告)号	KR1020060088828A	公开(公告)日	2006-08-07
申请号	KR1020060009046	申请日	2006-01-27
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMASHITA JUNICHI 야마시타준이치 UCHINO KATSUhide 우치노가츠히데		
发明人	야마시타준이치 우치노가츠히데		
IPC分类号	G09G3/30 G09G3/20 G09G3/32		
CPC分类号	G09G2320/045 G09G2300/0852 G09G2310/061 G09G2300/0842 G09G2300/0861 G09G2320/043 G09G3/3233 G09G2300/0819 G09G5/18 G09G3/3266 G09G5/10		
优先权	2005027028 2005-02-02 JP		
其他公开文献	KR101175299B1		
外部链接	Espacenet		

摘要(译)

提供了一种能够抵消驱动晶体管的迁移率的影响的像素电路。在预定的发光时段期间,驱动晶体管Trd根据输入电压Vgs将输出电流提供给发光元件EL。发光元件EL通过从驱动晶体管Trd提供的输出电流发出具有与视频信号对应的亮度的光。并且校正装置用于在发光时段之前或开始时校正保持在电容器部分Cs中的输入电压Vgs,以消除对输出电流的载流子迁移率的依赖性。该校正装置根据从扫描线DS, WS, AZ1和AZ2提供的控制信号在采样周期的一部分中工作,在视频信号被采样的状态下从驱动晶体管Trd提取输出电流,反馈到电容器Cs以校正输入电压Vgs。五

