

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/22 (2006.01)

H05B 33/10 (2006.01)

C23C 14/12 (2006.01)

C23C 14/24 (2006.01)

(11) 공개번호 10-2006-0023180

(43) 공개일자 2006년03월13일

(21) 출원번호 10-2006-0006813(분할)

(22) 출원일자 2006년01월23일

(62) 원출원 특허10-2003-0026322  
원출원일자 : 2003년04월25일

심사청구일자 2003년04월25일

(30) 우선권주장 JP-P-2002-00126999 2002년04월26일 일본(JP)

(71) 출원인 산요덴키가부시킴이샤  
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 니시키와 류지  
일본 기후쵸 기후시 히노미나미 8-41-7

(74) 대리인 주성민  
이중희  
구영창

심사청구 : 있음

(54) 유기 EL 패널 및 그 제조 방법

요약

마스크에 기인하는 더스트의 혼입을 적게 한다.

화소 전극(50)의 주변을 덮어 제2 평탄화막(절연막)(60)을 형성하고 동일한 마스크를 사용하여 정공 수송층(52), 유기 발광층(54), 전자 수송층(56)을 순차 형성한다. 특히, 각층의 증착 시의 이방성을 서서히 크게 함으로써 상층으로 갈수록 작아져서 하층 측면으로 상층의 일부가 내려오지 못한다.

대표도

도 1

색인어

유기 EL 소자, 마스크, 정공, 이방성

명세서

도면의 간단한 설명

도 1은 실시예의 화소 부분의 구성을 도시하는 도면.

도 2는 다른 실시예의 화소 부분의 구성을 도시하는 도면.

도 3은 실시예의 화소 부분의 구성을 모식적으로 도시하는 평면도.

도 4는 다른 실시예의 화소 부분의 구성을 모식적으로 도시하는 평면도.

<도면의 주요 부분에 대한 부호의 설명>

50 : 양극

52 : 정공 수송층

54 : 유기 발광층

56 : 전자 수송층

58 : 음극

60 : 제2 평탄화막

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 1화소의 표시 영역에 대응하는 크기의 화소 전극과 이에 대향하는 대향 전극 사이에, 적어도 유기 발광층, 전자 수송층 등을 갖는 유기 EL 소자를 매트릭스 배치한 유기 EL 패널 및 그 제조 방법에 관한 것이다.

종래부터, 평면 디스플레이 패널의 하나로서, 유기 EL 디스플레이 패널이 알려져 있다. 이 유기 EL 디스플레이 패널은 액정 디스플레이 패널(LCD)과는 달리 자발광이고, 밝게 보이기 쉬운 평면 디스플레이 패널로서 그 보급이 기대되고 있다.

이 유기 EL 디스플레이는 유기 EL 소자를 화소로 하여, 이것을 다수 매트릭스 형상으로 배치하여 구성된다. 유기 EL 소자는 ITO 등으로 구성된 양극 상에 정공 수송층, 유기 발광층, 전자 수송층, 알루미늄 등의 음극을 적층한 구조를 갖고 있다.

여기서, 양극(화소 전극)은 화소마다의 표시를 제어하기 위해 화소마다 독립하여 형성되어 있지만, 다른 층은 전면에서 형성되는 경우도 많다. 그러나, 고정밀한 패널에서는 인접 화소와의 거리가 작아 불필요한 발광이 생길 가능성이 높다. 이 때문에, 통상 유기 발광층도 화소마다 형성하고 있다.

여기서, 전자 수송층도 Alq<sub>3</sub> 등의 발광 물질을 포함하는 경우가 많고, 화소마다 패터닝하는 것이 바람직하다. 그래서, 전자 수송층도 패터닝하는 것이 제안되고 있다.

이 경우, 유기 발광층 전체에 전자를 효과적으로 공급하기 위해, 전자 수송층을 유기 발광층보다 크게 하여 전체를 커버하고 있다.

#### 발명이 이루고자 하는 기술적 과제

여기서, 유기 발광층이나 전자 수송층 등의 유기층은 진공 증착에 의해 형성한다. 그래서, 이것을 패터닝하는 경우에는 유기층을 증착하는 소정의 위치에 개구부를 갖는 마스크를 이용한다. 그리고, 유기 발광층과, 전자 수송층에서 패터닝을 변경하기 위해서는 각각의 증착에 별도의 마스크를 이용해야만 한다.

별도의 마스크를 이용하는 경우에는 마스크를 교환해야 하므로, 그를 위한 작업이 필요해진다. 또한, 마스크는 더스트 등의 발생원이며, 다른 마스크를 사용함으로써 더스트 혼입의 확률이 높아진다는 문제가 있었다.

한편, 동일한 마스크를 이용하여, 유기 발광층 및 전자 수송층을 형성하는 것도 생각할 수 있다. 그래서, 이에 대하여 시험해 본 결과, 엣지의 위치가 동일하게 되어, 유기 발광층의 엣지를 커버하여 전자 수송층의 얇은 층이 형성된다. 이에 의해, 이 부분에서 전자 수송층의 전기적 저항이 작아져서 전류량이 커지고 전자 수송층이 강하게 발광하여 성능이 열화하는 것을 알 수 있었다.

본 발명은 상기 과제에 감안하여 이루어진 것으로, 동일한 마스크를 이용하여 유기 발광층 및 전자 수송층을 형성하면서 성능 열화가 없는 유기 EL 패널에 관한 것이다.

### 발명의 구성 및 작용

본 발명은 1 화소의 발광 영역에 대응하는 크기의 화소 전극과 이에 대향하는 대향 전극 사이에, 적어도 유기 발광층과 전자 수송층을 갖는 유기 EL 소자를 매트릭스 배치한 유기 EL 패널로서, 상기 유기 발광층 및 전자 수송층을 화소 전극에 대응하여 화소마다 형성함과 함께, 전자 수송층을 유기 발광층보다 작게 하고, 전자 수송층의 단부가 유기 발광층 상에서 종단하는 것을 특징으로 한다.

또한, 본 발명은 1 화소의 발광 영역에 대응하는 크기의 화소 전극과 이에 대향하는 대향 전극 사이에, 적어도 정공 수송층, 유기 발광층 및 전자 수송층을 갖는 유기 EL 소자를 매트릭스 배치한 유기 EL 패널로서, 상기 정공 수송층, 유기 발광층 및 전자 수송층을 화소 전극에 대응하여 화소마다 형성함과 함께, 상기 정공 수송층, 유기 발광층 및 전자 수송층의 크기를, 상기 정공 수송층, 유기 발광층, 전자 수송층의 순서로 순차 작게하고, 유기 발광층의 단부가 정공 수송층 상에서 종단하고, 전자 수송층의 단부가 유기 발광층 상에서 종단하는 것을 특징으로 한다.

또한, 본 발명은 상기 유기 EL 패널의 제조 방법으로, 특히 상기 정공 수송층, 유기 발광층 및 전자 수송층을 동일한 마스크를 이용하여 형성함과 함께, 증발물의 증착 시에서의 이방성을 변경하여 각 막의 크기를 제어하는 것이 적합하다.

이와 같이, 본 발명에 따르면, 유기 발광층 상에 적층하는 전자 수송층의 크기를 유기 발광층보다 약간 작게 하였다. 이에 의해, 양층을 형성하는 데 동일한 마스크를 사용할 수 있어, 각 층 증착 시에 마스크를 교환할 필요가 없다. 이에 의해, 작업이 효율적으로 됨과 함께, 더스트 혼입의 가능성을 저감시킬 수 있다. 또한, 상층으로 갈수록 작게 하기 때문에, 하층의 측면을 상층의 일부가 얇게 덮지 않아 발광에의 악영향의 발생을 방지할 수 있다.

### <발명의 실시예>

이하, 본 발명의 실시예에 대하여 도면에 기초하여 설명한다.

도 1에 화소의 구성에 대하여 도시한다. 여기서, 액티브 매트릭스형의 소자 기관에는 1 화소에 2개의 TFT와, 1개의 용량, 1개의 유기 EL 소자 EL이 형성되지만, 이 도 1에 있어서는 구동 TFT(40)와, 유기 EL 소자 EL만을 나타낸다.

도 1에서, 소자 기관은 유리 기관(30) 상에 형성된 구동 TFT(40)를 갖는다. 이 구동 TFT(40)에 유기 EL 소자가 접속되어 있다.

구동 TFT(40)는 유리 기관(30) 상에 형성되어 있어, 저온 폴리실리콘으로 형성된 능동층(40a)을 갖고 있다. 이 능동층(40a)은 양단이 불순물이 도핑된 소스 영역, 드레인 영역으로 되어 있으며, 이들 사이에 끼워진 중앙부가 채널 영역으로 되어 있다. 이 채널 영역의 상부에는 산화 실리콘으로 이루어지는 게이트 절연막(40b)을 통하여 게이트 전극(40c)이 형성되어 있다. 게이트 절연막(40b) 및 게이트 전극(40c)은 층간 절연막(34)으로 덮여져 있고, 게이트 전극(40c) 양측에는 층간 절연막(34)의 콘택트홀을 통해 소스 영역 및 드레인 영역에 접속되는 소스 전극(40d), 드레인 전극(40e)이 형성되어 있다. 그리고, 소스 전극(40d), 드레인 전극(40e)의 상단이 층간 절연막(34)의 표면에 위치하고 있다.

또한, 층간 절연막(34)의 표면 상에는 드레인 전극(40e)과 전원 라인을 접속하는 메탈 배선 등이 배치된다. 또한, 이 층간 절연막(34)을 덮도록 절연막인 제1 평탄화막(36)이 형성된다.

그리고, 제1 평탄화막(36)의 상면에는 ITO 등의 투명 도전 재료로 구성되는 화소 전극(50)이 형성되고, 이 일단이 제1 평탄화막(36)의 콘택트홀을 통하여 구동 TFT(40)의 소스 전극(40d)에 접속되어 있다. 이 화소 전극(50)은 1 화소의 발광 영역에 대응하여 패터닝되어 있다.

또한, 이 화소 전극(50)은 유기 EL 소자의 양극을 구성하고, 이 화소 전극(50) 상에는 정공 수송층(52), 유기 발광층(54), 전자 수송층(56)을 통하여 금속제의 음극(58)이 형성된다. 또한, 제1 평탄화막(36) 상에는 화소 전극(50)의 주변 엣지를 덮도록 절연막인 제2 평탄화막(60)이 배치되어 있다.

그리고, 정공 수송층(52)은 화소 전극(60) 상에 형성됨과 함께 주변부는 제2 평탄화막(60) 위에 이르러 거기서 중단한다. 또, 정공 수송층(52) 상의 유기 발광층(54)은 정공 수송층(52) 상에 형성되며, 정공 수송층(52)보다 약간 작게 정공 수송층(52)의 주변 엣지의 조금 내측에서 중단하고 있다. 또한, 유기 발광층(54) 상의 전자 수송층(56)은 유기 발광층(54) 상에 형성되고, 유기 발광층(54)보다 약간 작게 유기 발광층(54)의 주변 엣지의 조금 내측에서 중단하고 있다. 그리고, 전자 수송층(56) 위에 전면을 덮도록 알루미늄 등으로 이루어지는 음극(58)이 형성된다. 따라서, 이 음극은 전자 수송층(56)의 전면을 덮음과 함께, 전자 수송층(56), 유기 발광층(54), 정공 수송층(52)의 주변 노출부 및 측부를 덮도록 형성되고, 이들 유기층이 없는 부분에는 제2 평탄화막(60) 위에 직접 위치하고 있다.

이러한 화소 구성을 갖는 유기 EL 패널은 우선 유리 기판(30) 상에 구동 TFT(40)를 형성한다. 또, 통상의 경우, 화소마다 배치되는 스위칭 TFT나 주변의 드라이버 회로의 TFT도 구동 TFT와 동일한 프로세스로 형성된다. 그리고, 전면을 제1 평탄화막(36)으로 덮어 표면을 평탄화한다.

다음에, 소스 전극(40d)에 콘택트홀을 형성한 후, ITO를 스퍼터에 의해 퇴적한 후에 드라이 에칭에 의해 발광 영역의 형태(사각형)로 패터닝 형성한다.

그리고, 그 후에 전면에 감광제를 포함하는 아크릴계 수지제로 이루어지는 제2 평탄화막(60)을 전면에 진공 증착하고, 불필요한 부분 또는 필요한 부분 어딘가에 광을 조사하여 에칭하는 포토리소그래피에 의해 패터닝한다. 이에 의해서, 화소 전극(50)의 주변을 덮고 내부를 노출하는 제2 평탄화막(60)이 형성된다.

다음에, 마스크를 평탄화막(60)에 접촉시킨 상태에서 정공 수송층(52), 유기 발광층(54), 전자 수송층(56)을 순차 진공 증착한다.

이 때, 각층을 형성하기 위해서 증발원을 변경하고 재료를 변경함과 함께, 증발 재료의 마스크를 통한 기판 상으로의 증발물의 비래(飛來) 방향의 이방성을 제어한다. 즉, 정공 수송층(52)을 가장 작은 이방성으로 하여 등방적으로 확장을 크게 하여 증착하고, 전자 수송층(56)을 가장 큰 이방성으로 하여 확장을 작게 하여 증착한다.

이에 의해, 정공 수송층(52), 유기 발광층(54) 및 전자 수송층(56)의 크기를 정공 수송층(52), 유기 발광층(54), 전자 수송층(56)의 순서로 순차 작게 할 수 있다. 그래서, 정공 수송층(52) 상에서 유기 발광층(54) 주변이 중단하고, 유기 발광층(54) 상에서 전자 수송층(56)의 주변이 중단한다.

따라서, 정공 수송층(52) 측부에 얇은 유기 발광층(54)이 형성되거나 유기 발광층(54) 측부에 얇은 수송층(56)이 형성되거나 하지 않는다. 따라서, 얇은 발광층(54)이나 얇은 전자 수송층(56)에 큰 전류가 흘러, 표시에 문제점이 발생하는 것을 방지할 수 있다. 즉, 화소의 중앙 부분의 휘도가 떨어져, 주변에 휘점이 생기거나 하지 않는다. 또한, 각층이 화소마다 패터닝되어 있기 때문에, 인접 화소의 전계의 영향으로 발광하거나 하는 경우가 없다.

또한, 정공 수송층(52), 유기 발광층(54), 전자 수송층(56)의 3층이 거의 동일한 장소에서 중단하기 때문에, 이 부위에서의 음극(58)의 단차가 비교적 커진다. 그래서, 음극을 비교적 두껍게 형성하는 것도 바람직하다.

또, 각층의 두께는, 예를 들면 제2 평탄화막(60): 600~1300nm, 정공 수송층(52): 150~200nm, 유기 발광층(54): 35nm, 전자 수송층(56): 35nm, 음극(50): 300~400nm 정도이다.

다음에, 도 2에 도시한 것은 다른 실시예로, 정공 수송층(52)에 대해서는 화소마다 패터닝하지 않고, 전면에 형성한다. 정공 수송층(52)은 통상 발광하지 않아, 전면에 형성해도 문제는 없다. 또한, 전면에 형성하는 것이면 마스크를 사용할 필요는 없고, 마스크에 기인하는 더스트의 문제도 커지지 않는다.

그러나, 정공 수송층(52)을 형성한 후에, 마스크를 도입하면, 그 때에 더스트가 도입될 가능성이 크다. 정공 수송층(52)에 비하여 유기 발광층(54), 전자 수송층(56)쪽이 막 두께가 얇고, 더스트 혼입의 악영향이 크다. 그래서, 3층 모두 패터닝하는 쪽이 더스트의 면에서는 유리하다. 그러나, 정공 수송층(52)을 패터닝하지 않으므로, 음극(58)의 단차는 비교적 작게 할 수 있어, 음극(58)에의 악영향을 작게 할 수 있다.

여기서, 마스크 증착 시의 이방성의 제어는 다음과 같은 방법 중 적어도 하나를 채용하는 것이 적합하다.

(i) 증발물의 방출구의 직경을 작게 함으로써 이방성을 높게 할 수 있다. 그래서, 정공 수송층(52), 유기 발광층(54), 전자 수송층(56)을 형성할 때의 도가니로서, 그 방출 개구의 직경이 순차 작은 것을 채용한다.

(ii) 증발원(도가니)과, 마스크 중간에 증발물의 비래 방향을 선택하는 셔터(중간 마스크)를 마련하고, 이에 의해 소정의 방향을 향하는 것만을 선택한다. 셔터의 크기를 작게 하면 이방성을 크게 할 수 있어 셔터의 위치를 증발원으로부터 멀리함으로써 이방성을 높인다.

(iii) 증발원의 내압을 높게 함으로써 증발물의 속도가 커지고 이방성을 크게 할 수 있다.

(iv) 증발원의 설치 위치를 마스크로부터 멀리함으로써 이방성을 크게 할 수 있다.

이러한 방법에 의해, 증발물의 이방성을 제어할 수 있으며, 동일한 마스크를 이용했을 때의 막 증착 면적을 제어할 수 있다.

또, 도 1의 예에서는 유기 발광층(54) 및 전자 수송층(56), 도 2의 예에서는 정공 수송층(52), 유기 발광층(54) 및 전자 수송층(56)을 1화소 내에 위치하도록 화소 전극에 대응하여 대강 사각형으로 하였다. 그러나, 유기 발광층(54) 및 전자 수송층(56), 또는 정공 수송층(52), 유기 발광층(54) 및 전자 수송층(56)을 스트라이프 형상으로 형성할 수도 있다. 이 경우에는 폭 방향에서는 상술한 바와 같은 순서로 하층 위에서 상층이 종단하지만, 길이 방향에서는 각 층이 화소를 걸쳐 연장된다.

즉, 도 3에는 유기 발광층(54) 및 전자 수송층(56)에 대하여, 대강 사각형으로 형성한 경우(A)와, 스트라이프 형상으로 형성한 경우(B)의 평면도를 모식적으로 도시한다. 또한, 도 4에는 정공 수송층(52), 유기 발광층(54) 및 전자 수송층(56)에 대하여 대강 사각형으로 형성한 경우(A)와, 스트라이프 형상으로 형성한 경우(B)의 평면도를 모식적으로 도시한다.

### 발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 유기 발광발 위에 적층하는 전자 수송층의 크기를 유기 발광층보다 약간 작게 하였다. 이것에 의해, 양 층을 형성하는 데 동일한 마스크를 사용할 수 있으며, 각 층 증착 시에 마스크를 교환할 필요가 없다. 이에 의해, 작업이 효율적으로 됨과 함께, 더스트 혼입의 가능성을 저감할 수 있다. 또한, 상층으로 갈수록 작게 하기 때문에, 하층의 측면을 상층의 일부가 얇게 덮지 않아 발광으로의 악영향의 발생을 방지할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

1화소의 발광영역에 대응하는 크기의 화소 전극과 이것에 대항하는 대항 전극 사이에, 적어도 유기 발광층과 전자 수송층을 갖는 유기 EL 소자를 매트릭스 배치한 유기 EL 패널로서,

상기 유기 발광층 및 상기 전자 수송층을 복수의 화소에 걸쳐 연장되도록 설치함과 함께,

상기 전자 수송층을 상기 유기 발광층보다 작게 하고, 상기 전자 수송층의 단부가 상기 유기 발광층 상에서 종단하는 것을 특징으로 하는 유기 EL 패널.

## 청구항 2.

1화소의 발광영역에 대응하는 크기의 화소 전극과 이것에 대항하는 대항 전극 사이에, 적어도 정공 수송층, 유기 발광층 및 전자 수송층을 갖는 유기 EL 소자를 매트릭스 배치한 유기 EL 패널로서,

상기 정공 수송층, 상기 유기 발광층 및 상기 전자 수송층을 복수의 화소에 걸쳐 연장되도록 설치함과 함께,

상기 정공 수송층, 상기 유기 발광층 및 상기 전자 수송층의 크기를, 상기 정공 수송층, 상기 유기 발광층, 상기 전자 수송층의 순서로 순차적으로 작게 하고, 상기 유기 발광층의 단부가 상기 정공 수송층 상에서 종단하고, 상기 전자 수송층의 단부가 상기 유기 발광층 상에서 종단하는 것을 특징으로 하는 유기 EL 패널.

## 청구항 3.

1화소의 발광영역에 대응하는 크기의 화소 전극과 이것에 대항하는 대항 전극 사이에, 적어도 유기 발광층과 전자 수송층을 갖는 유기 EL 소자를 매트릭스 배치한 유기 EL 패널의 제조 방법으로서,

상기 유기 발광층 및 상기 전자 수송층을 복수의 화소에 걸쳐 연장되도록 설치함과 함께,

상기 전자 수송층을 상기 유기 발광층보다 작게 하고, 상기 전자 수송층의 단부가 상기 유기 발광층 상에서 종단하도록 형성하는 것을 특징으로 하는 유기 EL 패널의 제조 방법.

## 청구항 4.

제3항에 있어서,

상기 유기 발광층 및 상기 전자 수송층을 동일한 마스크를 이용하여 형성함과 함께, 증발물의 증착시에서의 이방성을 변경하여 각 층의 크기를 제어하는 것을 특징으로 하는 유기 EL 패널의 제조 방법.

## 청구항 5.

1화소의 발광영역에 대응하는 크기의 화소 전극과 이것에 대항하는 대항 전극 사이에, 적어도 정공 수송층, 유기 발광층 및 전자 수송층을 갖는 유기 EL 소자를 매트릭스 배치한 유기 EL 패널의 제조 방법으로서,

상기 정공 수송층, 상기 유기 발광층 및 상기 전자 수송층을 복수의 화소에 걸쳐 연장되도록 설치함과 함께,

상기 정공 수송층, 상기 유기 발광층 및 상기 전자 수송층의 크기를, 상기 정공 수송층, 상기 유기 발광층, 상기 전자 수송층의 순서로 순차적으로 작게 하고, 상기 유기 발광층의 단부가 상기 정공 수송층 상에서 종단하고, 상기 전자 수송층의 단부가 상기 유기 발광층 상에서 종단하도록 형성하는 것을 특징으로 하는 유기 EL 패널의 제조 방법.

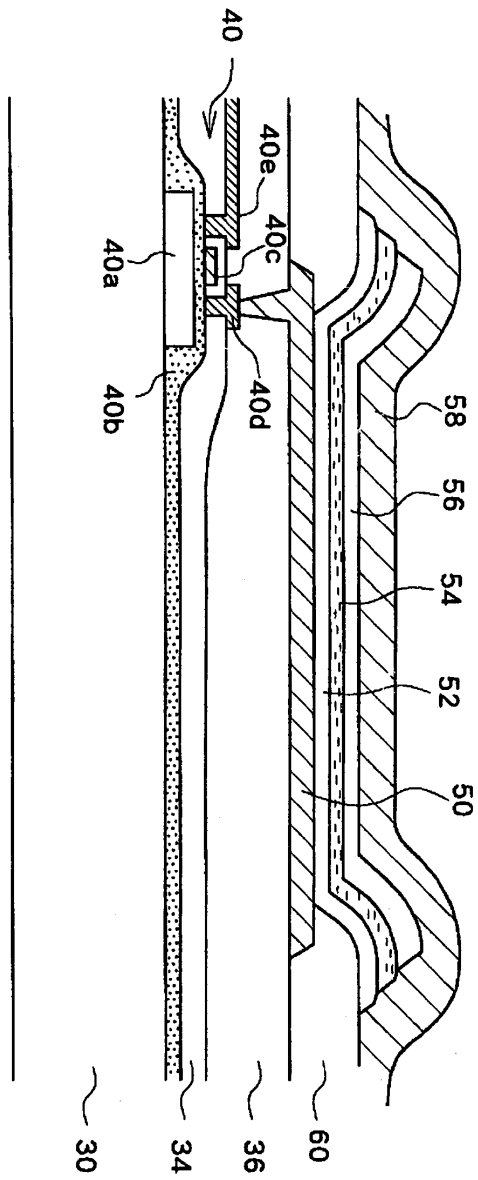
## 청구항 6.

제5항에 있어서,

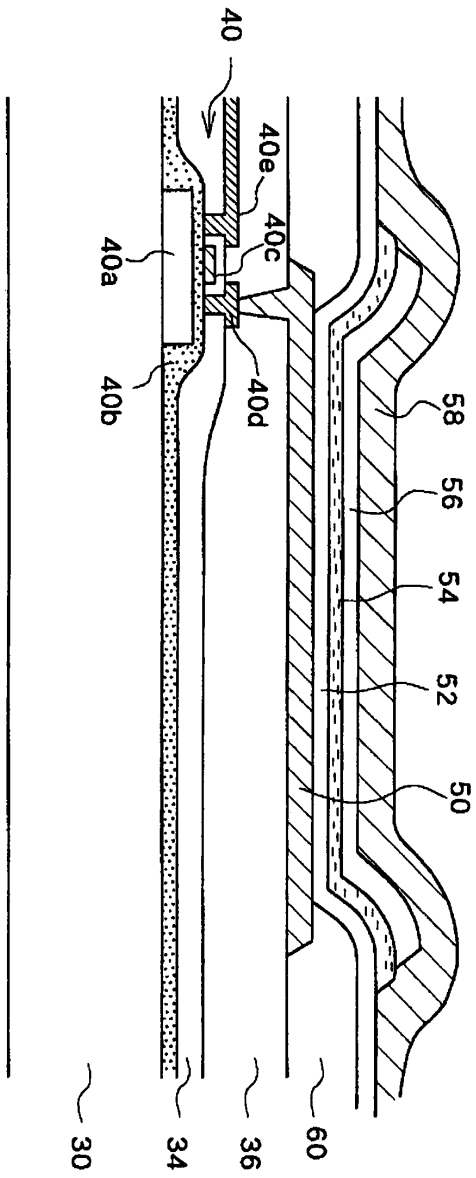
상기 정공 수송층, 상기 유기 발광층 및 상기 전자 수송층을 동일한 마스크를 이용하여 형성함과 함께, 증발물의 증착시에서의 이방성을 변경하여 각 층의 크기를 제어하는 것을 특징으로 하는 유기 EL 패널의 제조 방법.

도면

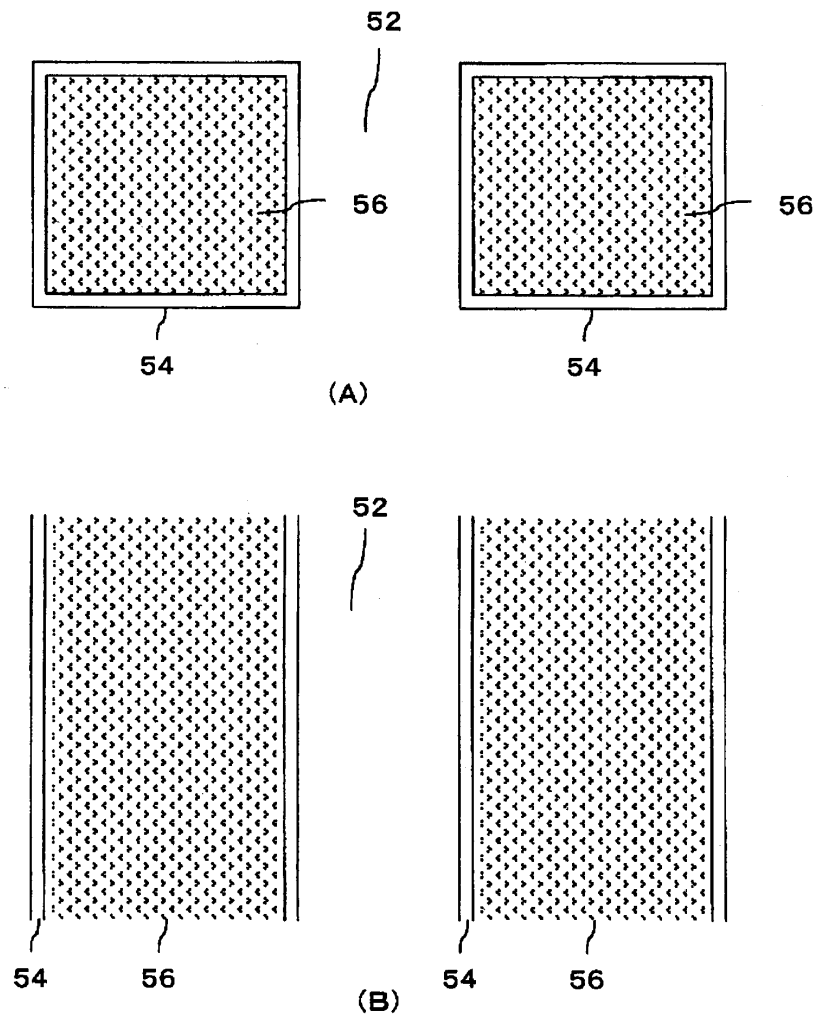
도면1



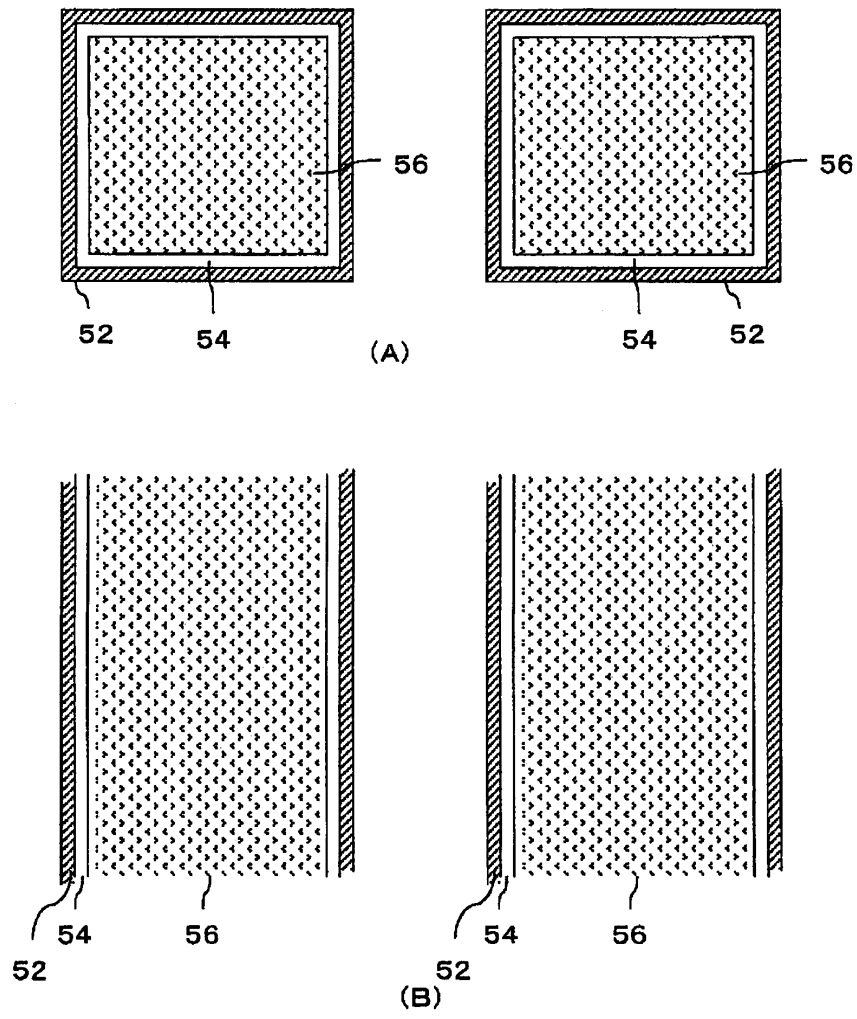
도면2



도면3



도면4



专利名称(译)	有机EL面板及其制造方法		
公开(公告)号	<a href="#">KR1020060023180A</a>	公开(公告)日	2006-03-13
申请号	KR1020060006813	申请日	2006-01-23
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	NISHIKAWA RYUJI		
发明人	NISHIKAWA, RYUJI		
IPC分类号	H05B33/22 H05B33/10 C23C14/12 C23C14/24 H05B33/12 H01L27/32 H01L51/00 H01L51/40 H01L51/50 H01L51/56		
CPC分类号	H01L27/3244 H01L51/5048 H01L51/0013 H01L51/52 H01L51/001		
代理人(译)	CHU, 晟敏 LEE, JUNG HEE		
优先权	2002126999 2002-04-26 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

从而减少了由于面罩引起的灰尘的混入。形成第二平坦化膜(绝缘膜)60以覆盖像素电极50的周边,并且由于使用相同掩模的有机溅射,上层的一部分不能下降到下层侧。1 指数方面 有机EL器件,掩模,孔,各向异性

