

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸

H05B 33/00 (2006.01)

H01L 29/786 (2006.01)

(11) 공개번호 10-2006-0001268

(43) 공개일자 2006년01월06일

(21) 출원번호 10-2004-0050356

(22) 출원일자 2004년06월30일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416(72) 발명자 정관욱
경기도 수원시 팔달구 영통동 벽적골 롯데아파트 945동 610호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 표시 장치용 표시판 및 그의 제조 방법

요약

본 발명에 따른 표시 장치용 표시판은 절연 기판의 위에 형성되어 있으며 각각 채널 영역, 소스 영역 및 드레인 영역을 가지는 제1 및 제2 반도체층, 제1 및 제2 반도체층 위에 형성되어 있으며 산화 규소로 이루어지는 제1 게이트 절연막, 제1 게이트 절연막 위에 형성되어 있으며 질화 규소로 이루어지는 제2 게이트 절연막, 제2 게이트 절연막 위에 형성되며 제1 반도체층의 제1 채널부와 중첩하는 제1 게이트 전극을 가지는 게이트선, 제2 게이트 절연막 위에 형성되며 제2 반도체층의 제2 채널부와 중첩하는 제2 게이트 전극, 제1 반도체층의 소스 영역과 연결되어 있는 제1 소스 전극을 가지는 데이터선, 제1 반도체층의 드레인 영역과 연결되고 제2 게이트 전극과 연결되어 있는 제1 드레인 전극, 제2 반도체층의 소스 영역과 연결되어 있는 제2 소스 전극을 가지는 전원 전압용 전극, 제2 반도체층의 드레인 영역과 연결되어 있는 제2 드레인 전극, 제2 드레인 전극과 연결되어 있으며, 게이트선과 데이터선으로 둘러싸인 화소 영역에 배치되어 있는 화소 전극을 포함한다.

대표도

도 1

색인어

다결정, EL, SPC

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치에 대한 표시 영역의 구조를 개략적으로 도시한 회로도이고,

도 2는 본 발명의 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 일 화소에 대한 배치도이고,

도 3 및 도 4는 각각 도 2의 III-III'선, IV-IV'선을 따라 자른 단면도이고,

도 5a, 도 6a, 도 7a, 도 8a 및 도 9a은 본 발명의 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판을 제조하는 각 단계에서의 배치도이고,

도 5b 및 도 5c는 각각 도 5a의 Vb-Vb'선과 Vc-Vc'선을 따라 자른 단면도이고,

도 6b 및 도 6c는 도 5b 및 도 5c의 다음 단계에서의 단면도이고,

도 7b 및 도 7c는 도 6b 및 도 6c의 다음 단계에서의 단면도이고,

도 8b 및 도 8c는 도 7b 및 도 7c의 다음 단계에서의 단면도이고,

도 9b 및 도 9c는 도 8b 및 도 8c의 다음 단계에서의 단면도이다.

도면의 주요부분에 대한 부호의 설명

70 : 유기 발광층 121, 124a, 124b : 게이트선

133 : 유지 전극 150a, 150b : 반도체층

171a, 171b : 데이터선 175a, 175b : 드레인 전극

190 : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치용 표시판에 관한 것으로 특히, 다결정 규소막을 반도체층으로 사용한 박막 트랜지스터 배열을 가지는 표시 장치용 표시판에 관한 것이다.

일반적으로 규소는 결정 상태에 따라 비정질 규소(amorphous silicon)와 결정질 규소(crystalline silicon)로 나눌 수 있다. 비정질 규소는 낮은 온도에서 증착하여 박막(thin film)을 형성하는 것이 가능하며, 주로 낮은 용융점을 가지는 유리를 기판으로 사용하는 표시 장치의 스위칭 소자의 반도체층에 많이 사용한다.

그러나 비정질 규소 박막은 낮은 전계 효과 이동도 등의 문제점으로 표시 소자의 대면적화에 어려움이 있다. 그래서 높은 전계 효과 이동도와 고주파 동작 특성 및 낮은 누설 전류(leakage current)의 전기적 특성을 가진 다결정 규소(poly crystalline silicon)의 응용이 요구되고 있다.

다결정 규소를 이용한 박막의 전기적 특성은 입자(grain)의 크기 및 균일성(uniformity)에 큰 영향을 받는다. 즉, 입자의 크기 및 균일성이 증가함에 따라 전계 효과 이동도도 따라 증가한다. 이러한 다결정 규소를 형성하는 방법에는 ELA(eximer laser anneal, 이하 ELA이라 함), 로 열처리(chamber annal) 등이 있으며 최근에는 레이저로 규소 결정의 측면 성장을 유도하여 다결정 규소를 제조하는 SLS(sequential lateral solidification, 이하 SLS이라 함) 기술이 제안되었다.

이중 SPC(solid phase crystallization) 방식은 비정질 규소막을 600℃ 이상이 고온의 로에서 수시간을 가열하여 결정화하는 방법이다. SPC 방식은 비교적 균일한 다결정을 얻을 수 있으나, 전자 이동도(mobility)가 기존 TFT에 비해서 떨어지고 문턱 전압(Vth)도 증가하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위한 것으로서 SPC 방법으로 결정화시에 박막 트랜지스터의 전기적 특성을 확보하여 고품질의 표시 장치를 구현할 수 있는 표시 장치용 표시판을 제공한다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명에 따른 표시 장치용 표시판은 절연 기판의 위에 형성되어 있으며 각각 채널 영역, 소스 영역 및 드레인 영역을 가지는 제1 및 제2 반도체층, 제1 및 제2 반도체층 위에 형성되어 있으며 산화 규소로 이루어지는 제1 게이트 절연막, 제1 게이트 절연막 위에 형성되어 있으며 질화 규소로 이루어지는 제2 게이트 절연막, 제2 게이트 절연막 위에 형성되며 제1 반도체층의 제1 채널부와 중첩하는 제1 게이트 전극을 가지는 게이트선, 제2 게이트 절연막 위에 형성되며 제2 반도체층의 제2 채널부와 중첩하는 제2 게이트 전극, 제1 반도체층의 소스 영역과 연결되어 있는 제1 소스 전극을 가지는 데이터선, 제1 반도체층의 드레인 영역과 연결되고 제2 게이트 전극과 연결되어 있는 제1 드레인 전극, 제2 반도체층의 소스 영역과 연결되어 있는 제2 소스 전극을 가지는 전원 전압용 전극, 제2 반도체층의 드레인 영역과 연결되어 있는 제2 드레인 전극, 제2 드레인 전극과 연결되어 있으며, 게이트선과 데이터선으로 둘러싸인 화소 영역에 배치되어 있는 화소 전극을 포함한다.

그리고 화소 전극 위의 소정 영역에 형성되어 있는 유기 EL층, 데이터선과 화소 전극 위에 형성되어 있으며 유기 EL층의 영역을 한정하고 있는 격벽, 유기 EL층과 격벽 위에 형성되어 있는 공통 전극을 더 포함할 수 있다.

여기서 제1 게이트 절연막은 100~500Å이고, 제2 게이트 절연막은 200~500Å인 것이 바람직하다.

이때 제1 게이트 절연막의 두께 + 제2 게이트 절연막 두께/2의 합은 600Å이하인 것이 바람직하다.

상기한 다른 목적을 달성하기 위한 본 발명에 따른 표시 장치용 표시판의 제조 방법은 절연 기판의 위에 각각 채널 영역, 소스 영역 및 드레인 영역을 가지는 제1 및 제2 반도체층을 형성하는 단계, 제1 및 제2 반도체층 위에 산화 규소로 이루어지는 제1 게이트 절연막을 형성하는 단계, 제1 게이트 절연막 위에 질화 규소로 이루어지는 제2 게이트 절연막을 형성하는 단계, 제2 게이트 절연막 위에 제1 반도체층의 제1 채널부와 중첩하는 제1 게이트 전극을 가지는 게이트선을 형성하는 단계, 제2 게이트 절연막 위에 제2 반도체층의 제2 채널부와 중첩하는 제2 게이트 전극을 형성하는 단계, 제1 반도체층의 소스 영역과 연결되는 제1 소스 전극을 가지는 데이터선을 형성하는 단계, 제1 반도체층의 드레인 영역과 연결되며 제2 게이트 전극과 연결되어 있는 제1 드레인 전극을 형성하는 단계, 제2 반도체층의 소스 영역과 연결되는 제2 소스 전극을 가지는 전원 전압용 전극을 형성하는 단계, 제2 반도체층의 드레인 영역과 연결되는 제2 드레인 전극을 형성하는 단계, 제2 드레인 전극과 연결되며 게이트선과 데이터선으로 둘러싸인 화소 영역에 배치되어 있는 화소 전극을 형성하는 단계를 포함한다.

여기서 화소 전극 위의 소정 영역에 유기 EL층을 형성하는 단계, 데이터선과 화소 전극 위에 형성하며 유기 EL층의 영역을 한정하고 있는 격벽을 형성하는 단계, 유기 EL층과 격벽 위에 공통 전극을 형성하는 단계를 더 포함할 수 있다.

그리고 제1 게이트 절연막은 100~500Å으로 형성하고, 제2 게이트 절연막은 200~500Å으로 형성하는 것이 바람직하다.

이때 제1 게이트 절연막의 두께 + 제2 게이트 절연막 두께/2의 합은 600Å이하로 형성하는 것이 바람직하다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치용 표시판의 구조를 도시한 회로도이다.

도 1에 도시한 바와 같이, 표시 장치용 표시판은 일방향으로 긴 복수개의 게이트선(121)이 형성되어 있고, 게이트선(121)과 절연되어 교차하여 화소 영역을 정의하는 복수개의 데이터선(171, 172)이 형성되어 있다. 그리고 각각의 화소 영역(P)의 게이트선(121) 및 데이터선(171, 172)에는 트랜지스터가 연결되어 있고, 각각의 트랜지스터는 화소 전극(도시하지 않음)과 연결되어 있다.

이러한 유기 발광 표시판의 구동에 대하여 간단히 설명하면, 게이트선(121)에 온(on : 이하 온 이라함) 펄스가 인가되면 제1 트랜지스터(TFT1)가 온 되어 제1 데이터선(171)을 통하여 인가되는 화상 신호 전압이 제2 게이트 전극(도시하지 않음, 도 2 참조)으로 전달된다. 제2 게이트 전극에 화상 신호 전압이 인가되면 제2 트랜지스터(TFT2)가 온 되어 제2 데이터선(172)을 통하여 전달되는 전류가 화소 전극(도시하지 않음, 도 2 참조)과 유기 발광층(EL)을 통하여 대향 표시판의 공통 전극(도시하지 않음)으로 흐르게 된다. 여기서, 제2 데이터선(172)은 정전압 전원에 연결되어 있다.

유기 발광층(EL)은 전류가 흐르면 특정 파장대의 빛을 방출한다. 흐르는 전류의 양에 따라 유기 발광층(EL)이 방출하는 빛의 양이 달라져 휘도가 변하게 된다. 이 때, 제2 트랜지스터(TFT2)가 전류를 흘릴 수 있는 양은 제1 트랜지스터(TFT1)를 통하여 전달되는 화상 신호 전압의 크기에 의하여 결정된다.

이상 설명한 다결정 규소 박막 트랜지스터를 포함하는 유기 발광 표시 장치용 표시판의 한 화소에 대해서 첨부한 도면을 참조하여 좀 더 구체적으로 설명한다.

도 2는 본 발명의 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 일 화소에 대한 배치도이고, 도 3 및 도 4는 각각 도 2의 III-III', IV-IV'선을 따라 자른 단면도이다.

도 2 내지 도 4에 도시한 바와 같이, 투명한 절연 기판(110) 위에 산화 규소 등으로 이루어진 차단막(111)이 형성되어 있고, 차단막(111) 위에 다결정 규소층(150a, 150b, 157)이 형성되어 있다.

다결정 규소층(150a, 150b, 157)은 제1 트랜지스터부(153a, 154a, 155a), 제2 트랜지스터부(153b, 154b, 155b) 및 유지 전극부(157)를 포함한다. 제1 트랜지스터부(150a)의 소스 영역(제1 소스 영역, 153a)과 드레인 영역(제1 드레인 영역, 155a)은 n형 불순물로 도핑되어 있고, 제2 트랜지스터부(150b)의 소스 영역(제2 소스 영역, 153b)과 드레인 영역(제2 드레인 영역, 155b)은 p형 불순물로 도핑되어 있다. 이 때, 구동 조건에 따라서는 제1 소스 영역(153a) 및 드레인 영역(155a)이 p형 불순물로 도핑되고 제2 소스 영역(153b) 및 드레인 영역(155b)이 n형 불순물로 도핑될 수도 있다.

그리고 소스 영역(153a, 153b)과 드레인 영역(155a, 155b) 사이에는 불순물이 도핑되지 않은 채널 영역(154a, 154b)이 위치하며 구동시에 이들(153a, 153b, 155a, 155b) 사이에 채널이 형성되고, 두개의 게이트 전극(124a) 사이에 위치하는 도핑된 영역(150p)은 구동 조건에 따라서 소스 및 드레인 영역이 된다.

다결정 규소층(150a, 150b, 157) 위에는 산화 규소로 이루어진 제1 게이트 절연막(140a)과 질화 규소로 이루어진 제2 게이트 절연막(140b)이 형성되어 있다. 제1 게이트 절연막(140a)은 100~500Å 이하의 두께로 형성하고 제2 게이트 절연막(140b)은 200~500Å의 두께로 형성하되 두 절연막 두께의 합이 600Å 이하인 것이 바람직하다. 여기서 두께의 합은 제1 게이트 절연막(140a)의 두께 + 제2 게이트 절연막(140b)의 두께/2를 만족하는 값이다.

게이트 절연막(140b) 위에는 알루미늄, 크롬, 몰리브덴 또는 이들의 합금 등의 금속으로 이루어진 게이트선(121)과 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)이 형성되어 있다.

제1 게이트 전극(124a)은 게이트선(121)의 가지 모양으로 형성되어 있고 제1 트랜지스터의 채널 영역(제1 채널 영역, 154a)과 중첩하고 있으며, 제2 게이트 전극(124b)은 게이트선(121)과는 분리되어 있고 제2 트랜지스터의 채널 영역(제2 채널 영역, 154b)과 중첩하고 있다. 유지 전극(133)은 제2 게이트 전극(124b)과 연결되어 있고, 다결정 규소층의 유지 전극부(157)와 중첩되어 있다. 게이트선(121)의 한쪽 끝부분은 외부 구동 회로(도시하지 않음)로부터 전달되는 신호를 입력받기 위해서 게이트선(121)의 폭보다 넓게 형성할 수 있다.

게이트선(121)과 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)의 위에는 층간 절연막(801)이 형성되어 있고, 층간 절연막(801) 위에는 제1 및 제2 데이터선(171a, 171b), 제1 및 제2 소스 전극(173a, 173b), 제1 및 제2 드레인 전극(175a, 175b)이 형성되어 있다.

제1 소스 전극(173a)은 제1 데이터선(171a)의 분지로서 층간 절연막(801)과 게이트 절연막(140a, 140b)을 관통하고 있는 접촉구(181)를 통하여 제1 소스 영역(153a)과 연결되어 있고, 제2 소스 전극(173b)은 제2 데이터선(171b)의 분지로서 층간 절연막(801)과 게이트 절연막(140a, 140b)을 관통하고 있는 접촉구(184)를 통하여 제2 소스 영역(153b)과 연결되어 있다. 제1 드레인 전극(175a)은 층간 절연막(801)과 게이트 절연막(140a, 140b)을 관통하고 있는 접촉구(182, 183)를 통하여 제1 드레인 영역(155a) 및 제2 게이트 전극(124b)과 접촉하여 이들을 연결하고 있고, 제2 드레인 전극(175b)은 게이트 절연막(140a, 140b) 및 층간 절연막(801)을 관통하고 있는 접촉구(185)를 통하여 제2 드레인 영역(155b)과 연결되어 있다. 한편, 제2 데이터선(171b)은 유지 전극(133)과 중첩되어 있다.

그리고 데이터선(171a, 171b, 173a, 173b) 및 드레인 전극(175a, 175b) 위에는 제2 드레인 전극(175)을 노출하는 접촉구(186)를 가지는 층간 절연막(802)이 형성되어 있다.

층간 절연막(802) 위에는 접촉구(186)를 통해 제2 드레인 전극(175b)과 연결되어 있는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 알루미늄 등의 반사성이 우수한 물질로 형성하는 것이 바람직하다. 그러나, 필요에 따라서는 화소 전극(190)을 ITO (Indium Tin Oxide) 또는 IZO(Indium zinc Oxide) 등의 투명한 절연 물질로 형성할 수도 있다.

화소 전극(190) 위에는 유기 절연 물질로 이루어진 격벽(803)이 형성되어 있다. 격벽(803)은 화소 전극(190) 주변을 둘러싸서 유기 발광층(70)이 채워질 영역을 한정하고 있다.

격벽(803)은 검정색 안료를 포함하는 감광제를 노광 및 현상하여 형성함으로써 차광막의 역할을 하도록 하고, 동시에 형성 공정도 단순화할 수 있다. 격벽(803)에 둘러싸인 화소 전극(190) 위의 영역에는 유기 발광층(70)이 형성되어 있다. 유기 발광층(70)은 적색, 녹색, 청색 중 어느 하나의 빛을 내는 유기 물질로 이루어지며, 적색, 녹색 및 청색 유기 발광층(70)이 순서대로 반복적으로 배치되어 있다.

유기 발광층(70)과 격벽(803) 위에는 버퍼층(804)이 형성되어 있다. 버퍼층(804)은 필요에 따라서는 생략될 수 있다.

버퍼층(804) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있다. 만약 화소 전극(190)이 ITO 또는 IZO 등의 투명한 도전 물질로 이루어지는 경우에는 공통 전극(270)은 알루미늄 등의 반사성이 좋은 금속으로 형성한다.

한편, 도시하지는 않았으나 공통 전극(270)의 전도성을 보완하기 위하여 저항이 낮은 금속으로 보조 전극을 형성할 수도 있다. 보조 전극은 공통 전극(270)과 버퍼층(804) 사이 또는 공통 전극(270) 위에 형성할 수 있으며, 유기 발광층(70)과는 중첩하지 않도록 격벽(803)을 따라 매트릭스 모양으로 형성하는 것이 바람직하다.

이상 설명한 유기 발광 표시 장치용 박막 트랜지스터 표시판을 제조하는 방법을 도 5a 내지 도 9c 및 앞서 설명한 도 2 내지 도 4를 참조하여 상세히 설명한다.

도 5a, 도 6a, 도 7a, 도 8a 및 도 9a은 본 발명의 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판을 제조하는 각 단계에서의 배치도이고, 도 5b 및 도 5c는 각각 도 5a의 IIIb-IIIb'선과 IVb-IVb'선을 따라 자른 단면도이고, 도 6b 및 도 6c는 도 5b 및 도 5c의 다음 단계에서의 단면도이고, 도 7b 및 도 7c는 도 6b 및 도 6c의 다음 단계에서의 단면도이고, 도 8b 및 도 8c는 도 7b 및 도 7c의 다음 단계에서의 단면도이고, 도 9b 및 도 9c는 도 8b 및 도 8c의 다음 단계에서의 단면도이다.

먼저, 도 5a 내지 도 5c에 도시한 바와 같이, 절연 기판(110) 위에 산화 규소 등을 증착하여 차단막(111)을 형성하고, 차단막(111) 위에 비정질 규소막(150)을 증착한다. 비정질 규소막(150)의 증착은 LPCVD(low temperature chemical vapor deposition), PECVE(plasma enhanced chemical vapor deposition) 또는 스퍼터링(sputtering)으로 진행할 수 있다.

이어서, 비정질 규소막(150)을 SPC(solid phase crystallization) 방식으로 결정화한 다음, 마스크를 이용한 사진 식각 공정으로 패터닝하여 다결정 규소층(150a, 150b)(이하 반도체층이라 함)을 형성한다.

반도체층(150a, 150b) 위에 산화 규소 및 질화 규소를 순차적으로 적층하여 제1 및 제2 게이트 절연막(140a, 140b)을 증착한다.

제1 게이트 절연막(140a)은 100~500Å의 두께로 형성하고, 제2 게이트 절연막(140b)은 200~500Å의 두께로 형성하며, 두 게이트 절연막(140a, 140b)의 두께의 합이 600Å이하인 것이 바람직하다. 여기서 두께의 합은 제1 게이트 절연막의 두께 + 제2 게이트 절연막의 두께/2 를 만족하는 값이다.

본 발명에서와 같이, 다결정 규소층을 SPC 방식으로 형성할 경우 게이트 절연막의 두께가 얇을수록 반도체층의 전기적 특성이 좋아지나 두께가 얇을수록 게이트 절연막이 파괴될 가능성은 높아진다.

그러나 본 발명에서는 종래의 산화 규소보다 유전율이 작은 질화 규소(유전율이 산화 규소의 반정도임)를 사용하여 제2 게이트 절연막(140b)을 형성하므로 종래의 산화 규소보다 두껍게 게이트 절연막을 형성할 수 있다.

그러므로 게이트 절연막이 파괴되는 것을 방지할 수 있다. 그러나 질화 규소는 반도체층과의 계면특성이 좋지 않기 때문에 제2 게이트 절연막(140b)과 반도체층(150a, 150b) 사이에 산화 규소로 이루어지는 제1 게이트 절연막(140a)을 더 형성한다.

이어서, 다음, 도 6a 내지 도 6c에 도시한 바와 같이, 금속을 증착하여 게이트용 금속막(120)을 형성한다. 이후 게이트용 금속막(120) 위에 감광막을 도포한 후 노광 및 현상하여 제1 감광막 패턴(PR1)을 형성한다.

다음으로 제1 감광막 패턴(PR1)을 마스크로 하여 게이트용 금속막(120)을 식각함으로써 제2 게이트 전극(124b)과 유지 전극(133)을 형성하고, 노출되어 있는 제2 트랜지스터부(150b) 반도체층에 p형 불순물 이온을 주입하여 제2 소스 영역(153b)과 제2 드레인 영역(155b) 및 불순물이 도핑되지 않은 제2 채널 영역(154b)을 형성한다.

이 때, 제1 트랜지스터부 반도체층(150a)은 제1 감광막 패턴(PR1) 및 게이트용 금속막(120)에 덮여 보호된다. 그리고 유지 전극부(157)는 후에 형성되는 데이터선(171b)과 중첩하는 부분으로 감광막에 의해 보호되므로 불순물이 도핑되지 않는다.

다음, 도 7a 내지 도 7c에 도시한 바와 같이, 제1 감광막 패턴(PR1)을 제거하고, 감광막을 새로 도포하고 노광 및 현상하여 제2 감광막 패턴(PR2)을 형성한다.

제2 감광막 패턴(PR2)을 마스크로 하여 게이트용 금속막(120)을 식각함으로써 제1 게이트 전극(124a) 및 게이트선(121)을 형성하고, 노출되어 있는 제1 트랜지스터부(150a) 반도체층에 n형 불순물 이온을 주입하여 제1 소스 영역(153a)과 제1 드레인 영역(155a) 및 불순물이 도핑되지 않은 제1 채널 영역(154a)을 형성한다. 이 때, 제2 트랜지스터부(153b, 154b, 155b) 및 유지 전극부(157)는 제2 감광막 패턴(PR2)에 덮여 보호된다.

다음, 도 8a 내지 도 8c에 도시한 바와 같이, 게이트 전극(124a, 124b), 게이트선(121), 유지 전극(133) 위에 층간 절연막(801)을 적층하고 사진 식각 공정으로 층간 절연층(801) 및 게이트 절연막(140a, 140b)을 식각하여 제1 소스 영역(173a), 제1 드레인 영역(175a), 제2 소스 영역(173b) 및 제2 드레인 영역(175b)을 각각 노출시키는 접촉구(181, 182, 184, 185)와 층간 절연층(801)을 식각하여 제2 게이트 전극(124b)의 한쪽 끝부분을 노출시키는 접촉구(183)를 형성한다.

다음, 데이터용 금속막을 적층하고 사진 식각 공정으로 데이터선(171a, 171b, 173a, 173b) 및 드레인 전극(175a, 175b)을 형성한다.

도 9a 내지 도 9c에 도시한 바와 같이, 데이터선(171a, 171b, 173a, 173b) 및 드레인 전극(175a, 175b) 위에 층간 절연막(802)을 형성한 후 사진 식각 공정으로 층간 절연막(802)을 식각하여 제2 드레인 전극(175b)을 노출하는 접촉구(186)를 형성한다.

이후 층간 절연막(802) 위에 알루미늄 등의 반사성이 우수한 금속을 증착한 후 사진 식각 공정으로 패터닝하여 접촉구(186)를 통해 제2 드레인 전극(175b)과 연결되는 화소 전극(190)을 형성한다.

다음, 도 2 내지 도 4에 도시한 바와 같이, 데이터선(171a, 171b, 173a, 173b) 및 드레인 전극(175a, 175b) 위에 검정색 안료를 포함하는 유기막을 도포하고 노광 및 현상하여 격벽(803)을 형성하고, 각 화소 영역에 유기 발광층(70)을 형성한다. 이 때, 유기 발광층(70)은 다층 구조로 이루어지는 것이 보통이다. 유기 발광층(70)은 마스크(masking) 후 증착하거나, 잉크젯 프린팅 등의 방법을 통하여 형성한다.

다음, 유기 발광층(70) 위에 전도성 유기물질을 도포하여 버퍼층(804)을 형성하고, 버퍼층(804) 위에 ITO 또는 IZO를 증착하여 공통 전극(270)을 형성한다.

이 때, 도시하지는 않았으나 공통 전극(270) 형성 전 또는 후에 알루미늄 등의 저저항 물질로 보조 전극을 형성할 수 있다. 또, 화소 전극(190)을 투명 도전 물질로 형성하는 경우에는 공통 전극(270)을 반사성이 우수한 금속을 사용하여 형성한다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

발명의 효과

이처럼 본 발명에서와 같이, SPC 방식으로 결정화 할 때 산화막 및 질화막으로 게이트 절연막을 형성하여 소자의 전기적 특성을 감소시키지 않으면서도 게이트 절연막이 파괴되는 것을 방지하여 소자의 신뢰성을 향상시킨다.

(57) 청구의 범위

청구항 1.

절연 기판의 위에 형성되어 있으며 각각 채널 영역, 소스 영역 및 드레인 영역을 가지는 제1 및 제2 반도체층,

상기 제1 및 제2 반도체층 위에 형성되어 있으며 산화 규소로 이루어지는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 형성되어 있으며 질화 규소로 이루어지는 제2 게이트 절연막,

상기 제2 게이트 절연막 위에 형성되며 상기 제1 반도체층의 제1 채널부와 중첩하는 제1 게이트 전극을 가지는 게이트선,

상기 제2 게이트 절연막 위에 형성되며 상기 제2 반도체층의 제2 채널부와 중첩하는 제2 게이트 전극,

상기 제1 반도체층의 소스 영역과 연결되어 있는 제1 소스 전극을 가지는 데이터선,

상기 제1 반도체층의 드레인 영역과 연결되고 상기 제2 게이트 전극과 연결되어 있는 제1 드레인 전극,

상기 제2 반도체층의 소스 영역과 연결되어 있는 제2 소스 전극을 가지는 전원 전압용 전극,

상기 제2 반도체층의 드레인 영역과 연결되어 있는 제2 드레인 전극,

상기 제2 드레인 전극과 연결되어 있으며, 상기 게이트선과 상기 데이터선으로 둘러싸인 화소 영역에 배치되어 있는 화소 전극을 포함하는 표시 장치용 표시판.

청구항 2.

제1항에서,

상기 화소 전극 위의 소정 영역에 형성되어 있는 유기 EL층,

상기 데이터선과 상기 화소 전극 위에 형성되어 있으며 상기 유기 EL층의 영역을 한정하고 있는 격벽,

상기 유기 EL층과 상기 격벽 위에 형성되어 있는 공통 전극을 더 포함하는 표시 장치용 표시판.

청구항 3.

제1항에서,

상기 제1 게이트 절연막은 100~500Å 이고, 상기 제2 게이트 절연막은 200~500Å인 표시 장치용 표시판.

청구항 4.

제3항에서,

상기 제1 게이트 절연막의 두께 + 제2 게이트 절연막 두께/2의 합은 600Å이하인 표시 장치용 표시판.

청구항 5.

절연 기판의 위에 각각 채널 영역, 소스 영역 및 드레인 영역을 가지는 제1 및 제2 반도체층을 형성하는 단계,

상기 제1 및 제2 반도체층 위에 산화 규소로 이루어지는 제1 게이트 절연막을 형성하는 단계,

상기 제1 게이트 절연막 위에 질화 규소로 이루어지는 제2 게이트 절연막을 형성하는 단계,

상기 제2 게이트 절연막 위에 상기 제1 반도체층의 제1 채널부와 중첩하는 제1 게이트 전극을 가지는 게이트선을 형성하는 단계,

상기 제2 게이트 절연막 위에 상기 제2 반도체층의 제2 채널부와 중첩하는 제2 게이트 전극을 형성하는 단계,

상기 제1 반도체층의 소스 영역과 연결되는 제1 소스 전극을 가지는 데이터선을 형성하는 단계,

상기 제1 반도체층의 드레인 영역과 연결되며 상기 제2 게이트 전극과 연결되어 있는 제1 드레인 전극을 형성하는 단계,

상기 제2 반도체층의 소스 영역과 연결되는 제2 소스 전극을 가지는 전원 전압용 전극을 형성하는 단계,

상기 제2 반도체층의 드레인 영역과 연결되는 제2 드레인 전극을 형성하는 단계,

상기 제2 드레인 전극과 연결되며 상기 게이트선과 상기 데이터선으로 둘러싸인 화소 영역에 배치되어 있는 화소 전극을 형성하는 단계를 포함하는 표시 장치용 표시판의 제조 방법.

청구항 6.

제5항에서,

상기 화소 전극 위의 소정 영역에 유기 EL층을 형성하는 단계,

상기 데이터선과 상기 화소 전극 위에 형성하며 상기 유기 EL층의 영역을 한정하고 있는 격벽을 형성하는 단계,

상기 유기 EL층과 상기 격벽 위에 공통 전극을 형성하는 단계를 더 포함하는 표시 장치용 표시판.

청구항 7.

제5항에서,

상기 제1 게이트 절연막은 100~500Å으로 형성하고, 상기 제2 게이트 절연막은 200~500Å으로 형성하는 표시 장치용 표시판의 제조 방법.

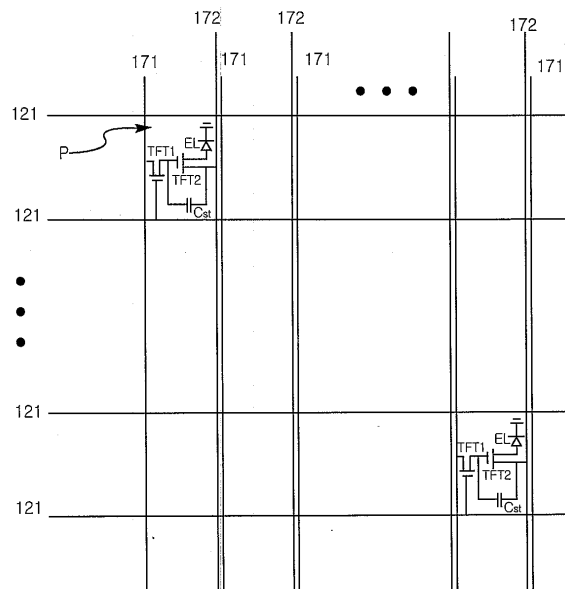
청구항 8.

제7항에서,

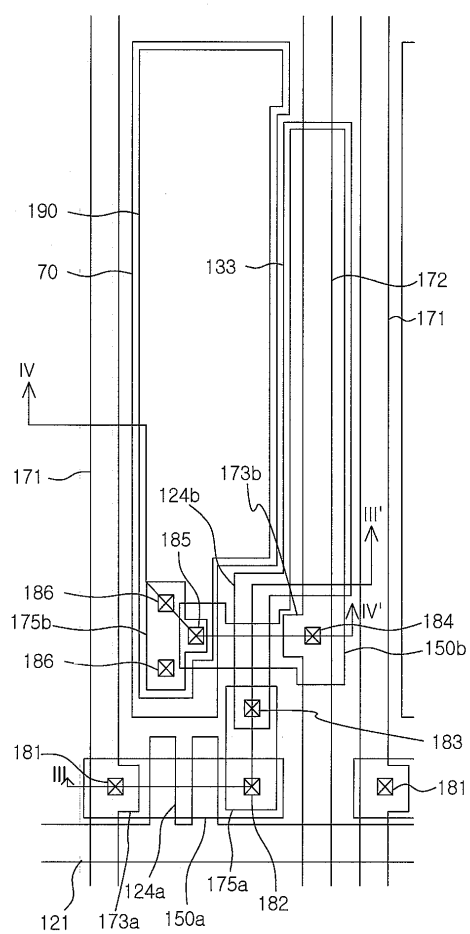
상기 제1 게이트 절연막의 두께 + 제2 게이트 절연막 두께/2의 합은 600Å이하로 형성하는 표시 장치용 표시판의 제조 방법.

도면

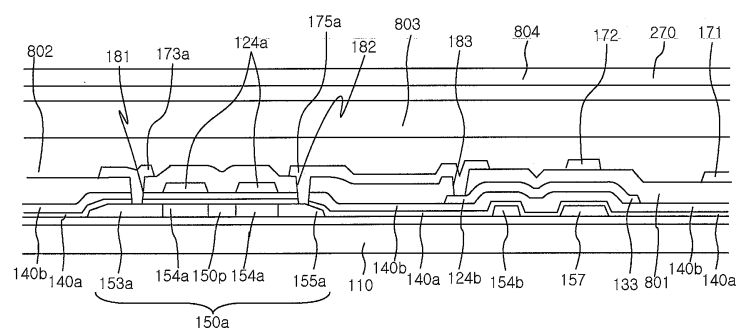
도면1



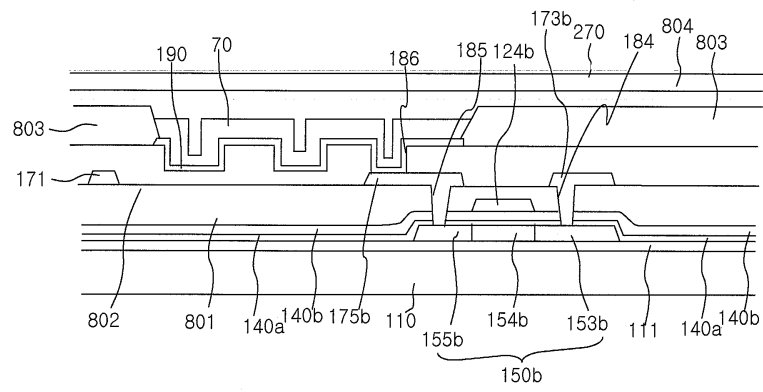
도면2



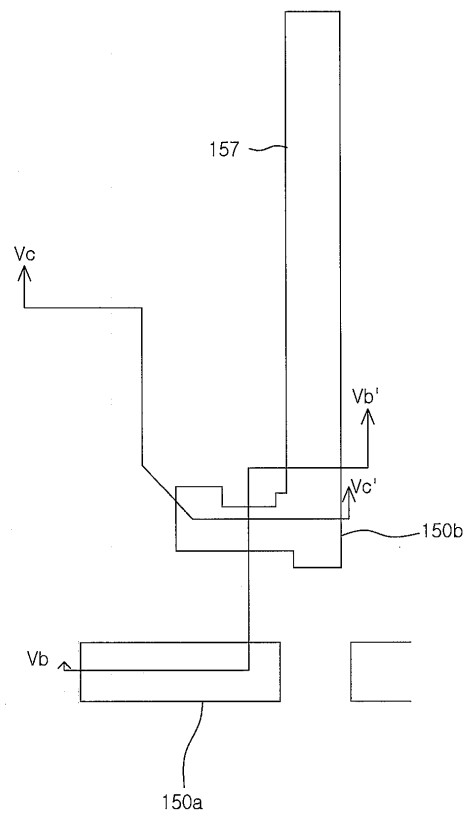
도면3



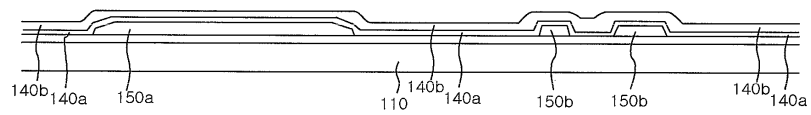
도면4



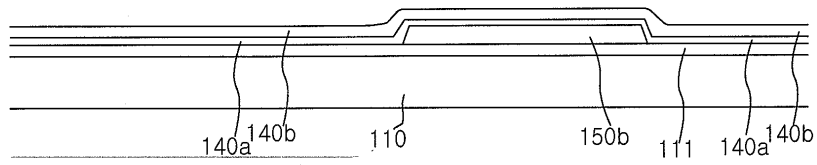
도면5a



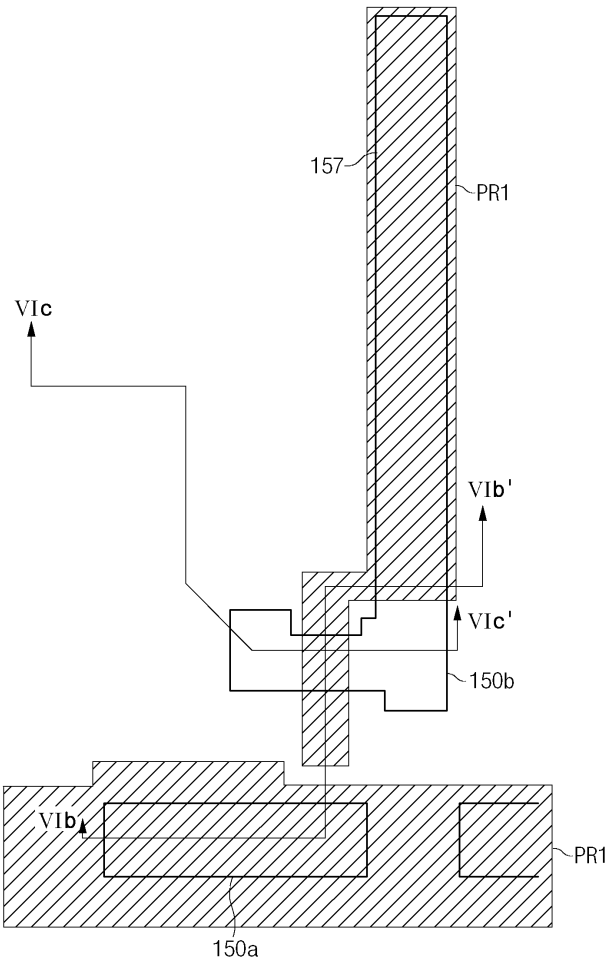
도면5b



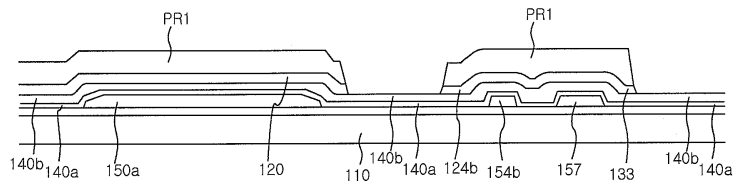
도면5c



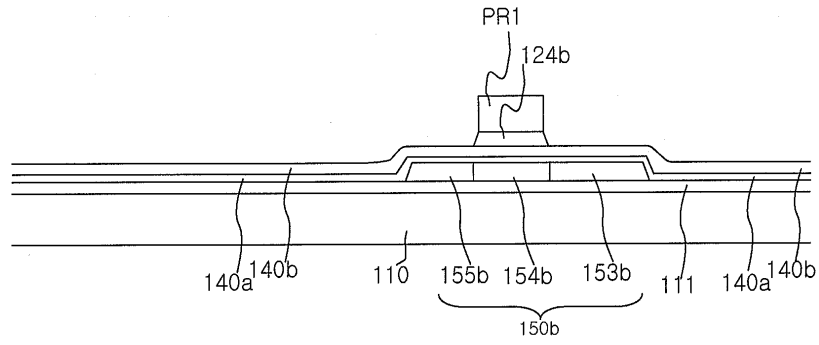
도면6a



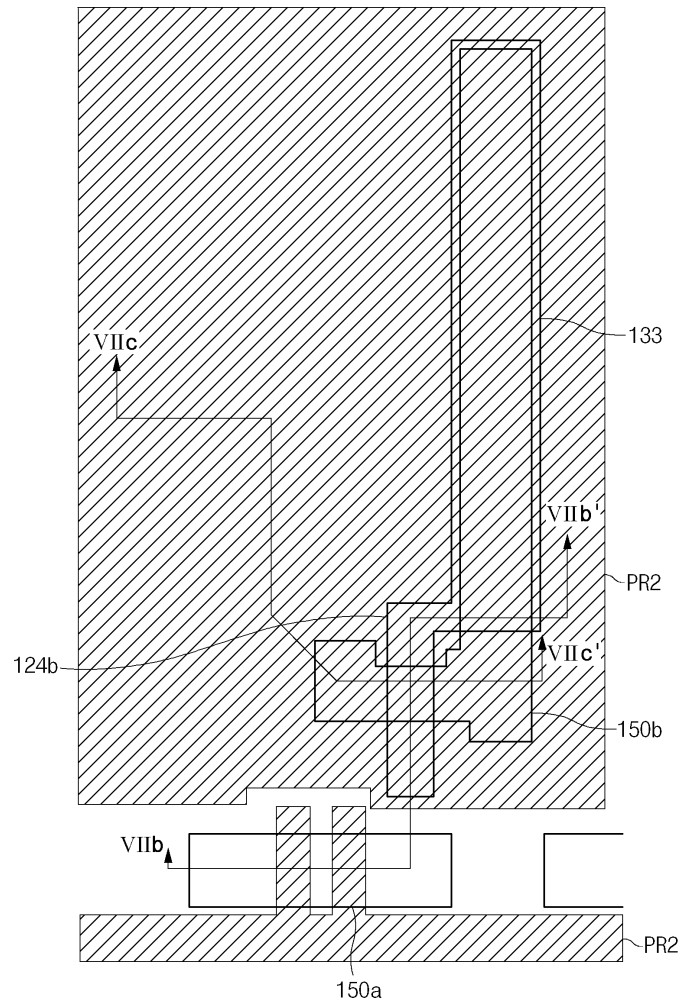
도면6b



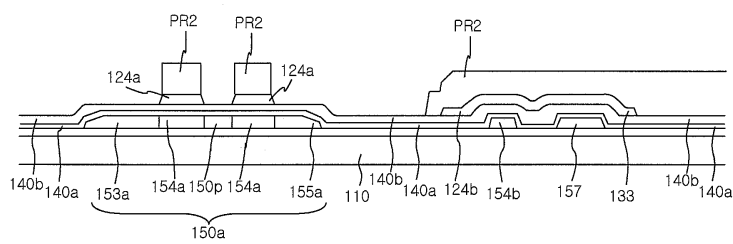
도면6c



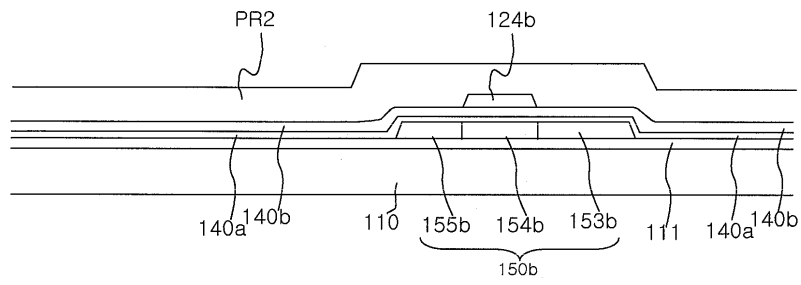
도면7a



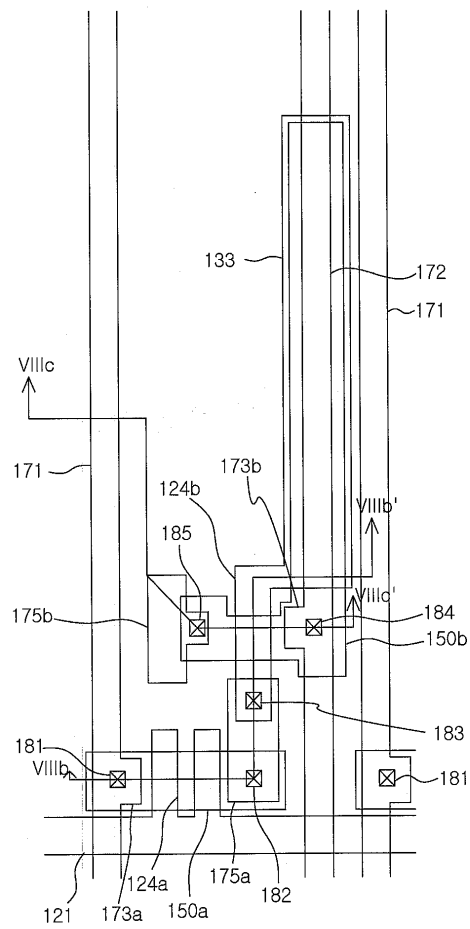
도면7b



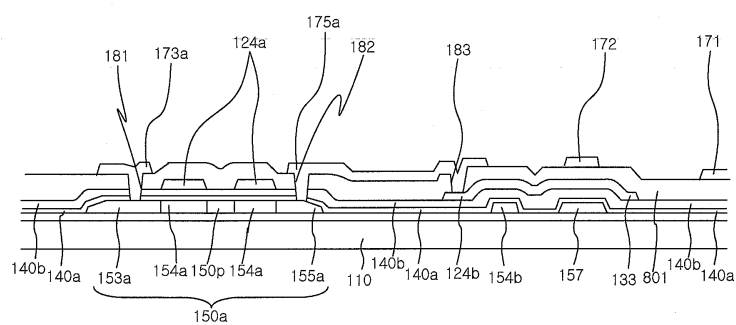
도면7c



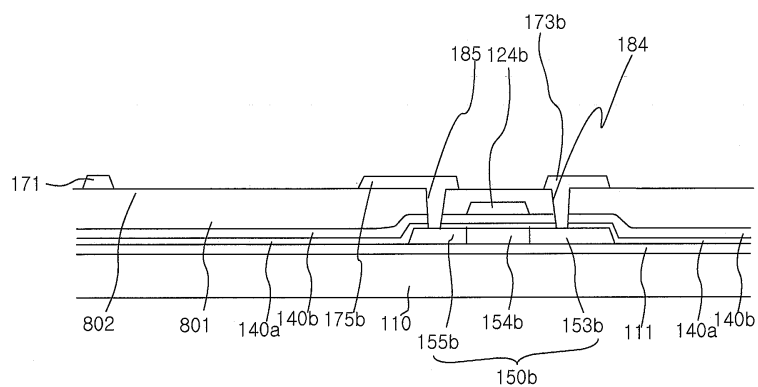
도면8a



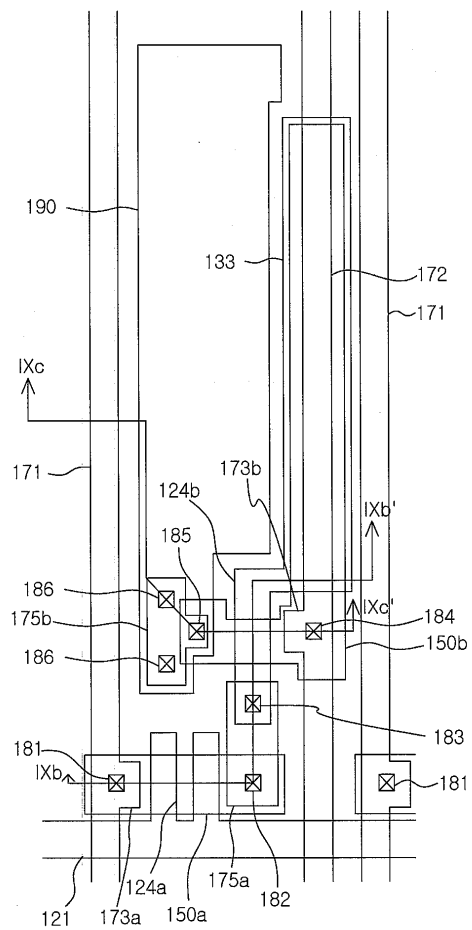
도면8b



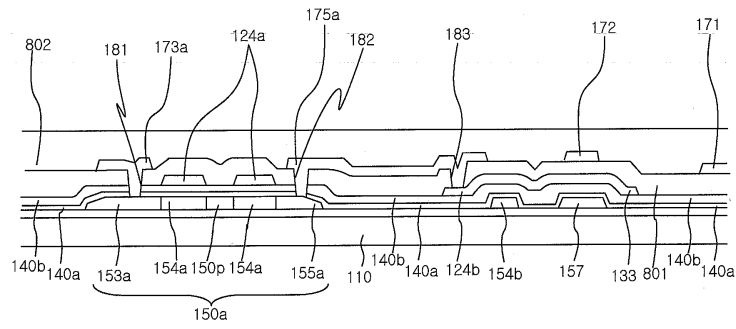
도면8c



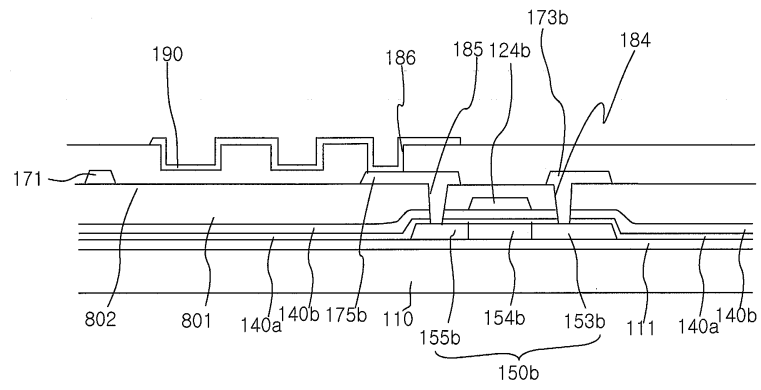
도면9a



도면9b



도면9c



专利名称(译)	显示装置用显示面板及其制造方法		
公开(公告)号	KR1020060001268A	公开(公告)日	2006-01-06
申请号	KR1020040050356	申请日	2004-06-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JUNG KWANWOOK		
发明人	JUNG,KWANWOOK		
IPC分类号	H05B33/00 H01L29/786		
CPC分类号	H01L27/3244 H01L27/1214 H01L27/124 H01L27/3276		
外部链接	Espacenet		

摘要(译)

根据本发明的显示装置的显示面板包括相应的沟道区域，并且区域 - 源极形成在绝缘基板的上部，像素电极连接到连接到漏极的第二漏极电极具有漏极区的第一和第二半导体层的区域，具有第一栅极绝缘层的栅极线，其包括形成在第一和第二半导体层上的氧化硅，第二栅极绝缘层包括形成在其上的氮化硅的第二栅极绝缘层第一栅极绝缘层和第一栅极电极在形成于半导体层上的同时与半导体层的主沟道部分重叠第二栅极绝缘层，具有与第二半导体层的第二沟道部分重叠的第二栅极电极的数据线，其形成在第二栅极绝缘层上，并且第一源电极连接到半导体层的区域源，用于电源电压的电极具有连接到第一漏电极的第二源电极，第一漏电极连接到半导体层的漏区并连接到第二栅极电极，以及第二半导体层的区域源，第二半导体层和第二漏电极布置在由栅极线和数据线围绕的像素区域中。多晶硅，EL和SPC。

