



## 특허청구의 범위

### 청구항 1

기관;

상기 기관 상에 형성된 활성층;

상기 활성층 상에 형성된 제1 절연막;

상기 제1 절연막 상에 형성된 게이트 전극;

상기 게이트 전극과 동일한 층에 형성된 화소 전극;

상기 게이트 전극과 절연되고 상기 활성층과 전기적으로 연결되는 소스 전극 및 드레인 전극;

상기 화소 전극상에 형성되고 유기 발광층을 구비하는 중간층; 및

상기 중간층상에 형성되는 대향 전극을 포함하고,

상기 화소 전극은 상기 소스 전극 및 드레인 전극 중 어느 하나의 전극과 연결되며,

상기 게이트 전극은 순차적으로 적층된 제1 도전층, 제2 도전층, 제3 도전층, 및 제4 도전층으로 이루어지며,

상기 제2 도전층과 상기 제3 도전층 사이의 산화환원전위차가 상기 제1 도전층과 상기 제3 도전층 사이의 산화환원전위차보다 작은 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 2

제1 항에 있어서,

상기 제2 도전층과 상기 제3 도전층 사이의 산화환원전위차는 1V이하인 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 3

제2 항에 있어서,

상기 제2 도전층은 IZO를 포함하며, 상기 제3 도전층은 Al 또는 AlNd를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 4

제3 항에 있어서,

상기 제1 도전층은 ITO를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 5

제1 항에 있어서,

상기 제4 도전층은 Mo를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 6

제1 항에 있어서,

상기 화소 전극은, 상기 게이트 전극과 동일한 층에서 순차적으로 형성된 제1 전극층, 제2 전극층, 제3 전극층 및 제4 전극층으로 이루어진 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 7

제6 항에 있어서,

상기 화소 전극의 상기 제2 전극층, 제3 전극층 및 제4 전극층은 하부의 상기 제1 전극층을 노출하도록 제1 개구부를 구비하는 유기 발광 표시 장치.

**청구항 8**

제6 항에 있어서,

상기 중간층은 상기 화소 전극의 상기 제1 전극층과 접하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 9**

제6 항에 있어서,

상기 소스 전극 및 드레인 전극 중 어느 하나의 전극은 상기 제4 전극층과 접하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 10**

제7 항에 있어서,

상기 게이트 전극 및 상기 화소 전극상에는 상기 게이트 전극과 상기 소스 전극 및 드레인 전극을 절연하는 제2 절연막이 형성되고, 상기 소스 전극 및 드레인 전극은 상기 제2 절연막 상에 형성되고, 상기 제2 절연막은 상기 제1 개구부에 대응하는 제2 개구부를 구비하는 유기 발광 표시 장치.

**청구항 11**

제10 항에 있어서,

상기 소스 전극 및 드레인 전극상에 형성되는 화소 정의막을 더 포함하고,

상기 화소 정의막은 상기 제1 개구부와 접하거나 상기 제1 개구부 내에 형성되는 제3 개구부를 구비하고, 상기 제3 개구부를 통하여 상기 중간층이 상기 제1 전극층과 접하는 유기 발광 표시 장치.

**청구항 12**

제6항에 있어서,

상기 제1 전극층은 ITO를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 13**

제1 항에 있어서,

상기 활성층과 동일한 층에 상기 활성층과 이격되도록 형성된 커패시터 제1 전극 및 상기 커패시터 제1 전극과 절연되고 상기 게이트 전극과 동일한 층에 상기 커패시터 제1 전극과 대응되도록 형성된 커패시터 제2 전극을 구비하는 커패시터를 더 포함하는 유기 발광 표시 장치.

**청구항 14**

제13 항에 있어서,

상기 커패시터 제2 전극은, 상기 게이트 전극과 동일한 층에 순차적으로 형성된 제1 층, 제2 층, 제3 층 및 제4 층을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 15**

제14 항에 있어서,

상기 제2 층과 상기 제3 층 사이의 산화환원전위차가 상기 제1 층과 상기 제3 층 사이의 산화환원전위차보다 작은 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 16**

제15 항에 있어서,

상기 제2 층과 상기 제3 층 사이의 산화환원전위차는 1V이하인 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 17**

제16 항에 있어서,

상기 제2 층은 IZO를 포함하며, 상기 제3 층은 Al 또는 AlNd를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 18**

제17 항에 있어서,

상기 제1 층은 ITO를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 19**

제14 항에 있어서,

상기 제4 층은 Mo를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 20**

기관 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터 제1 전극을 형성하는 제1마스크 공정;

상기 활성층 및 커패시터 제1 전극을 덮도록 상기 기관 상에 제1 절연막 및 제1 금속층을 적층하여 형성하고, 상기 제1 금속층을 패터닝하여 화소 전극, 게이트 전극, 및 커패시터 제2 전극을 형성하는 제2마스크 공정;

상기 화소 전극, 상기 게이트 전극 및 상기 커패시터 제2 전극을 덮도록 제2 절연막을 형성하고, 상기 제2 절연막을 패터닝하여, 상기 화소 전극 및 상기 활성층의 소스 및 드레인 영역을 노출시키는 개구부들을 형성하는 제3마스크 공정;

상기 화소 전극 및 상기 개구부들을 덮도록 제2 금속층을 형성하고, 상기 제2금속층을 패터닝하여 소스 및 드레인 전극을 형성하는 제4마스크 공정; 및

상기 소스 및 드레인 전극을 덮도록 제3 절연막을 형성하고, 상기 제3 절연막을 패터닝하여 상기 화소 전극을 노출시키는 화소 정의막을 형성하는 제5마스크 공정;을 포함하며,

상기 제1 금속층은 상기 제1 절연막 상에 순차적으로 적층된 제1막, 제2막, 제3막, 및 제4막으로 형성되며,

상기 제2막과 상기 제3막 사이의 산화환원전위차가 상기 제1막과 상기 제3 막 사이의 산화환원전위차보다 작은 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 21**

제20항에 있어서,

상기 제2막과 상기 제3막 사이의 산화환원전위차는 1V이하인 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 22**

제21항에 있어서,

상기 제2막은 IZO를 포함하며, 상기 제3막은 Al 또는 AlNd를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 23**

제22항에 있어서,

상기 제1막은 ITO를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 24**

제20항에 있어서,

상기 제4막은 Mo을 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 25**

제20항에 있어서,

상기 화소 전극은 상기 제1 절연막 상에 적층된 제1 전극층, 제2 전극층, 제3 전극층, 및 제4 전극층으로 이루어지며,

상기 게이트 전극은 상기 제1 절연막 상에 적층된 제1 도전층, 제2 도전층, 제3 도전층, 및 제4 도전층으로 이루어지며,

상기 커패시터 제2 전극은 상기 절연막 상에 적층된 제1층, 제2층, 제3층, 및 제4층으로 이루어지며,

상기 제1 금속층은 상기 제1 절연막 상에 적층된 제1막, 제2막, 제3막, 및 제4막으로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 26**

제25항에 있어서,

상기 제2마스크 공정은,

상기 제1 절연막 상에 순차적으로 상기 제1막, 제2막, 제3막, 및 제4막을 적층하는 단계;

상기 제2막, 제3막, 및 제4막을 패터닝하여 상기 제1막 상에 상기 화소 전극의 상기 제2 전극층, 제3 전극층, 및 제4 전극층을 형성하고, 상기 게이트 전극의 상기 제2 도전층, 제3 도전층, 및 제4 도전층을 형성하며, 상기 커패시터 제2 전극의 제2층, 제3층, 및 제4층을 형성하는 단계; 및

상기 화소 전극, 상기 게이트 전극, 및 상기 커패시터 제2 전극을 마스크로 하여 상기 제1막을 패터닝하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 27**

제26항에 있어서,

상기 제1막을 패터닝하는 단계는 상기 제1막을 에칭하여 상기 화소 전극의 상기 제1 전극층, 상기 게이트 전극의 상기 제1 도전층, 및 상기 커패시터의 상기 제1층을 형성하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 28**

제27항에 있어서,

상기 게이트 전극의 상기 제1도전층에는 언더컷(undercut)이 형성되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 29**

제20항에 있어서,

상기 제3마스크 공정 중, 상기 제2 절연막 형성 후 상기 제2 절연막 패터닝 전에,

상기 게이트 전극을 마스크로 하여 상기 활성층의 소스 및 드레인 영역에 이온 불순물을 도핑하는 단계; 및

상기 도핑된 이온 불순물을 활성화시키기 위해 열처리하는 단계;를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 30**

제29항에 있어서,

상기 열처리하는 단계는 RTA(Rapid thermal annealing)인 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 31**

제30항에 있어서,

상기 RTA는 대략 550℃에서 1분간 가열하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 32**

제25항에 있어서,

상기 제4마스크 공정에서 상기 제2 금속층을 패터닝하면서 상기 제2 전극층, 제3 전극층, 및 제4 전극층을 에칭하여 하부의 상기 제1 전극층을 노출시키는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로 더 상세하게는 절연막의 들뜸 현상을 방지하고 게이트 전극이 침식되는 것을 방지할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 근래에 디스플레이 장치는 휴대가 가능한 박형의 평판 표시 장치로 대체되는 추세이다. 평판 디스플레이 장치 중에서도 유기 또는 무기 발광 표시장치는 자발광형 디스플레이 장치로서 시야각이 넓고 콘트라스트가 우수할 뿐 만 아니라 응답속도가 빠르다는 장점이 있어서 차세대 디스플레이 장치로 주목 받고 있다. 또한 발광층이 유기물로 형성되는 유기 발광 표시 장치는 무기 발광 표시 장치에 비해 휘도, 구동 전압 및 응답속도 특성이 우수하고 다양한 색상을 구현할 수 있는 장점을 갖고 있다.

[0003] 유기 발광 표시 장치는 유기 발광층을 중심으로 캐소드 전극, 애노드 전극이 배치되고, 이러한 전극들에 전압을 가하면 전극에 연결된 유기 발광층에서 가시광선을 발생하게 된다.

[0004] 유기 발광 표시 장치는 다수의 박막을 포함하고, 각 박막에 원하는 형태의 미세한 패턴을 형성된다. 이러한 미세한 패턴을 형성하기 위하여 많은 공정이 수행된다. 이 때 패턴을 형성하는 방법으로는 다양한 방법이 사용될 수 있는데 마스크를 이용한 포토 리소그래피법을 주로 이용하고 있다.

[0005] 포토 리소그래피법은 정밀한 제어가 필요한 공정이다. 또한 마스크를 이용하여 패턴을 형성하는 데에는 포토 레지스트 형성, 노광, 현상, 식각 등 다수의 작업을 요한다. 그러므로 이러한 마스크를 이용한 포토 리소그래피법의 공정이 많아짐에 따라 유기 발광 표시 장치의 공정이 복잡해지고 공정 시간이 늘어나며 공정 관리가 용이하지 않아 많은 불량 발생하였다.

[0006] 또한 유기 발광 표시 장치에는 다양한 전극들이 포함되고, 전극들은 도전성 박막으로 형성되는데, 이러한 전극들의 전기적 특성에 따라 유기 발광 표시 장치의 전기적 특성 및 발광 특성이 변하는 경향이 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명의 주된 목적은 절연막의 들뜸 현상을 방지하고 게이트 전극이 침식되는 것을 방지할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공할 수 있다.

**과제의 해결 수단**

- [0008] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기관과, 상기 기관 상에 형성된 활성층과, 상기 활성층과 절연되도록 형성된 게이트 전극과, 상기 게이트 전극과 동일한 층에 형성된 화소 전극과, 상기 게이트 전극과 절연되고 상기 활성층과 전기적으로 연결되는 소스 전극 및 드레인 전극과, 상기 화소 전극상에 형성되고 유기 발광층을 구비하는 중간층과, 상기 중간층상에 형성되는 대향 전극을 포함하고, 상기 화소 전극은 상기 소스 전극 및 드레인 전극 중 어느 하나의 전극과 연결되며, 상기 게이트 전극은 순차적으로 적층된 제1 도전층, 제2 도전층, 제3 도전층, 및 제4 도전층으로 이루어지며, 상기 제2 도전층과 상기 제3 도전층 사이의 산화환원전위차가 상기 제1 도전층과 상기 제3 도전층 사이의 산화환원전위차보다 작을 수 있다.
- [0009] 본 발명에 있어서, 상기 제2 도전층과 상기 제3 도전층 사이의 산화환원전위차는 1V이하일 수 있다.
- [0010] 본 발명에 있어서, 상기 제2 도전층은 IZO를 포함하며, 상기 제3 도전층은 Al 또는 AlNd를 포함할 수 있다.
- [0011] 본 발명에 있어서, 상기 제1 도전층은 ITO를 포함할 수 있다.
- [0012] 본 발명에 있어서, 상기 제4 도전층은 Mo를 포함할 수 있다.
- [0013] 본 발명에 있어서, 상기 화소 전극은, 상기 게이트 전극과 동일한 층에서 순차적으로 형성된 제1 전극층, 제2 전극층, 제3 전극층 및 제4 전극층으로 이루어질 수 있다.
- [0014] 본 발명에 있어서, 상기 화소 전극의 상기 제2 전극층, 제3 전극층 및 제4 전극층은 하부의 상기 제1 전극층을 노출하도록 제1 개구부를 구비할 수 있다.
- [0015] 본 발명에 있어서, 상기 중간층은 상기 화소 전극의 상기 제1 전극층과 접할 수 있다.
- [0016] 본 발명에 있어서, 상기 소스 전극 및 드레인 전극 중 어느 하나의 전극은 상기 화소 전극과 접할 수 있다.
- [0017] 본 발명에 있어서, 상기 게이트 전극 및 상기 화소 전극상에는 상기 게이트 전극과 상기 소스 전극 및 드레인 전극을 절연하는 제2 절연막이 형성되고, 상기 소스 전극 및 드레인 전극은 상기 제2 절연막 상에 형성되고, 상기 제2 절연막은 상기 제1 개구부에 대응하는 제2 개구부를 구비할 수 있다.
- [0018] 본 발명에 있어서, 상기 소스 전극 및 드레인 전극상에 형성되는 화소 정의막을 더 포함하고, 상기 화소 정의막은 상기 제1 개구부와 접하거나 상기 제1 개구부 내에 형성되는 제3 개구부를 구비하고, 상기 제3 개구부를 통하여 상기 중간층이 상기 제1 전극층과 접할 수 있다.
- [0019] 본 발명에 있어서, 상기 제1 도전층은 ITO를 포함할 수 있다.
- [0020] 본 발명에 있어서, 상기 활성층과 동일한 층에 상기 활성층과 이격되도록 형성된 커패시터 제1 전극 및 상기 커패시터 제1 전극과 절연되고 상기 게이트 전극과 동일한 층에 상기 커패시터 제1 전극과 대응되도록 형성된 커패시터 제2 전극을 구비하는 커패시터를 더 포함할 수 있다.
- [0021] 본 발명에 있어서, 상기 커패시터 제2 전극은, 상기 게이트 전극과 동일한 층에 순차적으로 형성된 제1 층, 제2 층, 제3 층 및 제4 층을 포함할 수 있다.
- [0022] 본 발명에 있어서, 상기 제2 층과 상기 제3 층 사이의 산화환원전위차가 상기 제1 층과 상기 제3 층 사이의 산화환원전위차보다 작을 수 있다.
- [0023] 본 발명에 있어서, 상기 제2 층과 상기 제3 층 사이의 산화환원전위차는 1V이하일 수 있다.
- [0024] 본 발명에 있어서, 상기 제2 층은 IZO를 포함하며, 상기 제3 층은 Al 또는 AlNd를 포함할 수 있다.
- [0025] 본 발명에 있어서, 상기 제1 층은 ITO를 포함할 수 있다.
- [0026] 본 발명에 있어서, 상기 제4 층은 Mo를 포함할 수 있다.
- [0027] 본 발명의 일 실시예에 관한 유기 발광 표시 장치의 제조 방법은, 기관 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터 제1 전극을 형성하는 제1마스크 공정과, 상기 활성층 및 커패시터 제1 전극을 덮도록 상기 기관 상에 제1 절연막 및 제1 금속층을 적층하여 형성하고, 상기 제1 금속층을 패터닝하여 화소 전극, 게이트 전극, 및 커패시터 제2 전극을 형성하는 제2마스크 공정과, 상기 화소 전극, 상기 게이트 전극 및 상기 커패시터 제2 전극을 덮도록 제2 절연막을 형성하고, 상기 제2 절연막을 패터닝하여, 상기 화소 전극 및 상기 활성층의 소스 및 드레인 영역을 노출시키는 개구들을 형성하는 제3마스크 공정과, 상기 화소 전극 및 상기 개구들을 덮도록 제2 금속층을 형성하고, 상기 제2금속층을 패터닝하여 소스 및 드레인 전극을 형성하는 제4마스크 공정과, 상기 소스 및 드레인 전극을 덮도록 제3 절연막을 형성하고, 상기

제3 절연막을 패터닝하여 상기 화소 전극을 노출시키는 화소 정의막을 형성하는 제5마스크 공정을 포함하며, 상기 제1 금속층은 상기 제1 절연막 상에 순차적으로 적층된 제1막, 제2막, 제3막, 및 제4막으로 형성되며, 상기 제2막과 상기 제3막 사이의 산화환원전위차가 상기 제1막과 상기 제3막 사이의 산화환원전위차보다 작을 수 있다.

- [0028] 본 발명에 있어서, 상기 제2막과 상기 제3막 사이의 산화환원전위차는 1V이하일 수 있다.
- [0029] 본 발명에 있어서, 상기 제2막은 IZO를 포함하며, 상기 제3막은 Al 또는 AlNd를 포함할 수 있다.
- [0030] 본 발명에 있어서, 상기 제1막은 ITO를 포함할 수 있다.
- [0031] 본 발명에 있어서, 상기 제4막은 Mo을 포함할 수 있다.
- [0032] 본 발명에 있어서, 상기 화소 전극은 상기 제1 절연막 상에 적층된 제1 전극층, 제2 전극층, 제3 전극층, 및 제4 전극층으로 이루어지며, 상기 게이트 전극은 상기 제1 절연막 상에 적층된 제1 도전층, 제2 도전층, 제3 도전층, 및 제4 도전층으로 이루어지며, 상기 커패시터 제2 전극은 상기 제1층, 제2층, 제3층, 및 제4층으로 이루어지며, 상기 제1 금속층은 상기 제1 절연막 상에 적층된 제1막, 제2막, 제3막, 및 제4막으로 이루어질 수 있다.
- [0033] 본 발명에 있어서, 상기 제2마스크 공정은, 상기 제1 절연막 상에 순차적으로 상기 제1막, 제2막, 제3막, 및 제4막을 적층하는 단계와, 상기 제2막, 제3막, 및 제4막을 패터닝하여 상기 제1막 상에 상기 화소 전극의 상기 제2 전극층, 제3 전극층, 및 제4 전극층을 형성하고, 상기 게이트 전극의 상기 제2 도전층, 제3 도전층, 및 제4 도전층을 형성하며, 상기 커패시터 제2 전극의 제2층, 제3층, 및 제4층을 형성하는 단계와, 상기 화소 전극, 상기 게이트 전극, 및 상기 커패시터 제2 전극을 마스크로 하여 상기 제1막을 패터닝하는 단계를 포함할 수 있다.
- [0034] 본 발명에 있어서, 상기 제1막을 패터닝하는 단계는 상기 제1막을 에칭하여 상기 화소 전극의 상기 제1 전극층, 상기 게이트 전극의 상기 제1 도전층, 및 상기 커패시터의 상기 제1층을 형성할 수 있다.
- [0035] 본 발명에 있어서, 상기 게이트 전극의 상기 제1도전층에는 언더컷(undercut)이 형성될 수 있다.
- [0036] 본 발명에 있어서, 상기 제3마스크 공정 중, 상기 제2 절연막 형성 후 상기 제2 절연막 패터닝 전에, 상기 게이트 전극을 마스크로 하여 상기 활성층의 소스 및 드레인 영역에 이온 불순물을 도핑하는 단계와, 상기 도핑된 이온 불순물을 활성화시키기 위해 열처리하는 단계를 더 포함할 수 있다.
- [0037] 본 발명에 있어서, 상기 열처리 단계는 RTA(Rapid thermal annealing)일 수 있다.
- [0038] 본 발명에 있어서, 상기 RTA는 대략 550℃에서 1분간 가열할 수 있다.
- [0039] 본 발명에 있어서, 상기 제4마스크 공정에서 상기 제2 금속층을 패터닝하면서 상기 제2 전극층, 제3 전극층, 및 제4 전극층을 에칭하여 하부의 상기 제1 전극층을 노출시킬 수 있다.

**발명의 효과**

- [0040] 본 발명에 관한 유기 발광 표시 장치 및 그 제조 방법은 절연막의 들뜸 현상을 방지하고 게이트 전극이 침식되는 것을 방지할 수 있다.

**도면의 간단한 설명**

- [0041] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 단면도이다.  
 도 2a 내지 도 2i는 도 1의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 개략적인 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0042] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0043] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 단면도이다.
- [0044] 본 실시예에 관한 유기 발광 표시 장치(100)는 기관(101), 활성층(103), 게이트 전극(110), 화소 전극(115), 소스/드레인 전극(132), 중간층(134) 및 대향 전극(135)을 포함한다.
- [0045] 기관(101)은 SiO<sub>2</sub>를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기관(101)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재질로 형성할 수도 있다. 플라스틱 재질은 절연성 유기물인 폴리에테르술폰(PES,

polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethyelenen naphthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 그룹으로부터 선택되는 유기물질 수 있다.

- [0046] 화상이 기관(101)방향으로 구현되는 배면 발광형인 경우에 기관(101)은 투명한 재질로 형성해야 한다. 그러나 화상이 기관(101)의 반대 방향으로 구현되는 전면 발광형인 경우에 기관(101)은 반드시 투명한 재질로 형성할 필요는 없다. 이 경우 금속으로 기관(101)을 형성할 수 있다. 금속으로 기관(101)을 형성할 경우 기관(101)은 탄소, 철, 크롬, 망간, 니켈, 티타늄, 몰리브덴, 스테인레스 스틸(SUS), Invar 합금, Inconel 합금 및 Kovar 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다. 기관(101)은 금속 포일로 형성할 수도 있다.
- [0047] 기관(101)의 상부에 평활한 면을 형성하고 기관(101)상부로 불순 원소가 침투하는 것을 차단하기 위하여 기관(101)의 상부에 버퍼층(102)을 형성할 수 있다. 버퍼층(102)은 SiO<sub>2</sub> 및/또는 SiN<sub>x</sub> 등으로 형성할 수 있다.
- [0048] 버퍼층(102)상에는 소정 패턴의 활성층(103)이 형성된다. 활성층(103)은 아모퍼스 실리콘 또는 폴리 실리콘과 같은 무기 반도체나 유기 반도체로 형성될 수 있고 소스 영역, 드레인 영역 및 채널 영역을 포함한다. 소스 및 드레인 영역은 아모퍼스 실리콘 또는 폴리 실리콘으로 형성한 활성층(103)에 불순물을 도핑하여 형성할 수 있다. 3족 원소인 붕소(B)등으로 도핑하면 p-type, 5족 원소인 질소(N)등으로 도핑하면 n-type 반도체를 형성할 수 있다.
- [0049] 이 때 버퍼층(102)상부에 활성층(103)과 이격되도록 커패시터 제1 전극(104)이 형성될 수 있다. 커패시터 제1 전극(104)은 아모퍼스 실리콘 또는 폴리 실리콘과 같은 무기 반도체나 유기 반도체로 형성될 수 있다.
- [0050] 활성층(103) 및 커패시터 제1 전극(104)의 상부에는 제1 절연막(105)이 형성된다. 제1 절연막(105)은 활성층(103)과 게이트 전극(110)을 절연하기 위한 것으로 유기물 또는 SiN<sub>x</sub>, SiO<sub>2</sub>같은 무기물로 형성할 수 있다.
- [0051] 제1 절연막(105)상부에 게이트 전극(110)이 형성된다. 게이트 전극(110)은 TFT 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다.
- [0052] 게이트 전극(110)은 제1 도전층(106), 제2 도전층(107), 제3 도전층(108) 및 제4 도전층(109)을 포함한다. 즉, 게이트 전극(110)은 제1 절연막(105) 상에 순차적으로 적층된 제1 도전층(106), 제2 도전층(107), 제3 도전층(108) 및 제4 도전층(109)으로 이루어진다.
- [0053] 제2 도전층(107)과 제3 도전층(108) 사이의 산화환원전위차가 제1 도전층(106)과 상기 제3 도전층(108) 사이의 산화환원전위차보다 작을 수 있다. 또한, 제2 도전층(107)과 제3 도전층(108) 사이의 산화환원전위차는 1V이하 일 수 있다. 예를 들면, 제1 도전층(106)은 ITO를 함유하며, 제2 도전층(107)은 IZO를 함유하고, 제3 도전층(108)은 Al 또는 AlNd를 함유하며, 제4 도전층(109)은 Mo를 함유할 수 있다. Al의 표준산화환원전위는 -1.662V이며, IZO의 표준산화환원전위는 -0.763V이고, ITO의 표준산화환원전위는 +0.150V이다.
- [0054] IZO인 제2 도전층(107)이 ITO인 제1 도전층(106)과 Al(또는 AlNd)인 제3 도전층(108) 사이에 배치됨으로써 게이트 전극(110) 형성시 제2 도전층(106)이 침식되는 것을 방지할 수 있다. 즉, 게이트 전극(110)인 제1 도전층(106), 제2 도전층(107), 제3 도전층(108), 및 제4 도전층(109)은 도 2b 내지 2d를 참조하면 제1 절연막(105) 상에 적층된 ITO인 제1막(141), IZO인 제2막(142), Al(또는 AlNd)인 제3막(143), 및 Mo인 제4막(144)을 에칭함으로써 형성되는데, 제2막(142)이 없이 제1막(141)과 제3막(143)이 서로 직접 접하여 적층된 경우에는 ITO인 제1막(141)을 에칭할 때 제1막(141)과 제3막(143) 사이에서 갈바닉 현상(Galvanic)이 발생하여 Al인 제3막(143)이 침식되는 문제점이 발생한다. 이는 제3막(143)과 직접 접촉된 제1막(141) 사이의 산화환원전위차가 크기 때문이며, 이에 따라 제3막(143)에서 산화 반응이 발생한다. 그러나, 본 발명의 일 실시예에서는 상술한 바와 같이 IZO인 제2막(142)이 제1막(141)과 제3막(143) 사이에 배치되어 ITO에칭시 제3막(143)이 침식되는 것을 방지할 수 있다. 그 이유는 제2막(142)과 제3막(143) 사이의 산화환원전위차가 제1막(141)과 제3막(143) 사이의 산화환원전위차보다 작기 때문이다.
- [0055] 게이트 전극(110)은 제1 도전층(106)에 언더컷(undercut)(160)을 가질 수 있다. 게이트 전극(110) 형성 시 상술한 바와 같이, 제1 절연막(105) 상에 제1막(141), 제2막(142), 제3막(143), 및 제4막(144)을 적층한 후 제2막

(142), 제3막(143), 및 제4막(144)을 패터닝하여 제2 도전층(107), 제3 도전층(108), 및 제4 도전층(109)을 형성하고, 그 후에 제2 도전층(107), 제3 도전층(108), 및 제4 도전층(109)을 마스크로 이용하여 제1막(141)을 에칭하여 제1 도전층(106)을 형성하기 때문에 제1 도전층(106)에 언더컷(160)이 형성된다.

[0056] 게이트 전극(110)은 제3 도전층(108)과 제4 도전층(109)이 Al(AINd)/Mo의 이중막 형태를 가지므로 열처리 공정시 발생할 수 있는 블리스터링(blistering) 현상을 방지할 수 있다. 보다 상세하게는, 유기 발광 표시 장치(100)의 제조 공정 중 화소 전극(115), 게이트 전극(110), 및 커패시터 제2 전극(120)을 형성한 후 이온 불순물을 도핑하고 도핑된 이온 불순물을 활성화시키기 위해 열처리를 시행한다. 열처리 공정에서 고열을 가하게 되면 게이트 전극(110)의 도전층들 계면에서 스트레스(stress)가 발생하여 화소 전극(115), 게이트 전극(110), 및 커패시터 제2 전극(120) 상에 형성된 제2 절연막(131)이 들뜨는 블리스터링 현상이 발생한다. 특히, Al(AINd)인 제3 도전층(108)과 Mo인 제4 도전층(109) 사이의 계면에서 스트레스가 많이 발생한다. 종래에는 게이트 전극을 Mo/Al/Mo의 삼중막으로 형성하였으나, 이 경우 Al층이 상하로 Mo층과 접하게 되어 블리스터링 현상이 심하게 발생하였다. 그러나, 본 발명의 일 실시예에서는 게이트 전극(110)을 Mo/Al의 이중막으로 형성함으로써 블리스터링 현상을 감소시켰으며, 특히 상기 열처리를 대략 550℃에서 1분간 열처리하는 RTA(Rapid thermal annealing) 공정시에는 블리스터링 현상이 발생하지 않았다.

[0057] 또한, 본 발명의 일 실시예에서는 상술한 바와 같이 Al(AINd)인 제3 도전층(108)과 ITO인 제1 도전층(106) 사이에 IZO인 제2 도전층(107)이 배치되어 게이트 전극(110) 형성시 발생할 수 있는 제3 도전층(108)의 침식을 감소시킬 수 있다.

[0058] 따라서, 본 발명의 일 실시예는 게이트 전극(110)을 제1 도전층(106), 제2 도전층(107), 제3 도전층(108), 및 제4 도전층(109)으로 형성함으로써 블리스터링 현상 및 제3 도전층(108)의 침식을 방지할 수 있다.

[0059] 게이트 전극(110)과 동일한 층, 즉 제1 절연막(105)상에 게이트 전극과 이격되도록 화소 전극(115)이 형성된다. 화소 전극(115)은 제1 전극층(111), 제2 전극층(112), 제3 전극층(113) 및 제4 전극층(114)을 구비한다.

[0060] 화소 전극(115)은 게이트 전극(110)과 동일한 공정으로 형성된다. 보다 상세하게는, 도 2b 내지 2d를 참조하면, 제1 절연막(105) 상에 적층된 ITO인 제1막(141), IZO인 제2막(142), Al(또는 AINd)인 제3막(143), 및 Mo인 제4막(144)으로 이루어진 제1 금속층(140)을 형성하며, 제1 금속층(140)을 패터닝하여 화소 전극(115)과 게이트 전극(110)을 형성한다. 따라서, 화소 전극(115)의 제1 전극층(111), 제2 전극층(112), 제3 전극층(113) 및 제4 전극층(114) 각각은 게이트 전극(110)의 제1 도전층(106), 제2 도전층(107), 제3 도전층(108) 및 제4 도전층(109)과 동일한 재료로 이루어진다. 그러므로, 화소 전극(115) 역시 제2 전극(112)과 제3 전극층(113) 사이의 산화환원전위차가 제1 전극층(111)과 상기 제3 전극층(113) 사이의 산화환원전위차보다 작을 수 있다. 또한, 제2 전극층(112)과 제3 전극층(113) 사이의 산화환원전위차는 1V이하일 수 있다. 일 예로서, 제1 전극층(111)은 ITO, 제2 전극층(112)은 IZO, 제3 전극층(113)은 Al 또는 AINd, 및 제4 전극층(114)은 Mo일 수 있다.

[0061] 제2 전극층(112), 제3 전극층(113), 및 제4 전극층(114)은 제1 전극층(111)을 노출하도록 제1 개구부(131b)를 구비한다. 이로 인하여 중간층(134)은 제1 전극층(111)과 접하게 된다. 제1 전극층(111)은 ITO로 이루어질 수 있으며, 특히 결정화된 ITO로 이루어질 수 있으며 구체적으로 다결정 ITO를 함유할 수 있다. 다결정 ITO는 비정질 ITO에 비하여 치밀한 조직을 갖고 내구성이 우수하다.

[0062] 화소 전극(110)은 중간층(134)과 접합되고, 그 접합 특성에 따라 유기 발광 표시 장치(100)의 전기적 특성 및 발광 특성이 크게 영향을 받는다. 그러므로 화소 전극(110)의 부분 중 중간층(134)과 접하는 부분의 표면 특성이 중요하다. 본 실시예에서 화소 전극(110)의 제1 전극층(111)은 중간층(134)과 접하는데 제1 전극층(111)은 다결정 ITO를 함유하여 내구성이 우수하여 후속 공정, 특히 식각 공정을 거쳐도 표면 손상이 방지된다. 그 결과 제1 전극층(111)과 중간층(134)간의 접합 특성이 향상된다.

[0063] 화소 전극(110)의 제1 전극층(111)은 제1 도전층(106)과 같이 언더컷(160)이 형성될 수 있다.

[0064] 한편, 제1 절연막(105) 상부에는 커패시터 제1 전극(104)과 대응하도록 커패시터 제2 전극(120)을 형성할 수 있다. 커패시터 제2 전극(120)은 게이트 전극(110)과 동일한 재료로 동일한 공정에서 형성될 수 있다. 보다 상세하게는, 도 2b 내지 2d를 참조하면, 제1 절연막(105) 상에 적층된 ITO인 제1막(141), IZO인 제2막(142), Al(또는 AINd)인 제3막(143), 및 Mo인 제4막(144)으로 이루어진 제1 금속층(140)을 형성하며, 제1 금속층(140)을 패터닝하여 화소 전극(115)과 게이트 전극(110) 뿐만 아니라 커패시터 제2 전극(120)을 형성할 수 있다. 따라서, 커패시터 제2 전극(120)의 제1층(116), 제2층(117), 제3층(118), 및 제4층(119) 각각은 게이트 전극(110)의 제1 도전층(106), 제2 도전층(107), 제3 도전층(108) 및 제4 도전층(109)과 동일한 재료로 이루어진다. 그러므로,

커패시터 제2 전극(120) 역시 제2 층(117)과 제3층(118) 사이의 산화환원전위차가 제1층(116)과 제3층(118) 사이의 산화환원전위차보다 작을 수 있다. 또한, 제2층(117)과 제3층(118) 사이의 산화환원전위차는 1V이하일 수 있다. 일 예로서, 제1층(116)은 ITO, 제2층(117)은 IZO, 제3층(118)은 Al 또는 AlNd, 및 제4층(119)은 Mo일 수 있다.

- [0065] 커패시터 제2 전극(120)의 제1층(116)은 언더컷(160)을 가질 수 있다.
- [0066] 본 실시예에서 일 커패시터를 형성하도록 제1 절연막(105)을 사이에 두고 형성된 커패시터 제1 전극(104) 및 커패시터 제2 전극(120)은 각각 활성층(103) 및 게이트 전극(110)과 동일한 층에 형성되므로 유기 발광 표시 장치(100)의 두께를 효과적으로 감소한다.
- [0067] 게이트 전극(110), 화소 전극(115) 및 커패시터 제2 전극(120)의 상부에 제2 절연막(131)이 형성된다. 제2 절연막(131)은 다양한 절연 물질로 형성할 수 있다. 예를 들어 산화물, 질화물과 같은 무기물로도 형성이 가능하고 유기물로도 형성이 가능하다.
- [0068] 제2 절연막(131)을 형성하는 무기 절연막으로는  $\text{SiO}_2$ ,  $\text{SiN}_x$ ,  $\text{SiON}$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ , BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다. 제2 절연막(131)은 무기 절연막과 유기 절연막의 복합적층체로도 형성될 수 있다.
- [0069] 제2 절연막(131)은 제2 개구부(131a)를 구비한다. 제2 개구부(131a)는 제1 개구부(131b)와 대응된다.
- [0070] 제2 절연막(131)은 활성층(103)의 소스/드레인 영역을 노출하는 제5 개구부(131d)을 구비하는데, 제5 개구부(131d)을 통해 소스/드레인 전극(132)이 각각 활성층(103)의 소스/드레인 영역에 접하도록 형성한다. 또한 이때 소스/드레인 전극(132) 중 어느 하나의 전극은 화소 전극(115)과 연결된다. 구체적으로 소스/드레인 전극(132) 중 어느 하나의 전극은 제4 개구부(131c)을 통하여 화소 전극(115)의 제4 전극층(114)과 연결된다.
- [0071] 소스/드레인 전극(132)은 3중 막 구조로 형성할 수 있는데 Ti/Al/Ti의 적층 구조일 수 있다.
- [0072] 소스/드레인 전극(132)의 상부에 화소 정의막(133)(pixel define layer)이 형성된다. 화소 정의막(133)은 제3 개구부(133a)를 구비한다. 제3 개구부(133a)는 화소 전극(115)의 제1 전극층(111)을 노출하도록 형성된다. 제3 개구부(133a)는 제1 개구부(131b)와 접하거나 제1 개구부(131b)내에 형성되도록 한다. 화소 정의막(133)은 유기물 또는 무기물로 형성할 수 있다.
- [0073] 제3 개구부(133a)내에 화소 전극(115)의 제1 전극층(111)과 접하도록 중간층(134)을 형성한다. 중간층(134)은 유기 발광층을 구비한다.
- [0074] 중간층(134)은 화소 전극(115)과 대향 전극(135)의 전기적 구동에 의해 발광한다.
- [0075] 중간층(134)은 유기물로 형성되는데, 중간층(134)의 유기 발광층이 저분자 유기물로 형성되는 경우 유기 발광층을 중심으로 화소 전극(115)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer: HIL) 등이 적층되고, 대향 전극(135) 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 중간층(134)에 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시 퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 적용 예가 포함될 수 있다.
- [0076] 한편, 중간층(134)의 유기 발광층이 고분자 유기물로 형성되는 경우에는 유기 발광층을 중심으로 화소 전극(115)의 방향으로 홀 수송층(hole transport layer: HTL)만이 포함될 수 있다. 상기 고분자 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(115) 상부에 형성되며, 고분자 유기 발광층은 PPV, Soluble PPV's, Cyano-PPV, 폴리플루오렌(Polyfluorene) 등을 사용할 수 있으며 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0077] 중간층(134)상에 대향 전극(135)이 형성된다. 대향 전극(135)은 일함수가 작은 금속 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, 또는 이들의 혼합물 또는 합금을 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In2O3

등의 투명 도전물질을 증착하여 형성할 수 있다.

- [0078] 대향 전극(135)상에 밀봉 부재(미도시)가 배치될 수 있다. 밀봉 부재(미도시)는 외부의 수분이나 산소 등으로부터 중간층(134) 및 기타층을 보호하기 위해 형성하는 것으로 밀봉 부재(미도시)는 투명한 재질로 형성된다. 이를 위해 글라스, 플라스틱 또는 유기물과 무기물의 복수의 중첩된 구조일 수도 있다.
- [0079] 도 2a 내지 도 2g는 도 1의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 개략적인 단면도이다.
- [0080] 각 도면들을 참조하면서 본 실시예의 제조 방법을 순차적으로 설명하기로 한다.
- [0081] 먼저 도 2a를 참조하면, 제1 마스크 공정으로서, 기판(101)상에 버퍼층(102)이 형성되고, 버퍼층(102)상에 활성층(103) 및 커패시터 제1 전극(104)을 형성한다. 활성층(103) 및 커패시터 제1 전극(104)은 서로 이격되도록 소정의 패턴을 갖는데, 1개의 마스크를 이용한 포토 리소그래피법을 이용하여 활성층(103) 및 커패시터 제1 전극(104)을 동시에 형성할 수 있다.
- [0082] 그리고 나서 도 2b를 참조하면 활성층(103) 및 커패시터 제1 전극(104)상에 제1 절연막(105)을 형성하고, 제1 절연막(105)상에 제1 금속층(140)을 형성한다. 제1 금속층(140)은 제1 절연막(105)상에 순차적으로 적층된 제1막(141), 제2막(142), 제3막(143), 및 제4막(144)으로 이루어진다. 제1막(141)은 제1 도전층(106), 제1 전극층(116), 및 제1층(116)과 동일한 재료로 이루어지며, 제1막(141)은 ITO를 포함할 수 있다. 제2막(142)은 제2 도전층(107), 제2 전극층(117), 및 제2층(117)과 동일한 재료로 이루어지며, 제2막(142)은 IZO를 포함할 수 있다. 제3막(143)은 제3 도전층(108), 제3 전극층(118), 및 제3층(118)과 동일한 재료로 이루어지며, 제3막(143)은 Al 또는 AlNd를 포함할 수 있다. 제4막(144)은 제4 도전층(109), 제4 전극층(119), 및 제4층(119)과 동일한 재료로 이루어지며, 제4막(144)은 Mo를 포함할 수 있다.
- [0083] 그리고 나서 도 2c를 참조하면, 제2 마스크 공정으로서, 제1 절연막(105) 상에 순차적으로 제2막(142), 제3막(143), 및 제4막(144)을 패터닝하여 제1막(141) 상에 순차적으로 적층된 제2 도전층(107), 제3 도전층(108), 및 제4 도전층(109)을 형성하고, 제1막(141) 상에 순차적으로 적층된 제2 전극층(112), 제3 전극층(113), 및 제4 전극층(114)을 형성하며, 제1막(141) 상에 순차적으로 적층된 제2층(117), 제3층(118), 제4층(119)을 형성한다. 제2막(142), 제3막(143), 및 제4막(144)을 패터닝은 1개의 마스크를 이용한 리소그래피법을 이용할 수 있다.
- [0084] 그리고 나서, 도 2d를 참조하면, 제1막(141)을 에칭하여 화소 전극(115), 게이트 전극(110), 및 커패시터 제2 전극(120)을 형성한다. 보다 상세하게는 제1막(141)은, 제1막(141) 상에 순차적으로 적층된 제2 도전층(107), 제3 도전층(108), 제4 도전층(109), 그리고 제2 전극층(112), 제3 전극층(113), 제4 전극층(114), 그리고 제2층(117), 제3층(118), 제4층(119)을 셀프 얼라인(self align) 마스크로 하여 에칭한다. 이에 따라, 제1 전극층(111), 제1 도전층(106), 및 제1층(116)에는 언더컷이 형성된다.
- [0085] 상술한 바와 같이, 제1 절연막(105) 상에 적층된 ITO인 제1막(141), IZO인 제2막(142), Al(또는 AlNd)인 제3막(143), 및 Mo인 제4막(144)을 에칭하는 공정에 있어서, 만약 제2막(142)이 없이 제1막(141)과 제3막(143)이 서로 직접 접하여 적층된 경우에는 ITO인 제1막(141)을 에칭할 때 제1막(141)과 제3막(143) 사이에서 갈바닉 현상(Galvanic)이 발생하여 Al인 제3막(143)이 침식되는 문제점이 발생한다. 이는 제3막(143)과 직접 접촉된 제1막(141) 사이의 산화환원전위차가 크기 때문이며, 이에 따라 제3막(143)에서 산화 반응이 발생한다. 그러나, 본 발명의 일 실시예에서는 상술한 바와 같이 IZO인 제2막(142)이 제1막(141)과 제3막(143) 사이에 배치되어 ITO에 칭시 제3막(143)이 침식되는 것을 방지할 수 있다. 그 이유는 제2막(142)과 제3막(143) 사이의 산화환원전위차가 제1막(141)과 제3막(143) 사이의 산화환원전위차보다 작기 때문이다.
- [0086] 그리고 나서, 도 2e를 참조하면, 게이트 전극(110), 화소 전극(115) 및 커패시터 제2 전극(120)의 상부에 제2 절연막(131)이 형성된다. 제2 절연막(131)은 다양한 절연 물질로 형성할 수 있다. 예를 들어 산화물, 질화물과 같은 무기물로도 형성이 가능하고 유기물로도 형성이 가능하다.
- [0087] 제2 절연막(131)을 형성하는 무기 절연막으로는 SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다. 제2 절연막(131)은 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다.
- [0088] 제2 절연막(131) 형성 후에는 이온 불순물을 도핑한다. 그 결과 활성층(103)은 이온 불순물이 도핑된 소스 및 드레인 영역(미도시)과 그 사이에 채널 영역(미도시)을 구비하게 된다. 즉, 게이트 전극(110)을 셀프 얼라인 마

스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역을 형성할 수 있다.

- [0089] 이온 불순물 도핑 후, 도핑된 이온 불순물을 활성화시키기 위해 열처리(T)를 한다. 열처리는 RTA 공정일 수 있으며, 특히 대략 550°C에서 1분간 열처리하는 공정일 수 있다.
- [0090] 열처리 공정에서 고열을 가하게 되면 게이트 전극(110)의 도전층들 계면에서 스트레스가 발생하여 화소 전극(115), 게이트 전극(110), 및 커패시터 제2 전극(120) 상에 형성된 제2 절연막(131)이 들뜨는 블리스터링 현상이 발생한다. 특히, Al(AINd)인 제3 도전층(108)과 Mo인 제4 도전층(109) 사이의 계면에서 스트레스가 많이 발생한다. 종래에는 게이트 전극을 Mo/Al/Mo의 삼중막으로 형성하였으나, 이 경우 Al층이 상하로 Mo층과 접하게 되어 블리스터링 현상이 심하게 발생하였다. 그러나, 본 발명의 일 실시예에서는 게이트 전극(110)을 Mo/Al의 이중막으로 형성함으로써 블리스터링 현상을 감소시켰으며, 특히 상기 열처리를 대략 550°C에서 1분간 열처리하는 RTA공정시에는 블리스터링 현상이 발생하지 않는다.
- [0091] 그리고 나서, 도 2f를 참조하면, 제3 마스크 공정으로서, 게이트 전극(110)을 덮도록 제2 절연막(131)을 형성하고 제2 절연막(131)에 개구부(131a, 131c, 131d)를 형성한다.
- [0092] 이 때 제1 절연막(106) 및 제2 절연막(131)에 형성된 제5 개구부(131d)를 통하여 활성층(103)의 소스/드레인 영역이 노출되도록 한다. 이러한 개구부(131a, 131c, 131d) 형성을 위하여 포토 리소그래피법이 이용될 수 있다. 또한 제2 절연막(131)에는 제2 개구부(131a)를 형성한다. 제2 개구부(131a)를 통하여 화소 전극(115)의 제4 전극층(114)이 노출된다. 그리고 평탄화막(131)에는 소스/드레인 전극과 화소 전극(115)을 연결하도록 화소 전극(115)의 제4 전극층(114)을 노출하는 제4 개구부(131c)를 더 형성한다.
- [0093] 그리고 나서, 도 2g를 참조하면, 제4 마스크 공정으로서, 소스/드레인 전극(132)을 형성한다. 소스/드레인 전극(132)은 제2 금속층을 화소 전극(115) 및 개구부들(131a, 131c, 131d)을 덮도록 형성한 후 제2 금속층을 패터닝하여 소스/드레인 전극(132)을 형성한다. 소스/드레인 전극(132)은 활성층(103)의 소스/드레인 영역과 접한다. 또한 소스/드레인 전극(132) 중 어느 하나의 전극은 화소 전극(115)과 접하는데 구체적으로 제4 전극층(114)과 접한다.
- [0094] 소스/드레인 전극(132)은 다양한 도전층을 이용하여 형성할 수 있고, 다층 구조로 형성할 수 있는데 구체적으로 Ti/Al/Ti의 적층구조로 형성할 수 있다.
- [0095] 화소 전극(115)의 제2 전극층(112), 제3 전극층(113), 제4 전극층(114)에 제1 개구부(131b)를 형성한다. 제2 절연막(131)에 형성된 제2 개구부(131a)를 통하여 노출된 제4 전극층(114) 및 제3 전극층(113), 제2 전극층(112)을 식각하여 제1 개구부(131b)를 형성한다. 제1 개구부(131b)는 제2 개구부(131a)는 대응되도록 형성된다.
- [0096] 제2 전극층(112), 제3 전극층(113), 및 제4 전극층(114)을 식각하는 공정은 습식 식각 공정을 이용할 수 있는데, 옥살산계 용액, 질산계 용액, 황산계 용액, CAN(세륨 암모늄 나이트라이드)을 식각 용액으로 이용할 수 있다. 그러나 본 발명은 이에 한정되지 않고 Mo, Al(AINd), 및 IZO를 식각하는 다양한 식각 용액을 이용할 수 있는데 인산계 용액, 초산계 용액을 이용할 수도 있다.
- [0097] 제2 전극층(112), 제3 전극층(113), 및 제4 전극층(114)을 식각하여 제1 개구부(131b)를 식각하는 동안 제1 전극층(111)은 식각 용액에 영향을 받지 않아 식각되지 않을 수 있다. 이는 제1 전극층(111)이 결정화된 ITO를 함유하고 있어 내구성이 강화되고 내식각성이 증가하기 때문이다. IZO를 함유하는 제2 전극층(112)을 식각하는 동안 제1 전극층(111)은 식각되지 않는다. 이를 통하여 화소 전극(115)의 영역 중 제2 절연막(131)으로 덮이지 않고 노출되는 영역은 표면이 손상되지 않아 후속 공정에서 중간층과의 접합 특성이 향상된다.
- [0098] 그리고 나서, 도 2h를 참조하면, 제5 마스크 공정으로서, 소스/드레인 전극(132)상에 화소 정의막(133)을 형성한다. 화소 정의막(133)은 유기물로 형성하는 것이 바람직하다.
- [0099] 화소 정의막(133)에 제1 개구부(131b)와 접하거나 제1 개구부(131b)내에 배치되도록 제3 개구부(133a)를 형성한다. 제3 개구부(133a)를 통하여 화소 전극(115)의 제1 전극층(111)이 노출되도록 한다. 제3 개구부(133a)를 형성하기 위하여 화소 정의막(133)의 소정의 영역을 제거하는 식각 공정을 이용하게 되는데, 식각 공정 중에 통상적으로 화소 전극의 표면이 손상될 수 있다.
- [0100] 그러나 본 발명의 제1 전극층(111)은 결정화된 ITO를 함유하고 있어, 내구성이 향상되어 식각 용액에 의하여 영향을 받지 않는다.
- [0101] 그리고 나서 도 2i를 참조하면 화소 정의막(133)의 제3 개구부(133a)로 노출된 화소 전극(115)의 제1 전극층

(111)상에 중간층(134) 및 대향 전극(135)을 차례로 형성한다. 중간층(134)은 유기 발광층을 포함한다. 중간층(134) 및 대향 전극(135)을 형성하는 재료는 전술한 실시예와 동일하므로 설명을 생략한다.

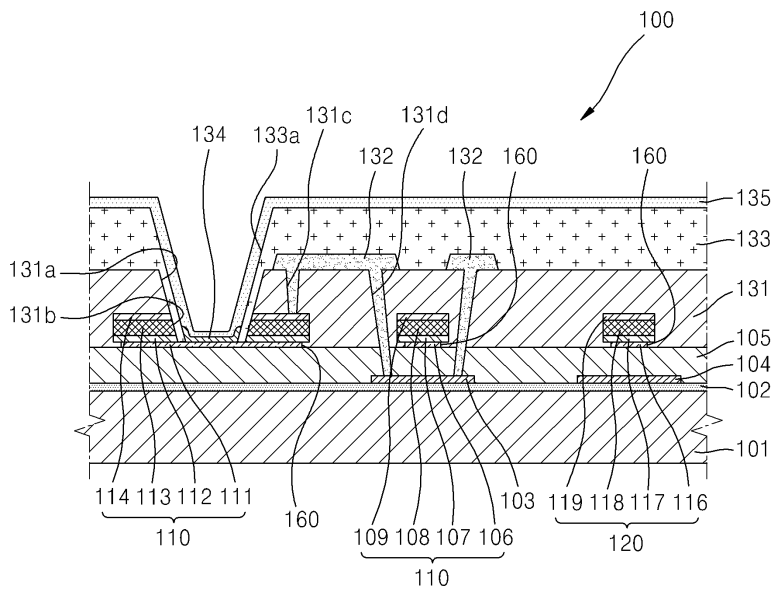
- [0102] 도시하지 않았으나 기관(101)의 일 면에 대향하도록 대향 전극(135)상에 밀봉 부재(미도시)가 배치될 수 있다. 밀봉 부재(미도시)는 외부의 수분이나 산소 등으로부터 중간층(134)등을 보호하기 위해 형성하는 것으로 밀봉 부재(미도시)는 투명한 재질로 형성된다. 이를 위해 글라스, 플라스틱 또는 유기물과 무기물의 복수의 중첩된 구조일 수도 있다.
- [0103] 본 실시예에서는 게이트 전극(110) 및 화소 전극(115)을 동일한 층에 동일 재료를 이용하여 형성한다. 이를 통하여 공정을 단순화할 수 있다. 또한 본 실시예에서 커패시터 제1 전극(104)은 활성층(103)과 동일층에 동일 재료를 이용하여 활성층(103)과 동시에 형성하고, 커패시터 제2 전극(120)은 게이트 전극(110)과 동시에 형성하여 공정 단순화 효과를 증대할 수 있다.
- [0104] 이 때 게이트 전극(110)은 4층의 적층구조로 형성하여 저항 감소 효과를 얻을 수 있다. 또한 게이트 전극(110)의 제2 도전층(107)과 제3 도전층(108) 사이의 산화환원전위차가 제1 도전층(106)과 제3 도전층(108) 사이의 산화환원전위차보다 작으며, 특히 제2 도전층(107)과 제3 도전층(108) 사이의 산화환원전위차는 1V이하이므로, 제3 도전층(108)의 침식을 방지할 수 있다. 또한, 게이트 전극(110)이 제3 도전층(108) 및 제4 도전층(109)의 이종막 구조를 가지므로 제2 절연막(131)이 들뜨는 블리스터링 현상을 방지할 수 있다.
- [0105] 커패시터 제2 전극(120) 역시 게이트 전극(110)과 동일한 구조이므로 마찬가지로의 효과를 얻을 수 있다.
- [0106] 한편 화소 전극(115)의 영역 중 중간층(134)과 접하는 제1 전극층(111)은 결정화된 ITO를 함유하여 내구성이 우수하여 후속 공정에서 표면 손상을 방지할 수 있다.
- [0107] 이를 통하여 제1 전극층(111)과 중간층(134)의 접촉 계면 특성이 향상되고 결과적으로 유기 발광 표시 장치의 전기적 특성 및 발광 특성이 향상된다.
- [0108] 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

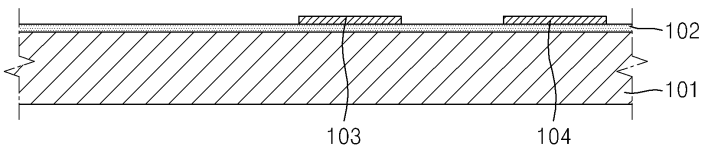
- |        |                     |             |
|--------|---------------------|-------------|
| [0109] | 100: 유기 발광 표시 장치    | 101: 기관     |
|        | 102: 버퍼층            | 103: 활성층    |
|        | 104: 커패시터 제1 전극     | 105: 제1 절연막 |
|        | 110: 게이트 전극         | 115: 화소 전극  |
|        | 120: 커패시터 제2 전극     | 131: 제2 절연막 |
|        | 132: 소스 전극 및 드레인 전극 | 133: 화소 정의막 |
|        | 134: 중간층            | 135: 대향 전극  |

도면

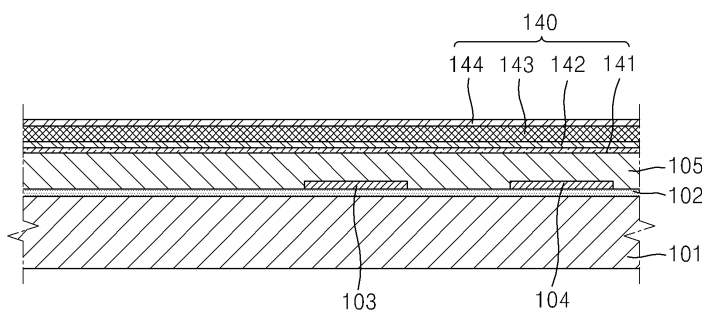
도면1



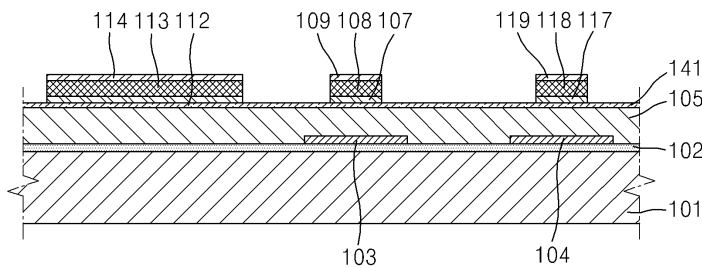
도면2a



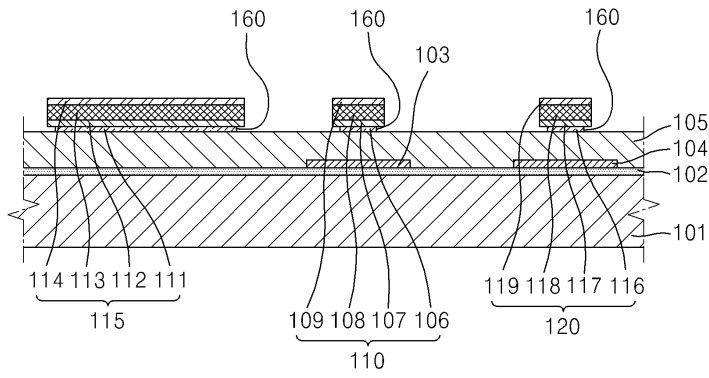
도면2b



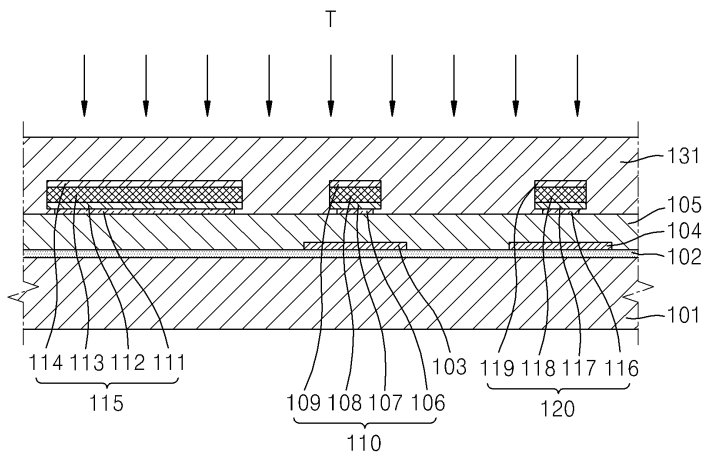
도면2c



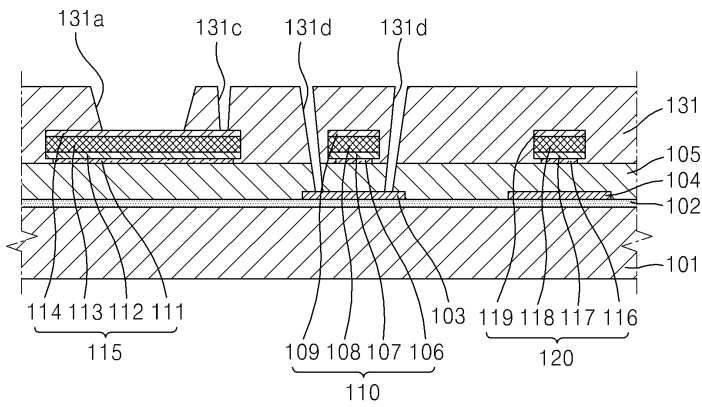
도면2d



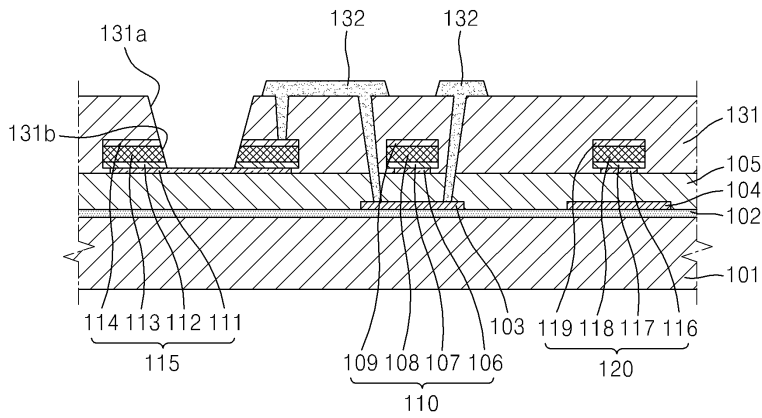
도면2e



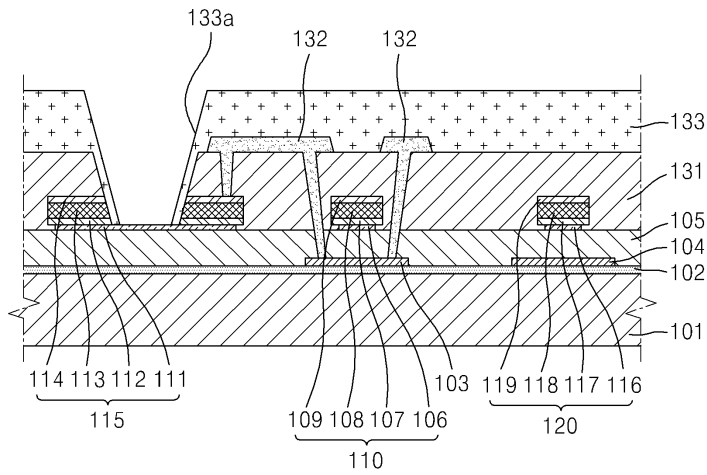
도면2f



도면2g



도면2h



도면2i

