

(72) 발명자

김승태

서울특별시 은평구 응암1동 102-22호 토월성빌라
가동 302호

임호민

서울특별시 서초구 서초동 금호아파트 다동 709호

백수진

경상북도 구미시 진평동 진평구획24BL 6-3 롯데죽
마고우(달)501호

김진형

경기도 고양시 일산동구 마두1동 880-14(22/6)

특허청구의 범위

청구항 1

서로 다른 위상차를 갖는 적어도 두 개의 클럭펄스들을 전송하는 적어도 두 개의 클럭전송라인들과, 상기 각 클럭전송라인으로부터 클럭펄스들을 공급받아 순차적으로 출력신호를 출력하는 다수의 스테이지들을 포함하며,

각 스테이지가,

세트 노드의 신호상태를 제어함과 아울러, 서로 반전된 위상을 갖는 순방향전압 및 역방향전압에 따라 스테이지들의 스캔펄스의 출력순서를 제어하는 노드 제어부;

세트 노드의 신호상태에 따라 턴-온/오프되며, 턴-온시 상기 클럭펄스들 중 어느 하나를 출력단자를 통해 스캔펄스로서 출력하는 풀업 스위칭소자 및,

어느 하나의 클럭펄스에 따라 턴-온/오프되며, 턴-온시 외부로부터의 스타트 펄스 또는 전단 스테이지로부터의 스캔펄스를 상기 세트 노드에 공급하는 제 1 노이즈 제거부; 및,

어느 하나의 클럭펄스에 따라 턴-온/오프되며, 턴-온시 외부로부터의 스타트 펄스 또는 다음단 스테이지로부터의 출력신호를 상기 세트 노드에 공급하는 제 2 노이즈 제거부를 포함함을 특징으로 하는 쉬프트 레지스터.

청구항 2

제 1 항에 있어서,

제 k 스테이지의 노드 제어부는,

제 k-2 스테이지로부터의 스캔펄스에 따라 턴-온/오프되며, 턴-온시 상기 순방향전압을상기 세트 노드에 공급하는 제 1 스위칭소자;

제 k+2 스테이지로부터의 스캔펄스에 따라 턴-온/오프되며, 턴-온시 상기 역방향전압을 상기 세트 노드에 공급하는 제 2 스위칭소자를 포함함을 특징으로 하는 쉬프트 레지스터.

청구항 3

제 2 항에 있어서,

제 k 스테이지에 구비된 제 1 노이즈 제거부는 어느 하나의 클럭펄스에 따라 턴-온/오프되며, 턴-온시 외부로부터의 스타트 펄스 또는 제 k-1 스테이지로부터의 스캔펄스를 상기 세트 노드에 공급하며; 그리고,

제 k 스테이지에 구비된 제 2 노이즈 제거부는 어느 하나의 클럭펄스에 따라 턴-온/오프되며, 턴-온시 외부로부터의 스타트 펄스 또는 제 k+1 스테이지로부터의 스캔펄스를 상기 세트 노드에 공급함을 특징으로 하는 쉬프트 레지스터.

청구항 4

제 3 항에 있어서,

각 스테이지는,

어느 하나의 클럭펄스에 따라 턴-온/오프되며, 턴-온시 저전위전압을 상기 출력단자를 통해 출력하는 풀다운 스위칭소자를 더 포함함을 특징으로 하는 쉬프트 레지스터.

청구항 5

제 3 항에 있어서,

각 스테이지는,

상기 출력단자의 신호상태에 따라 턴-온/오프되며, 턴-온시 상기 풀업 스위칭소자의 드레인단자와 소스단자간을 접속시키는 제 3 스위칭소자를 더 포함함을 특징으로 하는 쉬프트 레지스터.

청구항 6

제 3 항에 있어서,

각 스테이지는,

어느 하나의 클럭펄스에 따라 턴-온/오프되며, 턴-온시 저전위전압을 상기 출력단자를 통해 출력하는 풀다운 스위칭소자; 및,

상기 출력단자의 신호상태에 따라 턴-온/오프되며, 턴-온시 상기 풀업 스위칭소자의 드레인단자와 소스단자간을 접속시키는 제 3 스위칭소자를 더 포함함을 특징으로 하는 쉬프트 레지스터.

청구항 7

제 4 내지 제 6 항 중 어느 한 항에 있어서,

상기 클럭펄스들은 서로 위상차를 갖는 제 1 내지 제 6 클럭펄스들을 포함하며;

제 6k+1 스테이지의 풀업 스위칭소자는 제 1 클럭펄스를 공급받으며;

제 6k+2 스테이지의 풀업 스위칭소자는 제 2 클럭펄스를 공급받으며;

제 6k+3 스테이지의 풀업 스위칭소자는 제 3 클럭펄스를 공급받으며;

제 6k+4 스테이지의 풀업 스위칭소자는 제 4 클럭펄스를 공급받으며;

제 6k+5 스테이지의 풀업 스위칭소자는 제 5 클럭펄스를 공급받으며;

제 6k+6 스테이지의 풀업 스위칭소자는 제 6 클럭펄스를 공급받으며;

제 6k+1 스테이지의 제 1 노이즈 제거부는 제 4 클럭펄스를 공급받으며;

제 6k+2 스테이지의 제 1 노이즈 제거부는 제 5 클럭펄스를 공급받으며;

제 6k+3 스테이지의 제 1 노이즈 제거부는 제 6 클럭펄스를 공급받으며;

제 6k+4 스테이지의 제 1 노이즈 제거부는 제 1 클럭펄스를 공급받으며;

제 6k+5 스테이지의 제 1 노이즈 제거부는 제 2 클럭펄스를 공급받으며;

제 6k+6 스테이지의 제 1 노이즈 제거부는 제 3 클럭펄스를 공급받으며;

제 6k+1 스테이지의 제 2 노이즈 제거부는 제 2 클럭펄스를 공급받으며;

제 6k+2 스테이지의 제 2 노이즈 제거부는 제 3 클럭펄스를 공급받으며;

제 6k+3 스테이지의 제 2 노이즈 제거부는 제 4 클럭펄스를 공급받으며;

제 6k+4 스테이지의 제 2 노이즈 제거부는 제 5 클럭펄스를 공급받으며;

제 6k+5 스테이지의 제 2 노이즈 제거부는 제 6 클럭펄스를 공급받으며;

제 6k+6 스테이지의 제 2 노이즈 제거부는 제 1 클럭펄스를 공급받으며;

제 6k+1 스테이지의 풀다운 스위칭소자는 제 4 클럭펄스를 공급받으며;

제 6k+2 스테이지의 풀다운 스위칭소자는 제 5 클럭펄스를 공급받으며;

제 6k+3 스테이지의 풀다운 스위칭소자는 제 6 클럭펄스를 공급받으며;

제 6k+4 스테이지의 풀다운 스위칭소자는 제 1 클럭펄스를 공급받으며;

제 6k+5 스테이지의 풀다운 스위칭소자는 제 2 클럭펄스를 공급받으며; 그리고,

제 6k+6 스테이지의 풀다운 스위칭소자는 제 3 클럭펄스를 공급받는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8

제 1 항에 있어서,

각 스테이지에 공급되는 클럭펄스들 중 인접한 기간에 출력되는 클럭펄스들은 일정 기간동안 서로 동시에 액티

브 상태를 유지하는 것을 특징으로 하는 쉬프트 레지스터.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 발광표시장치에 관한 것으로, 특히 구동용 스위칭소자의 문턱전압을 보상할 수 있는 발광표시장치 및 이의 구동방법에 대한 것이다.

배경 기술

- <2> 근래에 음극선관과 비교하여 무게와 부피가 작은 각종 평판 표시장치들이 개발되고 있으며 특히 발광효율, 휘도 및 시야각이 뛰어나며 응답속도가 빠른 발광 표시장치가 주목 받고 있다.
- <3> 발광소자는 빛을 발산하는 박막인 발광층이 캐소드 전극과 애노드 전극 사이에 위치하는 구조를 갖고 발광층에 전자 및 정공을 주입하여 이들을 재결합시킴으로써 여기자가 생성되며 여기자가 낮은 에너지로 떨어지면서 발광하는 특성을 가지고 있다.
- <4> 이러한 발광소자는 발광층이 무기물 또는 유기물로 구성되며, 발광층의 종류에 따라 무기 발광소자와 유기 발광소자로 구분한다.
- <5> 상기 발광소자에 흐르는 전류는 구동 트랜지스터의 문턱전압의 크기에 따라 달라진다.
- <6> 그런데, 발광 표시장치는 제조공정에서 구동용 트랜지스터의 문턱전압의 편차가 발생하며, 이러한 구동용 트랜지스터의 문턱전압의 편차에 따른 발광소자에 흐르는 전류량의 불균일에 의해 휘도가 달라지는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <7> 본 발명은 상기와 같은 문제점을 해결하고자 안출한 것으로, 구동전원의 크기를 기간별로 조절하여 구동용 트랜지스터의 문턱전압을 검출하고 이를 보상함으로써 각 화소셀간의 휘도차를 방지할 수 있는 발광표시장치 및 이의 구동방법을 제공하는 데 그 목적이 있다.

과제 해결수단

- <8> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 발광표시장치는 구동전원의 크기를 기간별로 조정하여 구동용 트랜지스터의 문턱전압을 보상한다.

효 과

- <9> 본 발명에 따른 발광표시장치 및 이의 구동방법에는 다음과 같은 효과가 있다.
- <10> 첫째, 제 1 및 제 2 구동전원의 크기를 기간별로 알맞게 조절하여 각 화소셀내의 구동용 트랜지스터의 문턱전압을 실 데이터의 입력 이전에 모두 검출하여 보상함으로써 각 화소셀간의 휘도차를 방지할 수 있다.
- <11> 둘째, 기생 커패시터의 커패시턴스 및 구동용 트랜지스터(Tr_D)의 채널 커패시턴스에 의한 제 1 노드의 전압의 변동을 방지할 수 있는 가변 커패시터를 구비함으로써, 보상 특성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <12> 도 1은 본 발명에 따른 발광 표시장치를 나타내는 도면이다.
- <13> 도 1을 참조하면, 본 발명에 따른 발광표시장치는 데이터 전압(Data)이 공급되는 m(단, m은 자연수)개의 데이터 라인(DL1 내지 DLm)과, 스캔 신호가 공급되는 n(단, n은 m과 다른 자연수)개의 스캔 라인(SL1 내지 SLn)과, 제 1 구동전원(VDD)이 공급되는 제 1 구동전원(VDD) 라인(미도시)과, 제 2 구동전원(VSS)이 공급되는 제 2 구동전원 라인(미도시)과, 제어 신호(V_c)가 공급되는 제어신호 라인(미도시)과, 다수의 화소셀(PXL)들을 포함하는 표시부(100)와; 각 스캔 라인(SL1 내지 SLn)을 구동하기 위한 스캔 드라이버(200)와, 그리고 각 데이터 라인(DL1

내지 DL_m)에 데이터 전압(Data)을 공급하기 위한 데이터 드라이버(300)를 포함하여 구성된다.

- <14> 스캔 드라이버(200)는 도시하지 않은 스타트 펄스와 클럭신호를 이용하여 스캔 신호를 생성하고, 생성된 스캔 신호를 각 스캔 라인(SL₁ 내지 SL_n)에 공급한다. 이들 스캔 신호의 특성에 대해서는 이후 좀 더 구체적으로 설명하기로 한다.
- <15> 데이터 드라이버 (300)는 도시하지 않은 데이터 제어신호들에 따라 데이터 전압(Data)을 생성하여 각 데이터 라인(DL₁ 내지 DL_m)에 공급한다. 이때, 데이터 드라이버(300)는 1 수평기간마다 1 수평라인 분석의 데이터 전압(Data)을 각 데이터 라인(DL₁ 내지 DL_m)에 공급한다.
- <16> 한 수평라인내의 m개의 화소셀(PXL)들은 하나의 스캔 라인에 공통으로 접속됨과 아울러 m개의 데이터 라인에 개별적으로 접속된다. 예를 들어, 제 1 수평라인(HL₁)을 따라 배열된 제 1 내지 제 m 화소셀(PXL)들은 모두 제 1 스캔 라인(SL₁)에 공통으로 접속됨과 아울러 제 1 내지 제 m 데이터 라인(DL₁ 내지 DL_m)에 각각 개별적으로 접속된다. 다시 말하여, 제 1 수평라인(HL₁)의 제 1 화소셀(PXL)은 제 1 데이터 라인(DL₁)에 접속되며, 제 1 수평라인(HL₁)의 제 2 화소셀(PXL)은 제 2 데이터 라인(DL₂)에 접속되며, 제 1 수평라인(HL₁)의 제 3 화소셀(PXL)은 제 3 데이터 라인(DL₃)에 접속되며, ..., 그리고 제 1 수평라인(HL₁)의 제 m 화소셀(PXL)은 제 m 데이터 라인(DL_m)에 접속된다.
- <17> 제 1 및 제 2 구동전원 라인, 그리고 제어 라인은 모든 화소셀(PXL)에 공통으로 접속된다.
- <18> 여기서, 각 화소셀(PXL)의 구조를 좀 더 구체적으로 설명하면 다음과 같다.
- <19> 도 2는 도 1의 임의의 화소셀(PXL)의 회로구성을 나타낸 도면이다.
- <20> 화소셀(PXL)은, 도 2에 도시된 바와 같이, 다수의 트랜지스터들, 스캔 신호, 제 1 구동전원(VDD), 및 제 2 구동전원(VSS)을 이용하여 데이터 라인으로부터의 데이터 전압(Data)에 대응되는 구동전류를 출력하는 화소회로(PD)와, 상기 화소회로(PD)로부터의 구동전류에 의해 발광하는 발광소자(OLED)를 포함한다.
- <21> 화소회로는 상술된 트랜지스터들 외에도 제 1 및 제 2 스토리지 커패시터(CPst1, CPst2)와 가변 커패시터(CPv)를 더 포함한다. 상기 트랜지스터들은, 스위칭용 트랜지스터(Tr_S), 제어용 트랜지스터(Tr_C), 및 구동용 트랜지스터(Tr_D)를 포함한다.
- <22> 스위칭용 트랜지스터(Tr_S)는 스캔 라인으로부터 스캔 신호에 따라 턴-온/오프되며, 턴-온시 데이터 라인과 제 1 노드(N1)간을 접속시킨다. 이를 위해, 스위칭용 트랜지스터(Tr_S)의 게이트전극은 스캔 라인에 접속되며, 소스전극(또는 드레인전극)는 데이터 라인에 접속되며, 그리고 소스전극(또는 드레인전극)는 제 1 노드(N1)에 접속된다.
- <23> 제어용 트랜지스터(Tr_C)는 제어 라인으로부터의 제어신호에 따라 턴-온/오프되며, 턴-온시 제 2 노드(N2)와 제 3 노드(N3)간을 접속시킨다. 이를 위해, 제어용 트랜지스터(Tr_C)의 게이트전극은 제어 라인에 접속되며, 드레인전극(또는 소스전극)는 제 2 노드(N2)에 접속되며, 그리고 소스전극(또는 드레인전극)는 제 3 노드(N3)에 접속된다.
- <24> 구동용 트랜지스터(Tr_D)는 제 2 노드(N2)의 전위에 따라 턴-온/오프되며, 턴-온시 제 3 노드(N3)와 제 2 구동전원 라인간을 접속시킨다. 이를 위해, 구동용 트랜지스터(Tr_D)의 게이트전극은 제 2 노드(N2)에 접속되며, 드레인전극(또는 소스전극)는 제 3 노드(N3)에 접속되며, 그리고 소스전극(또는 드레인전극)는 제 2 구동전원 라인에 접속된다.
- <25> 제 1 스토리지 커패시터(CPst1)는 제 1 노드(N1)와 제 2 노드(N2)간에 접속된다. 이 제 1 스토리지 커패시터(CPst1)는 제 2 노드(N2)의 전압을 안정적으로 유지함과 아울러 제 2 노드(N2)의 전압과 제 1 노드(N1)의 전압이 서로 혼합되는 것을 방지한다.
- <26> 제 2 스토리지 커패시터(CPst2)는 제 1 노드(N1)와 제 2 구동전원 라인간에 접속된다. 이 제 2 스토리지 커패시터(CPst2)는 스위칭용 트랜지스터(Tr_S)가 턴-오프되어 제 1 노드(N1)가 플로팅 상태로 될 때, 제 1 노드(N1)의 전압이 변동되는 것을 방지한다.
- <27> 가변 커패시터(CPv)는 제어 라인과 제 2 노드(N2)간에 접속된다. 이 가변 커패시터(CPv)는 각 트랜지스터의 기생 커패시터의 커패시턴스 및 구동용 트랜지스터(Tr_D)의 기생 성분인 기생 커패시턴스(Cgs, Cgd) 및 채널 커패시턴스가 화소의 보상 동작 중에 일으키는 여러 편차를 자신의 커패시턴스로 상쇄시킴으로써 제 1 노드(N1)의 전압의 변동을 방지한다. 결과적으로 보상 특성을 향상시키는데 기여한다.

- <28> 발광소자(OLED)는 제 3 노드(N3)에 접속된 캐소드 전극과, 제 1 구동전원(VDD) 라인에 접속된 애노드 전극과, 캐소드 전극과 애노드 전극 사이에 형성된 발광층을 포함하여 구성된다. 발광층은 유기물의 발광층이거나 무기물의 발광층이 될 수 있다. 이러한, 발광소자(OLED)는 구동용 트랜지스터(Tr_D)로부터의 구동전류에 의해 발광한다.
- <29> 이와 같이 구성된 화소셀(PXL)에 공급되는 스캔 신호, 데이터 전압(Data), 제 1 구동전원(VDD), 제 2 구동전원(VSS), 및 제어 신호(Vc)에 대하여 구체적으로 설명하면 다음과 같다.
- <30> **제 1 실시예**
- <31> 도 3은 도 2와 같은 구조를 갖는 다수의 화소셀(PXL)들을 포함하는 표시부(100)에 공급되는 제 1 실시예의 각종 신호 파형을 나타낸 도면이다.
- <32> 먼저, 본 발명에 따른 발광표시장치는, 도 3에 도시된 바와 같이, 제 1 초기화 기간(D1), 문턱전압검출 준비 기간(D2), 문턱전압검출 기간(D3), 제 2 초기화 기간(D4), 실 데이터 입력 기간(D5), 및 발광 기간(D6)을 포함한다.
- <33> 제 1 구동전원(VDD)은, 도 3에 도시된 바와 같이, 서로 다른 3단계의 레벨을 갖는 교류신호이다. 즉, 제 1 구동전원(VDD)은 상대적으로 높은 전압을 갖는 고전압(H), 상대적으로 낮은 전압을 갖는 저전압(L), 및 고전압(H)과 저전압(L) 사이의 값을 갖는 중간전압(M)을 갖는 신호로서, 이 제 1 구동전원(VDD)은 주기적으로 저전압(L), 중간전압(M) 및 고전압(H)을 나타낸다.
- <34> 고전압(H)은 약 15[V], 중간전압(M)은 약 0[V], 그리고 저전압(L)은 약 -10[V] 수준으로 설정될 수 있으며, 이 값은 회로구성에 따라 얼마든지 가변될 수 있다.
- <35> 제 1 구동전원(VDD)은 제 1 초기화 기간(D1) 및 문턱전압검출 준비 기간(D2)의 일부 기간동안 저전압(L) 상태로 유지되며, 문턱전압검출 기간(D3)의 나머지 일부 기간부터 실 데이터 입력 기간(D5)까지 중간전압(M)으로 유지된다. 또한 상기 제 1 구동전원(VDD)은 발광 기간(D6)동안 고전압(H)으로 유지된다.
- <36> 제 2 구동전원(VSS)은, 도 3에 도시된 바와 같이, 모든 기간동안 저전압(L) 상태로 유지되는 직류신호이다.
- <37> 제어 신호(Vc)는, 도 3에 도시된 바와 같이, 문턱전압검출 기간(D3)의 일부 기간동안 고전압(H)으로 유지되며, 나머지 기간동안 저전압(L)으로 유지된다. 제어 신호(Vc)는 각 수평라인 별로 입력되는 스캔 신호(SC1 내지 SCn)과는 달리, 제 1 구동전원(VDD) 및 제 2 구동전원(VSS)처럼 표시부(100) 전체의 모든 화소셀(PXL)들에 공통으로 입력되는 신호이다.
- <38> 각 스캔 신호는 제 1 초기화 기간(D1)의 일부 기간, 문턱전압검출 기간(D3), 및 제 2 초기화 기간(D4)동안 고전압(H)으로 유지되며, 또한 각 스캔 신호는 실 데이터 입력 기간(D5)동안 순차적으로 고전압(H)으로 유지된다. 즉, 도 3에 도시된 바와 같이, 제 1 스캔 신호(SC1)는 실 데이터 입력 기간(D5) 중 가장 앞선 제 10-1 기간(T10-1)동안 고전압(H)으로 유지되며, 제 2 스캔 신호(SC2)는 실 데이터 입력 기간(D5) 중 두 번째로 앞선 제 10-2 기간(T10-2)동안 고전압(H)으로 유지되며, 그리고 제 3 스캔 신호(SC3)는 실 데이터 입력 기간(D5) 중 세 번째로 앞선 제 10-3 기간(T10-3)동안 고전압(H)으로 유지된다.
- <39> 데이터 전압(Data)은 제 1 초기화 기간(D1), 제 2 초기화 기간(D4) 및 실 데이터 입력 기간(D5)동안 고전압(H)으로 유지되고 나머지 기간동안 저전압(L)으로 유지된다.
- <40> 상술된 각 신호간의 고전압(H)의 크기는 서로 동일한 값을 가질 수 도 있으며, 또는 서로 다른 값을 가질 수 도 있다. 마찬가지로, 각 신호간의 저전압(L)의 크기는 서로 동일한 값을 가질 수 도 있으며, 또는 서로 다른 값을 가질 수 도 있다.
- <41> 이와 같은 신호들을 공급받는 화소셀(PXL)의 동작을 상세히 설명하면 다음과 같다.
- <42> 도 4a 내지 도 4k는 본 발명의 제 1 실시예에 따른 발광표시장치의 동작을 설명하기 위한 동작 순서도이다.
- <43> 여기서, 모든 화소셀(PXL)의 동작은 동일하므로, 제 1 스캔 라인(SL1)과 제 1 데이터 라인(DL1)에 접속된 제 1 화소셀(PXL)의 동작을 대표적으로 설명하기로 한다.
- <44> 도 4a 및 도 3을 참조하여 제 1 기간(T1)의 동작을 설명하면 다음과 같다.
- <45> 제 1 기간(T1)에는, 도 3에 도시된 바와 같이, 데이터 전압(Data)만 고전압(H) 상태이고, 제 1 구동전원(VDD),

제 2 구동전원(VSS), 제어 신호(Vc), 및 스캔 신호가 모두 저전압(L) 상태이다. 상기 데이터 전압(Data)은, 도 4a에 도시된 바와 같이, 제 1 데이터 라인(DL1)에 공급되어 상기 제 1 데이터 라인(DL1)을 고전압(H)으로 충전시킨다. 이 제 1 기간(T1)에는 모든 트랜지스터들 및 발광소자(OLED)가 모두 턴-오프상태이다.

- <46> 스위칭용 트랜지스터(Tr_S)가 턴-온되기전에 제 1 기간(T1)동안 제 1 데이터 라인(DL1)에 고전압(H)의 데이터가 공급됨으로 인해 상기 제 1 데이터 라인(DL1)이 이후 설명할 제 2 기간(T2)에 목표전압으로 충분히 충전된다.
- <47> 한편, 이 제 1 기간(T1) 바로 이전 기간에는 제 1 구동전원(VDD)이 충분히 저전압(L)으로 유지되어 있는 상태였기 때문에, 이 기간 및 제 1 기간(T1)에서의 제 3 노드(N3)의 전압은 매우 낮은 상태이다. 즉, 제 1 구동전원(VDD)이 공급되는 제 1 전원라인과 제 3 노드(N3) 사이에 형성된 발광소자(OLED)의 기생 커패시터로 인해, 상기 제 1 구동전원(VDD)이 저전압(L)으로 하강될 때 상기 제 3 노드(N3)의 전압도 하강된다.
- <48> 도 4b 및 도 3을 참조하여 제 2 기간(T2)의 동작을 설명하면 다음과 같다.
- <49> 제 2 기간(T2)에는, 도 3에 도시된 바와 같이, 데이터 전압(Data) 및 모든 스캔 신호들이 고전압(H) 상태이고, 제 1 구동전원(VDD), 제 2 구동전원(VSS) 및 제어 신호(Vc)가 저전압(L) 상태이다. 즉, 제 2 기간(T2)에는 상기 스캔 신호들이 저전압(L)에서 고전압(H)으로 변경된다.
- <50> 제 1 스캔 신호(SC1)를 포함한 모든 스캔 신호가 고전압(H) 상태이므로, 도 4b에 도시된 바와 같이, 상기 제 1 스캔 신호(SC1)를 게이트전극을 통해 공급받는 스위칭용 트랜지스터(Tr_S)가 턴-온된다. 그러면, 이 턴-온된 스위칭용 트랜지스터(Tr_S)를 통해 제 1 데이터 라인(DL1)으로부터의 데이터 전압(Data)(고전압(H) 상태의 데이터 전압(Data))이 제 1 노드(N1)에 공급된다. 이에 따라, 상기 제 1 노드(N1)가 고전압(H) 상태로 충전된다. 이때, 제 1 노드(N1)와 제 2 노드(N2) 사이에 접속된 제 1 스토리지 커패시터(CPst1)에 의해 제 2 노드(N2)의 전압이 상승된다. 이에 따라, 상기 제 2 노드(N2)에 게이트전극을 통해 접속된 구동용 트랜지스터(Tr_D)가 턴-온된다. 그러면, 이 턴-온된 구동용 트랜지스터(Tr_D)를 통해 저전압(L) 상태의 제 2 구동전원(VSS)이 제 3 노드(N3)에 공급된다. 이에 따라, 제 3 노드(N3)가 초기화 된다.
- <51> 도 4c 및 도 3을 참조하여 제 3 기간(T3)의 동작을 설명하면 다음과 같다.
- <52> 제 3 기간(T3)에는, 도 3에 도시된 바와 같이, 모든 스캔 신호들이 고전압(H) 상태이고, 데이터 전압(Data), 제 1 구동전원(VDD), 제 2 구동전원(VSS), 제어 신호(Vc), 및 스캔 신호가 저전압(L) 상태이다. 즉, 이 제 3 기간(T3)에는 데이터 전압(Data)이 고전압(H)에서 저전압(L)으로 변경된다.
- <53> 제 1 스캔 신호(SC1)를 포함한 모든 스캔 신호가 고전압(H) 상태이므로, 도 4c에 도시된 바와 같이, 상기 스위칭용 트랜지스터(Tr_S)는 턴-온 상태를 그대로 유지한다. 이 턴-온된 스위칭용 트랜지스터(Tr_S)를 통해 제 1 데이터 라인(DL1)으로부터의 데이터 전압(Data)(저전압(L) 상태의 데이터 전압(Data))이 제 1 노드(N1)에 공급된다. 이에 따라, 상기 제 1 노드(N1)가 저전압(L) 상태로 방전된다. 이때, 제 1 노드(N1)와 제 2 노드(N2) 사이에 접속된 제 1 스토리지 커패시터(CPst1)에 의해 제 2 노드(N2)의 전압도 하강된다. 이에 따라, 상기 제 2 노드(N2)에 게이트전극을 통해 접속된 구동용 트랜지스터(Tr_D)가 턴-오프된다.
- <54> 이와 같이 제 1 내지 제 3 기간(T3)을 포함하는 제 1 초기화 기간(D1)동안, 제 3 노드(N3)가 저전압(L)으로 초기화된다. 즉, 제 3 노드(N3)는 제 2 구동전원(VSS)으로 초기화된다. 이 제 2 구동전원(VSS)은 약 0[V]의 전압으로 설정되며, 이에 따라 상기 제 3 노드(N3)는 부극성 전압에서 0[V]의 전압으로 상승된다.
- <55> 도 4d 및 도 3을 참조하여 제 4 기간(T4)의 동작을 설명하면 다음과 같다.
- <56> 제 4 기간(T4)에는, 도 3에 도시된 바와 같이, 제 2 구동전원(VSS), 제어 신호(Vc), 모든 스캔 신호들 및 데이터 전압(Data) 저전압(L) 상태이고, 제 1 구동전원(VDD)이 저전압(L)에서 중간전압(M)으로 변경된다.
- <57> 제 1 스캔 신호(SC1)를 포함한 모든 스캔 신호가 저전압(L) 상태이므로, 도 4d에 도시된 바와 같이, 상기 스위칭용 트랜지스터(Tr_S)는 턴-오프된다. 이에 따라, 제 1 노드(N1)가 플로팅(floating) 상태로 된다.
- <58> 한편, 상기 제 1 구동전원(VDD)이 저전압(L)에서 중간전압(M)으로 상승함에 따라 제 3 노드(N3)의 전압도 상승하게 된다. 즉, 제 1 구동전원(VDD)이 공급되는 제 1 전원라인과 제 3 노드(N3) 사이에 형성된 발광소자(OLED)의 기생 커패시터에 의해 제 3 노드(N3)의 전압이 상승된다. 이때, 상기 제 3 노드(N3)에는 고전압(H) 상태의 제 1 구동전원(VDD)으로부터 발광소자(OLED)의 문턱전압(Vth)을 뺀 전압이 걸린다.
- <59> 이 제 3 노드(N3)는 구동용 트랜지스터(Tr_D)의 드레인전극으로서, 이 구동용 트랜지스터(Tr_D)의 게이트전극의 전압 및 드레인전극의 전압을 크게 하여야만 이후 상기 구동용 트랜지스터(Tr_D)의 문턱전압(Vth)을 검출하는데

있어서 유리하다. 따라서, 문턱전압검출 준비 기간(D2)인 제 4 기간(T4)동안 상기 제 1 구동전원(VDD)의 크기를 저전압(L)에서 중간전압(M)으로 상승시킴으로써 상기 구동용 트랜지스터(Tr_D)의 드레인전극의 전압을 상승시킬 수 있다.

- <60> 여기서, 상기 제 1 노드(N1)가 플로팅된 상태에서 상기 구동용 트랜지스터(Tr_D)의 드레인전극의 전압이 소폭 상승하게 되면, 커플링 현상에 의해 상기 구동용 트랜지스터(Tr_D)의 게이트전극의 전압이 소폭 상승할 수 있다. 이러한 커플링 현상은 상기 구동용 트랜지스터(Tr_D)의 게이트전극과 드레인전극간에 형성된 기생 커패시터에 기인한다.
- <61> 이와 같이 이 제 4 기간(T4)에는 제 2 및 제 3 노드(N3)의 전압이 상승된다.
- <62> 도 4e 및 도 3을 참조하여 제 5 기간(T5)의 동작을 설명하면 다음과 같다.
- <63> 제 5 기간(T5)에는, 도 3에 도시된 바와 같이, 제 1 구동전원(VDD)이 중간전압(M) 상태로 유지되고, 제 2 구동전원(VSS), 제어 신호(V_c) 및 데이터 전압(Data)이 저전압(L) 상태로 유지되는 반면, 모든 스캔 신호들이 저전압(L)에서 고전압(H)으로 변경된다.
- <64> 제 1 스캔 신호(SC1)가 고전압(H)으로 상승됨에 따라, 도 4e에 도시된 바와 같이, 스위칭용 트랜지스터(Tr_S)가 턴-온된다. 그러면, 이 턴-온된 스위칭용 트랜지스터(Tr_S)를 통해 제 1 데이터 라인(DL1)으로부터의 데이터 전압(Data)(저전압(L) 상태의 데이터 전압(Data))이 제 1 노드(N1)에 공급된다. 이 제 1 노드(N1)는 이전 기간까지 플로팅(floating)된 상태에서 저전압(L) 상태의 데이터 전압(Data)으로 유지되어 있던 상태였기 때문에, 이 제 5 기간(T5)에 이 제 1 노드(N1) 및 제 2 노드(N2)의 전위는 변함이 없다.
- <65>
- <66> 도 4f 및 도 3을 참조하여 제 6 기간(T6)의 동작을 설명하면 다음과 같다.
- <67> 제 6 기간(T6)에는, 도 3에 도시된 바와 같이, 제 1 구동전원(VDD)이 중간전압(M) 상태로 유지되고, 제 2 구동전원(VSS) 및 데이터 전압(Data)이 저전압(L) 상태로 유지되고, 모든 스캔 신호들이 고전압(H) 상태로 유지되는 반면, 제어 신호(V_c)가 저전압(L)에서 고전압(H)으로 변경된다.
- <68> 상기 제어 신호(V_c)가 고전압(H)으로 상승됨에 따라, 도 4f에 도시된 바와 같이, 제어용 트랜지스터(Tr_C)가 턴-온된다. 그러면, 이 턴-온된 제어용 트랜지스터(Tr_C)를 통해 제 2 노드(N2)와 제 3 노드(N3)간이 서로 단락됨으로써, 결국 구동용 트랜지스터(Tr_D)의 게이트전극과 드레인전극간이 서로 단락된다. 이에 따라, 상기 제 2 노드(N2)의 전압과 제 3 노드(N3)의 전압이 서로 혼합되고, 이 혼합된 전압이 제 2 및 제 3 노드(N3)에 동일한 값으로 충전된다. 이 혼합된 전압은 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})보다 높게 설정되어야 하는 바, 이를 위해서 이전 기간에서 제 2 노드(N2)의 전압과 제 3 노드(N3)의 전압을 상기 문턱전압(V_{th})보다 크게 설정하였다.
- <69> 게이트전극과 드레인전극이 서로 단락된 구동용 트랜지스터(Tr_D)는 턴-온되어 다이오드와 같은 동작을 하게 된다. 이때, 혼합된 전압은 상기 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})을 향하여 서서히 감소하며, 이 혼합된 전압이 상기 문턱전압(V_{th})과 동일하게 되는 순간 상기 구동용 트랜지스터(Tr_D)는 턴-오프된다. 결국, 이 구동용 트랜지스터(Tr_D)가 턴-오프되는 순간 제 2 및 제 3 노드(N3)에는 상기 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다.
- <70> 이와 같이 제 6 기간(T6)을 포함하는 문턱전압검출 기간(D3)동안 제 2 및 제 3 노드(N3)에는 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다. 이 문턱전압(V_{th}) 검출 기간동안에는 모든 화소셀(PXL)의 각 제 2 및 제 3 노드(N3)에 해당 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다. 각 화소셀(PXL)에 구비된 구동용 트랜지스터(Tr_D)간의 특성은 그 제조환경에 따라 서로 다를 수 있으므로, 각 화소셀(PXL)의 제 2 및 제 3 노드(N3)에 저장되는 문턱전압(V_{th})의 크기는 서로 다를 수 있다.
- <71> 도 4g 및 도 3을 참조하여 제 7 기간(T7)의 동작을 설명하면 다음과 같다.
- <72> 제 7 기간(T7)에는, 도 3에 도시된 바와 같이, 제 1 구동전원(VDD)이 중간전압(M) 상태로 유지되고, 제 2 구동전원(VSS) 및 데이터 전압(Data)이 저전압(L) 상태로 유지되고, 모든 스캔 신호들이 고전압(H) 상태로 유지되는 반면, 제어 신호(V_c)가 고전압(H)에서 저전압(L)으로 변경된다.
- <73> 상기 제어 신호(V_c)가 저전압(L)으로 하강됨에 따라, 도 4g에 도시된 바와 같이, 제어용 트랜지스터(Tr_C)가 턴-오프된다. 이 제 7 기간(T7)에도 상기 제 2 및 제 3 노드(N3)에는 각각 구동용 트랜지스터(Tr_D)의 문턱전압

(Vth)이 저장된 상태이다.

- <74> 도 4h 및 도 3을 참조하여 제 8 기간(T8)의 동작을 설명하면 다음과 같다.
- <75> 제 8 기간(T8)에는, 도 3에 도시된 바와 같이, 제 1 구동전원(VDD)이 중간전압(M) 상태로 유지되고, 제 2 구동전원(VSS) 및 제어 신호(Vc)가 저전압(L) 상태로 유지되고, 모든 스캔 신호들이 고전압(H) 상태로 유지되는 반면, 데이터 전압(Data)이 저전압(L)에서 고전압(H)으로 변경된다.
- <76> 이 데이터 전압(Data)이 고전압(H)으로 상승됨에 따라, 제 1 노드(N1)의 전압 및 제 2 노드(N2)의 전압이 모두 상승된다. 이에 따라, 구동용 트랜지스터(Tr_D)가 턴-온되고, 이 턴-온된 구동용 트랜지스터(Tr_D)를 통해 저전압(L) 상태의 제 2 구동전원(VSS)이 제 3 노드(N3)에 공급된다. 이에 따라 모든 화소셀(PXL)의 제 3 노드(N3)들이 모두 동일한 전압값으로 초기화된다.
- <77> 이 제 8 기간(T8)은 실 데이터 입력에 의한 발광소자(OLED)의 구동을 준비하기 위하여, 상기 제 3 노드(N3)를 미리 초기화시키는 기간이다.
- <78> 상술된 바와 같이, 각 화소셀(PXL)의 구동용 트랜지스터(Tr_D)의 문턱전압(Vth)은 서로 다를 수 있기 때문에 이러한 문턱전압(Vth)이 저장된 제 3 노드(N3)의 전압값이 각 화소셀(PXL)별로 모두 달라질 수 있다. 따라서, 제 8 기간(T8)에 모든 화소셀(PXL)에 고전압(H) 상태의 데이터를 공급함으로써, 모든 화소셀(PXL)내의 제 3 노드(N3)들을 모두 동일한 제 2 구동전원(VSS)으로 초기화시키는 것이 바람직하다.
- <79> 도 4i 및 도 3을 참조하여 제 9 기간(T9)의 동작을 설명하면 다음과 같다.
- <80> 제 9 기간(T9)에는, 도 3에 도시된 바와 같이, 제 1 구동전원(VDD)이 중간전압(M) 상태로 유지되고, 제 2 구동전원(VSS) 및 제어 신호(Vc)가 저전압(L) 상태로 유지되고, 모든 스캔 신호들이 고전압(H) 상태로 유지되는 반면, 데이터 전압(Data)이 고전압(H)에서 저전압(L)으로 변경된다.
- <81> 이 데이터 전압(Data)이 저전압(L)으로 하강됨에 따라, 제 1 노드(N1)의 전압 및 제 2 노드(N2)의 전압이 모두 하강된다. 그리고, 제 2 노드(N2)는 이전에 설정되었던 문턱전압(Vth) 값으로 복귀한다. 이에 따라, 구동용 트랜지스터(Tr_D)가 턴-오프된다. 결과적으로 제 3 노드(N3)는 제 2 구동전원(VSS)으로 초기화되며, 제 2 노드(N2)는 문턱전압(Vth) 값을 저장하고 있다.
- <82> 도 4j 및 도 3을 참조하여 제 10 기간(T10)의 동작을 설명하면 다음과 같다.
- <83> 제 10 기간(T10)에는, 도 3에 도시된 바와 같이, 제 1 구동전원(VDD)이 중간전압(M) 상태로 유지되고, 제 2 구동전원(VSS) 및 제어 신호(Vc)가 저전압(L) 상태로 유지된다.
- <84> 그리고, 모든 스캔 신호들이 차례로 일정 기간동안 고전압(H) 상태로 유지된다. 즉, 상기 제 10 기간(T10)은 실 데이터 입력 기간(D5)으로서, 이 기간은 제 10-1 내지 제 10-n 기간(T10-1 내지 T10-n)을 포함한다. 제 10-1 내지 제 10-n 기간(T10-1 내지 T10-n)동안 제 1 내지 제 n 스캔 신호(SC1 내지 SCn)가 차례로 해당 기간동안 고전압(H) 상태로 유지된다. 또한, 이 제 10 기간(T10)동안 m개의 데이터 라인들에 공급되는 데이터는 실제 표현하고자 하는 실 데이터로서, 이 실 데이터들 각각은 이 제 10 기간(T10)동안 모두 0[V] 내지 수십[V]사이의 고전압(H) 상태를 유지한다.
- <85> 제 10-1 기간(T10-1)동안은 다수의 스캔 라인들 중 제 1 스캔 라인(SL1)만이 구동되며, 제 10-2 기간(T10-2)동안은 다수의 스캔 라인들 중 제 2 스캔 라인(SL2)만이 구동되며, 제 10-3 기간(T10-3)동안은 다수의 스캔 라인들 중 제 3 스캔 라인만이 구동되며, ..., 제 10-n 기간(T10-n)동안은 다수의 스캔 라인들 중 제 n 스캔 라인(SLn)만이 구동된다.
- <86> 각 스캔 라인이 구동될 때, 해당 스캔 라인에 접속된 한 수평라인분의 화소셀(PXL)들이 모두 구동된다. 이에 따라, 하나의 스캔 라인이 구동될 때, 이 스캔 라인에 접속된 한 수평라인분의 화소셀(PXL)들에 실 데이터가 공급된다.
- <87> 이 실 데이터가 공급되는 과정을 제 1 화소셀(PXL)을 예를 들어 설명하면 다음과 같다.
- <88> 이 제 1 화소셀(PXL)은 제 10-1 기간(T10-1)에 고전압(H) 상태의 데이터를 공급받는다. 이 데이터는 제 1 데이터 라인(DL1)을 통해 제 1 노드(N1)에 공급된다. 그러면, 상기 제 1 노드(N1)의 전압이 상기 데이터 전압(Data)으로 상승되며, 이 제 1 노드(N1)의 전압이 상승됨에 따라 제 2 노드(N2)의 전압도 상승한다. 즉, 제 1 노드(N1)와 제 2 노드(N2) 사이에 접속된 제 1 스토리지 커패시터(CPst1)에 의해 제 2 노드(N2)의 전압이 상승된다.

이때, 상기 제 2 노드(N2)의 전압은 상기 제 1 노드(N1)에 입력된 전압의 크기만큼 더 상승된다.

<89> 이를 좀 더 구체적으로 설명하면 다음과 같다. 여기서, 설명의 편의상 상기 제 1 노드(N1)에 공급되는 실 데이터의 도번을 Vdata로 표현하기로 한다.

<90> 즉, 제 2 노드(N2)에는 상승된 문턱전압검출 기간(D3)동안 검출된 구동용 트랜지스터(Tr_D)의 문턱전압(Vth)이 저장되어 있는 상태이므로, 상기 제 1 노드(N1)에 실 데이터가 인가됨에 따라 제 2 노드(N2)의 전압은 상기 실 데이터와 문턱전압(Vth)의 합으로 정의된다. 그러나, 상기 제 2 노드(N2)의 전압은 구동용 트랜지스터(Tr_D)에 존재하는 각종 기생 커패시터 및 제 1 스토리지 커패시터(CPst1)에 의해 영향을 받으므로, 이 제 2 노드(N2)의 전압은 다음의 제 1 수학적식에 의해 정의된다.

수학적식 1

$$Vn2 = Vth + \frac{Cst1}{Cst1 + Cgs + Cgd + Cv} \cdot Vdata$$

<91>

<92> 상기 제 1 수학적식에서, Vn2는 제 2 노드(N2)의 전압을 의미하며, 제 1 Cst1은 제 1 스토리지 커패시터(CPst1)의 용량을 의미하며, Cgs는 구동용 트랜지스터(Tr_D)의 게이트전극과 소스전극간에 존재하는 기생 커패시터(Cgs)의 용량을 의미하며, Cgd는 구동용 트랜지스터(Tr_D)의 게이트전극과 드레인전극간에 존재하는 기생 커패시터(Cgd)의 용량을 의미한다.

<93> 이와 같이 이 기생 커패시터들(Cgs, Cgd)에 의해서 제 2 노드(N2)의 크기가 원래 의도하고자 했던 보상치(문턱 전압(Vth)+실 데이터 전압(Data))와 달라져 문턱전압(Vth) 보상 능력이 다소 저하될 수 있으나, 이러한 문제점은 가변 커패시터(CPv)에 의해 해소될 수 있다. 즉, 상기 가변 커패시터(CPv)는 상기 상승된 기생 커패시터들(Cgs, Cgd)에 의해 발생된 기생 용량의 크기에 따라 발생하는 제 2 노드(N2)의 전압 편차분을 보상시키도록 적절한 크기로 설계되어 자신의 보상 용량을 가변시킨다. 구체적으로, 상기 가변 커패시터(CPv)는 상기 기생 용량을 이에 반대되는 보상 용량으로 상쇄시킴으로써 상기 기생 용량을 최소화한다.

<94> 이 실 데이터 입력 기간(D5)동안에는 모든 화소셀(PXL)의 각 제 2 노드(N2)에 해당 구동용 트랜지스터(Tr_D)의 문턱전압(Vth)과 실 데이터 전압(Data)간의 합에 해당하는 전압이 한 수평라인단위로 순차적으로 저장된다. 즉, 제 10-1 기간(T10-1)에는 제 1 수평라인(HL1)을 따라 배열된 m개의 화소셀(PXL)들 각각이 자신의 제 2 노드(N2)에 구동전압(구동용 트랜지스터(Tr_D)의 문턱전압(Vth)+실 데이터 전압(Vdata))을 저장하고, 이어서 제 10-2 기간(T10-2)에는 제 2 수평라인(HL2)을 따라 배열된 m개의 화소셀(PXL)들 각각이 자신의 제 2 노드(N2)에 구동전압을 저장하고, 이어서 제 10-3 기간(T10-3)에는 제 3 수평라인(HL3)을 따라 배열된 m개의 화소셀(PXL)들 각각이 자신의 제 2 노드(N2)에 구동전압을 저장하고, ..., 이어서 제 10-n 기간(T10-n)에는 제 n 수평라인(HLn)을 따라 배열된 m개의 화소셀(PXL)들 각각이 자신의 제 2 노드(N2)에 구동전압을 저장한다. 이에 따라, 모든 화소셀(PXL)의 구동용 트랜지스터(Tr_D)들이 수평라인단위로 순차적으로 턴-온된다. 이때 제 1 구동전원(VDD)이 저전압(L) 상태이므로, 상기 구동용 트랜지스터(Tr_D)가 턴-온되더라도 구동전류는 생성되지 않는다. 그러므로, 이 제 10 기간(T10)에 상기 발광소자(OLED)는 발광되지 않는다.

<95> 도 4k 및 도 3을 참조하여 제 11 기간(T11)의 동작을 설명하면 다음과 같다.

<96> 제 11 기간(T11)에는, 도 3에 도시된 바와 같이, 제 2 구동전원(VSS), 제어 신호(Vc), 및 모든 스캔 신호들이 저전압(L)으로 유지되는 반면, 데이터 전압(Data)이 고전압(H)에서 저전압(L)으로 변경된다. 특히, 이 제 11 기간(T11)은 모든 화소셀(PXL)의 발광소자(OLED)를 발광시키는 발광 기간(D6)으로서, 이를 위해 이 제 11 기간(T11)에 상기 제 1 구동전원(VDD)이 중간전압(M)에서 고전압(H)으로 변경된다.

<97> 상기 제 1 구동전원(VDD)이 고전압(H)으로 상승됨에 따라, 모든 화소셀(PXL)의 턴-온된 구동용 트랜지스터(Tr_D)는 자신의 드레인전극 및 소스전극을 통해 구동전류를 흘리게 된다. 각 구동전류가 각 발광소자(OLED)의 애노드전극을 통해 캐소드전극으로 전해짐에 따라, 모든 화소셀(PXL)의 발광소자(OLED)들은 자신에게 공급된 구동전류의 크기에 따른 휘도로 발광한다.

<98> 이때, 각 발광소자(OLED)에 공급되는 구동전류는 다음의 제 2 수학적식으로 정의된다.

수학식 2

$$I_{OLED} = \frac{\beta}{2} \cdot (V_{gs} - V_{th})^2 = \frac{\beta}{2} \cdot (V_{n2} - V_{ss} - V_{th})^2 = \frac{\beta}{2} \cdot \left(\frac{C_{st1}}{C_{st1} + C_{gs} + C_{gd} + C_v} \cdot V_{data} - V_{ss} \right)^2$$

<99>

<100> 여기서, I_{OLED} 는 구동용 트랜지스터(Tr_D)의 드레인전극으로부터 소스전극을 향해 흐르는 전류를 의미하며, V_{gs} 는 구동용 트랜지스터(Tr_D)의 게이트-소스전극간 전압을 의미하며, 그리고 β 는 상수 값을 의미한다.

<101>

제 2 실시예

<102>

도 5는 도 2와 같은 구조를 갖는 다수의 화소셀(PXL)들을 포함하는 표시부(100)에 공급되는 제 2 실시예의 각종 신호 파형을 나타낸 도면이다.

<103>

본 발명에 따른 발광표시장치는, 도 5에 도시된 바와 같이, 제 1 초기화 기간(D1), 문턱전압검출 준비 기간(D2), 문턱전압검출 기간(D3), 제 2 초기화 기간(D4), 실 데이터 입력 기간(D5), 및 발광 기간(D6)을 포함한다.

<104>

제 1 구동전원(VDD)은, 도 5에 도시된 바와 같이, 서로 다른 2단계의 레벨을 갖는 교류신호이다. 즉, 제 1 구동전원(VDD)은 가장 높은 전압을 갖는 고전압(H) 및 가장 낮은 전압을 갖는 저전압(L)을 갖는 신호로서, 이 제 1 구동전원(VDD)은 주기적으로 저전압(L) 및 고전압(H)을 나타낸다.

<105>

이 제 1 구동전원(VDD)의 고전압(H)은 약 15[V], 저전압(L)은 약 10[V] 수준으로 설정될 수 있으며, 이 값은 회로구성에 따라 얼마든지 가변될 수 있다.

<106>

제 1 구동전원(VDD)은 제 1 초기화 기간(D1)동안 저전압(L) 상태로 유지되는 반면, 발광 기간(D6)동안 고전압(H)으로 유지된다.

<107>

제 2 구동전원(VSS)은, 도 5에 도시된 바와 같이, 서로 다른 2단계의 레벨을 갖는 교류신호이다. 즉, 제 2 구동전원(VSS)은 상대적으로 높은 전압을 갖는 고전압(H) 및 상대적으로 낮은 전압을 갖는 저전압(L)을 갖는 신호로서, 이 제 2 구동전원(VSS)은 주기적으로 저전압(L) 및 고전압(H)을 나타낸다.

<108>

제 2 구동전원(VSS)의 고전압(H)은 약 15[V], 저전압(L)은 약 0[V] 수준으로 설정될 수 있으며, 이 값은 회로구성에 따라 얼마든지 가변될 수 있다.

<109>

제 2 구동전원(VSS)은 문턱전압검출 준비 기간(D2)동안만 고전압(H)으로 유지되며, 나머지 기간동안은 저전압(L)으로 유지된다.

<110>

제어 신호(V_c)는, 도 5에 도시된 바와 같이, 문턱전압검출 기간(D3) 중 고전압(H)으로 유지되며, 나머지 기간에는 저전압(L)으로 유지된다.

<111>

각 스캔 신호는 제 1 초기화 기간(D1), 문턱전압검출 준비 기간(D2), 및 제 2 초기화 기간(D4)동안 고전압(H)으로 유지되며, 또한 각 스캔 신호는 실 데이터 입력 기간(D5)동안 순차적으로 고전압(H)으로 유지된다. 즉, 도 5에 도시된 바와 같이, 제 1 스캔 신호(SC1)는 실 데이터 입력 기간(D5) 중 가장 앞선 제 13-1 기간(T13-1)동안 고전압(H)으로 유지되며, 제 2 스캔 신호(SC2)는 실 데이터 입력 기간(D5) 중 두 번째로 앞선 제 13-2 기간(T13-2)동안 고전압(H)으로 유지되며, 그리고 제 3 스캔 신호(SC3)는 실 데이터 입력 기간(D5) 중 세 번째로 앞선 제 13-3 기간(T13-3)동안 고전압(H)으로 유지된다.

<112>

데이터 전압(Data)은 제 1 초기화 기간(D1), 제 2 초기화 기간(D4) 및 실 데이터 입력 기간(D5)동안 고전압(H)으로 유지되고 나머지 기간동안 저전압(L)으로 유지된다.

<113>

상술된 각 신호간의 고전압(H)의 크기는 서로 동일한 값을 가질 수 도 있으며, 또는 서로 다른 값을 가질 수 도 있다. 마찬가지로, 각 신호간의 저전압(L)의 크기는 서로 동일한 값을 가질 수 도 있으며, 또는 서로 다른 값을 가질 수 도 있다.

<114>

이와 같은 신호들을 공급받는 화소셀(PXL)의 동작을 상세히 설명하면 다음과 같다.

<115>

도 6a 내지 도 6n은 본 발명의 제 2 실시예에 따른 발광표시장치의 동작을 설명하기 위한 동작 순서도이다.

<116>

여기서, 모든 화소셀(PXL)의 동작은 동일하므로, 제 1 스캔 라인(SL1)과 제 1 데이터 라인(DL1)에 접속된 제 1 화소셀(PXL)의 동작을 대표적으로 설명하기로 한다.

- <117> 도 6a 및 도 5를 참조하여 제 1 기간(T1)의 동작을 설명하면 다음과 같다.
- <118> 제 1 기간(T1)에는, 도 5에 도시된 바와 같이, 데이터 전압(Data)이 저전압(L)에서 고전압(H) 상태로 변경되고, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 제어 신호(Vc), 및 스캔 신호가 모두 저전압(L) 상태이다. 상기 데이터 전압(Data)은, 도 6a에 도시된 바와 같이, 제 1 데이터 라인(DL1)에 공급되어 상기 제 1 데이터 라인(DL1)을 고전압(H)으로 충전시킨다. 이 제 1 기간(T1)에는 모든 트랜지스터들 및 발광소자(OLED)가 모두 턴-오프상태이다.
- <119> 스위칭용 트랜지스터(Tr_S)가 턴-온되기전에 제 1 기간(T1)동안 제 1 데이터 라인(DL1)에 고전압(H)의 데이터 전압(Data)이 공급됨으로 인해 상기 제 1 데이터 라인(DL1)이 이후 설명할 제 2 기간(T2)에 목표전압으로 충분히 충전된다.
- <120> 도 6b 및 도 5를 참조하여 제 2 기간(T2)의 동작을 설명하면 다음과 같다.
- <121> 제 2 기간(T2)에는, 도 5에 도시된 바와 같이, 데이터 전압(Data) 및 모든 스캔 신호들이 고전압(H) 상태이고, 제 1 구동전원(VDD), 제 2 구동전원(VSS) 및 제어 신호(Vc)가 저전압(L) 상태이다. 즉, 제 2 기간(T2)에는 상기 스캔 신호들이 저전압(L)에서 고전압(H)으로 변경된다.
- <122> 제 1 스캔 신호(SC1)를 포함한 모든 스캔 신호가 고전압(H) 상태이므로, 도 6b에 도시된 바와 같이, 상기 제 1 스캔 신호(SC1)를 게이트전극을 통해 공급받는 스위칭용 트랜지스터(Tr_S)가 턴-온된다. 그러면, 이 턴-온된 스위칭용 트랜지스터(Tr_S)를 통해 제 1 데이터 라인(DL1)으로부터의 데이터 전압(Data)(고전압(H) 상태의 데이터 전압(Data))이 제 1 노드(N1)에 공급된다. 이에 따라, 상기 제 1 노드(N1)가 고전압(H) 상태로 충전된다. 이때, 제 1 노드(N1)와 제 2 노드(N2) 사이에 접속된 제 1 스토리지 커패시터(CPst1)에 의해 제 2 노드(N2)의 전압이 상승된다. 이에 따라, 상기 제 2 노드(N2)에 게이트전극을 통해 접속된 구동용 트랜지스터(Tr_D)가 턴-온된다. 그러면, 이 턴-온된 구동용 트랜지스터(Tr_D)를 통해 저전압(L) 상태의 제 2 구동전원(VSS)이 제 3 노드(N3)에 공급된다. 이에 따라, 제 3 노드(N3)가 초기화 된다. 이 제 2 구동전원(VSS)은 약 0[V]의 전압으로 설정되며, 이에 따라 상기 제 3 노드(N3)는 0[V]의 전압으로 유지된다.
- <123> 도 6c 및 도 5를 참조하여 제 3 기간(T3)의 동작을 설명하면 다음과 같다.
- <124> 제 3 기간(T3)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 및 제어 신호(Vc)가 저전압(L) 상태로 유지된다. 그리고 데이터 전압(Data)은 고전압(H)에서 저전압(L)으로 변경된다. 또한 모든 스캔 신호들이 고전압(H)에서 저전압(L)으로 변경된다.
- <125> 제 1 스캔 신호(SC1)를 포함한 모든 스캔 신호가 저전압(L) 상태이므로, 도 6c에 도시된 바와 같이, 상기 스위칭용 트랜지스터(Tr_S)는 턴-오프된다. 이에 따라, 제 1 노드(N1)가 플로팅(floating) 상태로 된다. 따라서, 제 2 노드(N2)에는 고전압(H) 상태의 데이터 전압(Data)이 걸려있게 되고, 이에 의해서 구동용 트랜지스터(Tr_D)는 턴-온 상태로 유지된다.
- <126> 도 6d 및 도 5를 참조하여 제 4 기간(T4)의 동작을 설명하면 다음과 같다.
- <127> 제 4 기간(T4)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제어 신호(Vc), 모든 스캔 신호들, 및 데이터 전압(Data)이 저전압(L) 상태로 유지된다. 그리고 제 2 구동전원(VSS)이 저전압(L)에서 고전압(H)으로 변경된다. 이에 따라, 제 1 노드(N1)의 전압이 제 2 스토리지 커패시터(CPst2)에 의해서 상승되고, 제 2 노드(N2)의 전압이 제 1 스토리지 커패시터(CPst1) 및 커플링 현상에 의해서 상승된다. 이 커플링 현상은 구동용 트랜지스터(Tr_D)의 게이트전극과 소스전극간의 기생 커패시터에 의해 발생된다. 이에 따라, 구동용 트랜지스터(Tr_D)는 턴-온 상태를 유지한다. 이 턴-온된 구동용 트랜지스터(Tr_D)를 통해 고전압(H) 상태의 제 2 구동전원(VSS)이 제 3 노드(N3)에 공급되며, 이에 따라 상기 제 3 노드(N3)의 전압은 고전압(H) 상태의 제 2 구동전원(VSS)으로부터 구동용 트랜지스터(Tr_D)의 문턱전압(Vth)을 뺀 전압이 충전된다. 한편, 제 2 노드(N2)의 전압이 충분히 높다면, 상기 턴-온된 구동용 트랜지스터(Tr_D)를 통해 고전압(H) 상태의 제 2 구동전원(VSS)이 제 3 노드(N3)에 바로 공급될 수 있다.
- <128> 도 6e 및 도 5를 참조하여 제 5 기간(T5)의 동작을 설명하면 다음과 같다.
- <129> 제 5 기간(T5)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제어 신호(Vc), 및 데이터 전압(Data)이 저전압(L) 상태로 유지되고, 제 2 구동전원(VSS)이 고전압(H) 상태로 유지된다. 반면, 모든 스캔 신호들이 저전압(L)에서 고전압(H)으로 변경된다.

- <130> 제 1 스캔 신호(SC1)가 고전압(H)으로 상승됨에 따라, 도 6e에 도시된 바와 같이, 스위칭용 트랜지스터(Tr_S)가 턴-온된다. 그러면, 이 턴-온된 스위칭용 트랜지스터(Tr_S)를 통해 제 1 데이터 라인(DL1)으로부터의 데이터 전압(Data)(저전압(L) 상태의 데이터 전압(Data))이 제 1 노드(N1)에 공급된다. 이에 따라, 제 1 노드(N1)의 전압이 하강하고, 이때 제 1 스토리지 커패시터(CPst1)에 의해 제 2 노드(N2)의 전압도 하강된다. 이 제 2 노드(N2)의 전압이 하강된다는 것은 구동용 스위칭소자의 게이트전압이 하강됨을 의미한다. 결국, 이 제 5 기간(T5)에 상기 구동용 트랜지스터(Tr_D)의 게이트-소스전극간 전압이 부족성이 되면서, 상기 구동용 트랜지스터(Tr_D)는 턴-오프된다.
- <131> 도 6f 및 도 5를 참조하여 제 6 기간(T6)의 동작을 설명하면 다음과 같다.
- <132> 제 6 기간(T6)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제어 신호(Vc), 및 데이터 전압(Data)이 저전압(L) 상태로 유지되고, 제 2 구동전원(VSS)이 고전압(H) 상태로 유지된다. 반면, 모든 스캔 신호들이 고전압(H)에서 저전압(L)으로 변경된다.
- <133> 제 1 스캔 신호(SC1)를 포함한 모든 스캔 신호가 저전압(L) 상태이므로, 도 6f에 도시된 바와 같이, 상기 스위칭용 트랜지스터(Tr_S)는 턴-오프된다. 이에 따라, 제 1 노드(N1)가 다시 플로팅(floating) 상태로 된다. 따라서, 제 2 노드(N2)에는 저전압(L) 상태의 데이터 전압(Data)이 걸려있게 되고, 이에 의해서 구동용 트랜지스터(Tr_D)는 턴-오프 상태로 유지된다.
- <134> 도 6g 및 도 5를 참조하여 제 7 기간(T7)의 동작을 설명하면 다음과 같다.
- <135> 제 7 기간(T7)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제어 신호(Vc), 모든 스캔 신호들, 및 데이터 전압(Data)이 저전압(L) 상태로 유지된다. 반면, 제 2 구동전원(VSS)이 고전압(H)에서 저전압(L)으로 변경된다.
- <136> 상기 제 2 구동전원(VSS)이 저전압(L)으로 하강됨에 따라, 플로팅 상태인 제 1 노드(N1)의 전압이 제 2 스토리지 커패시터(CPst2)에 의해 저전압(L)으로 하강된다. 또한, 이 제 1 노드(N1)가 저전압(L)으로 하강됨에 따라, 제 2 노드(N2)의 전압이 제 2 스토리지 커패시터(CPst2) 및 커플링 현상에 의해 저전압(L)으로 하강된다. 이 커플링 현상은 구동용 트랜지스터(Tr_D)의 게이트전극과 소스전극간의 기생 커패시터에 의해 발생된다.
- <137> 이 제 6 기간(T6)에는 플로팅 상태로 불안정한 제 1 및 제 2 노드(N2)에 제 2 구동전원(VSS)의 저전압(L)이 공급됨으로써 제 1 및 제 2 노드(N2)의 전위 상태가 저전압(L)으로 향해 낮아지나, 제 3 노드(N3)는 고전압(H) 상태를 계속 유지한다.
- <138> 도 6h 및 도 5를 참조하여 제 8 기간(T8)의 동작을 설명하면 다음과 같다.
- <139> 제 8 기간(T8)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 제어 신호(Vc), 및 데이터 전압(Data)이 저전압(L) 상태로 유지된다. 반면, 모든 스캔 신호들이 저전압(L)에서 고전압(H)으로 변경된다.
- <140> 제 1 스캔 신호(SC1)를 포함한 모든 스캔 신호가 고전압(H) 상태이므로, 도 6h에 도시된 바와 같이, 스위칭용 트랜지스터(Tr_S)가 턴-온된다. 그러면, 이 턴-온된 스위칭용 트랜지스터(Tr_S)를 통해 제 1 데이터 라인(DL1)으로부터의 데이터 전압(Data)(저전압(L) 상태의 데이터 전압(Data))이 제 1 노드(N1)에 공급된다. 이에 따라, 상기 제 1 노드(N1)의 전압이 제 7 기간(T7)보다 상승된다. 또한, 제 1 노드(N1)와 제 2 노드(N2) 사이에 접속된 제 1 스토리지 커패시터(CPst1)에 의해 제 2 노드(N2)의 전압이 제 7 기간(T7)보다 상승된다.
- <141> 도 6i 및 도 5를 참조하여 제 9 기간(T9)의 동작을 설명하면 다음과 같다.
- <142> 제 9 기간(T9)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 및 데이터 전압(Data)이 저전압(L) 상태로 유지된다. 그리고, 모든 스캔 신호들이 고전압(H)으로 유지된다. 반면, 제어 신호(Vc)가 저전압(L)에서 고전압(H)으로 변경된다.
- <143> 상기 제어 신호(Vc)가 고전압(H)으로 상승됨에 따라, 도 6i에 도시된 바와 같이, 제어용 트랜지스터(Tr_C)가 턴-온된다. 그러면, 이 턴-온된 제어용 트랜지스터(Tr_C)를 통해 제 2 노드(N2)와 제 3 노드(N3)간이 서로 단락됨으로써, 결국 구동용 트랜지스터(Tr_D)의 게이트전극과 드레인전극간이 서로 단락된다. 이에 따라, 상기 제 2 노드(N2)의 전압과 제 3 노드(N3)의 전압이 서로 혼합되고, 이 혼합된 전압이 제 2 및 제 3 노드(N3)에 동일한 값으로 충전된다. 이 혼합된 전압은 구동용 트랜지스터(Tr_D)의 문턱전압(Vth)보다 높게 설정되어야 하는 바, 이를 위해서 이전 기간에서 제 2 노드(N2)의 전압과 제 3 노드(N3)의 전압을 상기 문턱전압(Vth)보다 크게 설정

하였다.

- <144> 게이트전극과 드레인전극이 서로 단락된 구동용 트랜지스터(Tr_D)는 턴-온되어 다이오드와 같은 동작을 하게 된다. 이때, 혼합된 전압은 상기 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})을 향하여 서서히 감소하며, 이 혼합된 전압이 상기 문턱전압(V_{th})과 동일하게 되는 순간 상기 구동용 트랜지스터(Tr_D)는 턴-오프된다. 결국, 이 구동용 트랜지스터(Tr_D)가 턴-오프되는 순간 제 2 및 제 3 노드($N3$)에는 상기 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다.
- <145> 이와 같이 제 6 기간($T6$)을 포함하는 문턱전압검출 기간($D3$)동안 제 2 및 제 3 노드($N3$)에는 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다. 이 문턱전압(V_{th}) 검출 기간동안에는 모든 화소셀(PXL)의 각 제 2 및 제 3 노드($N3$)에 해당 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다. 각 화소셀(PXL)에 구비된 구동용 트랜지스터(Tr_D)간의 특성은 그 제조환경에 따라 서로 다를 수 있으므로, 각 화소셀(PXL)의 제 2 및 제 3 노드($N3$)에 저장되는 문턱전압(V_{th})의 크기는 서로 다를 수 있다.
- <146> 도 6j 및 도 5를 참조하여 제 10 기간($T10$)의 동작을 설명하면 다음과 같다.
- <147> 제 10 기간($T10$)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 및 데이터 전압(Data)이 저전압(L) 상태로 유지된다. 그리고, 모든 스캔 신호들이 고전압(H)으로 유지된다. 반면, 제어 신호(Vc)가 고전압(H)에서 저전압(L)으로 변경된다.
- <148> 상기 제어 신호(Vc)가 저전압(L)으로 하강됨에 따라, 도 6j에 도시된 바와 같이, 제어용 트랜지스터(Tr_C)가 턴-오프된다.
- <149> 도 6k 및 도 5를 참조하여 제 11 기간($T11$)의 동작을 설명하면 다음과 같다.
- <150> 제 11 기간($T11$)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 및 제어 신호(Vc)가 저전압(L) 상태로 유지된다. 그리고, 모든 스캔 신호들이 고전압(H)으로 유지된다. 반면, 데이터 전압(Data)이 저전압(L)에서 고전압(H)으로 변경된다.
- <151> 이 데이터 전압(Data)이 고전압(H)으로 상승됨에 따라, 제 1 노드($N1$)의 전압 및 제 2 노드($N2$)의 전압이 모두 상승된다. 이에 따라, 구동용 트랜지스터(Tr_D)가 턴-온되고, 이 턴-온된 구동용 트랜지스터(Tr_D)를 통해 저전압(L) 상태의 제 2 구동전원(VSS)이 제 3 노드($N3$)에 공급된다. 이에 따라 모든 화소셀(PXL)의 제 3 노드($N3$)들이 모두 동일한 전압값으로 초기화된다.
- <152> 이 제 8 기간($T8$)은 실 데이터 입력에 의한 발광소자(OLED)의 구동을 준비하기 위하여, 상기 제 3 노드($N3$)를 미리 초기화시키는 기간이다.
- <153> 상술된 바와 같이, 각 화소셀(PXL)의 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})은 서로 다를 수 있기 때문에 이러한 문턱전압(V_{th})이 저장된 제 3 노드($N3$)의 전압값이 각 화소셀(PXL)별로 모두 달라질 수 있다. 따라서, 제 8 기간($T8$)에 모든 화소셀(PXL)에 고전압(H) 상태의 데이터를 공급함으로써, 모든 화소셀(PXL)내의 제 3 노드($N3$)들을 모두 동일한 제 2 구동전원(VSS)으로 초기화시키는 것이 바람직하다.
- <154> 도 6l 및 도 5를 참조하여 제 12 기간($T12$)의 동작을 설명하면 다음과 같다.
- <155> 제 12 기간($T12$)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 및 제어 신호(Vc)가 저전압(L) 상태로 유지된다. 그리고, 모든 스캔 신호들이 고전압(H)으로 유지된다. 반면, 데이터 전압(Data)이 고전압(H)에서 저전압(L)으로 변경된다.
- <156> 이 데이터 전압(Data)이 저전압(L)으로 하강됨에 따라, 제 1 노드($N1$)의 전압 및 제 2 노드($N2$)의 전압이 모두 하강된다. 그리고, 제 2 노드($N2$)는 이전에 설정되었던 문턱전압(V_{th}) 값으로 복귀한다. 이에 따라, 구동용 트랜지스터(Tr_D)가 턴-오프된다. 결과적으로 제 3 노드($N3$)는 제 2 구동전원(VSS)으로 초기화되며, 제 2 노드($N2$)는 문턱전압(V_{th}) 값을 저장하고 있다.
- <157> 도 6m 및 도 5를 참조하여 제 13 기간($T13$)의 동작을 설명하면 다음과 같다.
- <158> 제 13 기간($T13$)에는, 도 5에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 및 제어 신호(Vc)가 저전압(L) 상태로 유지된다.
- <159> 그리고, 모든 스캔 신호들이 차례로 일정 기간동안 고전압(H) 상태로 유지된다. 즉, 상기 제 13 기간($T13$)은 실 데이터 입력 기간($D5$)으로서, 이 기간은 제 13-1 내지 제 13-n 기간($T13-n$)을 포함한다. 제 13-1 내지 제 13-n

기간(T13-n)동안 제 1 내지 제 n 스캔 신호(SC1 내지 SCn)가 차례로 해당 기간동안 고전압(H) 상태로 유지된다. 또한, 이 제 13 기간(T13)동안 m개의 데이터 라인들에 공급되는 데이터는 실제 표현하고자 하는 실 데이터로서, 이 실 데이터들 각각은 이 제 13 기간(T13)동안 모두 고전압(H) 상태를 유지한다.

- <160> 제 13-1 기간(T13-1)동안은 다수의 스캔 라인들 중 제 1 스캔 라인(SL1)만이 구동되며, 제 13-2 기간(T13-2)동안은 다수의 스캔 라인들 중 제 2 스캔 라인(SL2)만이 구동되며, 제 13-3 기간동안은 다수의 스캔 라인들 중 제 3 스캔 라인만이 구동되며, ..., 제 13-n 기간(T13-n)동안은 다수의 스캔 라인들 중 제 n 스캔 라인(SLn)만이 구동된다.
- <161> 각 스캔 라인이 구동될 때, 해당 스캔 라인에 접속된 한 수평라인분의 화소셀(PXL)들이 모두 구동된다. 이에 따라, 하나의 스캔 라인이 구동될 때, 이 스캔 라인에 접속된 한 수평라인분의 화소셀(PXL)들에 실 데이터가 공급된다.
- <162> 이 실 데이터가 공급되는 과정은 제 1 실시예에서의 그것과 동일하므로, 이에 대한 설명은 제 1 실시예를 참조하기로 한다.
- <163> 이 제 13 기간(T13)에서의 각 화소셀(PXL)의 제 2 노드(N2)의 전압은 상술된 제 1 수학적식에 의해 정의된다.
- <164> 도 6n 및 도 5를 참조하여 제 14 기간(T14)의 동작을 설명하면 다음과 같다.
- <165> 제 14 기간(T14)에는, 도 5에 도시된 바와 같이, 제 2 구동전원(VSS), 제어 신호(Vc), 및 모든 스캔 신호들이 저전압(L)으로 유지되는 반면, 데이터 전압(Data)이 고전압(H)에서 저전압(L)으로 변경된다. 특히, 이 제 14 기간(T14)은 모든 화소셀(PXL)의 발광소자(OLED)를 발광시키는 발광 기간(D6)으로서, 이를 위해 이 제 14 기간(T14)에 상기 제 1 구동전원(VDD)이 저전압(L)에서 고전압(H)으로 변경된다.
- <166> 상기 제 1 구동전원(VDD)이 고전압(H)으로 상승됨에 따라, 모든 화소셀(PXL)의 턴-온된 구동용 트랜지스터(Tr_D)는 자신의 드레인전극 및 소스전극을 통해 구동전류를 흘리게 된다. 각 구동전류가 각 발광소자(OLED)의 애노드전극을 통해 캐소드전극으로 전해짐에 따라, 모든 화소셀(PXL)의 발광소자(OLED)들은 자신에게 공급된 구동전류의 크기에 따른 휘도로 발광한다.
- <167> 이때, 각 발광소자(OLED)에 공급되는 구동전류는 상술된 제 2 수학적식으로 정의된다.
- <168> **제 3 실시예**
- <169> 도 7은 도 2와 같은 구조를 갖는 다수의 화소셀(PXL)들을 포함하는 표시부(100)에 공급되는 제 3 실시예의 각종 신호 파형을 나타낸 도면이다.
- <170> 본 발명에 따른 발광표시장치는, 도 7에 도시된 바와 같이, 제 1 초기화 기간(D1), 문턱전압검출 준비 기간(D2), 문턱전압검출 기간(D3), 제 2 초기화 기간(D4), 실 데이터 입력 기간(D5), 및 발광 기간(D6)을 포함한다.
- <171> 제 1 구동전원(VDD)은, 도 7에 도시된 바와 같이, 서로 다른 2단계의 레벨을 갖는 교류신호이다. 즉, 제 1 구동전원(VDD)은 상대적으로 높은 전압을 갖는 고전압(H) 및 상대적으로 낮은 전압을 갖는 저전압(L)을 갖는 신호로서, 이 제 1 구동전원(VDD)은 주기적으로 저전압(L) 및 고전압(H)을 나타낸다.
- <172> 이 제 1 구동전원(VDD)의 고전압(H)은 약 15[V], 저전압(L)은 약 10[V] 수준으로 설정될 수 있으며, 이 값은 회로구성에 따라 얼마든지 가변될 수 있다.
- <173> 제 1 구동전원(VDD)은 제 1 초기화 기간(D1)동안 고전압(H) 상태로 유지되는 반면, 발광 기간(D6)동안 고전압(H)으로 유지된다.
- <174> 제 2 구동전원(VSS)은, 도 5에 도시된 바와 같이, 서로 다른 2단계의 레벨을 갖는 교류신호이다. 즉, 제 2 구동전원(VSS)은 상대적으로 높은 전압을 갖는 고전압(H) 및 상대적으로 낮은 전압을 갖는 저전압(L)을 갖는 신호로서, 이 제 1 구동전원(VDD)은 주기적으로 저전압(L) 및 고전압(H)을 나타낸다.
- <175> 제 2 구동전원(VSS)의 고전압(H)은 약 15[V], 저전압(L)은 약 0[V] 수준으로 설정될 수 있으며, 이 값은 회로구성에 따라 얼마든지 가변될 수 있다.
- <176> 제 2 구동전원(VSS)은 제 1 초기화 기간(D1)의 일부 기간, 문턱전압검출 준비 기간(D2), 및 문턱전압검출 기간(D3)의 일부 기간동안 고전압(H)으로 유지되며, 나머지 기간동안 저전압(L)으로 유지된다.
- <177> 제어 신호(Vc)는, 도 5에 도시된 바와 같이, 제 1 초기화 기간(D1)의 일부 기간 및 문턱전압검출 기간(D3)동안

고전압(H)으로 유지되며, 나머지 기간동안 저전압(L)으로 유지된다.

- <178> 각 스캔 신호는 제 1 초기화 기간(D1), 문턱전압검출 준비 기간(D2), 및 제 2 초기화 기간(D4)동안 고전압(H)으로 유지되며, 또한 각 스캔 신호는 실 데이터 입력 기간(D5)동안 순차적으로 고전압(H)으로 유지된다. 즉, 도 5에 도시된 바와 같이, 제 1 스캔 신호(SC1)는 실 데이터 입력 기간(D5) 중 가장 앞선 제 13-1 기간(T13-1)동안 고전압(H)으로 유지되며, 제 2 스캔 신호(SC2)는 실 데이터 입력 기간(D5) 중 두 번째로 앞선 제 13-2 기간(T13-2)동안 고전압(H)으로 유지되며, 그리고 제 3 스캔 신호(SC3)는 실 데이터 입력 기간(D5) 중 세 번째로 앞선 제 13-3 기간(T13-3)동안 고전압(H)으로 유지된다.
- <179> 데이터 전압(Data)은 제 1 초기화 기간(D1), 제 2 초기화 기간(D4) 및 실 데이터 입력 기간(D5)동안 고전압(H)으로 유지되고 나머지 기간동안 저전압(L)으로 유지된다.
- <180> 상술된 각 신호간의 고전압(H)의 크기는 서로 동일한 값을 가질 수 도 있으며, 또는 서로 다른 값을 가질 수 도 있다. 마찬가지로, 각 신호간의 저전압(L)의 크기는 서로 동일한 값을 가질 수 도 있으며, 또는 서로 다른 값을 가질 수 도 있다.
- <181> 이와 같은 신호들을 공급받는 화소셀(PXL)의 동작을 상세히 설명하면 다음과 같다.
- <182> 도 8a 내지 도 8n은 본 발명의 제 3 실시예에 따른 발광표시장치의 동작을 설명하기 위한 동작 순서도이다.
- <183> 여기서, 모든 화소셀(PXL)의 동작은 동일하므로, 제 1 스캔 라인(SL1)과 제 1 데이터 라인(DL1)에 접속된 제 1 화소셀(PXL)의 동작을 대표적으로 설명하기로 한다.
- <184> 도 8a 및 도 7을 참조하여 제 1 기간(T1)의 동작을 설명하면 다음과 같다.
- <185> 제 1 기간(T1)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD) 및 모든 스캔 신호들이 고전압(H)으로 유지된다. 그리고, 제 2 구동전원(VSS), 제어 신호(Vc), 및 데이터 전압(Data)이 저전압(L)으로 유지된다.
- <186> 제 1 스캔 신호(SC1)가 고전압(H)으로 유지됨에 따라, 제 1 데이터 라인(DL1)으로부터의 데이터 신호(저전압(L) 상태의 데이터 신호)가 제 1 노드(N1)에 공급된다. 이에 따라 제 1 노드(N1)가 초기화된다.
- <187> 도 8b 및 도 7을 참조하여 제 2 기간(T2)의 동작을 설명하면 다음과 같다.
- <188> 제 2 기간(T2)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD) 및 모든 스캔 신호들이 고전압(H)으로 유지된다. 그리고, 제어 신호(Vc) 및 데이터 전압(Data)이 저전압(L)으로 유지된다. 반면, 제 2 구동전원(VSS)은 저전압(L)에서 고전압(H)으로 변경된다.
- <189> 이 제 2 구동전원(VSS)이 고전압(H)으로 상승됨에 따라, 구동용 트랜지스터(Tr_D)의 게이트-소스전극간 전압이 부족성이 되면서 상기 구동용 트랜지스터(Tr_D)가 턴-오프된다. 이에 따라 제 3 노드(N3)의 전압이 제 1 구동전원(VDD)에 가까운 전압으로 상승된다. 즉, 제 1 구동전원(VDD)이 공급되는 제 1 전원라인과 제 3 노드(N3) 사이에 형성된 발광소자(OLED)의 기생 커패시터에 의해 제 3 노드(N3)의 전압이 상승된다. 이때, 상기 제 3 노드(N3)에는 고전압(H) 상태의 제 1 구동전원(VDD)으로부터 발광소자(OLED)의 문턱전압(Vth)을 뺀 전압이 걸린다.
- <190> 도 8c 및 도 7을 참조하여 제 3 기간(T3)의 동작을 설명하면 다음과 같다.
- <191> 제 3 기간(T3)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD), 모든 스캔 신호들, 및 제 2 구동전원(VSS)이 고전압(H)으로 유지된다. 그리고, 데이터 전압(Data)은 저전압(L)으로 유지된다. 반면, 제어 신호(Vc)는 저전압(L)에서 고전압(H)으로 변경된다.
- <192> 상기 제어 신호(Vc)가 고전압(H)으로 상승됨에 따라, 도 8c에 도시된 바와 같이, 제어용 트랜지스터(Tr_C)가 턴-온된다. 그러면, 이 턴-온된 제어용 트랜지스터(Tr_C)를 통해 제 2 노드(N2)와 제 3 노드(N3)간이 서로 단락됨으로써, 결국 구동용 트랜지스터(Tr_D)의 게이트전극과 드레인전극간이 서로 단락된다. 이에 따라, 상기 제 2 노드(N2)의 전압이 제 3 노드(N3)의 전압과 동일해진다. 즉, 상기 제 2 노드(N2)에는 고전압(H) 상태의 제 1 구동전원(VDD)으로부터 발광소자(OLED)의 문턱전압(Vth)을 뺀 전압이 걸린다. 이 제 3 기간(T3)에, 제 2 구동전원(VSS)이 제 2 노드(N2)의 전압보다 큰 고전압(H)으로 유지됨으로 인해 상기 구동용 스위칭소자의 게이트-소스전극간 전압이 부족성이 되어 상기 구동용 스위칭소자는 턴-오프 상태를 유지한다.
- <193> 도 8d 및 도 7을 참조하여 제 4 기간(T4)의 동작을 설명하면 다음과 같다.
- <194> 제 4 기간(T4)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD), 모든 스캔 신호들, 및 제 2 구동전원(VSS)이 고전압(H)으로 유지된다. 그리고, 데이터 전압(Data)은 저전압(L)으로 유지된다. 반면, 제어 신호(Vc)는 고

전압(H)에서 저전압(L)으로 변경된다.

- <195> 이 제 4 기간(T4)에도 상기 제 2 노드(N2)의 전압과 제 3 노드(N3)의 전압은 동일하다.
- <196> 도 8e 및 도 7을 참조하여 제 5 기간(T5)의 동작을 설명하면 다음과 같다.
- <197> 제 5 기간(T5)에는, 도 7에 도시된 바와 같이, 제 2 구동전원(VSS) 및 모든 스캔 신호들이 고전압(H)으로 유지된다. 그리고, 데이터 전압(Data)이 저전압(L)으로 유지된다. 반면, 제 1 구동전원(VDD)은 고전압(H)에서 저전압(L)으로 변경된다.
- <198> 상기 제 1 구동전원(VDD)이 저전압(L)으로 하강함에 따라, 발광소자(OLED)의 기생 커패시터에 의해 제 3 노드(N3)의 전압이 하강한다. 이에 따라, 제 2 노드(N2)의 전압이 제 3 노드(N3)의 전압보다 높아지고, 이에 의해 구동용 트랜지스터(Tr_D)가 턴-온된다. 이 턴-온된 구동용 트랜지스터(Tr_D)를 통해 고전압(H) 상태의 제 2 구동전원(VSS)이 상기 제 3 노드(N3)에 공급된다. 이때, 상기 제 3 노드(N3)의 전압이 제 2 노드(N2)의 전압과 구동용 트랜지스터(Tr_D)의 문턱전압(Vth)간의 차전압에 대응되는 값으로 회복되는 순간 상기 구동용 트랜지스터(Tr_D)는 다시 턴-오프된다.
- <199> 도 8f 및 도 7을 참조하여 제 6 기간(T6)의 동작을 설명하면 다음과 같다.
- <200> 제 6 기간(T6)에는, 도 7에 도시된 바와 같이, 제 2 구동전원(VSS) 및 모든 스캔 신호들이 고전압(H)으로 유지된다. 그리고, 제 1 구동전원(VDD)은 저전압(L)으로 유지된다. 반면, 데이터 전압(Data)이 저전압(L)에서 고전압(H)으로 변경된다.
- <201> 이 데이터 전압(Data)이 고전압(H)으로 상승됨에 따라, 제 1 노드(N1)의 전압 및 제 2 노드(N2)의 전압이 모두 상승된다. 이에 따라, 구동용 트랜지스터(Tr_D)가 턴-온되고, 이 턴-온된 구동용 트랜지스터(Tr_D)를 통해 저전압(L) 상태의 제 2 구동전원(VSS)이 제 3 노드(N3)에 공급된다. 이에 따라 제 3 노드(N3)가 고전압(H) 상태의 제 2 구동전원(VSS)으로 완전히 충전된다.
- <202> 도 8g 및 도 7을 참조하여 제 7 기간(T7)의 동작을 설명하면 다음과 같다.
- <203> 제 7 기간(T7)에는, 도 7에 도시된 바와 같이, 제 2 구동전원(VSS), 제어 신호(Vc), 및 모든 스캔 신호들이 고전압(H)으로 유지된다. 그리고, 제 1 구동전원(VDD)은 저전압(L)으로 유지된다. 반면, 데이터 전압(Data)은 고전압(H)에서 저전압(L)으로 변경된다.
- <204> 이 데이터 전압(Data)이 저전압(L)으로 하강됨에 따라, 제 1 노드(N1)의 전압 및 제 2 노드(N2)의 전압이 모두 하강된다. 제 2 노드(N2)의 전위는 비록 이전 기간보다 하강하지만 여전히 비교적 높은 값을 유지하게 된다. 제 3 노드(N3)의 전위는 여전히 고전압 수준을 유지한다. 이에 따라, 구동용 트랜지스터(Tr_D)가 턴-오프된다.
- <205> 도 8h 및 도 7을 참조하여 제 8 기간(T8)의 동작을 설명하면 다음과 같다.
- <206> 제 8 기간(T8)에는, 도 7에 도시된 바와 같이, 제 2 구동전원(VSS) 및 모든 스캔 신호들이 고전압(H)으로 유지된다. 그리고, 제 1 구동전원(VDD) 및 데이터 전압(Data)은 저전압(L)으로 유지된다. 반면, 제어 신호(Vc)는 저전압(L)에서 고전압(H)으로 변경된다.
- <207> 상기 제어 신호(Vc)가 고전압(H)으로 상승됨에 따라, 도 8h에 도시된 바와 같이, 제어용 트랜지스터(Tr_C)가 턴-온된다. 그러면, 이 턴-온된 제어용 트랜지스터(Tr_C)를 통해 제 2 노드(N2)와 제 3 노드(N3)간이 서로 단락됨으로써, 결국 구동용 트랜지스터(Tr_D)의 게이트전극과 드레인전극간이 서로 단락된다. 이에 따라, 상기 제 2 노드(N2)의 전압이 제 3 노드(N3)의 전압과 동일해지면서 이전 상태보다 좀 더 높은 고전압 상태를 갖게 된다. 즉, 상기 제 3 노드(N3)는 이전 기간보다 제 1 구동전원(VDD)에 더 가까운 전위를 갖는다. 이 제 8 기간(T8)에, 제 2 구동전원(VSS)이 제 2 노드(N2)의 전압보다 큰 고전압(H)으로 유지됨으로 인해 상기 구동용 스위칭소자의 게이트-소스전극간 전압이 부극성이 되어 상기 구동용 스위칭소자는 턴-오프 상태를 유지한다.
- <208> 도 8i 및 도 7을 참조하여 제 9 기간(T9)의 동작을 설명하면 다음과 같다.
- <209> 제 8 기간(T8)에는, 도 7에 도시된 바와 같이, 제어 신호(Vc), 및 모든 스캔 신호들이 고전압(H)으로 유지된다. 그리고, 제 1 구동전원(VDD) 및 데이터 전압(Data)은 저전압(L)으로 유지된다. 반면, 제 2 구동전원(VSS)은 고전압(H)에서 저전압(L)으로 변경된다.
- <210> 이 제 2 구동전원(VSS)이 저전압(L)으로 하강됨에 따라, 제 2 노드(N2)의 전압이 상기 제 2 구동전원(VSS)보다 더 큰 값을 갖게된다. 이에 따라 구동용 트랜지스터(Tr_D)의 게이트-소스전극간 전압이 정극성이 되어 상기 구

동용 트랜지스터(Tr_D)가 턴-온된다.

- <211> 또한, 제 7 기간($T7$)에서 설정되었듯이, 상기 제 2 노드($N2$)의 전압과 제 3 노드($N3$) 전압은 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})보다 높게 설정되어야 하는 바, 이를 위해서 이전 기간에서 제 2 노드($N2$)의 전압과 제 3 노드($N3$)의 전압을 상기 문턱전압(V_{th})보다 크게 설정하였다.
- <212> 게이트전극과 드레인전극이 서로 단락된 구동용 트랜지스터(Tr_D)는 턴-온되어 다이오드와 같은 동작을 하게 된다. 이때, 혼합된 전압은 상기 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})을 향하여 서서히 감소하며, 이 혼합된 전압이 상기 문턱전압(V_{th})과 동일하게 되는 순간 상기 구동용 트랜지스터(Tr_D)는 턴-오프된다. 결국, 이 구동용 트랜지스터(Tr_D)가 턴-오프되는 순간 제 2 및 제 3 노드($N3$)에는 상기 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다.
- <213> 이와 같이 제 9 기간($T9$)을 포함하는 문턱전압검출 기간($D3$)동안 제 2 및 제 3 노드($N3$)에는 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다. 이 문턱전압(V_{th}) 검출 기간동안에는 모든 화소셀(PXL)의 각 제 2 및 제 3 노드($N3$)에 해당 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})이 저장된다. 각 화소셀(PXL)에 구비된 구동용 트랜지스터(Tr_D)간의 특성은 그 제조환경에 따라 서로 다를 수 있으므로, 각 화소셀(PXL)의 제 2 및 제 3 노드($N3$)에 저장되는 문턱전압(V_{th})의 크기는 서로 다를 수 있다.
- <214> 도 8j 및 도 7을 참조하여 제 10 기간($T10$)의 동작을 설명하면 다음과 같다.
- <215> 제 10 기간($T10$)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS) 및 데이터 전압(Data)이 저전압(L)으로 유지된다. 그리고, 모든 스캔 신호들이 고전압(H)으로 유지된다. 반면, 제어 신호(Vc)는 고전압(H)에서 저전압(L)으로 변경된다.
- <216> 상기 제어 신호(Vc)가 저전압(L)으로 하강됨에 따라, 도 8j에 도시된 바와 같이, 제어용 트랜지스터(Tr_C)가 턴-오프된다.
- <217> 도 8k 및 도 7을 참조하여 제 11 기간($T11$)의 동작을 설명하면 다음과 같다.
- <218> 제 11 기간($T11$)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS) 및 제어 신호(Vc)가 저전압(L)으로 유지된다. 그리고, 모든 스캔 신호들이 고전압(H)으로 유지된다. 반면, 데이터 전압(Data)은 저전압(L)에서 고전압(H)으로 변경된다.
- <219> 이 데이터 전압(Data)이 고전압(H)으로 상승됨에 따라, 제 1 노드($N1$)의 전압 및 제 2 노드($N2$)의 전압이 모두 상승된다. 이에 따라, 구동용 트랜지스터(Tr_D)가 턴-온되고, 이 턴-온된 구동용 트랜지스터(Tr_D)를 통해 저전압(L) 상태의 제 2 구동전원(VSS)이 제 3 노드($N3$)에 공급된다. 이에 따라 모든 화소셀(PXL)의 제 3 노드($N3$)들이 모두 동일한 전압값으로 초기화된다.
- <220> 이 제 11 기간($T11$)은 실 데이터 입력에 의한 발광소자(OLED)의 구동을 준비하기 위하여, 상기 제 3 노드($N3$)를 미리 초기화시키는 기간이다.
- <221> 상술된 바와 같이, 각 화소셀(PXL)의 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})은 서로 다를 수 있기 때문에 이러한 문턱전압(V_{th})이 저장된 제 3 노드($N3$)의 전압값이 각 화소셀(PXL)별로 모두 달라질 수 있다. 따라서, 제 11 기간($T11$)에 모든 화소셀(PXL)에 고전압(H) 상태의 데이터를 공급함으로써, 모든 화소셀(PXL)내의 제 3 노드($N3$)들을 모두 동일한 제 2 구동전원(VSS)으로 초기화시키는 것이 바람직하다.
- <222> 도 8l 및 도 7을 참조하여 제 12 기간($T12$)의 동작을 설명하면 다음과 같다.
- <223> 제 12 기간($T12$)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS) 및 제어 신호(Vc)가 저전압(L)으로 유지된다. 그리고, 모든 스캔 신호들이 고전압(H)으로 유지된다. 반면, 데이터 전압(Data)은 고전압(H)에서 저전압(L)으로 변경된다.
- <224> 이 데이터 전압(Data)이 저전압(L)으로 하강됨에 따라, 제 1 노드($N1$)의 전압 및 제 2 노드($N2$)의 전압이 모두 하강된다. 그리고, 제 2 노드($N2$)는 이전에 설정되었던 문턱전압(V_{th}) 값으로 복귀한다. 이에 따라, 구동용 트랜지스터(Tr_D)가 턴-오프된다. 결과적으로 제 3 노드($N3$)는 제 2 구동전원(VSS)으로 초기화되며, 제 2 노드($N2$)는 문턱전압(V_{th}) 값을 저장하고 있다.
- <225> 도 8m 및 도 7을 참조하여 제 13 기간($T13$)의 동작을 설명하면 다음과 같다.
- <226> 제 13 기간($T13$)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS) 및 제어 신호(Vc)가

저전압(L)으로 유지된다. 그리고, 모든 스캔 신호들이 고전압(H)으로 유지된다. 반면, 데이터 전압(Data)은 고전압(H)에서 저전압(L)으로 변경된다.

- <227> 제 13 기간(T13)에는, 도 7에 도시된 바와 같이, 제 1 구동전원(VDD), 제 2 구동전원(VSS), 및 제어 신호(Vc)가 저전압(L) 상태로 유지된다.
- <228> 그리고, 모든 스캔 신호들이 차례로 일정 기간동안 고전압(H) 상태로 유지된다. 즉, 상기 제 13 기간(T13)은 실 데이터 입력 기간(D5)으로서, 이 기간은 제 13-1 내지 제 13-n 기간(T13-n)을 포함한다. 제 13-1 내지 제 13-n 기간(T13-n)동안 제 1 내지 제 n 스캔 신호(SC1 내지 SCn)가 차례로 해당 기간동안 고전압(H) 상태로 유지된다. 또한, 이 제 13 기간(T13)동안 m개의 데이터 라인들에 공급되는 데이터는 실제 표현하고자 하는 실 데이터로서, 이 실 데이터들 각각은 이 제 13 기간(T13)동안 모두 고전압(H) 상태를 유지한다.
- <229> 제 13-1 기간(T13-1)동안은 다수의 스캔 라인들 중 제 1 스캔 라인(SL1)만이 구동되며, 제 13-2 기간(T13-2)동안은 다수의 스캔 라인들 중 제 2 스캔 라인(SL2)만이 구동되며, 제 13-3 기간동안은 다수의 스캔 라인들 중 제 3 스캔 라인만이 구동되며, ..., 제 13-n 기간(T13-n)동안은 다수의 스캔 라인들 중 제 n 스캔 라인(SLn)만이 구동된다.
- <230> 각 스캔 라인이 구동될 때, 해당 스캔 라인에 접속된 한 수평라인분의 화소셀(PXL)들이 모두 구동된다. 이에 따라, 하나의 스캔 라인이 구동될 때, 이 스캔 라인에 접속된 한 수평라인분의 화소셀(PXL)들에 실 데이터가 공급된다.
- <231> 이 실 데이터가 공급되는 과정은 제 1 실시예에서의 그것과 동일하므로, 이에 대한 설명은 제 1 실시예를 참조하기로 한다.
- <232> 이 제 13 기간(T13)에서의 각 화소셀(PXL)의 제 2 노드(N2)의 전압은 상술된 제 1 수학식에 의해 정의된다.
- <233> 도 8n 및 도 7을 참조하여 제 14 기간(T14)의 동작을 설명하면 다음과 같다.
- <234> 제 14 기간(T14)에는, 도 7에 도시된 바와 같이, 제 2 구동전원(VSS), 제어 신호(Vc), 및 모든 스캔 신호들이 저전압(L)으로 유지되는 반면, 데이터 전압(Data)이 고전압(H)에서 저전압(L)으로 변경된다. 특히, 이 제 14 기간(T14)은 모든 화소셀(PXL)의 발광소자(OLED)를 발광시키는 발광 기간(D6)으로서, 이를 위해 이 제 14 기간(T14)에 상기 제 1 구동전원(VDD)이 저전압(L)에서 고전압(H)으로 변경된다.
- <235> 상기 제 1 구동전원(VDD)이 고전압(H)으로 상승됨에 따라, 모든 화소셀(PXL)의 턴-온된 구동용 트랜지스터(Tr_D)는 자신의 드레인전극 및 소스전극을 통해 구동전류를 흘리게 된다. 각 구동전류가 각 발광소자(OLED)의 애노드전극을 통해 캐소드전극으로 전해짐에 따라, 모든 화소셀(PXL)의 발광소자(OLED)들은 자신에게 공급된 구동전류의 크기에 따른 휘도로 발광한다.
- <236> 이때, 각 발광소자(OLED)에 공급되는 구동전류는 상술된 제 2 수학식으로 정의된다.
- <237> 한편, 제 2 실시예 및 제 3 실시예에서는 제 2 구동전원(VSS)이 구동용 트랜지스터(Tr_D)의 게이트전극의 전압보다 높게 설정되는 기간이 존재한다. 즉, 제 2 실시예에서는 제 4 기간(T4)이 이에 해당하며, 제 3 실시예에서는 제 2 기간(T2)이 이에 해당한다. 이 제 4 및 제 2 기간(T2, T4)에 구동용 트랜지스터(Tr_D)의 게이트전극(제 2 노드(N2))에 상대적으로 낮은 전압(예를 들면 0[V]의 데이터 전압(Data))을 인가하게 되면 구동용 트랜지스터(Tr_D)에는 부극성 바이어스(negative bias)가 걸리게 된다. 이 제 4 및 제 2 기간(T2, T4)의 시간을 알맞게 조절함으로써 구동용 트랜지스터(Tr_D)의 열화를 방지할 수 있다.
- <238> 도 9는 본 발명의 가변 커패시터의 등가회로를 나타낸 도면이다.
- <239> 도 9에 도시된 바와 같이, 가변 커패시터(CPv)는 소스전극 및 드레인전극이 서로 단락된 형태의 트랜지스터로 나타낼 수 있다. 이 가변 커패시터(CPv)는 상기 상술된 기생 커패시터들(Cgs, Cgd)에 의해 발생된 기생 용량의 크기를 보상시킬 수 있도록 자신의 가변 용량을 설계한다. 구체적으로, 상기 가변 커패시터(CPv)는 상기 기생 용량을 이에 반대되는 보상 용량으로 상쇄시킴으로써 상기 기생 용량에 의한 보상 편차를 최소화한다.
- <240> 도 10은 본 발명의 가변 커패시터의 게이트 바이어스에 의한 커패시턴스의 변화를 나타낸 그래프이다. 도 10의 그래프는 실제 소자의 측정값이며, 커패시턴스를 이루는 소자의 면적은 $785,000 \text{ } \mu\text{m}^2$ 이다.
- <241> 상술된 바와 같이 가변 커패시터(CPv)는 구동용 트랜지스터(Tr_D)의 문턱전압(Vth)에 대한 보상능력을 향상시키기 위해서 사용된다. 이러한 구동용 트랜지스터(Tr_D)를 포함한 각 트랜지스터(Tr_S, Tr_C)는 아몰퍼스 실리콘

(a-Si) TFT(Thin Film Transistor)인데, 이 아몰퍼스 실리콘 TFT는 기본적으로 게이트전극이 소스전극 및 드레인전극의 하측에 형성되는 바텀 게이트(bottom gate) 구조를 갖는다. 이 바텀 게이트 구조에 따르면, 상기 게이트전극과 소스전극이 일부 중첩하고 있으며, 또한 게이트전극과 드레인전극이 일부 중첩하고 있다. 따라서, 이러한 아몰퍼스 실리콘 TFT의 기생 커패시터의 용량이 클 수 밖에 없으며, 이로 인해 아몰퍼스 실리콘 TFT의 스위칭 동작시 기생 커패시터에 의한 커플링 현상이 발생하여 피드 쓰루(feed-through)가 발생한다. 또한, 아몰퍼스 실리콘 TFT의 스위칭시 소자의 턴-온/오프에 의한 채널 전하의 변동(charge injection)으로 인해, 제 2 노드(N2)에 본래의 문턱전압(V_{th}) 값을 저장하더라도 최종적으로 이는 왜곡된 값이 된다. 이와 같이 기생 커패시터는 회로의 보상능력을 저하시킨다.

<242> 본 발명에서는 MIS(Metal/ Insulator/Silicon) 구조의 가변 커패시터(CPv)를 적용하여 변동 편차(도 10에서의 턴-온시의 커패시턴스와 턴-오프시의 커패시턴스간의 차) 성분을 보상한다. 도 10에 도시된 바와 같이, 게이트전극, 아몰퍼스 실리콘, 소스전극/드레인전극이 적층된 MIS구조의 가변 커패시터(CPv)는 양단 바이어스에 의해 커패시턴스가 가변되는 특성을 가지게 된다. 즉, 게이트전극의 전압이 0[V]보다 낮은 부극성일 때는 아몰퍼스 실리콘의 채널이 형성되지 않으므로 커패시턴스가 낮게 된다. 반면, 게이트전극의 전압이 0[V] 이상으로 증가하면서 채널이 형성되면 채널 커패시턴스가 반영되어 상기 커패시턴스가 증가한다. 이와 같이, 게이트 바이어스에 따라 커패시턴스가 변화되는 가변 커패시터의 특성을 활용하여 상술된 변동 편차 성분을 보상할 수 있다.

<243> 도 11은 구동용 트랜지스터의 문턱전압의 변화에 따른 발광소자의 전류값의 변화량을 측정한 그래프이고, 도 12는 도 11의 결과로부터 초기 전류값 대비 전류 유지율(CHR; Current Holding Ratio)을 측정한 그래프이다.

<244> 도 11 및 도 12는 제안된 발광표시장치에 대하여 SPICE 시뮬레이션을 수행한 결과이다.

<245> 도 11은 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th})을 1[V] 부터 7[V] 까지 변화시키면서, 이때의 OLED 전류를 분석한 결과이다. 여기서 문턱전압을 1V 부터 7V 까지 변화시킨 의미는 화소셀간 구동용 트랜지스터(Tr_D) 편차 내지는 장시간 구동에 따른 구동용 트랜지스터(Tr_D)의 열화를 의미한다.

<246> 또한 가변 커패시터(CPv) 적용의 경우 보상 능력이 어떻게 변화하는지 확인하기 위해, 본 시뮬레이션에서는 MIS 구조의 가변 커패시터(CPv)를 그 면적에 따라 3가지로 구분하고 커패시턴스를 측정하였다. 측정 결과, 채널이 형성되었을 때의 가변 커패시터(CPv)의 커패시턴스는 약 20 fF, 40 fF, 60 fF 이었다. 여기서 커패시턴스 값은 도 10에서 도시한 경우에 비추어 설명하면 턴-온시의 커패시턴스를 의미한다.

<247> 도 11 및 도 12는 앞서 설명된 제 1 내지 제 3 실시예 중에서 제 1 실시예의 구조에 따른 발광표시장치에 대한 결과를 나타낸 그래프이다. 도 11은 구동용 트랜지스터(Tr_D)의 문턱전압(V_{th}) 값을 변화시켜가며 발광소자(OLED)의 전류값의 변화를 관찰한 것이고, 도 12는 도 11의 결과로부터 초기 전류값 대비 전류 유지율 (CHR, current holding ratio)를 계산한 결과를 보여준다.

<248> 커패시턴스가 20 fF 인 경우, 문턱전압(V_{th})이 1V 일 때 발광소자(OLED)의 전류는 1270 nA 이고 $V_{th}=7V$ 일 때는 1000 nA 으로서, 문턱전압(V_{th})이 6V 정도 쉬프트(shift)되면 보상 회로를 적용하더라도 전류는 약 21% 편차가 발생한다. 이에 반해 커패시턴스가 40 fF 인 경우, 전류 편차는 10% 수준으로 감소하여 보상 능력이 향상됨을 확인할 수 있다. 만약 커패시턴스가 60 fF 으로 더 증가하면 전류 편차는 역으로 증가하는 현상을 보인다. 즉, 보상 능력을 향상시키는 가변 커패시터(CPv)의 커패시턴스의 최적값이 있음을 의미한다.

<249> 따라서, 회로구성에 따라 실험을 통해 최적의 커패시턴스 값을 갖는 가변 커패시터를 선택하고, 이 선택된 가변 커패시터를 회로에 적용함으로써 회로의 보상 능력을 최적화시킬 수 있다.

<250> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

<251> 도 1 본 발명에 따른 발광 표시장치를 나타내는 도면

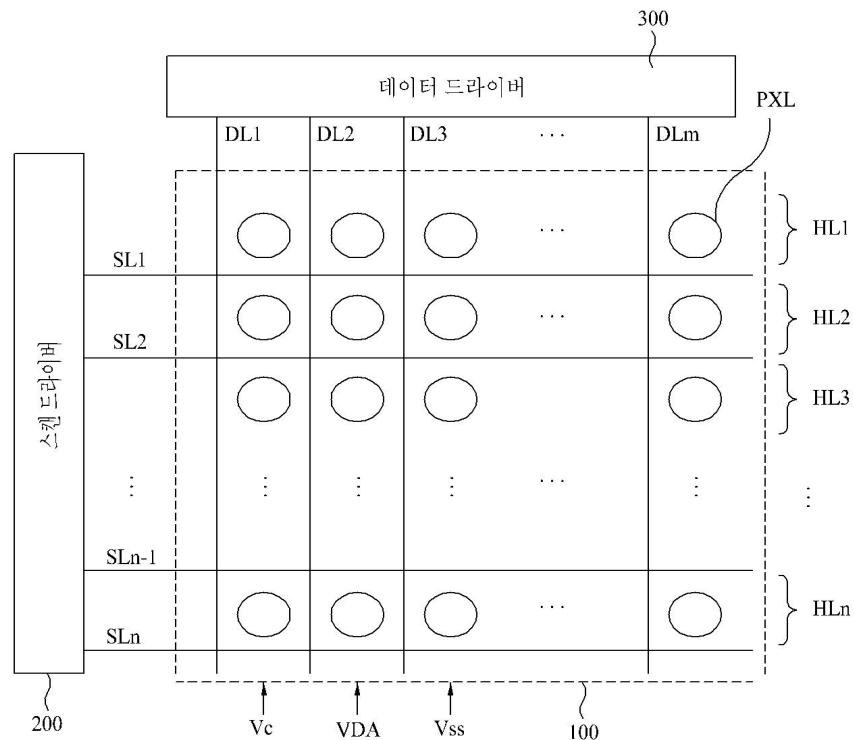
<252> 도 2는 도 1의 임의의 화소셀의 회로구성을 나타낸 도면

<253> 도 3은 도 2와 같은 구조를 갖는 다수의 화소셀들을 포함하는 표시부에 공급되는 제 1 실시예의 각종 신호 파형을 나타낸 도면

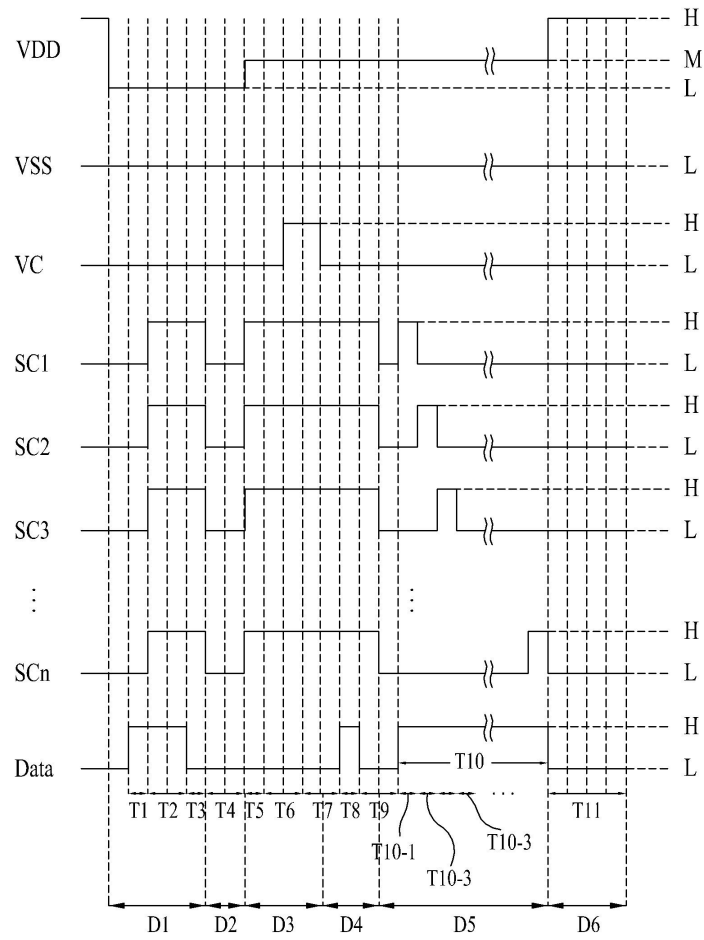
- <254> 도 4a 내지 도 4k는 본 발명의 제 1 실시예에 따른 발광표시장치의 동작을 설명하기 위한 동작 순서도
- <255> 도 5는 도 2와 같은 구조를 갖는 다수의 화소셀들을 포함하는 표시부에 공급되는 제 2 실시예의 각종 신호 파형을 나타낸 도면
- <256> 도 6a 내지 도 6n은 본 발명의 제 2 실시예에 따른 발광표시장치의 동작을 설명하기 위한 동작 순서도
- <257> 도 7은 도 2와 같은 구조를 갖는 다수의 화소셀(PXL)들을 포함하는 표시부(100)에 공급되는 제 3 실시예의 각종 신호 파형을 나타낸 도면이다.
- <258> 도 8a 내지 도 8n은 본 발명의 제 3 실시예에 따른 발광표시장치의 동작을 설명하기 위한 동작 순서도
- <259> 도 9는 본 발명의 가변 커패시터의 등가회로를 나타낸 도면
- <260> 도 10은 본 발명의 가변 커패시터의 게이트 바이어스에 의한 커패시턴스의 변화를 나타낸 그래프
- <261> 도 11은 구동용 트랜지스터의 문턱전압의 변화에 따른 발광소자의 전류값의 변화량을 측정한 그래프
- <262> 도 12는 도 11의 결과로부터 초기 전류값 대비 전류 유지율(CHR; Current Holding Ratio)을 측정한 그래프

도면

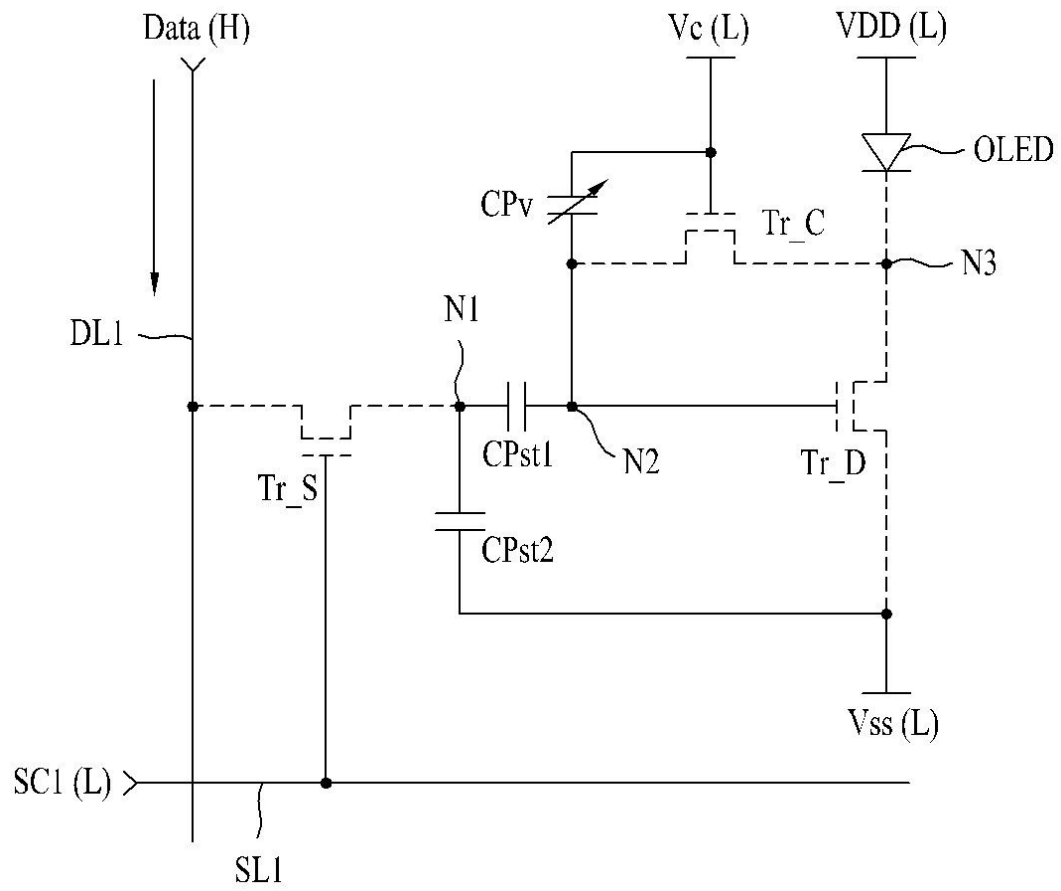
도면1



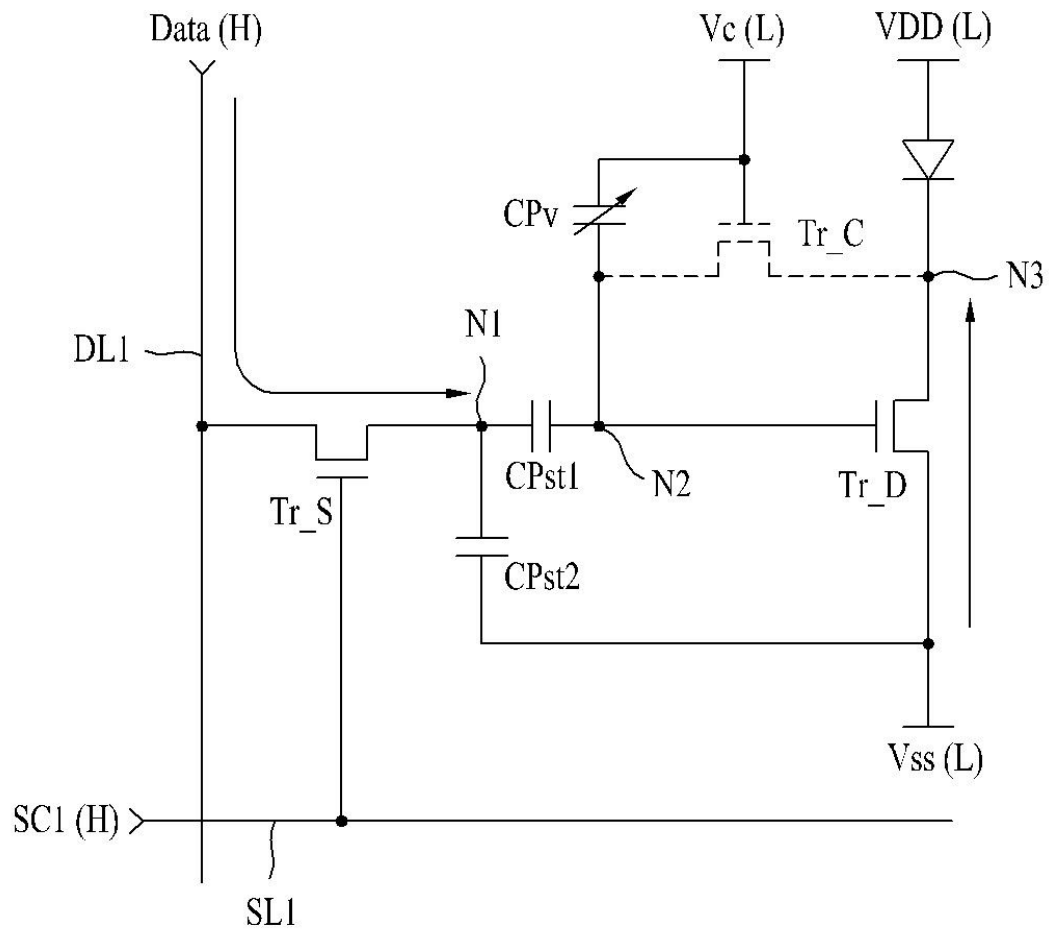
도면3



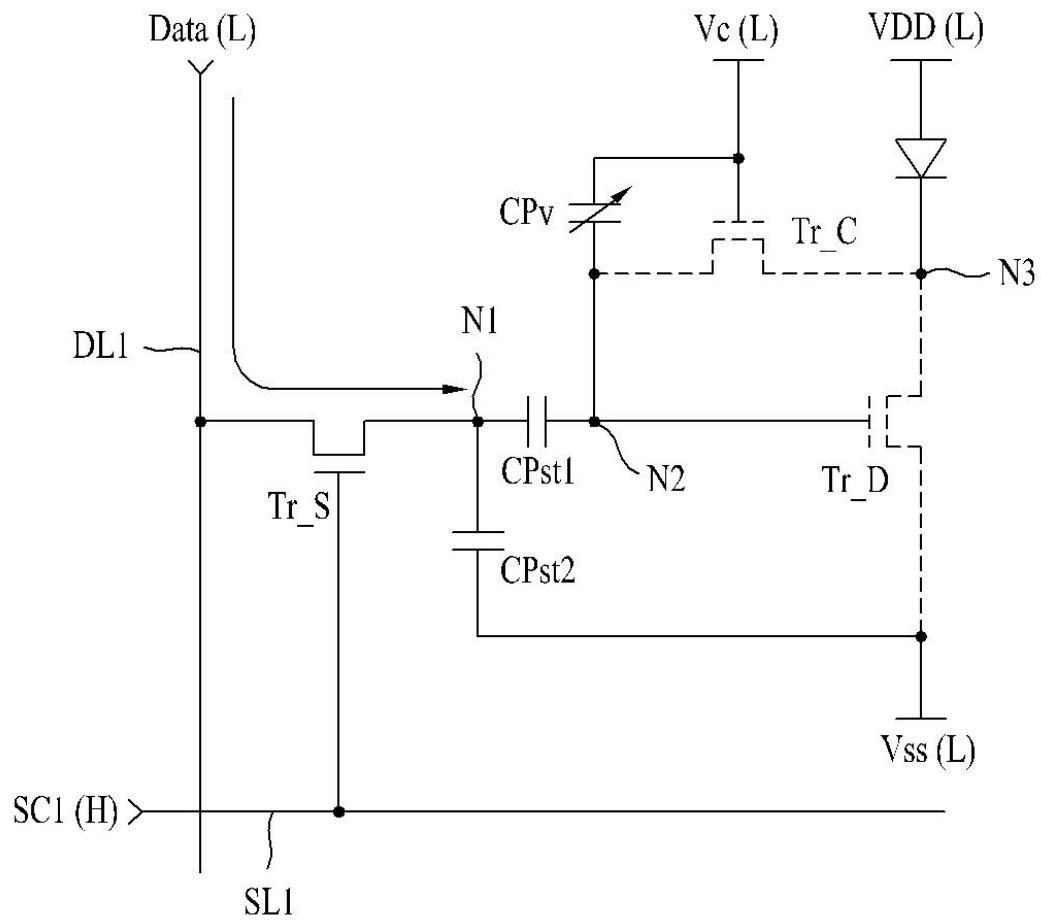
도면4a



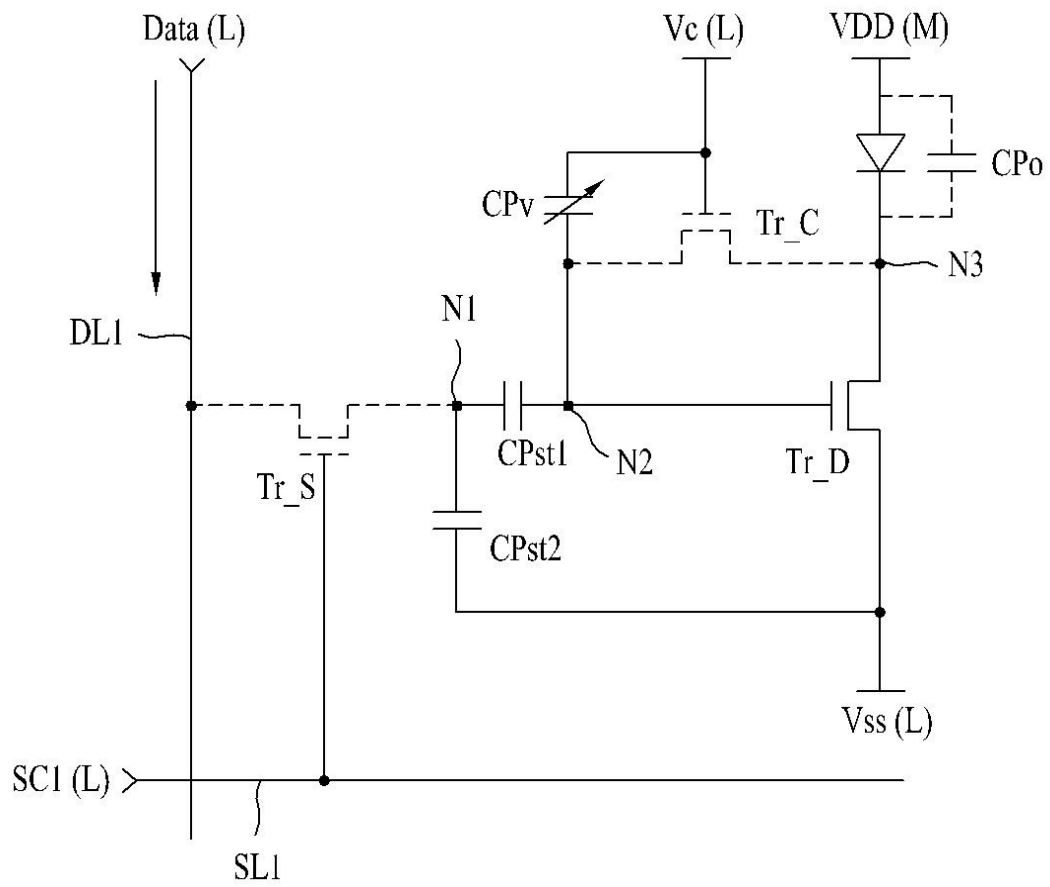
도면4b



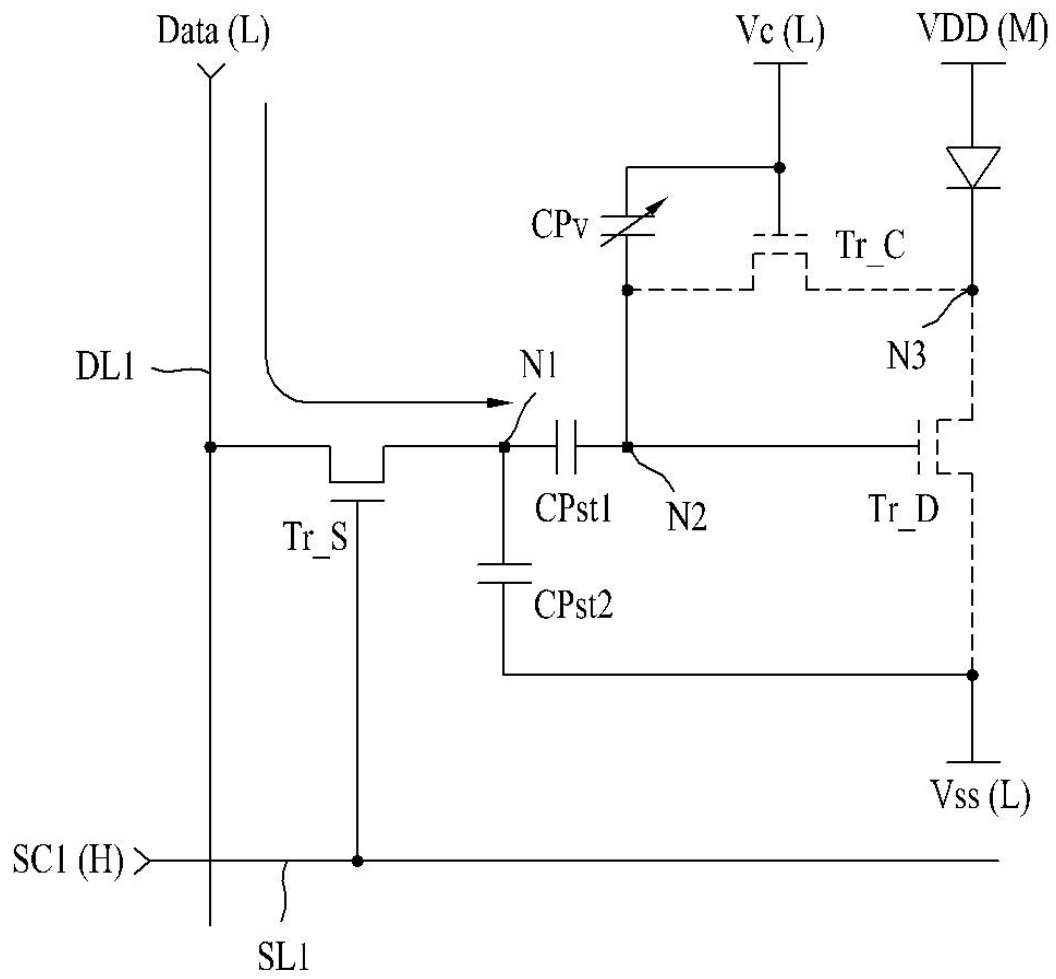
도면4c



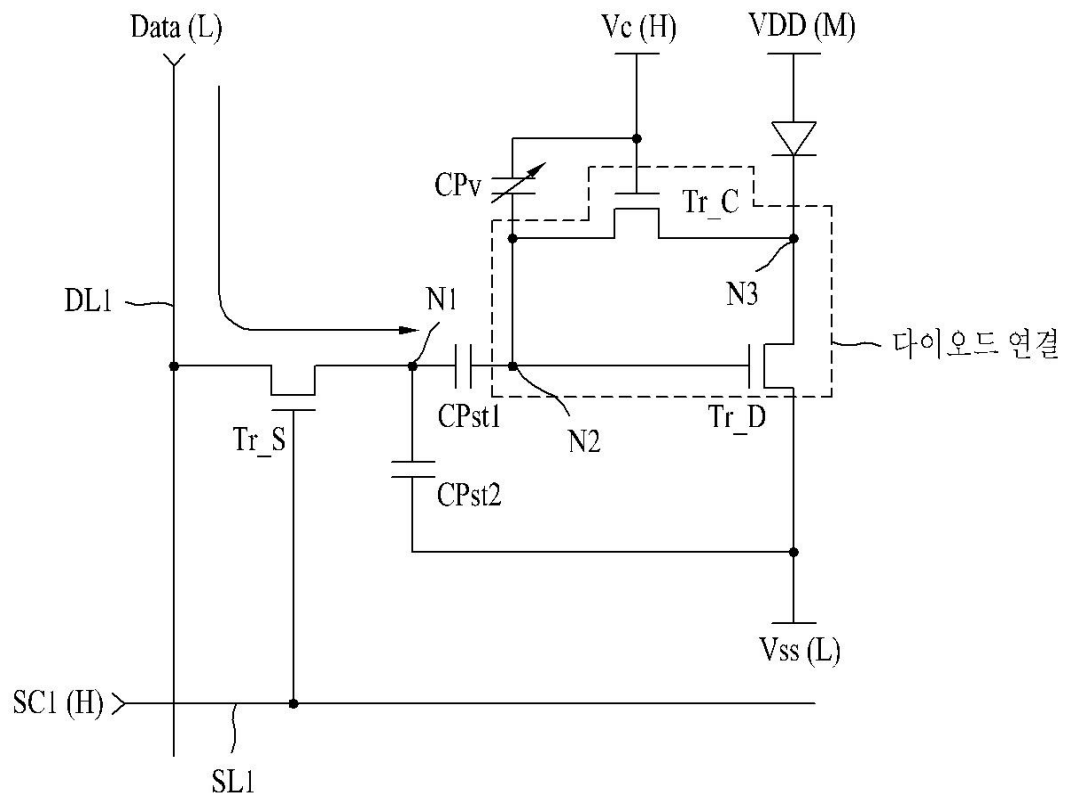
도면4d



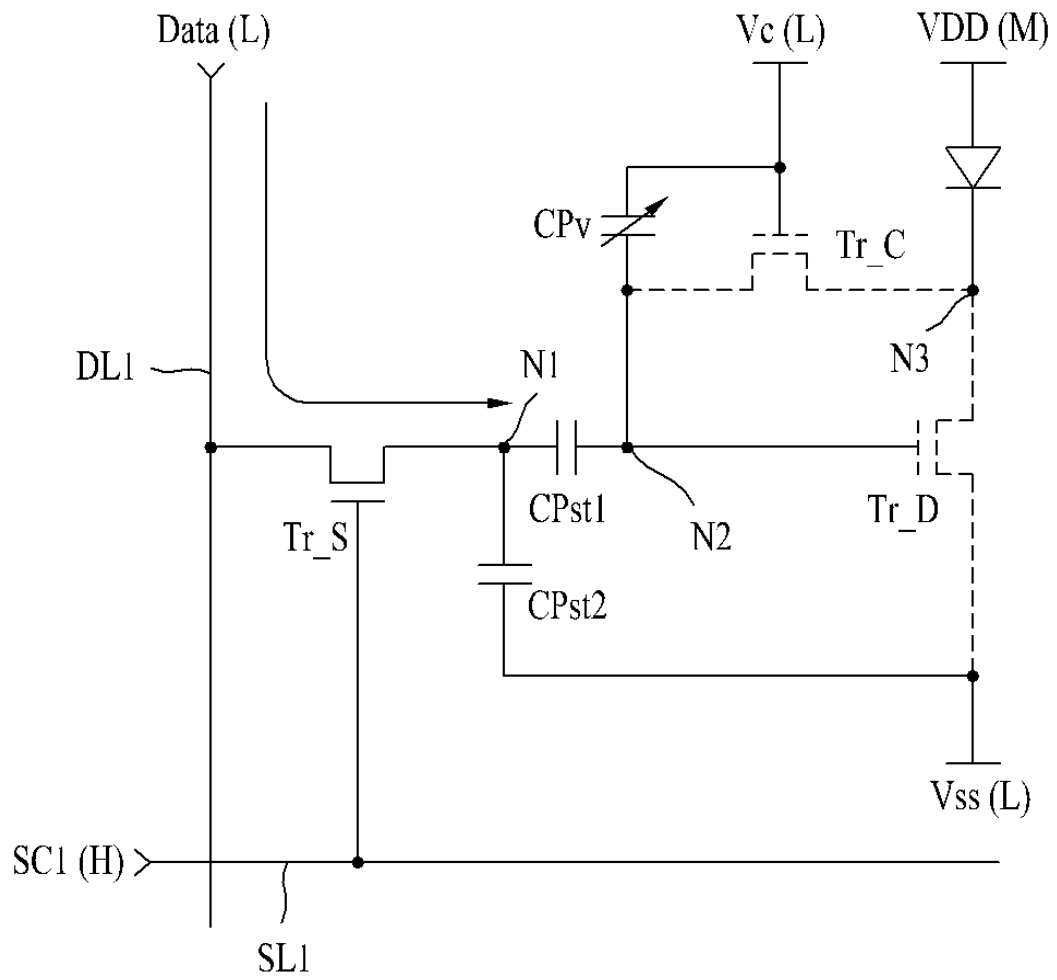
도면4e



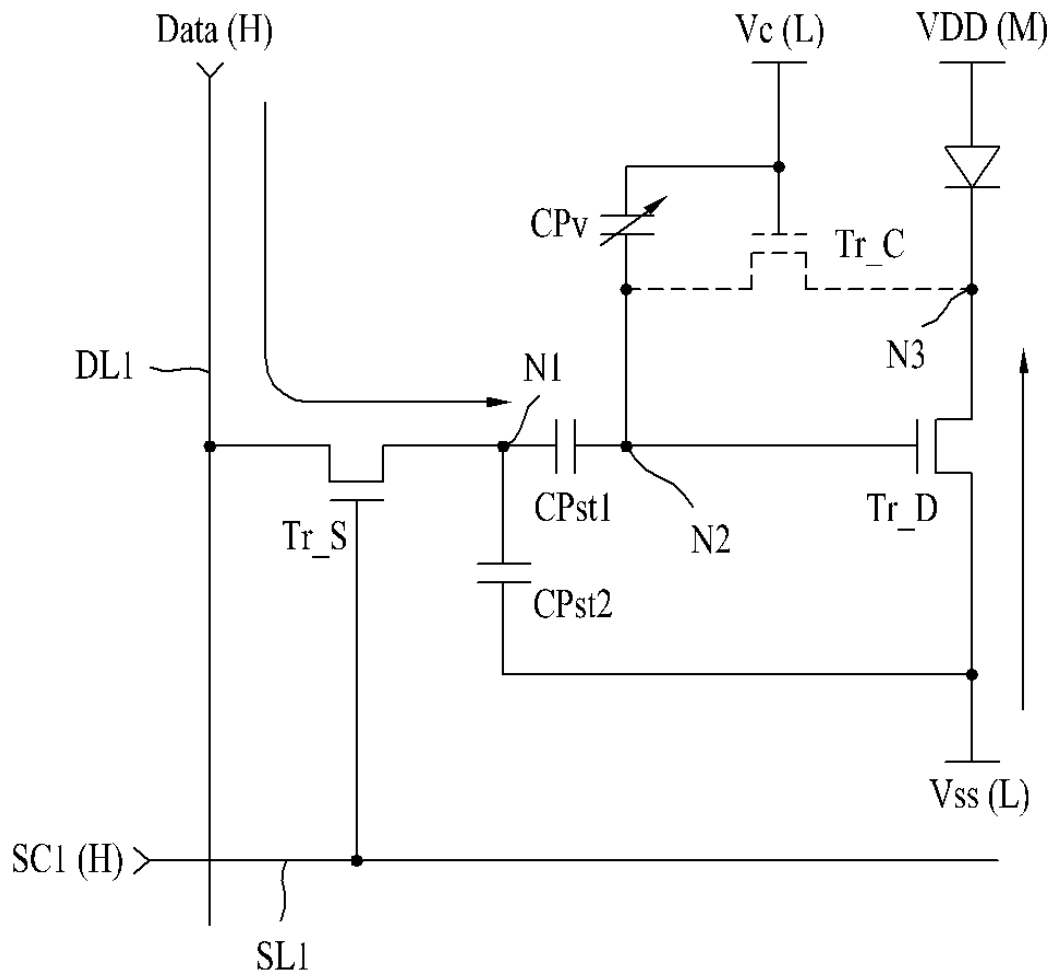
도면4f



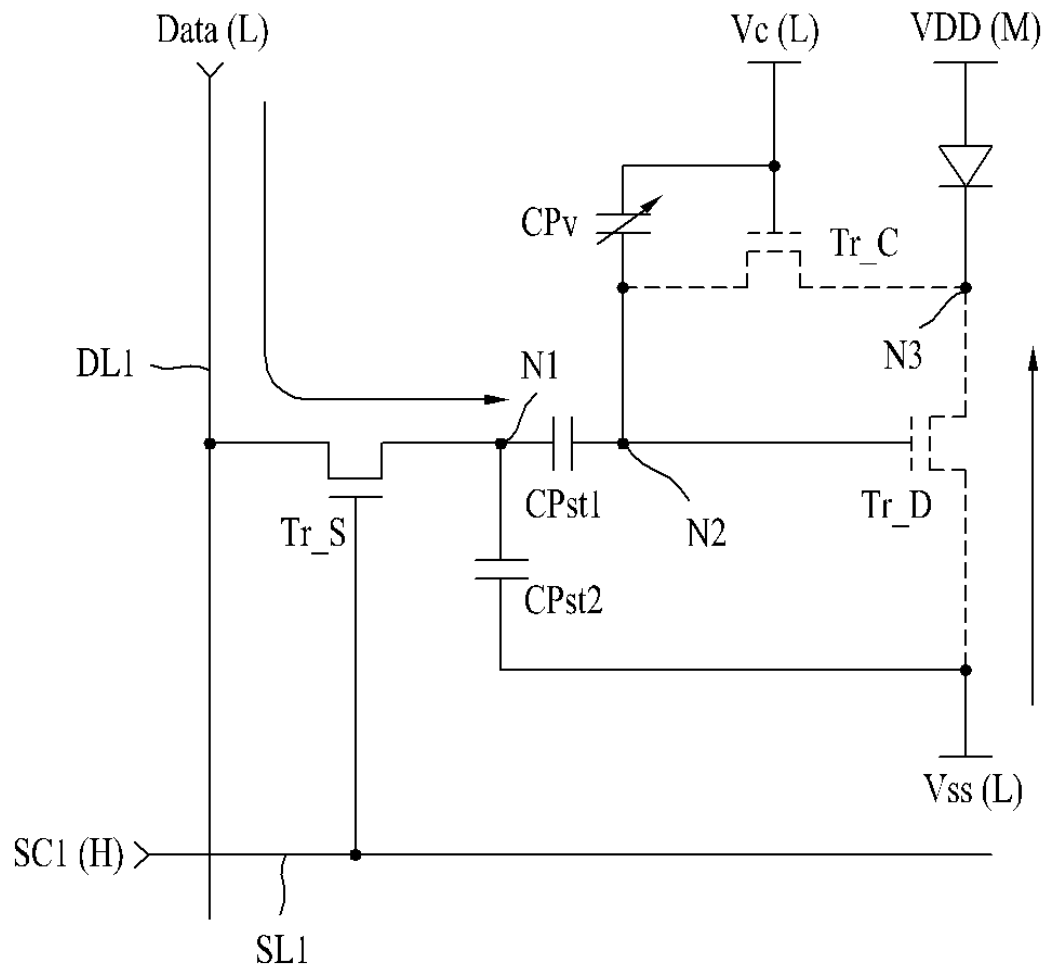
도면4g



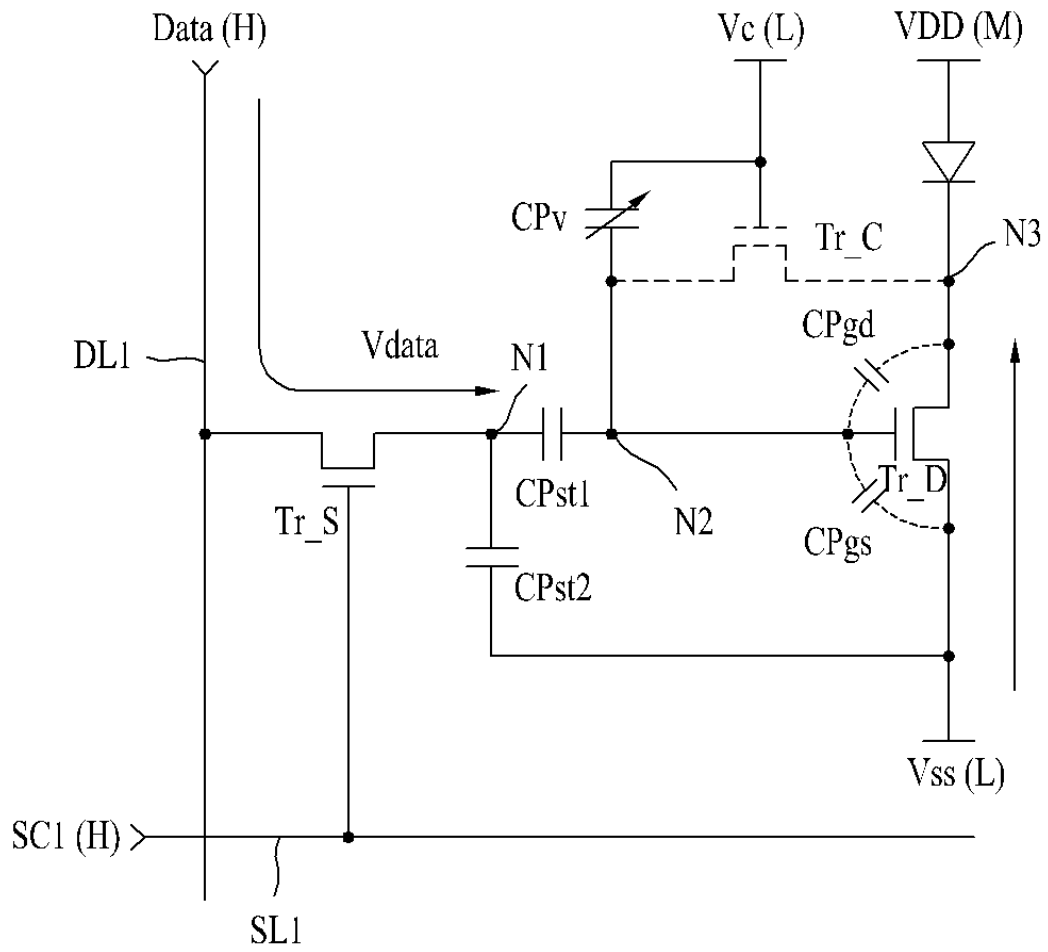
도면4h



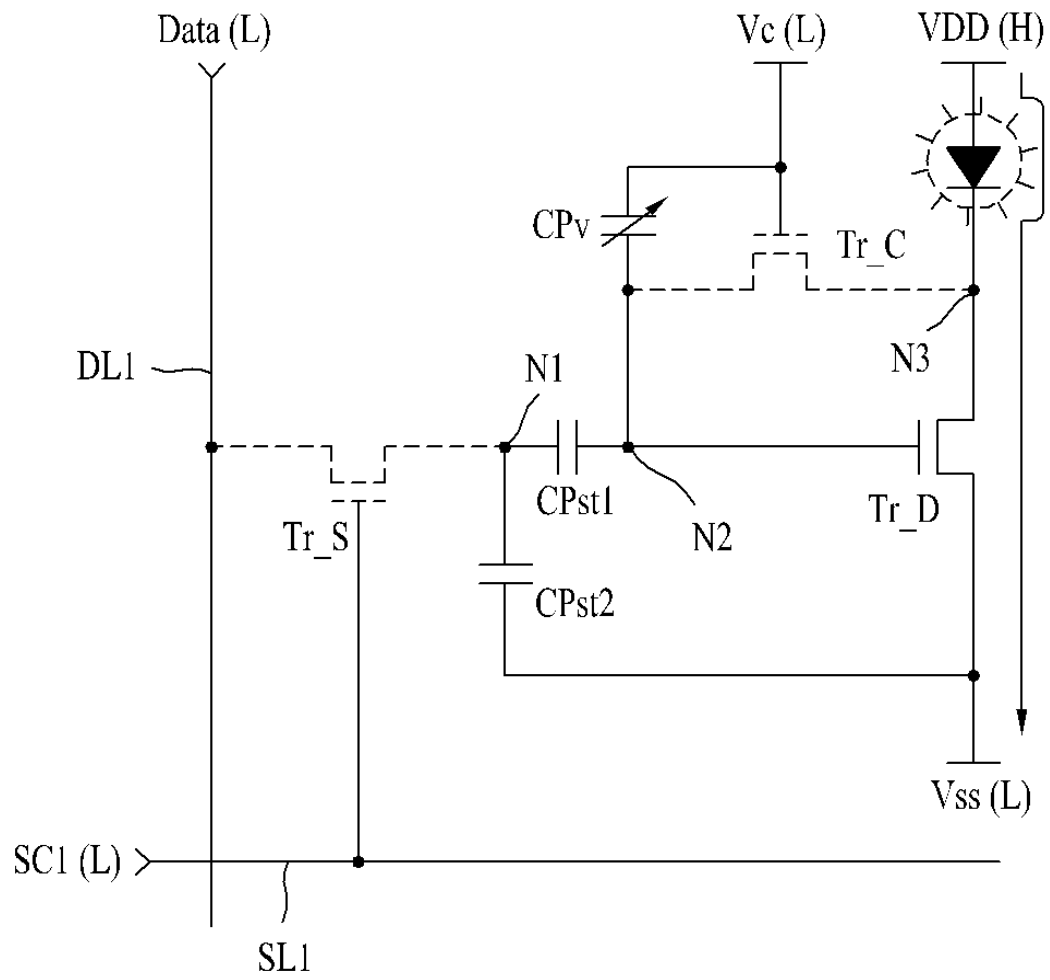
도면4i



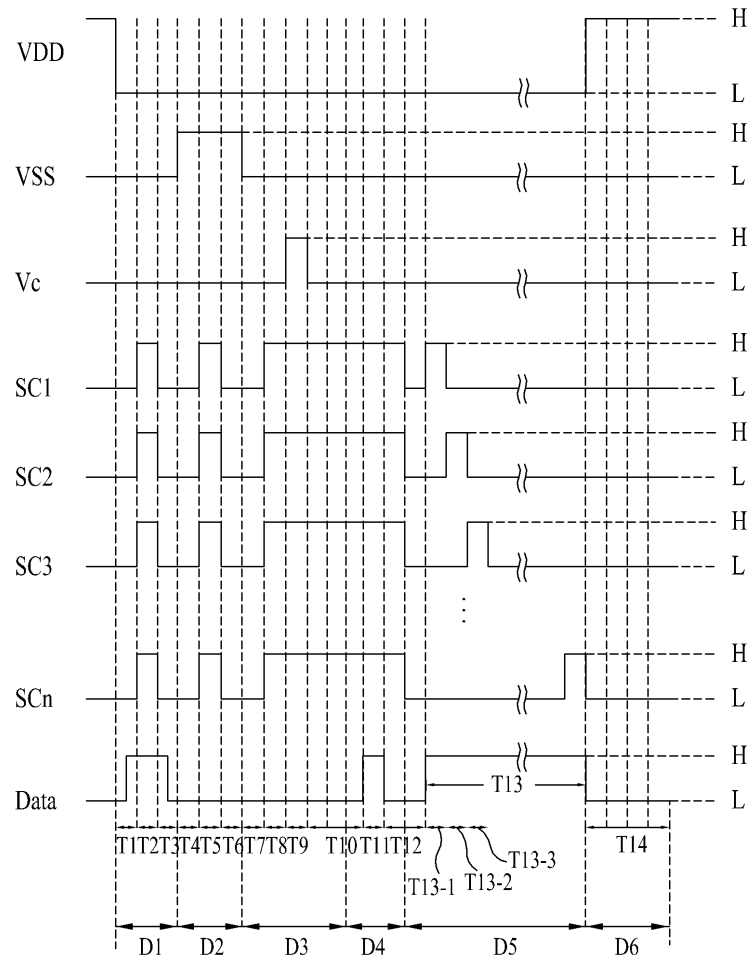
도면4j



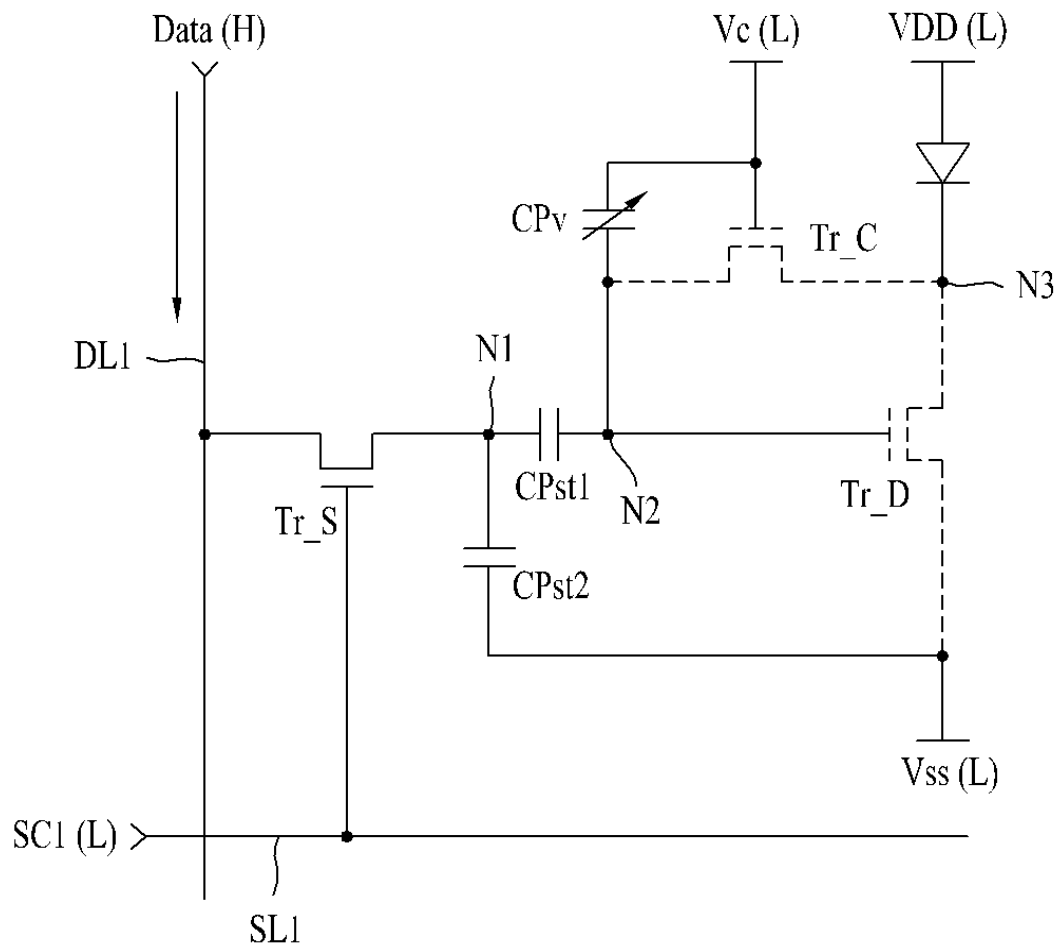
도면4k



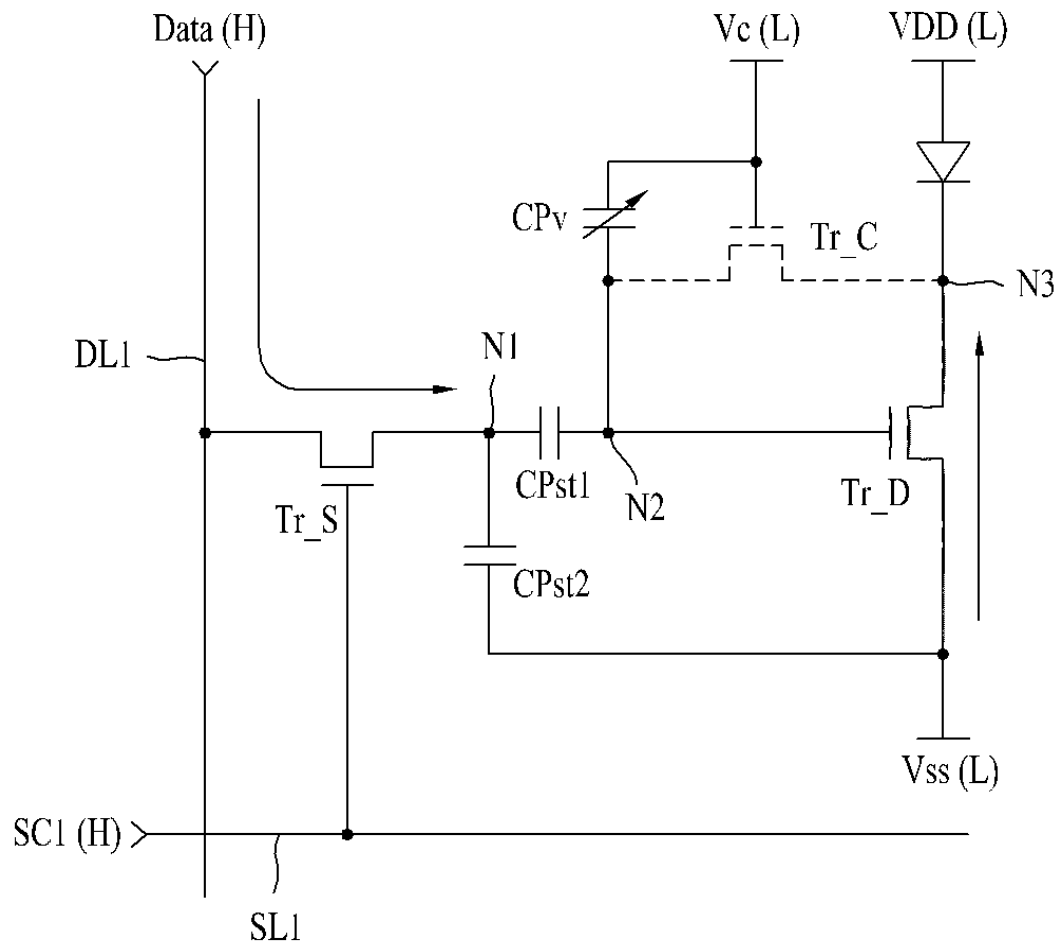
도면5



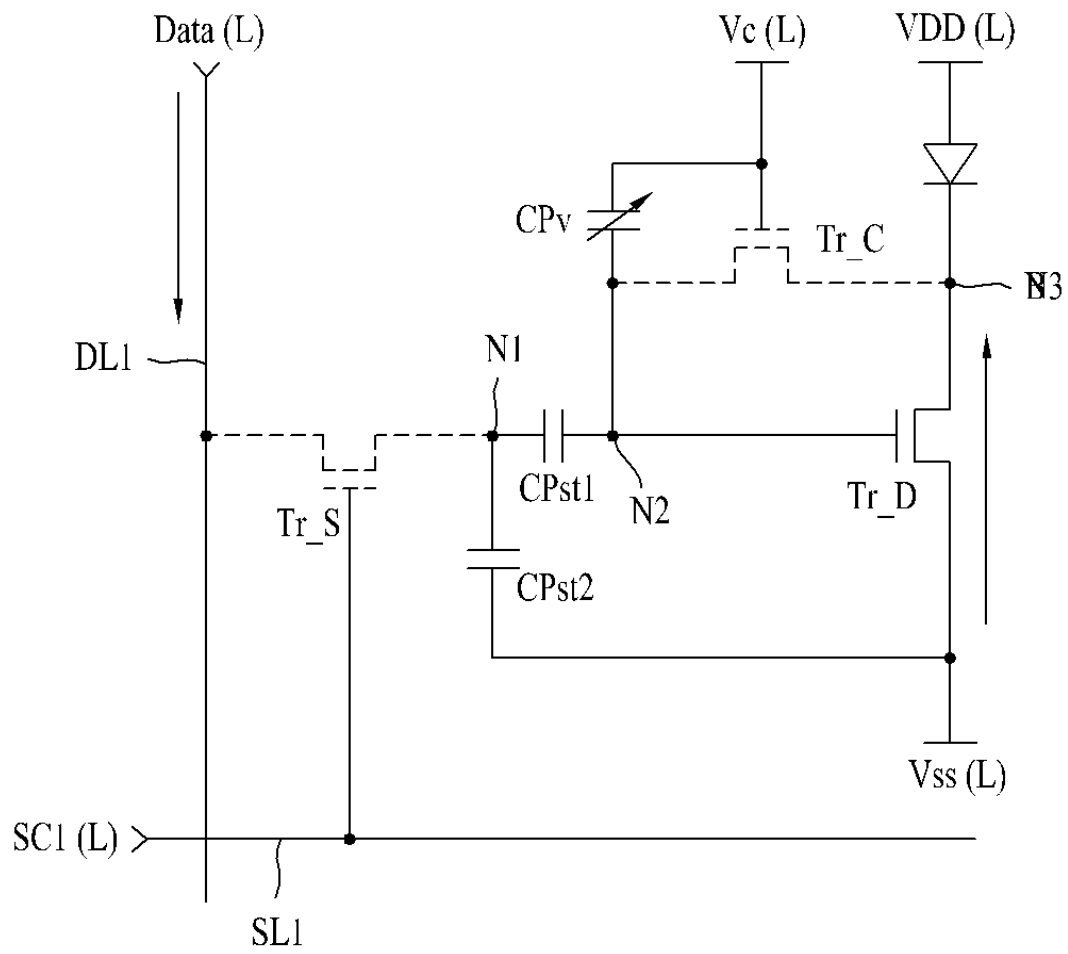
도면6a



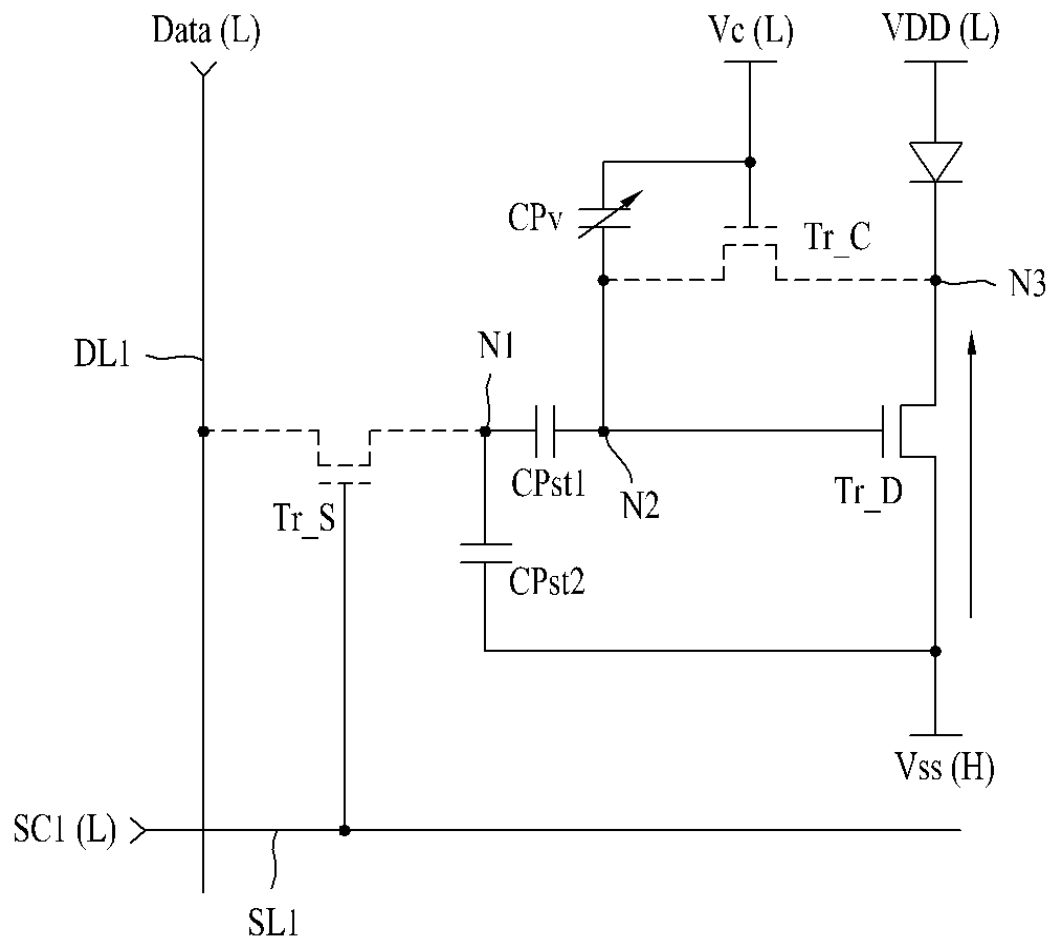
도면6b



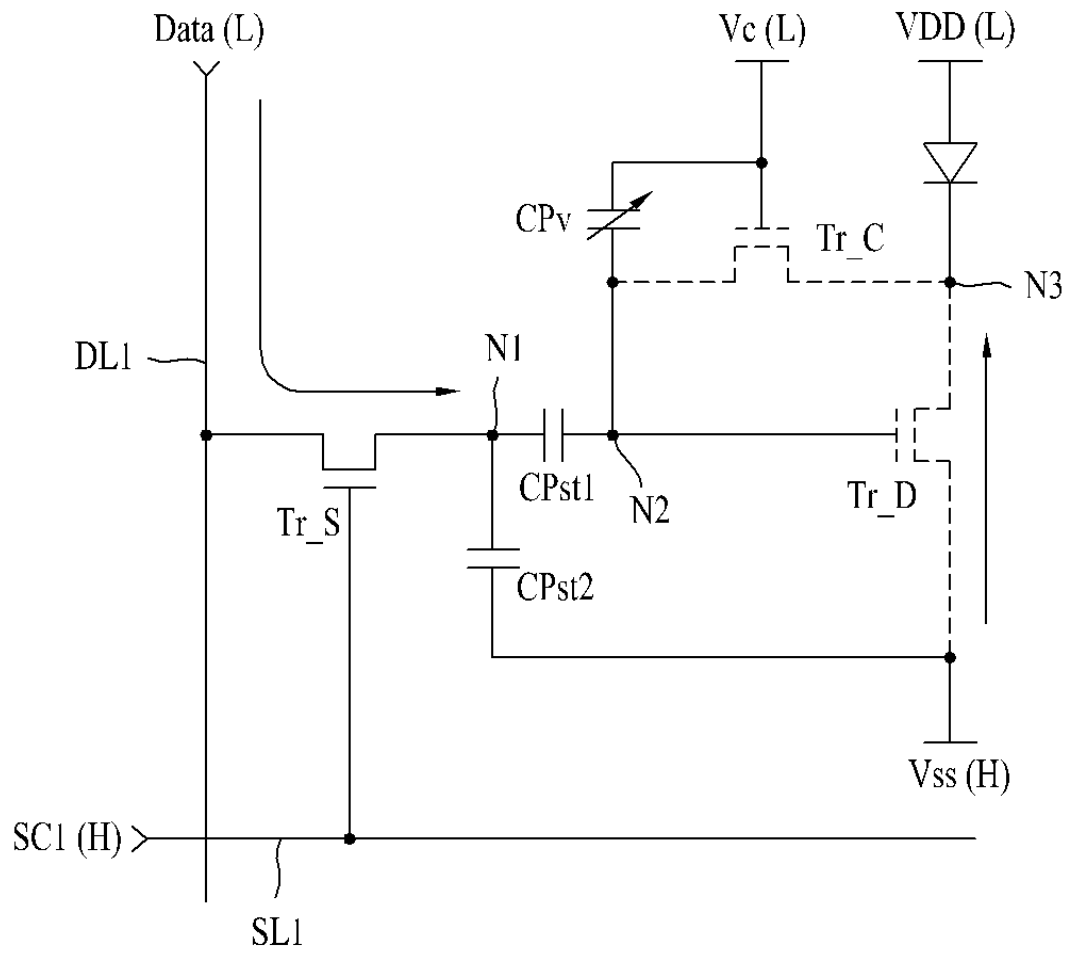
도면6c



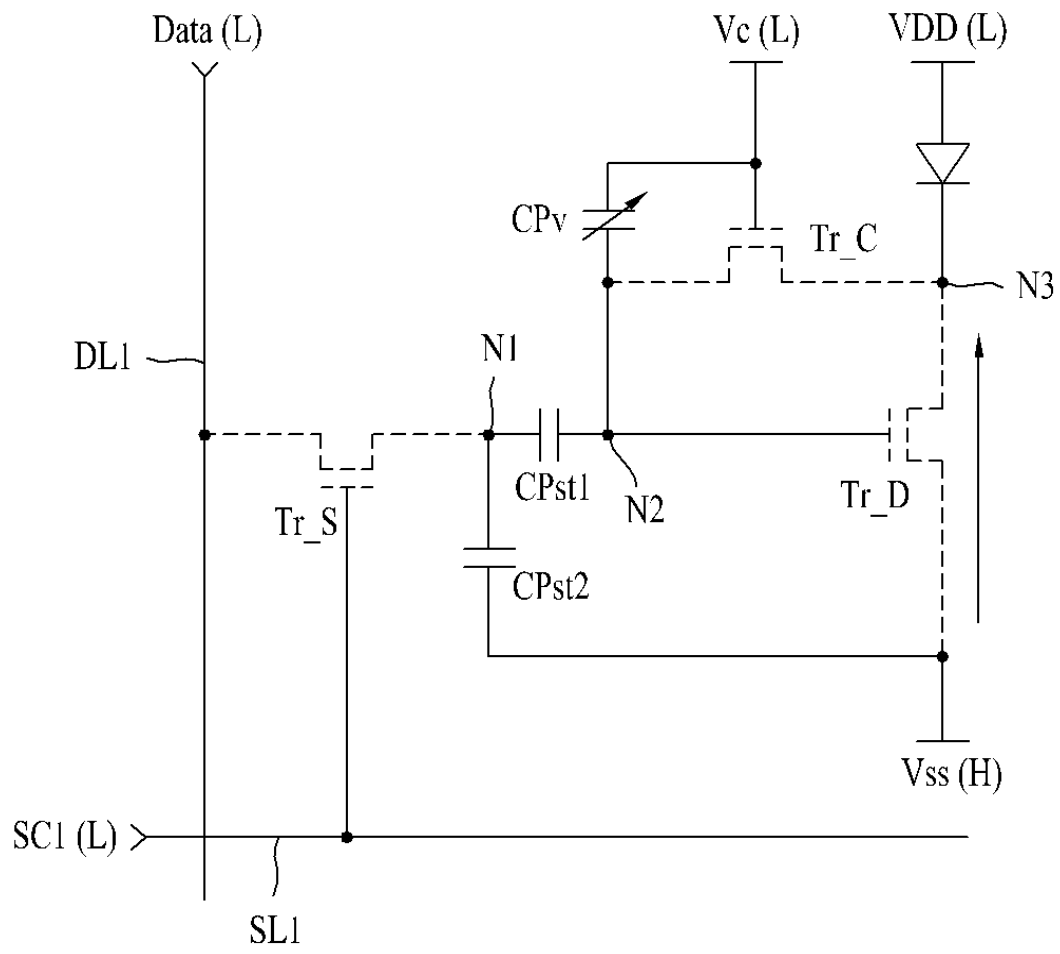
도면6d



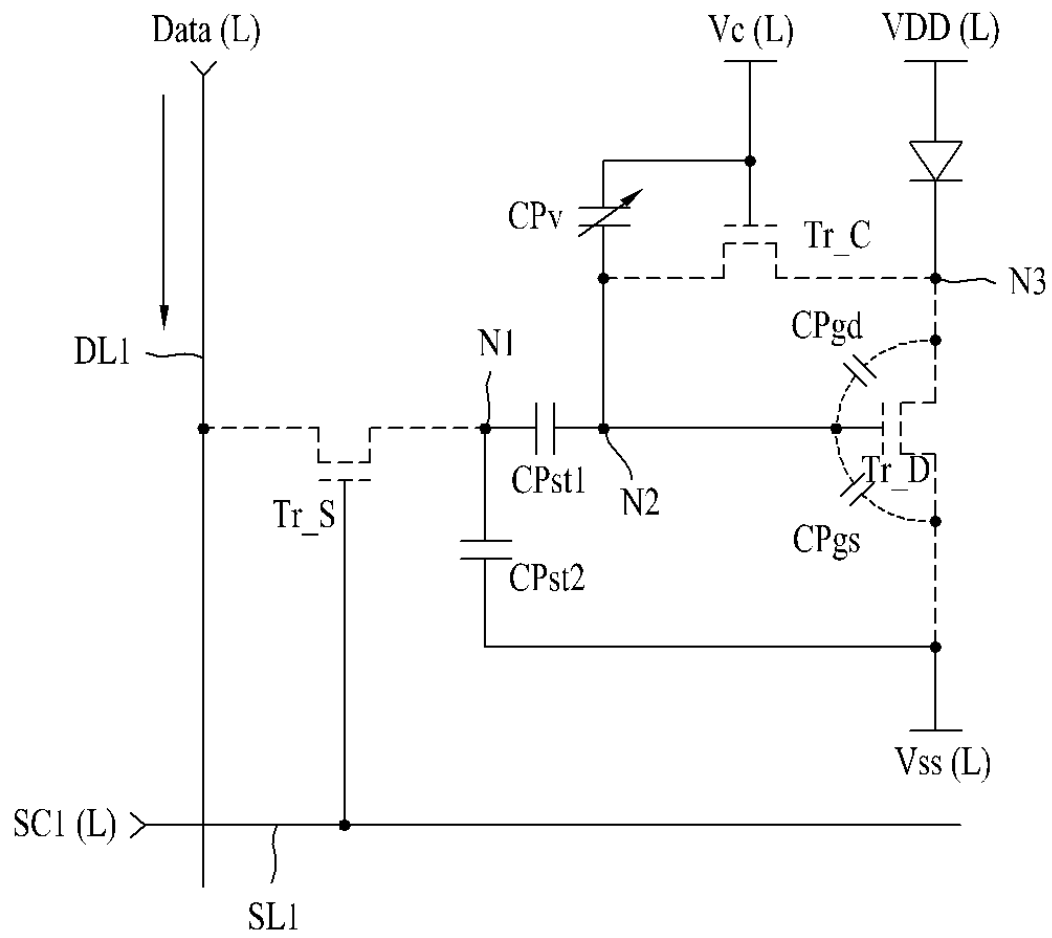
도면6e



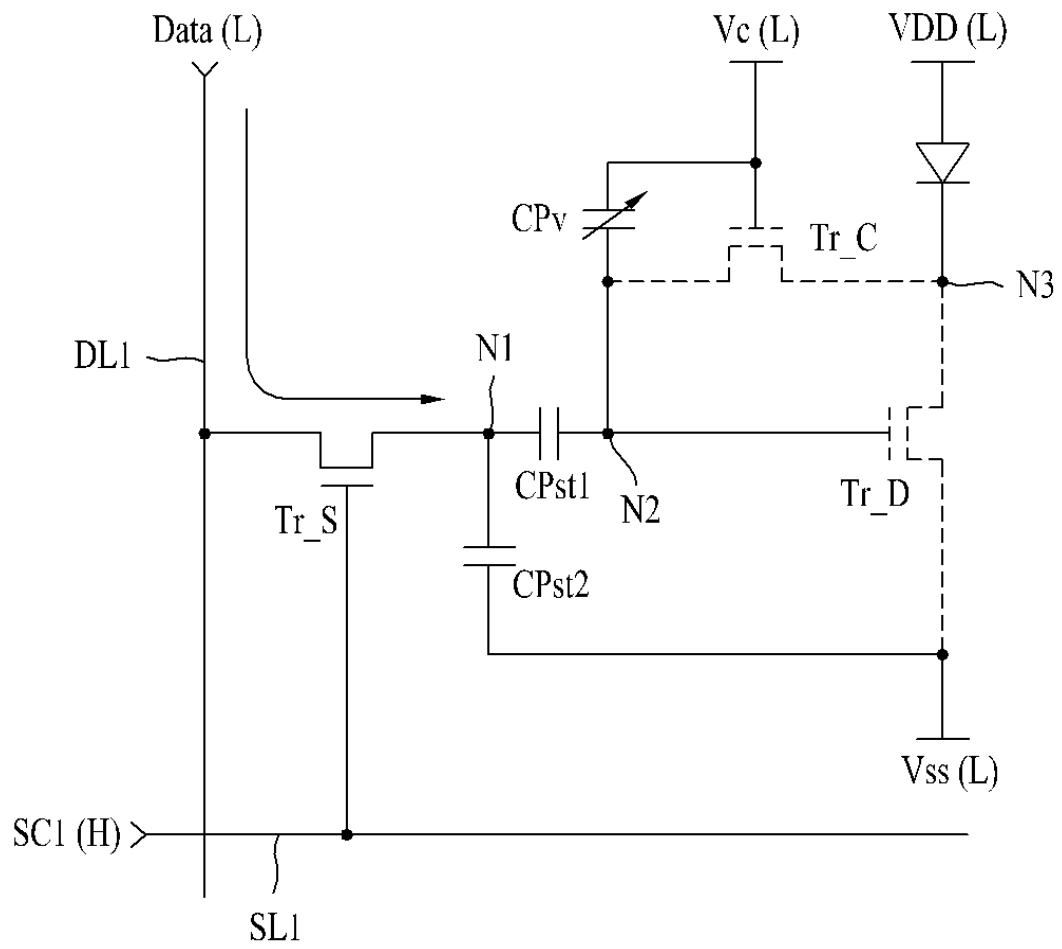
도면6f



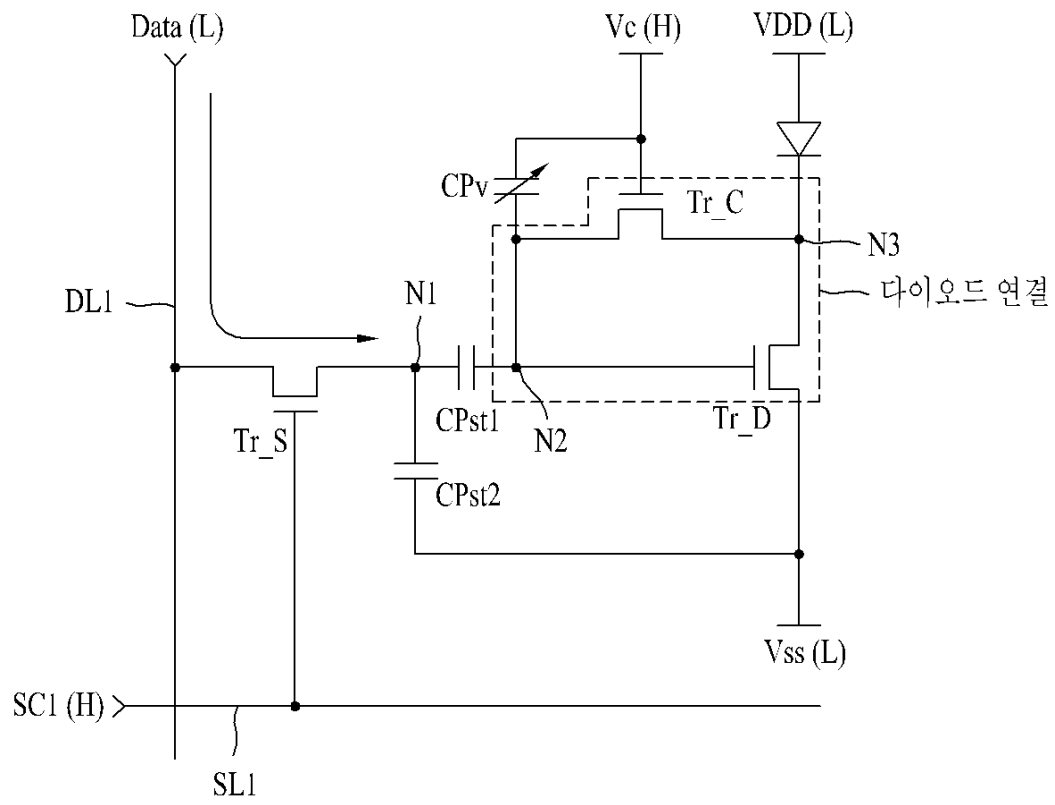
도면6g



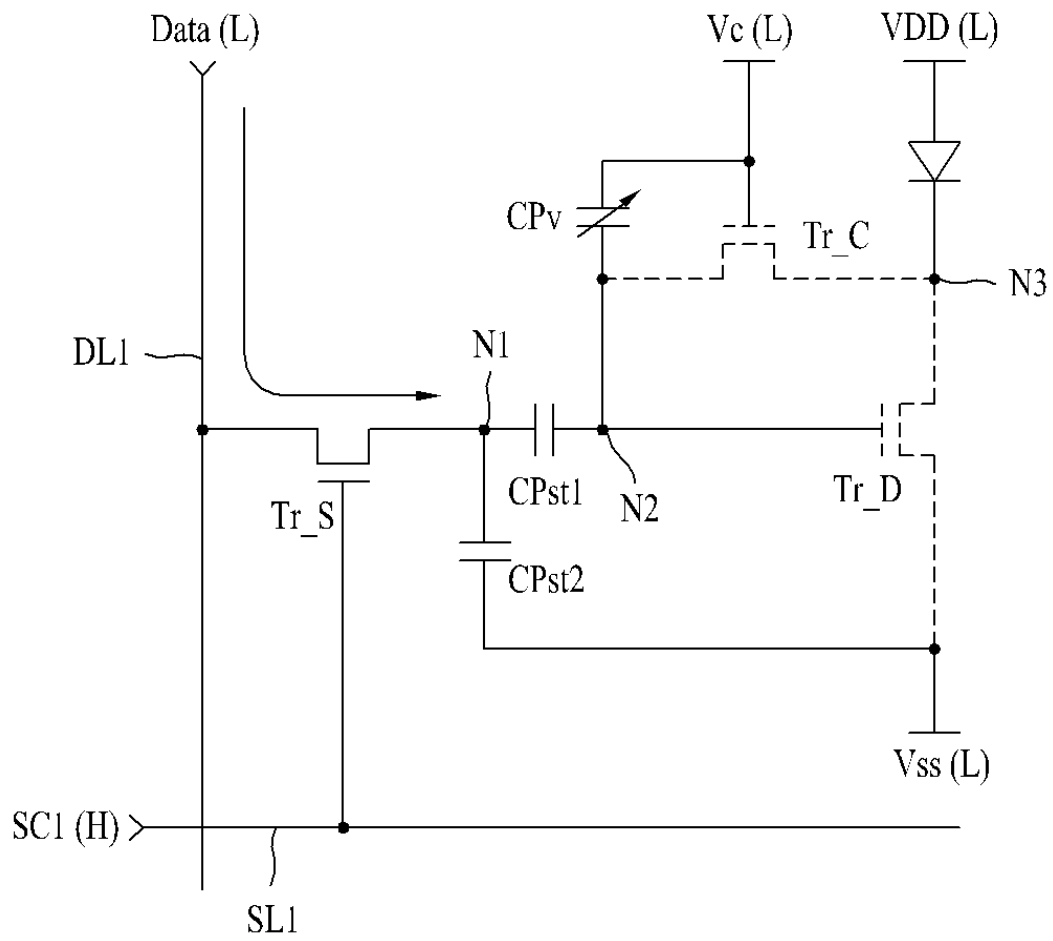
도면6h



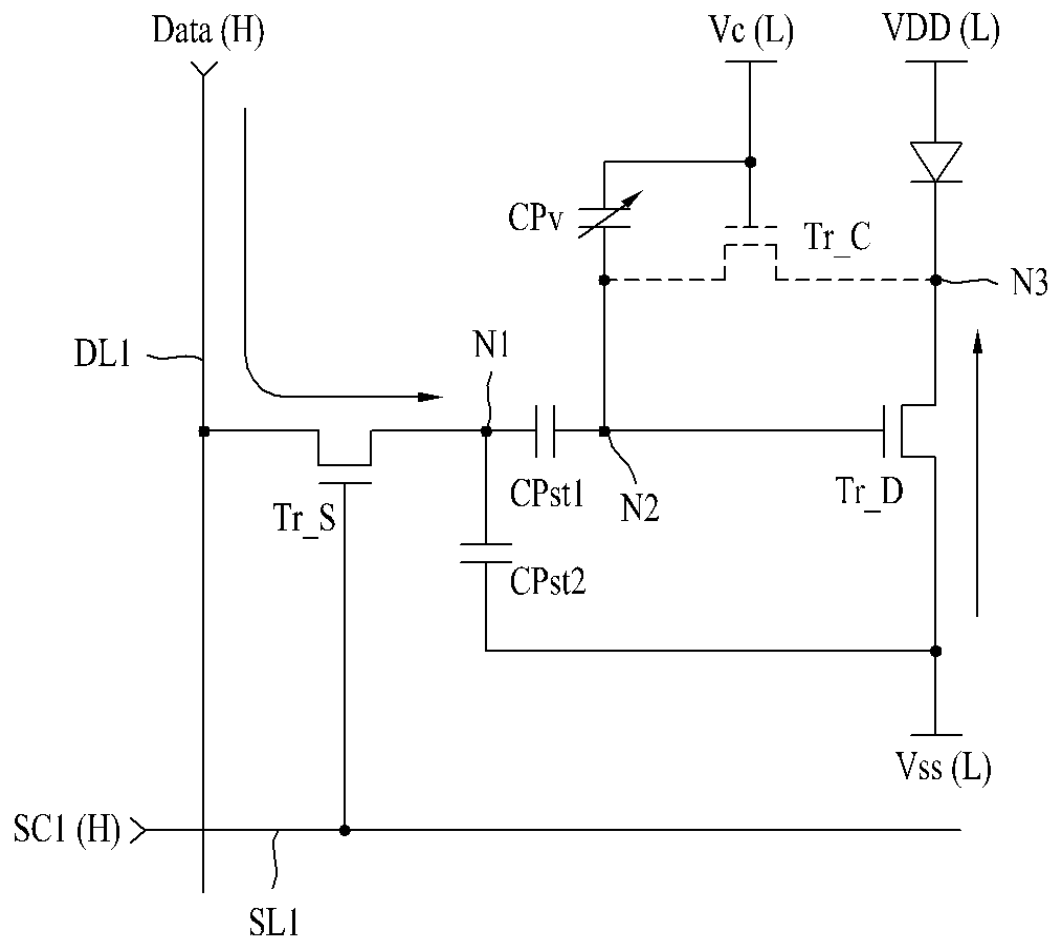
도면6i



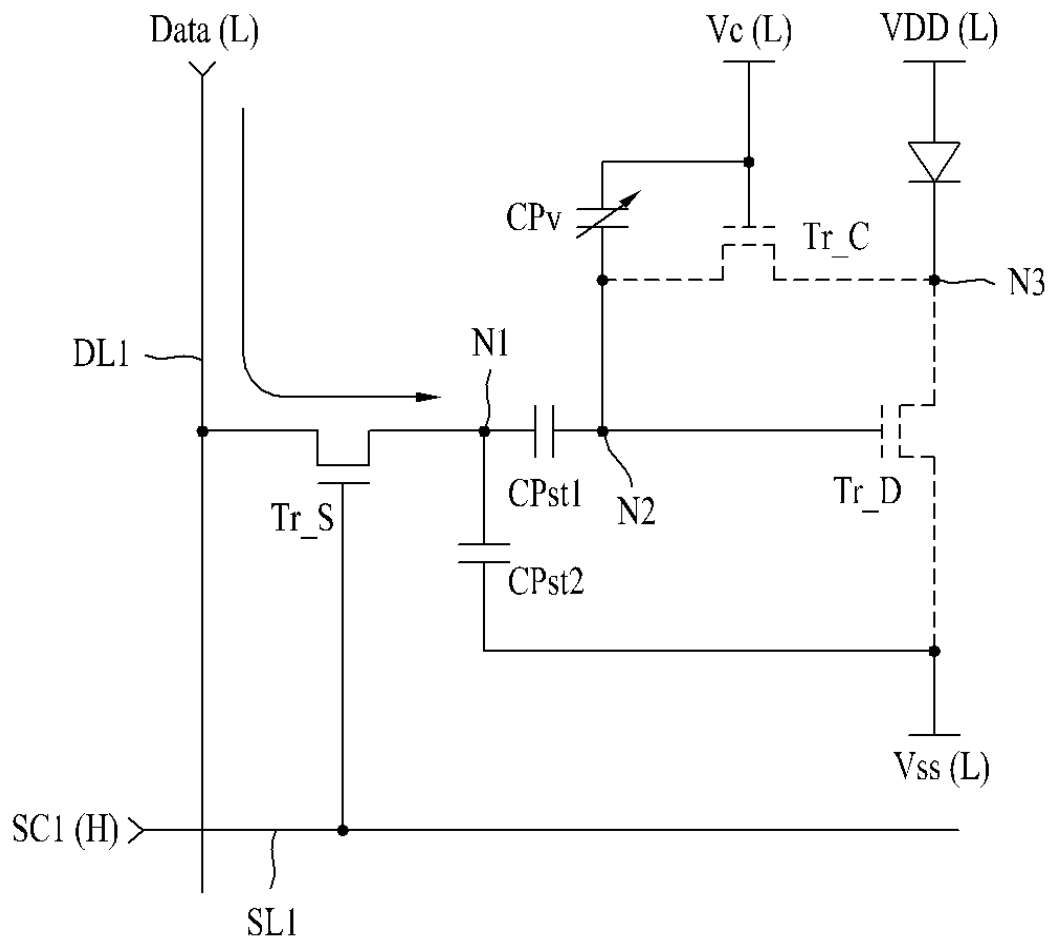
도면6j



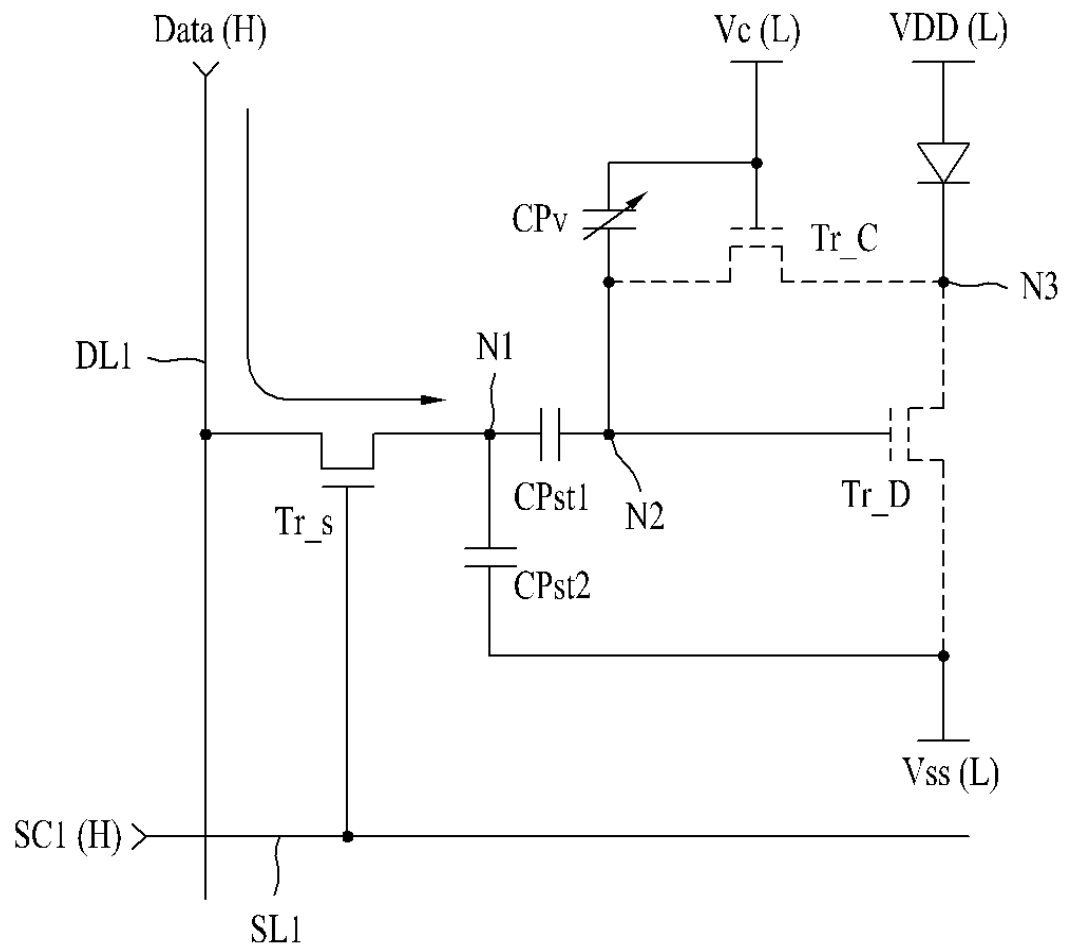
도면6k



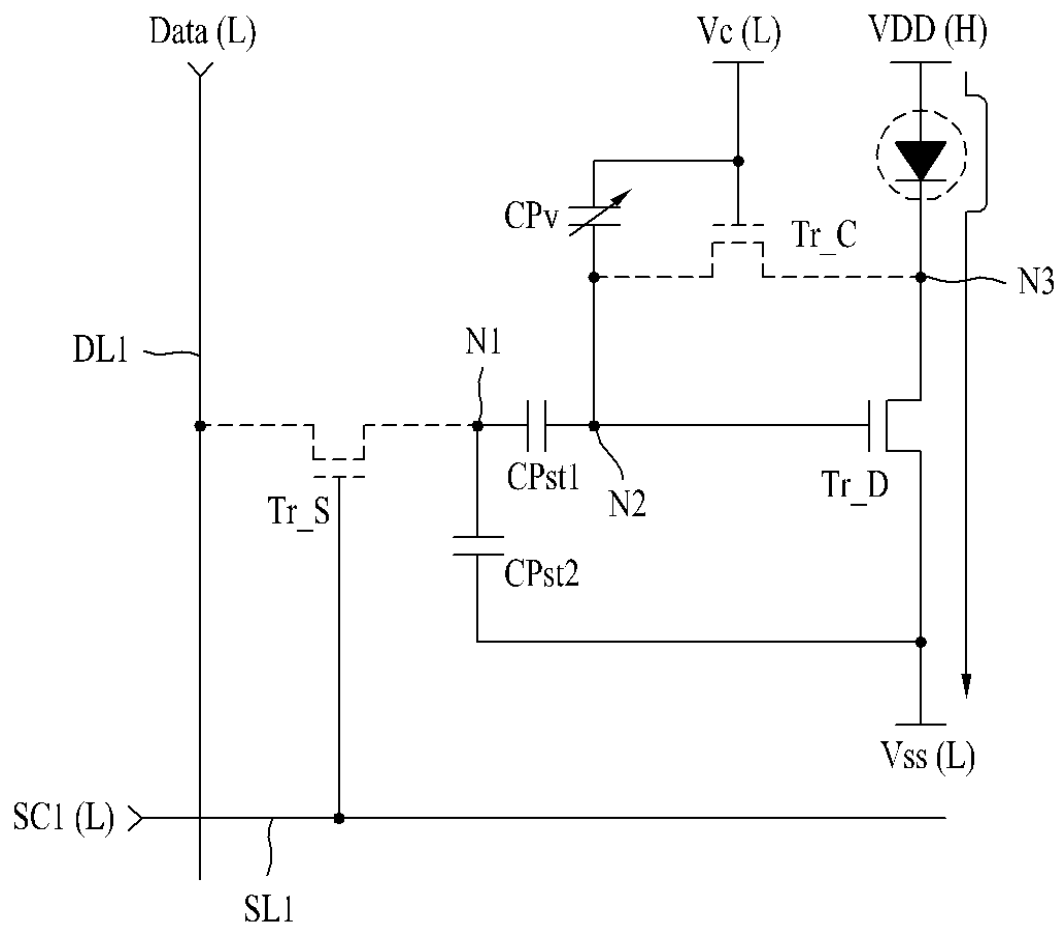
도면61



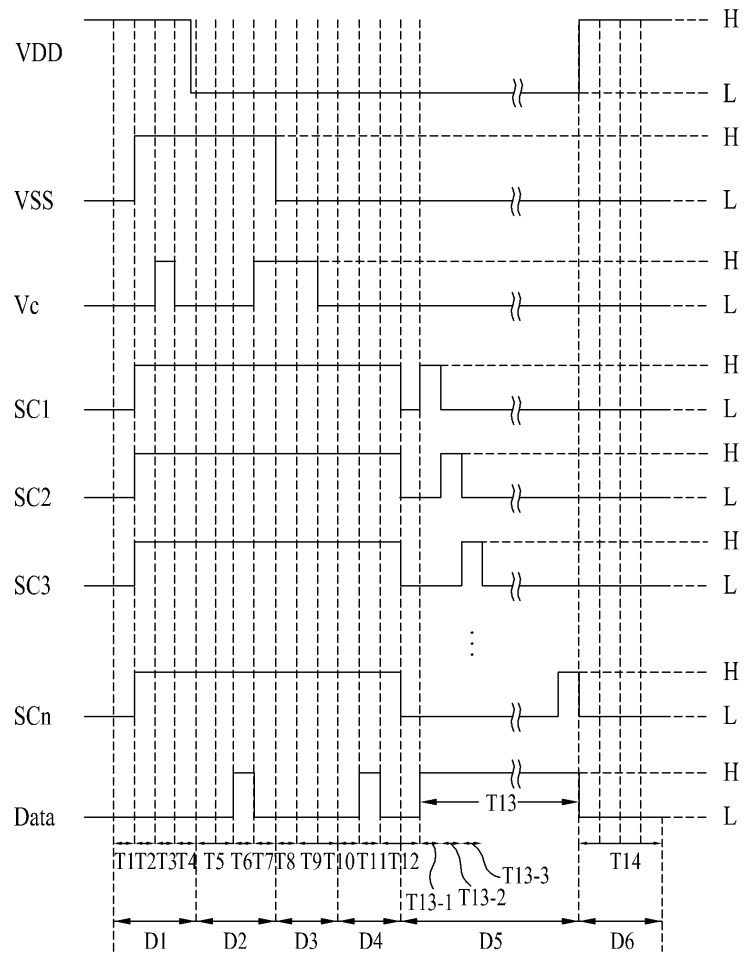
도면6m



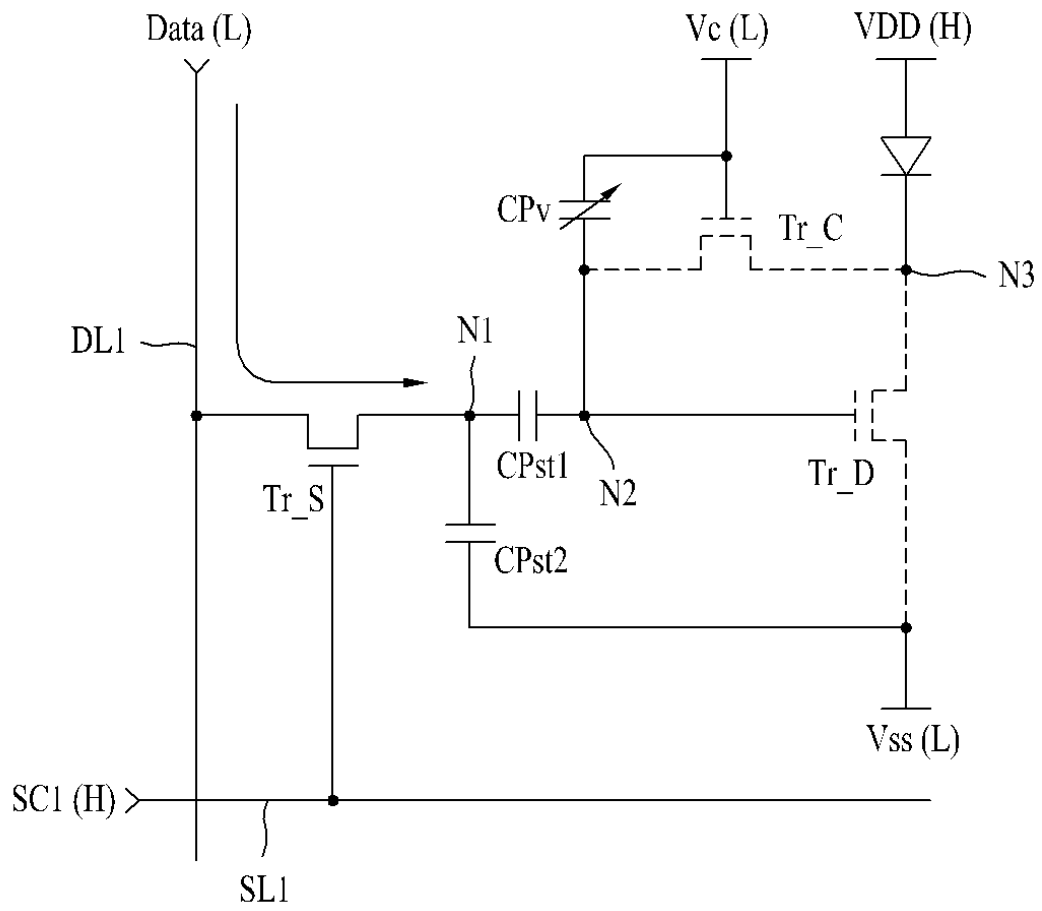
도면6n



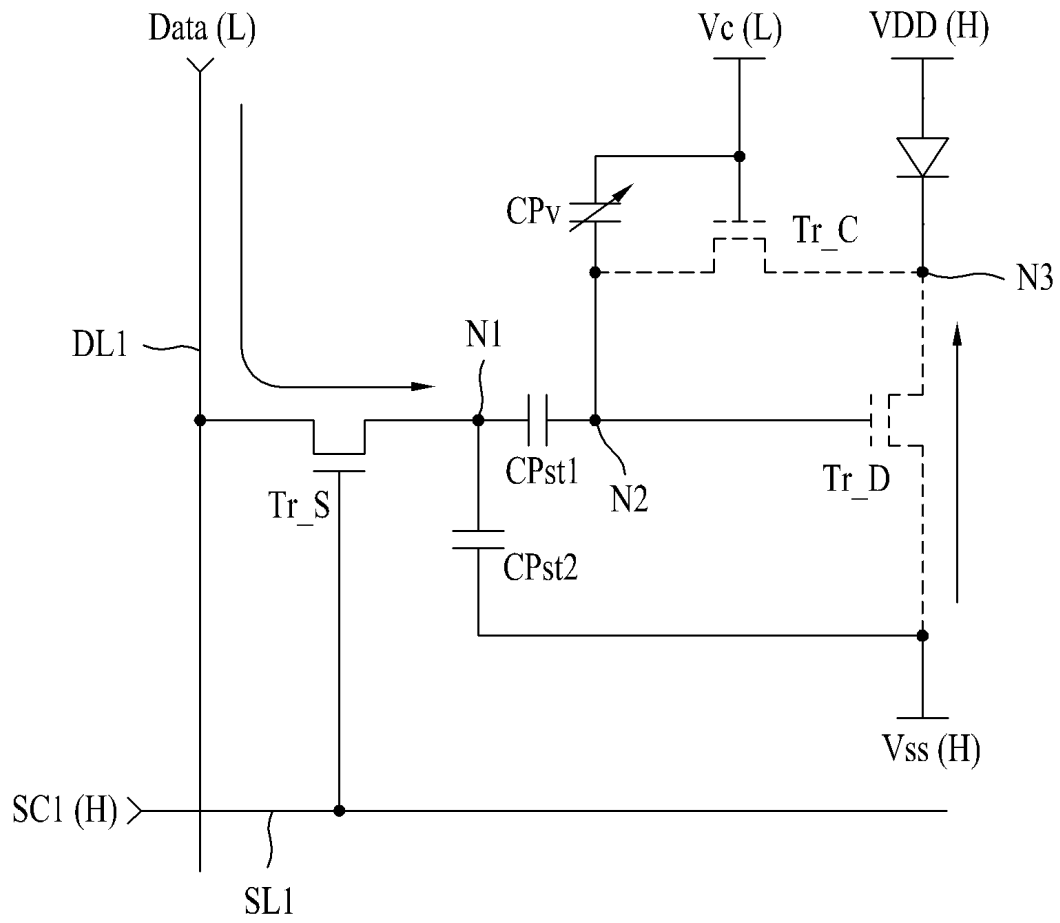
도면7



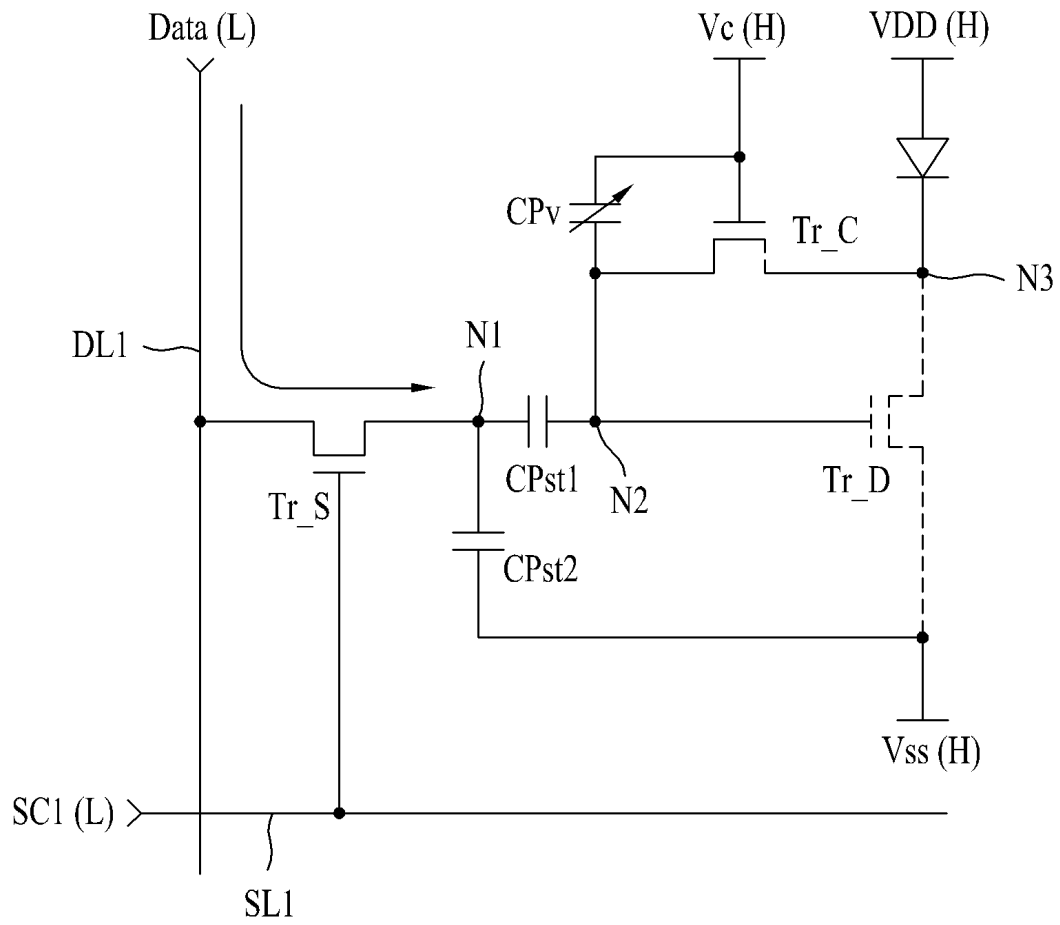
도면8a



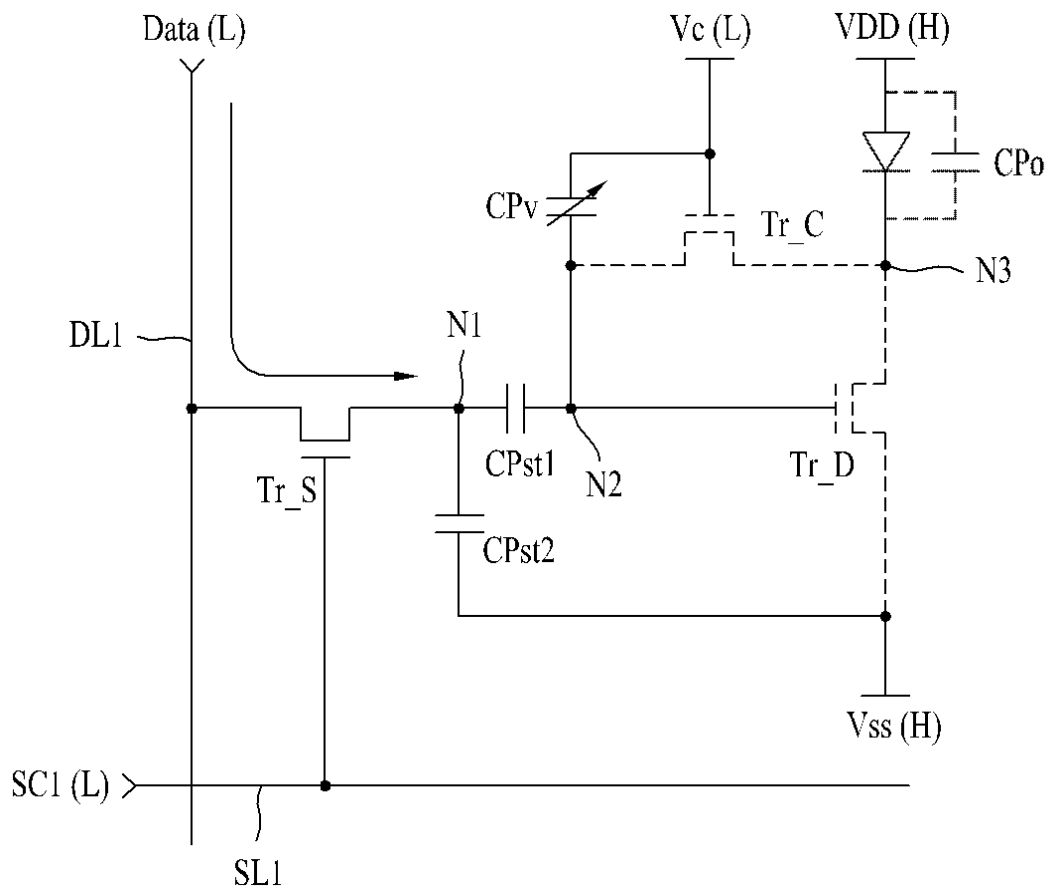
도면8b



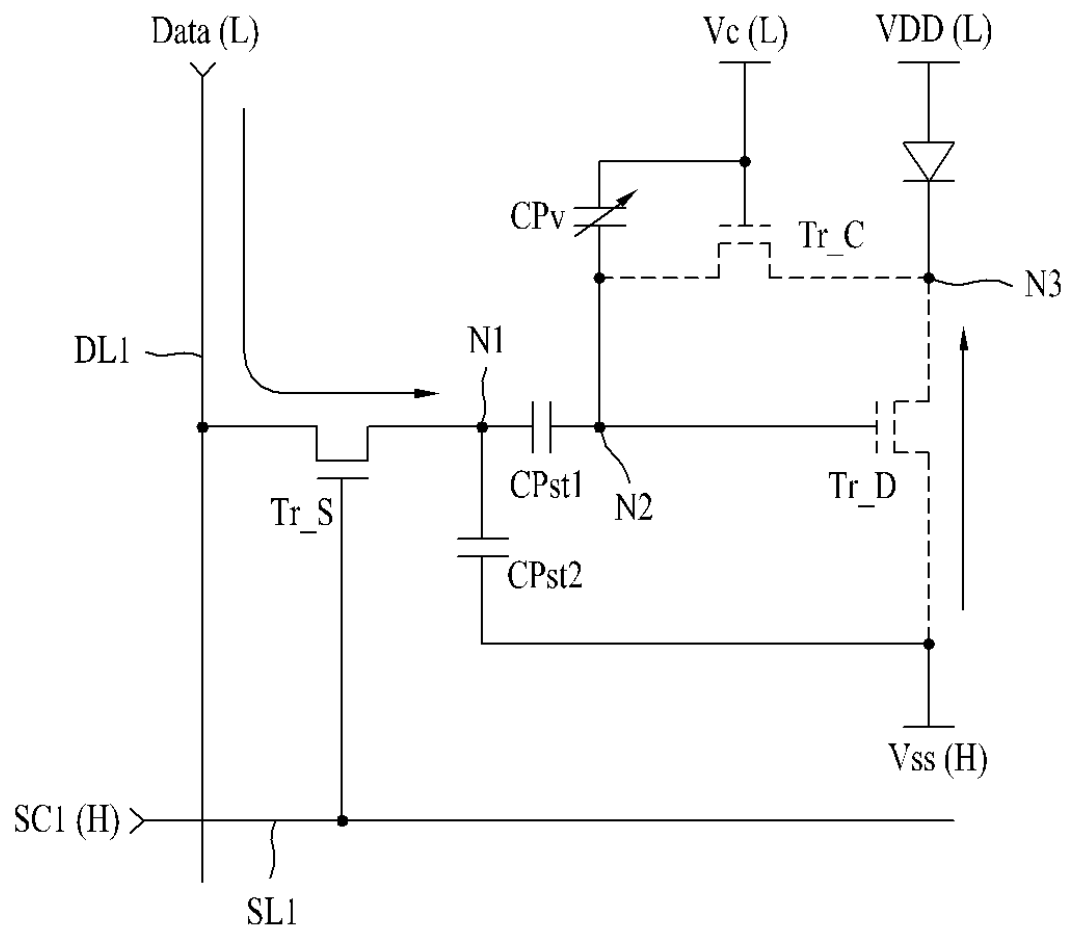
도면8c



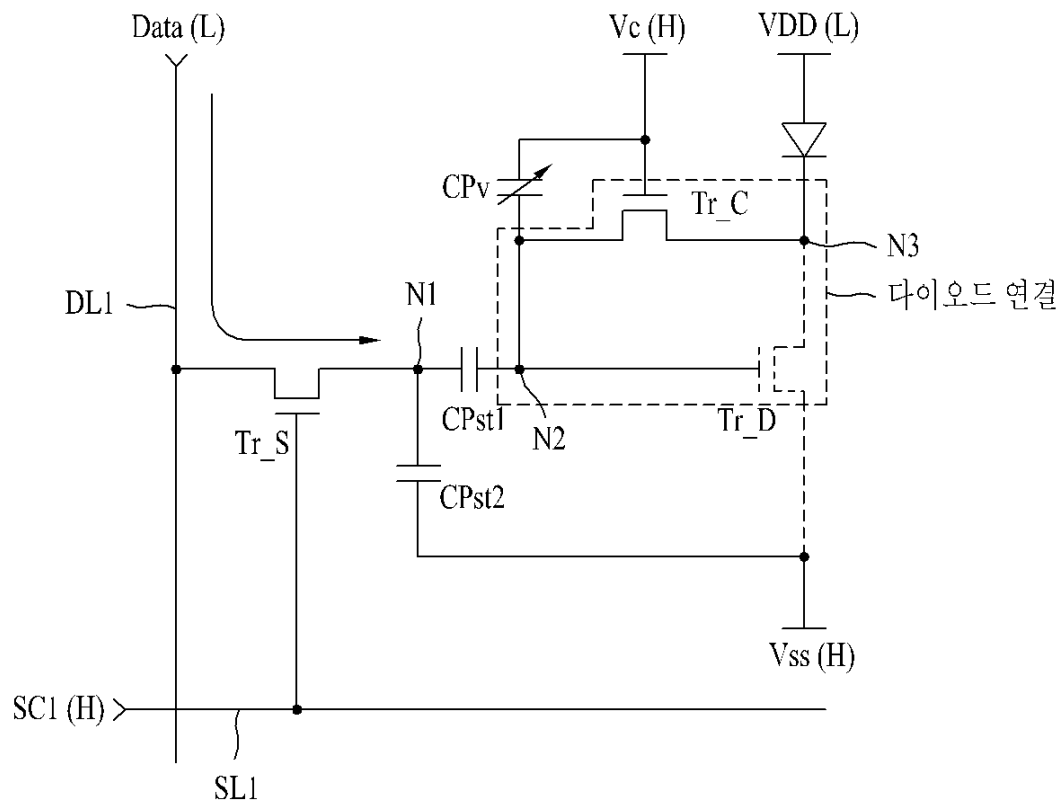
도면8d



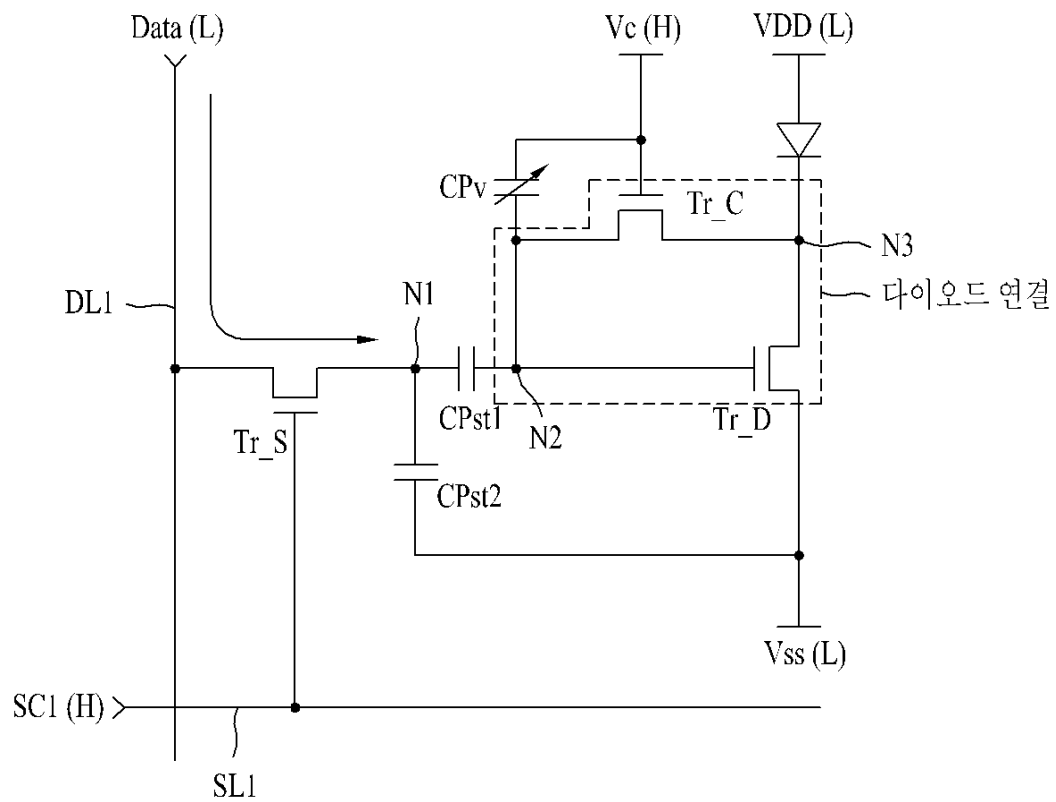
도면8g



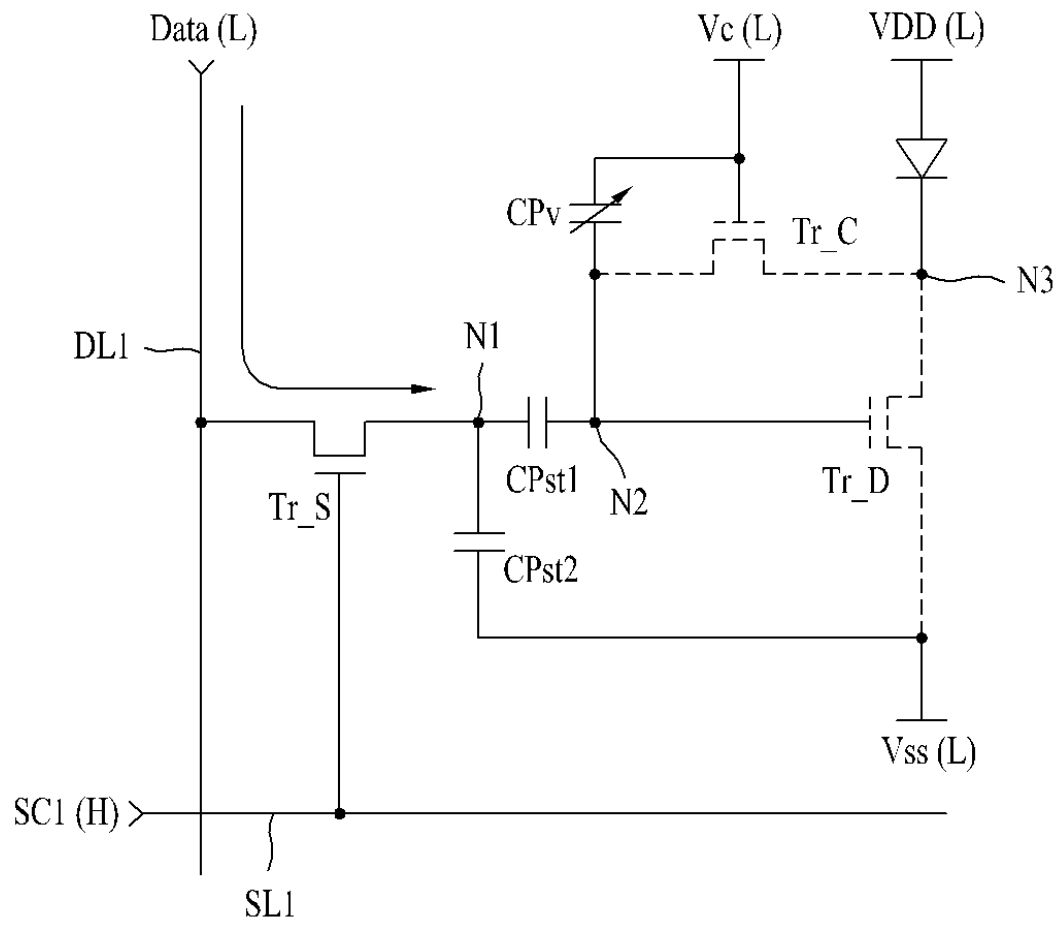
도면 8h



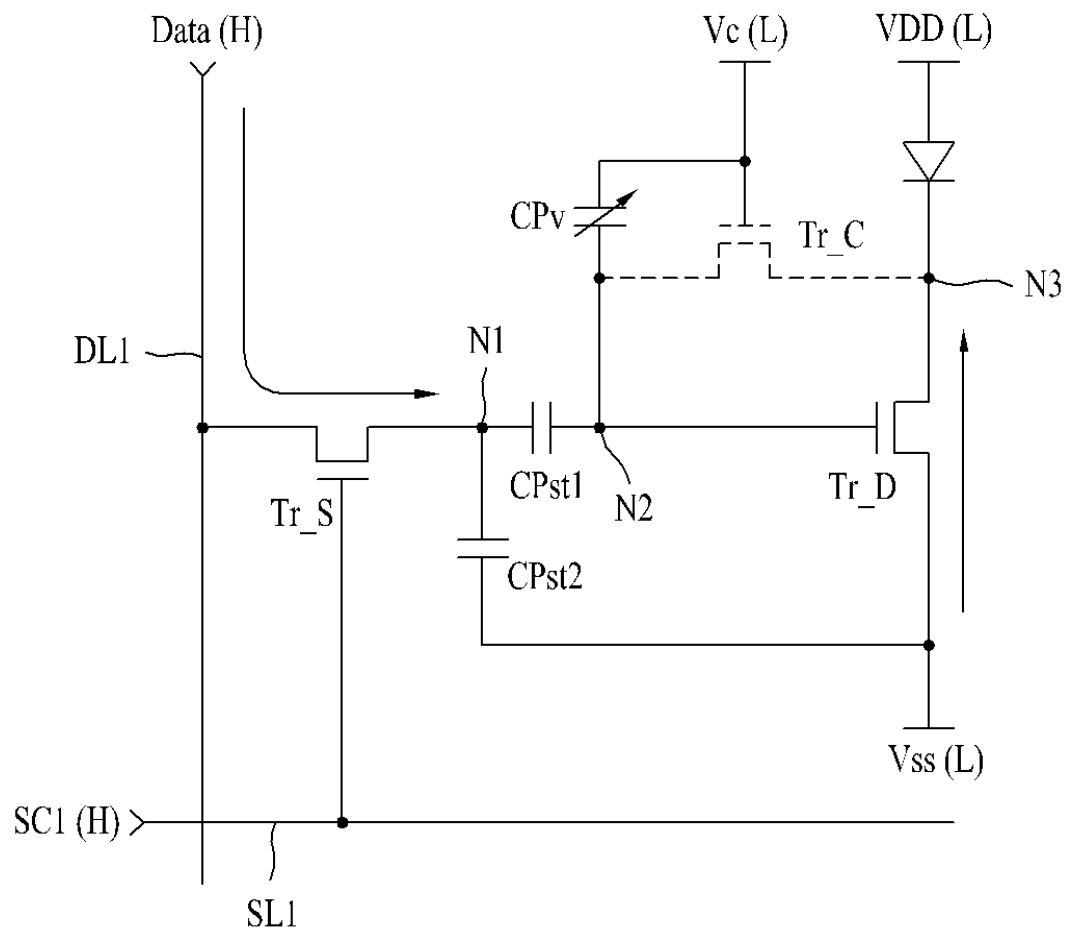
도면8i



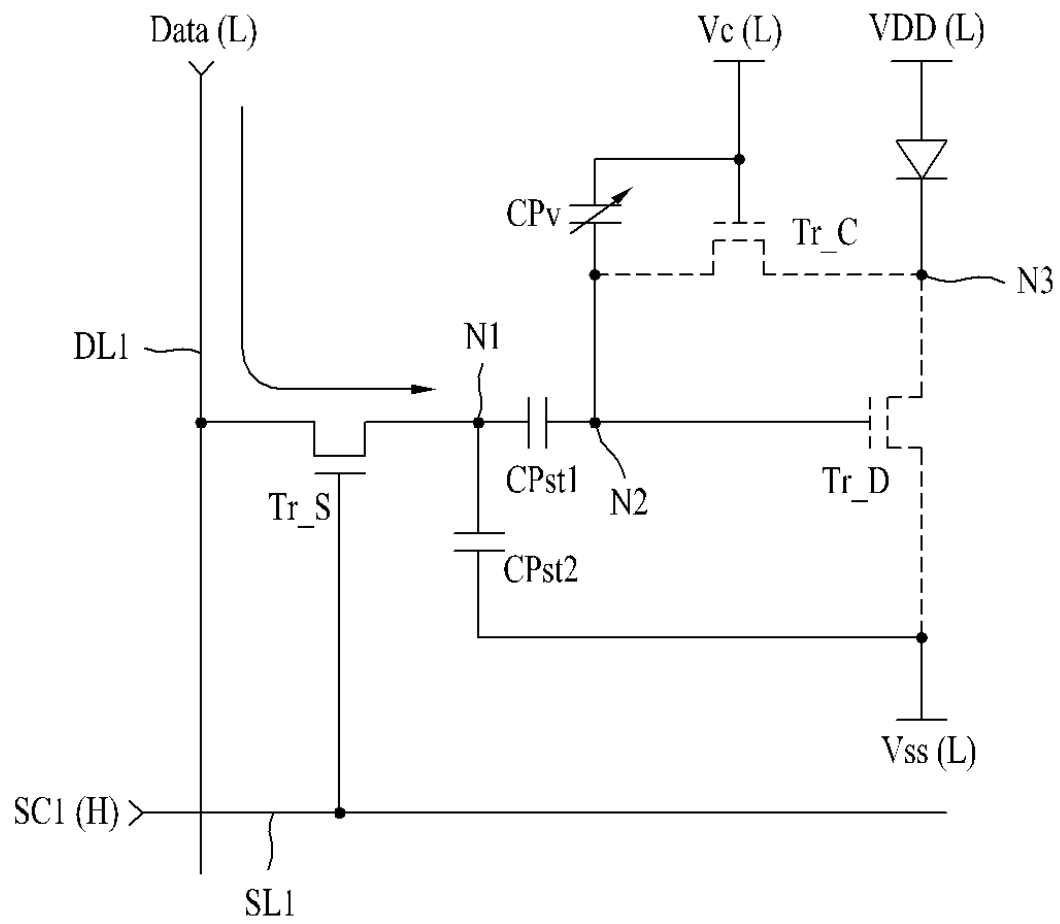
도면8j



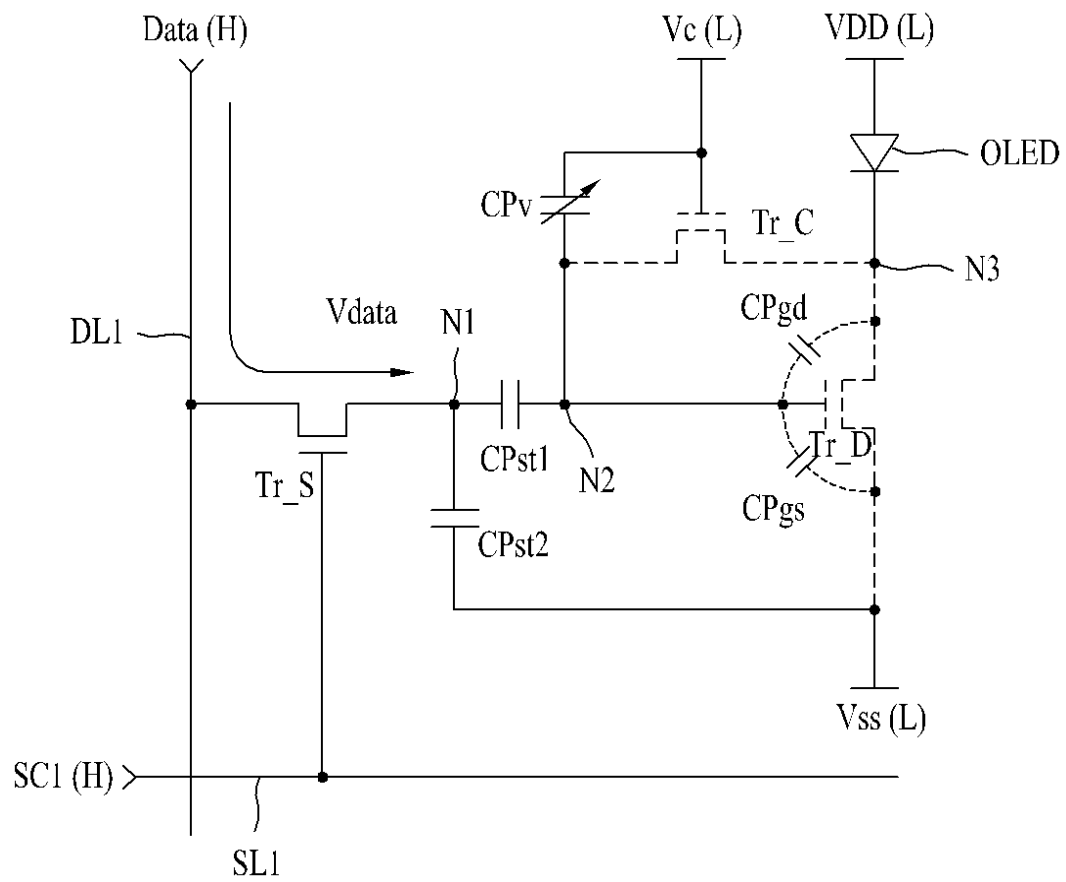
도면8k



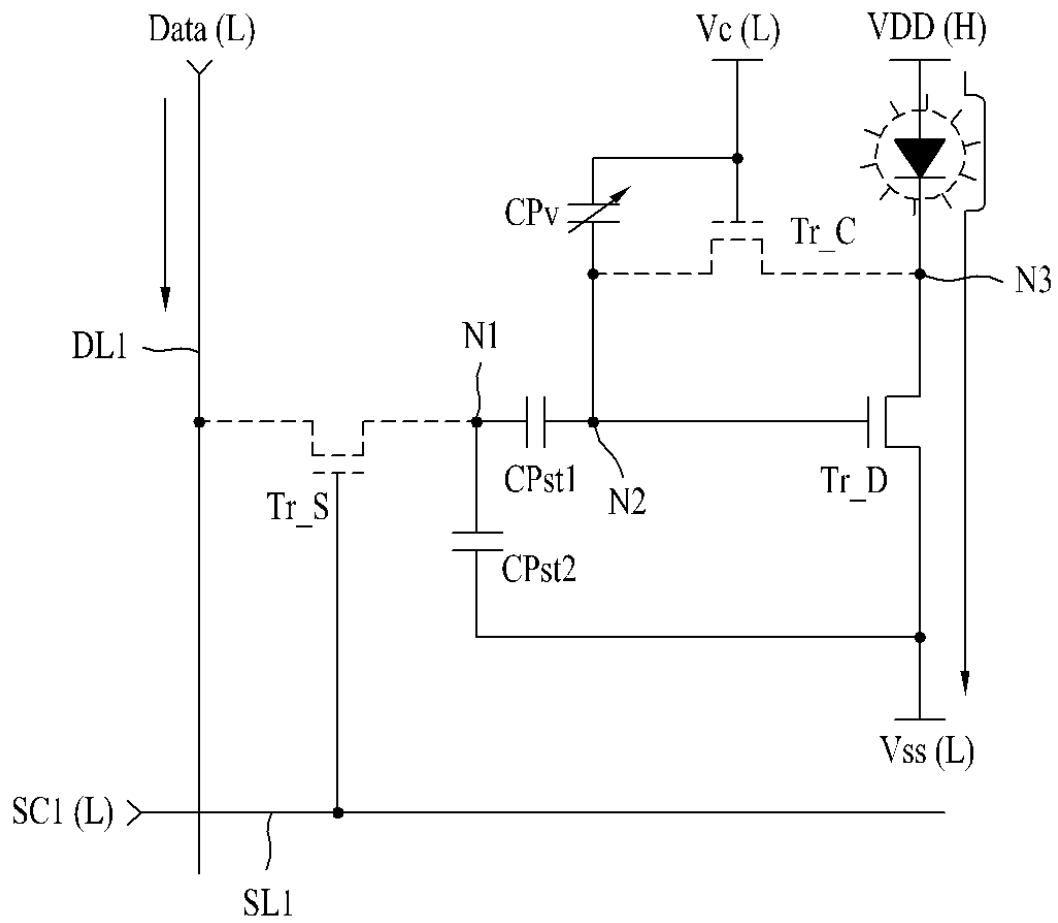
도면81



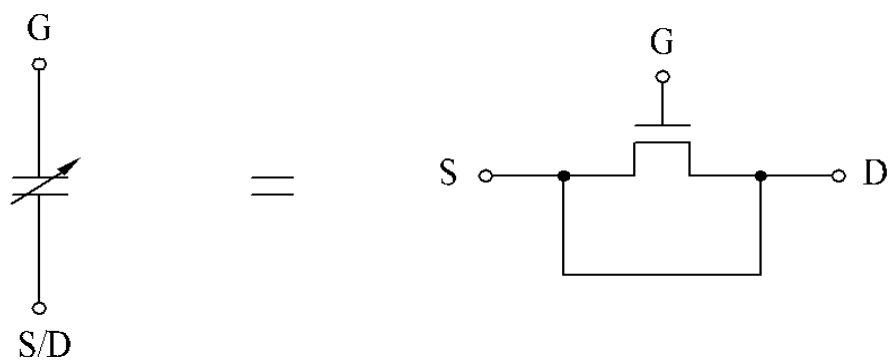
도면 8m



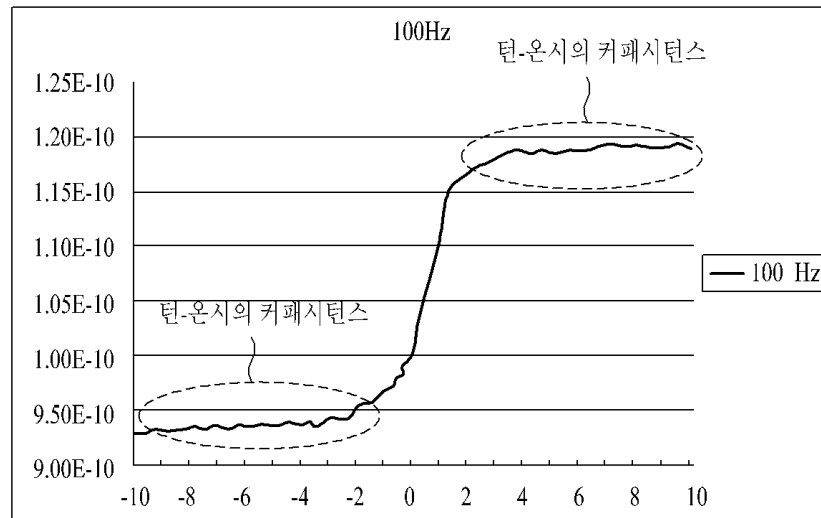
도면8n



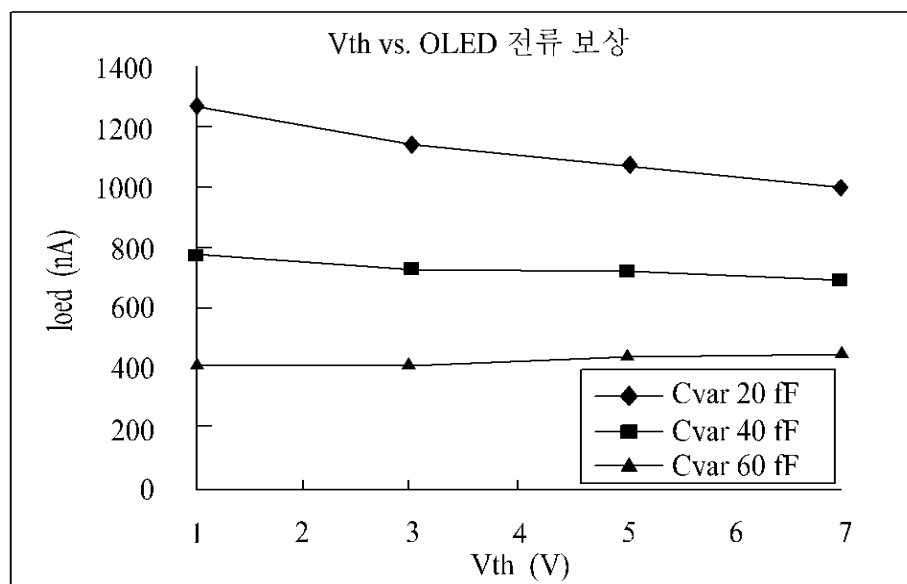
도면9



도면10



도면11



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 发光显示器及其驱动方法 | | |
| 公开(公告)号 | KR1020090119810A | 公开(公告)日 | 2009-11-20 |
| 申请号 | KR1020080045840 | 申请日 | 2008-05-17 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | NAM WOO JIN 남우진 YI JUNG YOON 이정운 KIM SEUNG TAE 김승태 LIM HO MIN 임호민 BAEK SU JIN 백수진 KIM JIN HYOUNG 김진형 | | |
| 发明人 | 남우진 이정운 김승태 임호민 백수진 김진형 | | |
| IPC分类号 | G09G3/30 G09G3/32 G09G3/20 H01L51/50 | | |
| CPC分类号 | G09G3/3291 G09G2300/0852 G09G2300/0866 G09G3/3233 G09G2300/0819 G09G2310/0202 H01L29/93 H01L51/105 | | |
| 代理人(译) | 金勇 年轻的小公园 | | |
| 其他公开文献 | KR101341011B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明涉及发光显示装置。特别地，它是关于补偿用于驱动的开元件的阈值电压的发光显示装置。发光显示装置，OLED，亮度，阈值电压，可变容量。

