

특허청구의 범위

청구항 1

화소 어레이부; 및

상기 화소 어레이부를 구동하는 구동부로 이루어지는 표시 장치로서,

상기 화소 어레이부는, 행모양(行狀; row)의 제1 주사선 및 제2 주사선과, 열모양(列狀; column)의 신호선과, 이들이 교차하는 부분에 배치된 행렬모양(matrix shape)의 화소와, 각 화소에 급전(給電)하는 전원 라인 및 접지 라인을 구비하고,

상기 구동부는, 각 제1 주사선에 순차(順次) 제1 제어 신호를 공급해서 화소를 행단위로 선순차(線順次) 주사하는 제1 스캐너와, 그 선순차 주사에 맞추어(동기해서) 각 제2 주사선에 순차 제2 제어 신호를 공급하는 제2 스캐너와, 그 선순차 주사에 맞추어 열모양의 신호선에 영상 신호를 공급하는 신호 선택터를 구비하고,

상기 화소는, 발광 소자와, 샘플링 트랜지스터와, 드라이브 트랜지스터와, 스위칭 트랜지스터와, 화소 용량(pixel capacitance)을 포함하고,

상기 샘플링 트랜지스터는, 그의 게이트가 그 제1 주사선에 접속되고, 그의 소스가 그 신호선에 접속되고, 그의 드레인이 그 드라이브 트랜지스터의 게이트에 접속되고,

상기 드라이브 트랜지스터 및 상기 발광 소자는 그 전원 라인과 접지 라인 사이에 직렬로 접속되어 전류로를 형성하고,

상기 스위칭 트랜지스터는 그 전류로에 삽입됨과 동시에, 그의 게이트가 그 제2 주사선에 접속되고,

상기 화소 용량은, 그 드라이브 트랜지스터의 소스와 게이트 사이에 접속되고,

상기 샘플링 트랜지스터는, 그 제1 주사선으로부터 공급된 제1 제어 신호에 따라 온하고, 그 신호선으로부터 공급된 영상 신호의 신호 전위를 샘플링해서 그 화소 용량에 보존유지(保持; hold)하고,

상기 스위칭 트랜지스터는, 그 제2 주사선으로부터 공급된 제2 제어 신호에 따라 온해서 그 전류로를 도통 상태로 하고,

상기 드라이브 트랜지스터는, 그 화소 용량에 보존유지된 신호 전위에 따라 구동 전류를 그 도통 상태로 놓여진 전류로를 통해서 그 발광 소자에 흐르게 하고,

상기 구동부는, 그 제1 주사선에 그 제1 제어 신호를 인가해서 그 샘플링 트랜지스터를 온하고 신호 전위의 샘플링을 개시한 후, 그 제2 제어 신호가 그 제2 주사선에 인가되어 그 스위칭 트랜지스터가 온하는 제1 타이밍부터, 그 제1 주사선에 인가된 그 제1 제어 신호가 해제되어 그 샘플링 트랜지스터가 오프하는 제2 타이밍까지의 보정 기간에, 그 드라이브 트랜지스터의 이동도에 대한 보정을, 그 화소 용량에 보존유지된 그 신호 전위에 하고,

상기 제1 스캐너는, 그 제2 타이밍을 규제(律; govern)하는 그 제1 제어 신호의 종단부(trailing end)에 경사를 부여하기 위한 출력부를 가지고 있고,

상기 출력부는, 처음에 경사를 급하게 하고 계속해서(그 후) 경사가 완만하게 변화하는 곡선 경사 파형(曲線傾斜波形; curved gradient waveform)을 출력함으로써, 신호 전위가 높을 때와 신호 전위가 낮을 때의 양쪽에서 그 보정 기간을 최적화하는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 스캐너의 출력부는, 전원 라인과 접지 라인 사이에 배치되고 또한 트랜스미션 게이트를 포함하는 출력 버퍼를 구비하고 있고,

상기 트랜스미션 게이트가 그 선순차 주사에 맞추어 열렸을 때, 그 전원 라인에 공급된 전원 펄스로부터 곡선 경사 파형을 취출(取出; extract; 꺼냄)하고, 이것을 그 제1 제어 신호로서 그 제1 주사선에 출력하는, 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제1 스캐너의 출력부는, 전원 라인과 접지 라인 사이에 배치되고 또한 P채널 트랜지스터를 포함하는 출력 버퍼를 구비하고 있고,

상기 P채널 트랜지스터가 그 선순차 주사에 맞추어 열렸을 때, 그 전원 라인에 공급된 전원 펄스로부터 직선적으로 절곡(折曲; bend)되는 경사 파형을 취출하고, 이것을 곡선 경사 파형으로 완만하게 한(변형시킨) 후에 그 제1 제어 신호로서 그 제1 주사선에 출력하는, 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제1 스캐너의 출력부는, 인버터 구성의 출력 버퍼를 구비하고 있고, 구형 파형(矩形波形; rectangular waveform)의 입력 신호를 완만하게 함(blunt)으로써, 곡선 경사 파형을 가지는 그 제1 제어 신호를 그 제1 주사선에 출력하는, 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제1 스캐너의 출력부는, 그 인버터 구성에 포함되는 P채널 트랜지스터의 동작 특성을 이용해서, 구형 파형의 입력 신호를 완만하게 하는, 표시 장치.

청구항 6

제 4 항에 있어서,

상기 제1 스캐너의 출력부는, 그 인버터 구성에 포함되는 트랜지스터의 사이즈 팩터(size factor)를 그 제1 스캐너를 구성하는 다른 트랜지스터의 사이즈 팩터보다도 작게 해서, 구형 파형의 입력 신호를 완만하게 하는, 표시 장치.

청구항 7

제 4 항에 있어서,

상기 제1 스캐너의 출력부는, 그 제1 주사선의 배선 저항 및 배선 용량으로 결정되는 시정수(時定數)를 이용해서, 그 출력 버퍼로부터 출력된 하강 파형(立下波形; trailing waveform)을 곡선 경사 파형으로 완만하게 하는, 표시 장치.

청구항 8

제 1 항에 있어서,

각 화소는, 영상 신호의 샘플링에 앞서서 그 드라이브 트랜지스터의 게이트 전위 및 소스 전위를 리셋하는 추가의 스위칭 트랜지스터를 포함하고,

상기 제2 스캐너는, 영상 신호의 샘플링에 앞서서 그 제2 제어선을 거쳐서 그 스위칭 트랜지스터를 일시적으로 온하고, 이것에 의해 리셋된 그 드라이브 트랜지스터에 구동 전류를 흐르게 하여 그의 임계전압(threshold voltage)에 상당(相當; corresponding)하는 전압을 그 화소 용량에 보존유지해 두는, 표시 장치.

청구항 9

제 1 항에 청구된 표시 장치를 포함하는, 전자 디바이스.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은, 화소마다 배치한 발광 소자를 전류 구동해서 화상을 표시하는 표시 장치에 관한 것이다. 자세하게는, 각 화소 회로내에 마련한 절연 게이트형 전계 효과 트랜지스터에 의해서 유기 EL 등의 발광 소자에 통전(通電)하는 전류량을 제어하는, 이른바 액티브 매트릭스형 표시 장치에 관한 것이다. 더욱 상세하게는, 화소마다 트랜지스터의 이동도 보정 기능을 갖춘(내장한) 표시 장치에 관한 것이다. 덧붙여, 본 발명은 이러한 표시 장치와 협력하는 전자 디바이스에 대한 것이다.

배경기술

- <2> 화상 표시 장치, 예를 들면 액정 디스플레이 등에서는, 다수의 액정 화소를 매트릭스형상으로 배열하고, 표시해야 할 화상 정보에 따라 화소마다 입사광의 투과 강도 또는 반사 강도를 제어하는 것에 의해서 화상을 표시한다. 이것은, 유기 EL소자를 화소에 이용한 유기 EL 디스플레이 등에 있어서도 마찬가지이지만, 액정 화소와는 달리 유기 EL 소자는 자발광(自發光) 소자이다. 그 때문에, 유기 EL 디스플레이는 액정 디스플레이에 비해 화상의 시각성(視覺性; visibility)이 높고, 백라이트가 불필요하며, 응답 속도가 높다는 등의 이점을 가진다. 또, 각 발광 소자의 휘도 레벨(brightness level)(계조(階調; scale))은 그곳에 흐르는 전류값에 의해서 제어가능하며, 이른바 전류 제어형이라고 하는 점에서 액정 디스플레이 등의 전압 제어형과는 크게 다르다.
- <3> 유기 EL 디스플레이에 있어서는, 액정 디스플레이와 마찬가지로, 그 구동 방식으로서 단순 매트릭스 방식과 액티브 매트릭스 방식이 있다. 전자(前者)는 구조가 단순하지만, 대형이고 또한 고화질(high definition)인 디스플레이의 실현이 어렵다는 등의 문제가 있기 때문에, 현재는 액티브 매트릭스 방식의 개발이 활발히 행해지고 있다. 이 방식은, 각 화소 회로 내부의 발광 소자에 흐르는 전류를, 화소 회로 내부에 마련한 능동 소자(일반적으로는, 박막 트랜지스터, TFT)에 의해서 제어하는 것이며, 이하의 특허 문헌에 기재가 되어 있다.
- <4> [특허 문헌 1] 일본 특개(特開) 제2003-255856호 공보
- <5> [특허 문헌 2] 일본 특개 제2003-271095호 공보
- <6> [특허 문헌 3] 일본 특개 제2004-133240호 공보
- <7> [특허 문헌 4] 일본 특개 제2004-029791호 공보
- <8> [특허 문헌 5] 일본 특개 제2004-093682호 공보

발명의 내용

해결 하고자하는 과제

- <9> 종래의 화소 회로는, 제어 신호를 공급하는 행모양(行狀; row)의 주사선과 영상 신호를 공급하는 열모양(列狀; column)의 신호선이 교차하는 부분에 배치되고, 적어도 샘플링 트랜지스터와 화소 용량과 드라이브(drive) 트랜지스터와 발광 소자를 포함한다. 샘플링 트랜지스터는, 주사선으로부터 공급되는 제어 신호에 따라 도통해서 신호선으로부터 공급된 영상 신호를 샘플링한다. 화소 용량은, 샘플링된 영상 신호의 신호 전위에 따른 입력 전압을 보존유지(保持; hold)한다. 드라이브 트랜지스터는, 화소 용량에 보존유지된 입력 전압에 따라 소정의 발광 기간에(기간동안) 출력 전류를 구동 전류로서 공급한다. 또한, 일반적으로, 출력 전류는 드라이브 트랜지스터의 채널 영역의 캐리어 이동도 및 임계전압에 대해서 의존성을 가진다. 발광 소자는, 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 영상 신호에 따른 휘도로 발광한다.
- <10> 드라이브 트랜지스터는, 화소 용량에 보존유지된 입력 전압을 게이트에 받아서 소스/드레인 사이에 출력 전류를 흐르게 하고, 발광 소자에 통전한다. 일반적으로, 발광 소자의 발광 휘도는 통전량에 비례하고 있다. 또, 드라이브 트랜지스터의 출력 전류 공급량은 게이트 전압 즉 화소 용량에 기입(書入; write; 써넣음)된 입력 전압에 의해서 제어된다. 종래의 화소 회로는, 드라이브 트랜지스터의 게이트에 인가되는 입력 전압을 입력 영상 신호에 따라 변화시킴으로써, 발광 소자에 공급하는 전류량을 제어하고 있다.
- <11> 여기서, 드라이브 트랜지스터의 동작 특성은 이하의 수학적 식 1로 표현된다.

수학적 식 1

<12> $I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$

<13> 이 트랜지스터 특성식 1에 있어서, I_{ds} 는 소스/드레인 사이에 흐르는 드레인 전류를 나타내고 있고, 화소 회로에서는 발광 소자에 공급되는 출력 전류이다. V_{gs} 는 소스를 기준으로 해서 게이트에 인가되는 게이트 전압을 나타내고 있고, 화소 회로에서는 상술한 입력 전압이다. V_{th} 는 트랜지스터의 임계전압이다. 또, μ 는 트랜지스터의 채널을 구성하는 반도체 박막의 이동도를 나타내고 있다. 그밖에, W 는 채널폭을 나타내고, L 은 채널길이를 나타내고, C_{ox} 는 게이트 용량을 나타내고 있다. 이 트랜지스터 특성식 1로부터 분명한 바와 같이, 박막 트랜지스터는 포화 영역에서 동작할 때, 게이트 전압 V_{gs} 가 임계전압 V_{th} 를 넘어서(초과해서) 커지면, 온(ON) 상태로 되어 드레인 전류 I_{ds} 가 흐른다. 원리적으로 보면, 전술한 트랜지스터 특성식 1이 나타내는 바와 같이, 게이트 전압 V_{gs} 가 일정하면 항상 동일한 양의 드레인 전류 I_{ds} 가 발광 소자에 공급된다. 따라서, 화면을 구성하는 각 화소에 모두 동일한 레벨의 영상 신호를 공급하면, 전화소(全畫素)가 동일 휘도로 발광하여, 화면의 균일성(uniformity)이 얻어져야 할 것이다.

<14> 그렇지만, 실제로는, 폴리실리콘 등의 반도체 박막으로 구성된 박막 트랜지스터(TFT)는, 개개의 디바이스 특성에 편차(variation; 변동)가 있다. 특히, 임계전압 V_{th} 는 일정하지 않고, 각 화소마다 편차가 있다(다르다). 전술한 트랜지스터 특성식 1로부터 분명한 바와 같이, 각 드라이브 트랜지스터의 임계전압 V_{th} 가 변동하면(편차가 생기면), 게이트 전압 V_{gs} 가 일정해도, 드레인 전류 I_{ds} 에 편차가 생기고, 화소마다 휘도가 변동해 버리기 때문에, 화면의 균일성을 손상시킨다. 종래부터 드라이브 트랜지스터의 임계전압의 편차를 캔슬하는(없애는) 기능을 갖춘 화소 회로가 개발되고 있으며, 예를 들면 상기의 특허 문헌 3에 개시되어 있다.

<15> 그렇지만, 발광 소자에 대한 출력 전류의 편차 요인은, 드라이브 트랜지스터의 임계전압 V_{th} 뿐만이 아니다. 전술한 트랜지스터 특성식 1로부터 분명한 바와 같이, 드라이브 트랜지스터의 이동도 μ 에 편차가 생긴 경우에도, 출력 전류 I_{ds} 가 변동(vary)한다. 이 결과, 화면의 균일성(uniformity)이 손상된다. 이동도의 편차를 보정하는 것도, 해결해야 할 과제로 되어 있다.

과제 해결수단

<16> 상술한 종래 기술의 과제를 감안해서, 본 발명은 화소마다 드라이브 트랜지스터의 이동도 보정 기능을 갖춘(내장한) 표시 장치를 제공하는 것을 일반적인 목적으로 한다. 특히, 다른 휘도 레벨에 대해서 적응적(適應的)으로 이동도 보정을 행할 수 있는 표시 장치를 제공하는 것을 목적으로 한다. 이러한 목적을 달성하기 위해서, 이하의 수단을 강구했다(취했다). 즉, 본 발명은, 화소 어레이부와 이것을 구동하는 구동부로 이루어진다. 상기 화소 어레이부는, 행모양의 제1 주사선 및 제2 주사선과, 열모양의 신호선과, 이들이 교차하는 부분에 배치된 행렬모양(matrix shape)의 화소와, 각 화소에 급전(給電)하는 전원 라인 및 접지 라인을 구비하고 있다. 상기 구동부는, 각 제1 주사선에 순차(順次) 제1 제어신호를 공급해서 화소를 행단위로 선순차(線順次) 주사하는 제1 스캐너와, 그 선순차 주사에 맞추어(동기해서) 각 제2 주사선에 순차 제2 제어 신호를 공급하는 제2 스캐너와, 그 선순차 주사에 맞추어 열모양의 신호선에 영상 신호를 공급하는 신호 선택터를 구비하고 있다. 상기 화소는, 발광 소자와, 샘플링 트랜지스터와, 드라이브 트랜지스터와, 스위칭 트랜지스터와, 화소 용량을 포함한다. 상기 샘플링 트랜지스터는, 그의 게이트가 그 제1 주사선에 접속되고, 그의 소스가 그 신호선에 접속되고, 그의 드레인이 그 드라이브 트랜지스터의 게이트에 접속되어 있다. 상기 드라이브 트랜지스터 및 상기 발광 소자는 그 전원 라인과 접지 라인 사이에 직렬로 접속되어 전류로를 형성한다. 상기 스위칭 트랜지스터는 그 전류로에 삽입됨과 동시에, 그의 게이트가 그 제2 주사선에 접속되어 있다. 상기 화소 용량은, 그 드라이브 트랜지스터의 소스와 게이트 사이에 접속되어 있다. 이러한 표시 장치에 있어서, 상기 샘플링 트랜지스터는, 그 제1 주사선으로부터 공급된 제1 제어 신호에 따라 온하고, 그 신호선으로부터 공급된 영상 신호의 신호 전위를 샘플링해서 그 화소 용량에 보존유지한다. 상기 스위칭 트랜지스터는, 그 제2 주사선으로부터 공급된 제2 제어 신호에 따라 온해서 그 전류로를 도통 상태로 한다. 상기 드라이브 트랜지스터는, 그 화소 용량에 보존유지된 신호 전위에 따라 구동 전류를 그 도통 상태로 놓여진 전류로를 통해서 그 발광 소자에 흐르게 한다. 상기 구동부는, 그 제1 주사선에 그 제1 제어 신호를 인가(印加)해서 그 샘플링 트랜지스터를 온하고 신호 전위의 샘플링을 개시한 후, 그 제2 제어 신호가 그 제2 주사선에 인가되어 그 스위칭 트랜지스터가 온하는 제1 타이밍부터, 그 제1 주사선에 인가된 그 제1 제어 신호가 해제되어 그 샘플링 트랜지스터가 오프하는 제2 타이밍까지의 보정 기간에(기간 동안), 그 드라이브 트랜지스터의 이동도에 따라 그 화소 용량에 보존유지된 그 신호 전위를 보정한다. 특징 사항으로서, 상기 제1 스캐너는, 그 제2 타이밍을 규제(律; govern)하는 그 제1 제어 신호의 종단(立下; trailing end)에 경사를 부여하기 위한 출력부를 가지고 있다. 상기 출력부는, 처음에 경사를 급하게 하고 계속해서(그 후) 경사가 완만하게 변화하는 곡선 경사 파형(曲線傾斜波形; curved gradient waveform)을 출력함으로써, 신호

전위가 높을 때와 신호 전위가 낮을 때의 양쪽에서 그 보정 기간을 최적화하는 것을 특징으로 한다.

<17> 제1 양태(態樣; 실시형태)에서는, 상기 제1 스캐너의 출력부는, 전원 라인과 접지 라인 사이에 배치되고 또한 트랜스미션 게이트를 포함하는 출력 버퍼를 구비하고 있고, 상기 트랜스미션 게이트가 그 선순차 주사에 맞추어 열렸을 때, 그 전원 라인에 공급된 전원 펄스로부터 곡선 경사 파형을 취출(取出; extract; 꺼냄)하고, 이것을 그 제1 제어 신호로서 그 제1 주사선에 출력한다. 다른 양태에서는, 상기 제1 스캐너의 출력부는, 전원 라인과 접지 라인 사이에 배치되고 또한 P채널 트랜지스터를 포함하는 출력 버퍼를 구비하고 있고, 상기 P채널 트랜지스터가 그 선순차 주사에 맞추어 열렸을 때, 그 전원 라인에 공급된 전원 펄스로부터 직선적으로 절곡(折曲; bend)되는 경사 파형을 취출하고, 이것을 곡선 경사 파형으로 완만하게 한(변형시킨) 후에 그 제1 제어 신호로서 그 제1 주사선에 출력한다. 다른 양태에서는, 상기 제1 스캐너의 출력부는, 인버터 구성의 출력버퍼를 구비하고 있고, 구형 파형(矩形波形; rectangular waveform)의 입력 신호를 완만하게 함(blunt)으로써, 곡선 경사 파형을 가지는 제1 제어 신호를 그 제1 주사선에 출력한다. 이 경우, 상기 제1 스캐너의 출력부는, 그 인버터 구성에 포함되는 P채널 트랜지스터의 동작 특성을 이용해서, 구형 파형의 입력 신호를 완만하게 한다. 또는, 대안적으로 상기 제1 스캐너의 출력부는, 그 인버터 구성에 포함되는 트랜지스터의 사이즈 팩터(size factor)를 그 제1 스캐너를 구성하는 다른 트랜지스터의 사이즈 팩터보다도 작게 해서, 구형 파형의 입력 신호를 완만하게 한다. 경우에 따라서는, 상기 제1 스캐너의 출력부는, 그 제1 주사선의 배선 저항 및 배선 용량으로 결정되는 시정수(時定數)를 이용해서, 그 출력 버퍼로부터 출력된 하강 파형(立下波形; trailing waveform)을 곡선 경사 파형으로 완만하게 한다. 바람직하게는, 각 화소는, 영상 신호의 샘플링에 앞서서 그 드라이브 트랜지스터의 게이트 전위 및 소스 전위를 리셋하는 추가의 스위칭 트랜지스터를 포함하고, 상기 제2 스캐너는, 영상 신호의 샘플링에 앞서서 그 제2 제어선을 거쳐서 그 스위칭 트랜지스터를 일시적으로 온하고, 이것에 의해 리셋된 그 드라이브 트랜지스터에 구동 전류를 흐르게 하여 그 임계전압에 상당(相當; corresponding)하는 전압을 그 화소 용량에 보존유지해 둔다.

효 과

<18> 본 발명에 따르면, 신호 전위를 화소 용량에 샘플링하고 있는 기간(샘플링 기간)의 일부를 이용해서, 드라이브 트랜지스터의 이동도 보정을 행하고 있다. 구체적으로는, 샘플링 기간의 후반에서, 스위칭 트랜지스터를 온해서 전류를 도통 상태로 하여, 드라이브 트랜지스터에 구동 전류를 흐르게 한다. 이 구동 전류는 샘플링된 신호 전위에 따른(상당하는) 크기(magnitude)이다. 이 단계에서는 발광 소자가 역바이어스 상태에 있으며, 구동 전류는 발광 소자를 흐르지 않고 그의 기생 용량이나 화소 용량에 충전(充電)되어 간다. 그 후, 샘플링 펄스가 하강(立下, 下降; fall)하고, 드라이브 트랜지스터의 게이트가 신호선으로부터 절단(切離; 분리)된다. 이 스위칭 트랜지스터가 온하고 나서 샘플링 트랜지스터가 오프할 때까지의 보정 기간에, 화소 용량에 대해서 드라이브 트랜지스터로부터 구동 전류가 부귀환(負歸還)되고, 그 만큼(分)이 화소 용량에 샘플링된 신호 전위로부터 차감(差引; subtract; 공제)된다. 이 부귀환량은 드라이브 트랜지스터의 이동도 편차를 억제하는 방향으로 작용하므로, 화소마다의 이동도 보정을 행할 수가 있다. 즉, 드라이브 트랜지스터의 이동도가 크면, 화소 용량에 대한 부귀환량이 커지고, 화소 용량에 보존유지된 신호 전위가 크게 줄어들며(감소되며), 결과적으로 드라이브 트랜지스터의 출력 전류가 억제된다. 한편으로, 드라이브 트랜지스터의 이동도가 작으면, 부귀환량도 작아지고, 화소 용량에 보존유지된 신호 전위는 그다지 영향을 받지 않는다. 따라서, 드라이브 트랜지스터의 출력 전류도 그다지 내려가는 일이 없다. 여기서, 부귀환량은 신호선으로부터 직접 드라이브 트랜지스터의 게이트에 인가되는 신호 전위에 따른(상당하는) 레벨로 된다. 즉, 신호 전위가 높고 휘도가 커질수록, 부귀환량은 커진다. 이와 같이, 이동도 보정은 휘도 레벨에 따라 행해진다.

<19> 그렇지만, 휘도가 높은 경우와 휘도가 낮은 경우에 있어서는, 반드시 최적인 보정 기간이 동일하지는 않다. 일반적으로, 휘도가 고레벨(화이트(白) 레벨)일 때 최적 보정 기간은 비교적 짧고, 거꾸로(역으로) 휘도가 중간 레벨(그레이 레벨)일 때, 최적 보정 기간은 길어지는 경향이 있다. 본 발명은, 휘도 레벨에 따라 보정 기간이 자동적으로 최적화되도록 하고 있다. 즉, 본 발명은 스위칭 트랜지스터가 온하는 제1 타이밍에 대해서, 샘플링 트랜지스터가 오프하는 제2 타이밍을 신호 전위에 따라 자동적으로 조정하고 있다. 구체적으로는, 신호선으로부터 공급되는 영상 신호의 신호 전위가 높을 때 보정 기간이 짧아지는 반면, 신호선에 공급되는 영상 신호의 신호 전위가 낮을 때 보정 기간이 길어지도록, 적응 제어(adaptive contro)하고 있다. 이것에 의해, 신호 전위에 따라 보정 기간을 최적으로 가변 제어하는 것이 가능하다. 이러한 구성에 의해, 화면의 균일성(uniformity)를 한층더 개선할 수가 있다.

<20> 특히, 본 발명은 실시예들을 이용해서, 제1 스캐너의 출력부를 이용함으로써, 이동도 보정 기간의 적응 제어를

행하고 있다. 이 출력부는, 보정 기간의 종기(終期; end)(즉, 제2 타이밍)를 규정(規定; define)하는 제1 제어 신호의 종단부(trailing end)를, 처음에 경사를 급하게 하고 계속해서(그 후) 경사를 완만하게 변화시켜 가는 곡선 경사 파형을 출력함으로써, 신호 전위가 높을 때와 신호 전위가 낮을 때의 양쪽에서 이동도 보정 기간을 최적화하고 있다.

발명의 실시를 위한 구체적인 내용

- <21> 이하, 도면을 참조하여 본 발명의 실시형태를 상세하게 설명한다. 도 1은, 본 발명에 따른 표시 장치의 전체 구성을 도시하는 모식적인 블록도이다. 도시하는 바와 같이, 본 표시 장치는 기본적으로, 화소 어레이부(1)와, 스캐너부 및 신호부를 포함하는 구동부로 구성되어 있다. 화소 어레이부(1)는, 행모양으로 배치된 주사선 WS, 주사선 AZ1, 주사선 AZ2 및 주사선 DS와, 열모양으로 배치된 신호선 SL과, 이들 주사선 WS, AZ1, AZ2, DS 및 신호선 SL에 접속된 행렬모양의 화소 회로(2)와, 각 화소 회로(2)의 동작에 필요한 제1 전위 Vss1, 제2 전위 Vss2 및 제3 전위 Vcc를 공급하는 복수(複數)의 전원선으로 이루어진다. 신호부는 수평 셀렉터(3)로 이루어지고, 신호선 SL에 영상 신호를 공급한다. 스캐너부는, 라이트 스캐너(4), 드라이브 스캐너(5), 제1 보정용 스캐너(71) 및 제2 보정용 스캐너(72)로 이루어지고, 주사선 WS, 주사선 DS, 주사선 AZ1 및 주사선 AZ2에 제어 신호를 공급해서 순차 행마다 화소 회로(2)를 주사한다.
- <22> 여기서, 라이트 스캐너(4)는 시프트 레지스터로 구성되어 있고, 외부로부터 공급되는 클럭 신호 WSCK에 따라 동작하며, 마찬가지로 외부로부터 공급되는 스타트 신호 WSST를 순차 전송(轉送; forward)해서 각 주사선 WS에 출력하고 있다. 드라이브 스캐너(5)도 시프트 레지스터로부터, 외부로부터 공급되는 클럭 신호 DSCK에 따라 동작하며, 마찬가지로 외부로부터 공급되는 스타트 신호 DSST를 순차 전송함으로써, 제어 신호 DS를 각 주사선 DS에 순차 출력하고 있다.
- <23> 도 2는, 도 1에 도시한 화상 표시 장치에 형성되는 화소의 구성예를 도시하는 회로도이다. 도면에 도시하는 바와 같이, 화소 회로(2)는, 샘플링 트랜지스터 Tr1과, 드라이브 트랜지스터 Trd와, 제1 스위칭 트랜지스터 Tr2와, 제2 스위칭 트랜지스터 Tr3과, 제3 스위칭 트랜지스터 Tr4와, 화소 용량 Cs와, 발광 소자 EL을 포함한다. 샘플링 트랜지스터 Tr1은, 소정의 샘플링 기간에(기간동안) 주사선 WS로부터 공급된 제어 신호에 따라 도통해서 신호선 SL로부터 공급된 영상 신호의 신호 전위를 화소 용량 Cs에 샘플링한다. 화소 용량 Cs는, 샘플링된 영상 신호의 신호 전위에 따라 드라이브 트랜지스터 Trd의 게이트 G에 입력 전압 Vgs를 인가한다. 드라이브 트랜지스터 Trd는, 입력 전압 Vgs에 따른 출력 전류 Ids를 발광 소자 EL에 공급한다. 발광 소자 EL은, 소정의 발광 기간중, 드라이브 트랜지스터 Trd로부터 공급되는 출력 전류 Ids에 의해 영상 신호의 신호 전위에 따른 휘도로 발광한다.
- <24> 제1 스위칭 트랜지스터 Tr2는, 샘플링 기간에 앞서서 주사선 AZ1로부터 공급되는 제어 신호에 따라 도통해서 드라이브 트랜지스터 Trd의 게이트 G를 제1 전위 Vss1로 설정한다. 제2 스위칭 트랜지스터 Tr3은, 샘플링 기간에 앞서서 주사선 AZ2로부터 공급되는 제어 신호에 따라 도통해서 드라이브 트랜지스터 Trd의 소스 S를 제2 전위 Vss2로 설정한다. 제3 스위칭 트랜지스터 Tr4는, 샘플링 기간에 앞서서 주사선 DS로부터 공급되는 제어 신호에 따라 도통해서 드라이브 트랜지스터 Trd를 제3 전위 Vcc에 접속하고, 이것에 의해 드라이브 트랜지스터 Trd의 임계전압 Vth에 상당하는 전압을 화소 용량 Cs에 보존유지시켜서 임계전압 Vth의 영향을 보정한다. 또, 이 제3 스위칭 트랜지스터 Tr4는, 발광 기간에 다시 주사선 DS로부터 공급되는 제어 신호에 따라 도통해서 드라이브 트랜지스터 Trd를 제3 전위 Vcc에 접속하여 출력 전류 Ids를 발광 소자 EL에 흐르게 한다.
- <25> 이상의 설명으로부터 분명한 바와 같이, 이 화소 회로(2)는, 5개의 트랜지스터(Tr1 내지 Tr4 및 Trd)와, 1개의 화소 용량 Cs와 1개의 발광 소자 EL로 구성되어 있다. 트랜지스터 Tr1~Tr3과 Trd는 N채널형 폴리실리콘 TFT이다. 트랜지스터 Tr4만 P채널형 폴리실리콘 TFT이다. 단, 본 발명은 이것에 한정되는 것은 아니며, N채널형과 P채널형 TFT를 적당히 혼재시킬 수가 있다. 발광 소자 EL은 예를 들면 애노드(anode) 및 캐소드(cathode)를 구비한 다이오드형 유기 EL 디바이스이다. 단, 본 발명은 이것에 한정되는 것은 아니며, 발광 소자는 일반적으로 전류 구동으로 발광하는 모든 디바이스를 포함한다.
- <26> 도 3은, 도 2에 도시한 화상 표시 장치로부터 화소 회로(2) 부분만을 취출한(taken out) 모식도이다. 이해를 용이하게 하기 위해서, 샘플링 트랜지스터 Tr1에 의해서 샘플링되는 영상 신호의 신호 전위 Vsig나, 드라이브 트랜지스터 Trd의 입력 전압 Vgs 및 출력 전류 Ids, 나아가서는 발광 소자 EL이 가지는 용량 성분 Coled 등을 추가 기입(書加; additionally write)하고 있다. 이하, 도 3에 의거해서, 본 발명에 따른 화소 회로(2)의 동작을 설명한다.

- <27> 도 4는, 도 3에 도시한 화소 회로의 타이밍차트이다. 도 4를 참조하여, 도 3에 도시한 본 발명에 따른 화소 회로의 동작을 구체적으로 설명한다. 도 4는, 시간축 T를 따라서 각 주사선 WS, AZ1, AZ2 및 DS에 인가되는 제어 신호의 파형을 도시하고 있다. 표기를 간략화하기 위해서, 제어 신호도 대응하는 주사선의 부호와 동일한 부호로 나타내고 있다. 트랜지스터 Tr1, Tr2, Tr3은 N채널형이므로, 주사선 WS, AZ1, AZ2가 각각 하이레벨일 때 온하고, 로우레벨일 때 오프한다. 한편, 트랜지스터 Tr4는 P채널형이므로, 주사선 DS가 하이레벨일 때 오프하고, 로우레벨일 때 온한다. 또한, 이 타이밍차트는, 각 제어 신호 WS, AZ1, AZ2, DS의 파형과 함께, 드라이브 트랜지스터 Trd의 게이트 G의 전위 변화 및 소스 S의 전위 변화도 나타내고 있다.
- <28> 도 4의 타이밍차트에서는 타이밍 T1~T8까지를 1필드(1f)로 하고 있다. 1필드 동안에, 화소 어레이의 각 행이 1회(한번) 순차 주사된다. 타이밍차트는, 1행분의 화소에 인가되는 각 제어 신호 WS, AZ1, AZ2, DS의 파형을 나타내고 있다.
- <29> 해당 필드가 시작되기 전의 타이밍 T0에서, 모든 제어 신호 WS, AZ1, AZ2, DS가 로우레벨에 있다. 따라서, N채널형 트랜지스터 Tr1, Tr2, Tr3은 오프 상태에 있는 반면, P채널형 트랜지스터 Tr4만 온(ON) 상태이다. 따라서, 드라이브 트랜지스터 Trd는 온 상태의 트랜지스터 Tr4를 거쳐서 전원 Vcc에 접속되어 있으므로, 소정의 입력 전압 Vgs에 따라 출력 전류 Ids를 발광 소자 EL에 공급하고 있다. 따라서, 타이밍 T0에서 발광 소자 EL은 발광하고 있다. 이 때, 드라이브 트랜지스터 Trd에 인가되는 입력 전압 Vgs는, 게이트 전위(G)와 소스 전위(S)의 차(差)로 나타내어진다(표현된다).
- <30> 해당 필드가 시작되는 타이밍 T1에서, 제어 신호 DS가 로우레벨로에서 하이레벨로 전환(切替; switch)된다. 이것에 의해, 트랜지스터 Tr4가 오프하고, 드라이브 트랜지스터 Trd는 전원 Vcc로부터 차단되므로, 발광이 정지하고 비발광 기간에 접어들는다(시작된다). 따라서, 타이밍 T1로 들어가면, 모든 트랜지스터 Tr1~Tr4가 오프 상태로 된다.
- <31> 타이밍 T1후 타이밍 T2에서 제어 신호 AZ2가 상승(立上; rise)하고, 스위칭 트랜지스터 Tr3이 온한다. 이것에 의해, 드라이브 트랜지스터 Trd의 소스(S)는 소정의 전위 Vss2로 초기화된다. 계속해서, 타이밍 T2에서 제어 신호 AZ1이 상승하고, 스위칭 트랜지스터 Tr2가 온한다. 이것에 의해, 드라이브 트랜지스터 Trd의 게이트 전위(G)가 소정의 전위 Vss1로 초기화된다. 이 결과, 드라이브 트랜지스터 Trd의 게이트 G가 기준 전위 Vss1에 접속되고, 소스 S가 기준 전위 Vss2에 접속된다. 여기서, $V_{ss1}-V_{ss2} > V_{th}$ 를 만족시키고 있으며, $V_{ss1}-V_{ss2}=V_{gs} > V_{th}$ 로 하는 것에 의해, 그 후 타이밍 T3에서 행해지는 Vth 보정의 준비를 행한다. 바꾸어 말하면, 기간 T2-T3은, 드라이브 트랜지스터 Trd의 리셋 기간에 상당한다. 또, 발광 소자 EL의 임계전압을 VthEL로 하면, $V_{thEL} > V_{ss2}$ 로 설정되어 있다. 이것에 의해, 발광 소자 EL에는 마이너스 바이어스가 인가되고, 이른바 역바이어스 상태로 된다. 이 역바이어스 상태는, 나중에(이후에) 행하는 Vth 보정 동작 및 이동도 보정 동작을 정상적으로(적절하게) 행하기 위해서 필요하다.
- <32> 타이밍 T3에서는 제어 신호 AZ2를 로우레벨로 한 후, 제어 신호 DS를 로우레벨로 하고 있다. 이것에 의해, 트랜지스터 Tr3이 오프하는 반면 트랜지스터 Tr4가 온한다. 이 결과, 드레인 전류 Ids가 화소 용량 Cs에 흘러들어가 고(유입하고), Vth 보정 동작을 개시한다. 이 때, 드라이브 트랜지스터 Trd의 게이트 G는 Vss1에 보존유지되어 있으며, 드라이브 트랜지스터 Trd가 차단(cut-off)할 때까지 전류 Ids가 흐른다. 차단하면, 드라이브 트랜지스터 Trd의 소스 전위(S)는 Vss1-Vth로 된다. 드레인 전류가 차단한 후의 타이밍 T4에서 제어 신호 DS를 다시 하이레벨로 되돌리고(복원하고), 스위칭 트랜지스터 Tr4를 오프한다. 또, 제어 신호 AZ1도 로우레벨로 되돌리고, 스위칭 트랜지스터 Tr2도 오프한다. 이 결과, 화소 용량 Cs에 Vth가 보존유지되어 고정된다. 이와 같이, 타이밍 T3-T4는 드라이브 트랜지스터 Trd의 임계전압 Vth를 검출하는 기간이다. 여기서, 이 검출 기간 T3-T4를 Vth 보정 기간이라고 부르고 있다.
- <33> 이와 같이, Vth 보정을 행한 후 타이밍 T5에서 제어 신호 WS를 하이레벨로 전환하고(바꾸고), 샘플링 트랜지스터 Tr1을 온해서 영상 신호의 신호 전위 Vsig를 화소 용량 Cs에 기입한다(써넣는다). 발광 소자 EL의 등가 용량 Coled에 비해 화소 용량 Cs는 충분히 작다. 이 결과, 영상 신호의 신호 전위 Vsig의 거의 대부분이 화소 용량 Cs에 기입된다. 정확하게는, Vss1에 대한 Vsig의 차분(差分) Vsig-Vss1이 화소 용량 Cs에 기입된다. 따라서, 드라이브 트랜지스터 Trd의 게이트 G와 소스 S 사이의 전압 Vgs는, 먼저(앞서) 검출 보존유지된 Vth와 이번에(今回) 샘플링된 Vsig-Vss1을 더한(가산한) 레벨(Vsig-Vss1+Vth)로 된다. 이후, 설명을 간이화하기 위해서, Vss1=0V로 하면, 게이트/소스간 전압 Vgs는 도 4의 타이밍차트에 도시하는 바와 같이 Vsig+Vth로 된다. 이러한 영상 신호의 신호 전위 Vsig의 샘플링은 제어 신호 WS가 로우레벨로 되돌아가는(복원되는) 타이밍 T7까지 행해진다. 즉, 타이밍 T5-T7이 샘플링 기간에 상당한다.

<34> 샘플링 기간이 종료하는 타이밍 T7보다 이전(before)의 타이밍 T6에서 제어 신호 DS가 로우레벨로 되고, 스위칭 트랜지스터 Tr4가 온한다. 이것에 의해, 드라이브 트랜지스터 Trd가 전원 Vcc에 접속되므로, 화소 회로는 발광 기간에서 발광 기간으로 진행한다. 이와 같이, 샘플링 트랜지스터 Tr1이 아직 온 상태이고 또한 스위칭 트랜지스터 Tr4가 온 상태로 들어간 기간 T6-T7에서, 드라이브 트랜지스터 Trd의 이동도 보정을 행한다. 즉, 본 발명에서는, 샘플링 기간의 뒷부분(後部分; latter prt)과 발광 기간의 선두 부분(先頭部分; beginning part)이 겹치는 기간 T6-T7에서 이동도 보정을 행하고 있다. 또한, 이 이동도 보정을 행하는 발광 기간의 선두에서는, 발광 소자 EL은 실제로는 역바이어스 상태에 있으므로, 발광하는 일은 없음을 주목해야 한다. 이 이동도 보정 기간 T6-T7에서는, 드라이브 트랜지스터 Trd의 게이트 G가 영상 신호의 신호 전위 Vsig의 레벨로 고정된 상태에서, 드라이브 트랜지스터 Trd에 드레인 전류 Ids가 흐른다. 여기서, $V_{ss1}-V_{th}<V_{thEL}$ 로 미리 설정해 두는 것에 의해, 발광 소자 EL은 역바이어스 상태로 놓여지기 때문에, 다이오드 특성이 아니라 단순한 용량 특성을 나타내게 된다. 따라서, 드라이브 트랜지스터 Trd에 흐르는 전류 Ids는 화소 용량 Cs와 발광 소자 EL의 등가 용량 Coled의 양자를 결합한 용량 $C=C_s+Coled$ 에 기입되어 간다. 이것에 의해, 드라이브 트랜지스터 Trd의 소스 전위(S)는 상승(上昇)해 간다. 도 4의 타이밍차트에서는 이 상승분(上昇分)을 ΔV 로 나타내고 있다. 이 상승분 ΔV 는 결국 화소 용량 Cs에 보존유지된 게이트/소스간 전압 Vgs로부터 차감(차감)되게 되므로, 부귀환을 가한(실행한) 것으로 된다. 이와 같이, 드라이브 트랜지스터 Trd의 출력 전류 Ids를 마찬가지로 드라이브 트랜지스터 Trd의 입력 전압 Vgs로 부귀환시키는 것에 의해, 이동도 μ 를 보정하는 것이 가능하다. 또한, 부귀환량 ΔV 는 이동도 보정 기간 T6-T7의 시간폭 t를 조정하는 것에 의해 최적화할 수 있음을 주목해야 한다. 본 실시예에서, 제어 신호 WS의 중단부에 경사가 부여되어 있다.

<35> 타이밍 T7에서는 제어 신호 WS가 로우레벨로 되고 샘플링 트랜지스터 Tr1이 오프한다. 이 결과, 드라이브 트랜지스터 Trd의 게이트 G는 신호선 SL로부터 차단된다. 영상 신호의 신호 전위 Vsig의 인가가 해제되므로, 드라이브 트랜지스터 Trd의 게이트 전위(G)는 상승가능해지며, 소스 전위(S)와 함께 상승해 간다. 그 동안에, 화소 용량 Cs에 보존유지된 게이트/소스간 전압 Vgs는 $(V_{sig}-\Delta V+V_{th})$ 의 값을 유지한다. 소스 전위(S)의 상승에 수반해서(따라서), 발광 소자 EL의 역바이어스 상태는 해소되므로, 출력 전류 Ids의 유입에 의해 발광 소자 EL은 실제로 발광을 개시한다. 이 때의 드레인 전류 Ids대(對) 게이트 전압 Vgs의 관계는, 전술한 트랜지스터 특성식 1의 Vgs에 $V_{sig}-\Delta V+V_{th}$ 를 대입하는 것에 의해, 이하의 수학식 2와 같이 주어진다.

수학식 2

<36>
$$I_{ds}=k \mu (V_{gs}-V_{th})^2=k \mu (V_{sig}-\Delta V)^2$$

<37> 상기 수학식 2에 있어서, $k=(1/2)(W/L)Cox$ 이다. 이 특성식 2로부터, V_{th} 의 항이 소거(cancel)되어 있으며, 발광 소자 EL에 공급되는 출력 전류 Ids는 드라이브 트랜지스터 Trd의 임계전압 V_{th} 에 의존하지 않는다는 것을 알 수 있다. 기본적으로, 드레인 전류 Ids는 영상 신호의 신호 전위 Vsig에 의해서 결정된다. 바꾸어말하면, 발광 소자 EL은 영상 신호의 신호 전위 Vsig에 따른 휘도로 발광하게 된다. 그 때, Vsig는 부귀환량 ΔV 로 보정되어 있다. 이 보정량 ΔV 는 꼭(정확히) 특성식 2의 계수부(係數部)에 위치하는 이동도 μ 의 효과를 상쇄(cancel)하도록 작용한다. 따라서, 드레인 전류 Ids는 실질적으로 영상 신호의 신호 전위 Vsig에만 의존하게 된다.

<38> 마지막으로, 타이밍 T8에 도달하면, 제어 신호 DS가 하이레벨로 되어 스위칭 트랜지스터 Tr4가 오프하고, 발광이 종료됨과 동시에 해당 필드가 끝난다. 그 후, 다음 필드로 옮겨가서(다음 필드가 시작되면) 다시 V_{th} 보정 동작, 신호 전위의 샘플링 동작, 이동도 보정 동작 및 발광 동작이 되풀이(반복)되게 된다.

<39> 도 5는, 이동도 보정 기간 T6-T7에 있어서의 화소 회로(2)의 상태를 도시하는 회로도이다. 도면에 도시하는 바와 같이, 이동도 보정 기간 T6-T7에서는, 샘플링 트랜지스터 Tr1 및 스위칭 트랜지스터 Tr4가 온하고 있는 반면, 나머지 스위칭 트랜지스터 Tr2 및 Tr3은 오프하고 있다. 이 상태에서, 드라이브 트랜지스터 Tr4의 소스 전위(S)는 $V_{ss1}-V_{th}$ 이다. 이 소스 전위(S)는 발광 소자 EL의 애노드 전위이기도 하다. 전술한 바와 같이, $V_{ss1}-V_{th}<V_{thEL}$ 로 설정해 두는 것에 의해, 발광 소자 EL은 역바이어스 상태로 놓여지고, 다이오드 특성이 아니라 단순한 용량 특성을 나타내게 된다. 따라서, 드라이브 트랜지스터 Trd에 흐르는 전류 Ids는 화소 용량 Cs와 발광 소자 EL의 등가 용량 Coled와의 합성 용량 $C=C_s+Coled$ 로 흘러들어가게(유입되게) 된다. 바꾸어 말하면, 드레인 전류 Ids의 일부가 화소 용량 Cs로 부귀환되어 이동도 보정이 행해진다.

<40> 도 6은 전술한 트랜지스터 특성식 2를 그래프화한 것이며, 종축에 Ids를 취하고, 횡축에 Vsig를 취하고 있다. 이 그래프의 아래쪽에 특성식 2도 아울러(함께) 도시하고 있다. 도 6의 그래프는, 화소1과 화소2를 비교한 상태에서 특성 커브를 도시하고 있다. 화소1의 드라이브 트랜지스터의 이동도 μ 는 상대적으로 크다. 거꾸로, 화소2

에 포함되는 드라이브 트랜지스터의 이동도 μ 는 상대적으로 작다. 이와 같이, 드라이브 트랜지스터를 폴리실리콘 박막 트랜지스터 등으로 구성한 경우, 화소 사이에서 이동도 μ 가 변동하는(편차가 생기는) 것은 피할 수 없다. 예를 들면, 양 화소1, 2에 동일 레벨의 영상 신호의 신호 전위 V_{sig} 를 기입한 경우, 어떠한 이동도의 보정을 행하지 않으면 이동도 μ 가 큰 화소1에 흐르는 출력 전류 I_{ds1}' 는, 이동도 μ 가 작은 화소 2에 흐르는 출력 전류 I_{ds2}' 에 비해 큰 차가 생겨 버린다. 이와 같이, 이동도 μ 의 편차에 기인해 출력 전류 I_{ds} 사이에 큰 차가 생기므로, 불균일한 줄무늬(筋斑; uneven streaks)가 발생하여 화면의 균일성을 손상시키게 된다.

<41> 그래서, 본 발명에서는 출력 전류를 입력 전압측으로 부귀환시킴으로써 이동도의 편차를 없애고 있다. 전술한 트랜지스터 특성식 1로부터 분명한 바와 같이, 이동도가 크면 드레인 전류 I_{ds} 가 커진다. 따라서, 부귀환량 ΔV 는 이동도가 클수록 커진다. 도 6의 그래프에 나타내는 바와 같이, 이동도 μ 가 큰 화소1의 부귀환량 $\Delta V1$ 은 이동도가 작은 화소2의 부귀환량 $\Delta V2$ 에 비해 크다. 따라서, 이동도 μ 가 클수록 부귀환이 크게 걸리게(작용하게) 되어, 편차를 억제하는 것이 가능하다. 도면에 도시하는 바와 같이, 이동도 μ 가 큰 화소1에서 $\Delta V1$ 의 보정을 가하면(실행하면), 출력 전류는 I_{ds1}' 로부터 I_{ds1} 까지 크게 하강한다. 한편, 이동도 μ 가 작은 화소2의 보정량 $\Delta V2$ 는 작으므로, 출력 전류 I_{ds2}' 는 I_{ds2} 까지 그다지 크게 하강하지 않는다. 결과적으로, I_{ds1} 와 I_{ds2} 는 대략 동일하게 되며, 이동도의 편차가 없어진다. 이 이동도 편차의 소거는 블랙(黑) 레벨부터 화이트 레벨까지 V_{sig} 의 전범위에 걸쳐서 행해지므로, 화면의 균일성이 매우 높아진다. 이상을 정리하면, 이동도가 다른 화소1과 화소2가 있을 경우, 이동도가 큰 화소1의 보정량 $\Delta V1$ 은 이동도가 작은 화소2의 보정량 $\Delta V2$ 에 대해서 작아진다. 다시 말해, 이동도가 클수록 ΔV 가 크고 I_{ds} 의 감소값은 커진다. 이것에 의해, 이동도가 다른 화소 전류값은 균일화되며, 이동도의 편차를 보정할 수가 있다.

<42> 이하, 참고를 위해서, 상술한 이동도 보정의 수치 해석을 행한다. 도 5에 도시한 바와 같이, 트랜지스터 Tr1 및 Tr4가 온한 상태에서, 드라이브 트랜지스터 Trd의 소스 전위를 변수 V 로 취해서 해석을 행한다. 드라이브 트랜지스터 Trd의 소스 전위(S)를 V 로 하면, 드라이브 트랜지스터 Trd를 흐르는 드레인 전류 I_{ds} 는 이하의 수학식 3에 나타내는 바와 같다.

수학식 3

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \dots \text{식 3}$$

<43>

<44> 또, 드레인 전류 I_{ds} 와 용량 $C(=C_s+C_{oled})$ 의 관계에 의해, 이하의 수학식 4에 나타내는 바와 같이, $I_{ds}=dQ/dt=CdV/dt$ 가 성립된다.

수학식 4

$$\begin{aligned} I_{ds} &= \frac{dQ}{dt} = C \frac{dV}{dt} \text{로부터 } \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \\ \Leftrightarrow \int_0^t \frac{1}{C} dt &= \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\ \Leftrightarrow \frac{k\mu}{C} t &= \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\ \Leftrightarrow V_{sig} - V_{th} - V &= \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \end{aligned}$$

... 식 4

<45>

<46> 식 4에 식 3을 대입해서 양변을 적분한다. 여기서, 소스 전압 V 의 초기 상태는 $-V_{th}$ 이며, 이동도 편차 보정 시간($T6-T7$)을 t 로 한다. 이 미분 방정식을 풀면, 이동도 보정 시간 t 에 대한 화소 전류가 이하의 수학식 5와 같이 주어진다.

수학식 5

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2$$

... 식 5

<47>

<48> 그런데, 최적인 이동도 보정 시간 t는 화소의 휘도 레벨(영상 신호의 신호 전위 Vsig)에 따라서 다른 경향이 있음을 주목해야 한다. 이 점에 대해서, 도 7을 참조하여 설명한다. 도 7의 그래프는, 횡축에 이동도 보정 시간 t(T7-T6)를 취하고, 종축에 휘도(신호 전위)를 취하고 있다. 고휘도(화이트 계조)인 경우, 이동도 대(大; high)의 드라이브 트랜지스터와 이동도 소(小; low)의 드라이브 트랜지스터에서, 이동도 보정 시간을 t1로 취했을 때, 정확히 휘도 레벨이 동일하게 된다. 즉, 입력 신호 전위가 화이트 계조일 때는, 이동도 보정 시간 t1이 최적 보정 시간으로 된다. 한편, 신호 전위가 중간 휘도(그레이 계조)일 때, 이동도 보정 시간 t1에서는 이동도 대의 트랜지스터와 이동도 소의 트랜지스터에서 휘도에 차가 있으며, 완전한 보정은 불가능하다. t1보다도 긴 보정 시간 t2를 확보하면, 정확히 이동도 대와 이동도 소의 트랜지스터에서 휘도가 비교가능한 레벨로 된다. 따라서, 신호 전위가 그레이 계조일 때, 최적 보정 시간 t2는 화이트 계조시의 최적 보정 시간 t1보다도 길어진다.

<49> 가령(만일) 휘도 레벨에 관계없이 이동도 보정 시간 t를 고정하면, 전계조(all scales)에서 완전한 이동도 보정을 행할 수 없게 되어, 불균일한 줄무늬가 생긴다. 예를 들면, 이동도 보정 시간 t를 화이트 계조의 최적 보정 시간 t1에 맞추면, 입력 영상 신호가 그레이 계조일 때 줄무늬가 화면에 남는다. 거꾸로, 그레이 계조의 최적 보정 시간 t2에 고정하면, 영상 신호가 화이트 계조일 때 화면에 불균일한 줄무늬가 나타난다. 즉, 이동도 보정 시간 t를 고정시키면, 화이트부터 그레이 계조까지 모든 계조에 대하여 이동도 편차를 보정할 수 없다.

<50> 그래서, 본 발명은 입력 영상 신호의 신호 전위 Vsig의 레벨에 따라 이동도 보정 기간 t를 최적으로 자동조정 가능하게 하고 있다. 이 점에 대해서, 도 8을 참조하여 상세하게 설명한다. 도 8은 스위칭 트랜지스터 Tr4의 게이트에 인가되는 제어 신호 DS의 하강 파형과 샘플링 트랜지스터 Tr1의 게이트에 인가되는 제어 신호 WS의 하강 파형을 시간축을 따라 도시하고 있다. 본 실시형태의 경우, 스위칭 트랜지스터 Tr4는 P채널형이므로, 제어 신호 DS가 하강한 시점(T6)에서 트랜지스터 Tr4는 온한다. 이 타이밍 T6이 전술한 바와 같이 이동도 보정 기간 t의 개시 시기로 된다.

<51> 한편, 제어 신호 WS는 샘플링 트랜지스터 Tr1의 게이트에 인가된다. 전술한 바와 같이 본 실시형태에서는, 샘플링 트랜지스터 Tr1이 N채널형이므로, 제어 신호 WS가 하강한 시점 T7 또는 T7' 에서 샘플링 트랜지스터 Tr1이 오프하고, 이동도 보정 기간이 끝난다.

<52> 본 발명의 특징 사항으로서, 라이트(write) 스캐너(4)는, 이동도 보정 기간 t의 종기를 규제하는 제어신호 WS의 중단부에 경사를 부여하기 위한 출력부를 가지고 있다. 이 출력부는 처음에 경사를 급하게 하고 계속해서(그 후) 경사를 완만하게 바꾸어 가는 곡선 경사 파형을 각 주사선 WS에 출력함으로써, 신호 전위가 높을 때(Vsig1)와 신호 전위가 낮을 때(Vsig2)의 양쪽에서 보정 기간 t를 최적화하고 있다.

<53> 도 8에 도시한 제어 신호 WS의 곡선 경사 파형은, 대응하는 주사선 WS를 거쳐서 샘플링 트랜지스터 Tr1의 게이트에 인가된다. 한편, 신호 전위 Vsig는 신호선 SL를 거쳐서 샘플링 트랜지스터 Tr1의 소스에 인가된다. 샘플링 트랜지스터 Tr1은 그의 게이트 전압을 Vth(Tr1)로 하면, 소스 전위를 기준으로 해서 게이트 전위가 임계전압 Vth(Tr1)까지 저하하면, 채널이 오프 상태로 된다. 신호 전위가 화이트 표시시의 높은 레벨 Vsig1에 있을 때, 제어 신호 WS의 하강 파형이 하이레벨 VDDWS로부터 로우레벨 VSSWS로 향해 하강해 가는 단계에서, 정확히 Vsig1+Vth(Tr1)를 횡단한(가로지르는) 시점에서, 샘플링 트랜지스터 Tr1이 오프한다. 이 때, 제어 신호 WS의 하강 파형은 곡선 경사 파형으로 되고 있고, 정확히 급경사(steep)한 부분에서 Vsig1+Vth(Tr1)의 레벨을 횡단한다. 이것에 의해, 화이트 표시시의 보정 시간 t1은 T7-T6으로, 비교적 짧아진다.

<54> 한편, 그레이 표시시의 신호 전위는 비교적 낮은 레벨 Vsig2에 있다. 제어 신호 WS의 하강 파형은 도시하는 바와 같이 완만한 부분에서 Vsig2+Vth(Tr1)의 레벨을 횡단하므로, 그레이 표시시 보정 시간 t2는 T7' -T6으로 되며, 비교적 길어진다. 또, 블록 표시시 동안 신호 전위가 Vsig2보다도 낮아지므로, 타이밍 T7' 는 더욱더 뒤쪽(後方)으로 프트하고, 블랙 표시시 동안 보정 시간은 더욱더 길어진다.

<55> 도 9는, 라이트(write) 스캐너(4)에 실장되는 출력부(4a)의 제1 실시형태를 도시하는 모식적인 회로도이다. 도

면에 도시하는 바와 같이, 이 출력부(4a)는, 인버터 구성의 출력 버퍼를 구비하고 있다. 이 출력 버퍼는 P채널 트랜지스터 WSTrP와 N채널 트랜지스터 WSTrN의 직렬 접속으로 이루어지고, 스캐너(4)의 전원 전위 VDDWS와 접지 전위 VSSWS 사이에 직렬 접속되어 있다. 입력 신호 WSIN은 전단(前段)의 인버터를 거쳐서 후단(後段)의 출력 인버터에 인가되고, 제어 신호 WS로서 출력된다. 또한, 입력 신호 WSIN은 선순차 주사에 맞추어 라이트 스캐너(4)에 의해 생성됨을 주목해야 한다. 구체적으로는, 라이트 스캐너(4)는 시프트 레지스터로 이루어지고, 외부로부터 입력된 클럭 신호 WSCK에 따라 동작해 같이 외부로부터 입력된 스타트 신호 WSST를 순차 전송함으로써, 주사선 WS의 각 라인마다 입력 신호 WSIN을 생성하고 있다.

<56> 도 10은, 출력부(4a)에 입력되는 입력 신호 WSIN과, 마찬가지로 출력부(4a)로부터 출력되는 제어 신호 WS를 도시하고 있다. 도 9의 출력부(4a)는, 구형 파형의 입력 신호 WSIN을 완만하게 하는(둔화시키는) 것에 의해, 곡선 경사 파형을 가지는 제어 신호 WS를 출력하고 있다. 또한, 제어 신호 WS의 상승 파형(立上波形; rising waveform)은, 실제로는 불필요하므로, 출력부(4a)에서 마스크되도록(마스크를 가하도록) 한다. 도 9에 도시한 출력부(4a)는, 출력 버퍼의 인버터 구성에 포함되는 P채널 트랜지스터 WSTrP의 동작을 이용해서, 도 10에 도시하는 바와 같이 구형 파형의 입력 신호 WSIN을 완만하게 하고 있다. 또는, 대안적으로 출력 버퍼의 인버터 구성에 포함되는 트랜지스터 WSTrP 및 WSTrN의 사이즈 팩터(W/L)를 라이트 스캐너(4)를 구성하는 다른 트랜지스터의 사이즈 팩터보다도 작게 하고, 구형 파형의 입력 신호 WSIN을 완만하게 하도록 해도 좋다. 또, 주사선 WS의 배선 저항 R 및 배선 용량 C로 결정되는 시정수를 이용해서, 출력 버퍼로부터 출력된 하강 파형을 도시된 곡선 경사 파형으로 더욱더 완만하게 하도록 해도 좋다. 또한, 사이즈 팩터 W/L은 트랜지스터의 전류 공급 능력을 나타내고, 채널폭W가 클수록 구동 능력이 높고 온 저항이 낮음을 주목해야 한다. 한편, 채널길이 L은 짧을수록 구동 능력이 높고 온 저항이 낮다.

<57> 이상 설명한 바와 같이, 제1 실시형태에서는, 라이트 스캐너의 최종단(最終段) 출력 파형을 완만하게 하는 방법으로서, 라이트 스캐너(4)의 최종단 버퍼에 PMOS로 대표되는 P채널 트랜지스터를 이용한다. 또는, 대안적으로 라이트 스캐너(4)의 최종단 버퍼의 사이즈 팩터(W/L)를 작게 한다. 또, 라이트 스캐너(4)의 최종단으로부터 화소 입력단 사이의 배선 저항 R 및 배선 용량 C를 크게 해도 좋다. 도 9에 도시한 바와 같이, 라이트 스캐너(4)의 최종단 버퍼에 PMOS를 이용한 경우에는, PMOS 자체가 전원 전압이 높을 때 트랜지스터의 온 저항(ON resistance)은 작고 하강 속도가 빨라지도록 동작하며, 거꾸로, 전원 전압이 낮을 때는 트랜지스터의 온 저항이 크고 하강 속도는 느려진다. 따라서, PMOS 자체의 이와 같은 동작 특성을 이용함으로써, 용이하게 곡선 경사 파형을 만들어 낼 수 있으며, 이동도 보정 기간 t를 화이트 계조에서는 짧게, 그레이 계조에서는 길게 설정할 수가 있다. 또, 라이트 스캐너(4)의 최종단 버퍼의 사이즈 팩터(W/L)를 작게 하면, 그 만큼 온 저항이 크게 되고, 입력 신호 WSIN을 크게 완만하게 하여 제어 신호 WS의 곡선 경사 파형을 얻을 수가 있다. 나아가서는, 각 계조에 있어서의 이동도 보정 기간 t는, 제어 신호 WS의 파형의 완만함(둔화) 정도 다시말해 배선 시정수 CR를 변경하는 것에 의해 조정할 수가 있다. 이와 같이 해서, 예를 들면 화이트 계조에서는 최적 이동도 보정 기간 $t1=1\mu s$ 으로 할 수 있으며, 한편으로 그레이 계조에서는 최적 이동도 보정 시간 $t2=5\mu s$ 로 할 수가 있다. 이와 같은 수법에 의해, 각 계조에 있어서의 이동도 보정 기간 t를 최적화할 수 있고, 종래에 문제로 되어 있던 화상의 불균일한 줄무늬를 해소할 수가 있다.

<58> 도 11은, 라이트 스캐너(4)의 출력부의 제2 실시형태를 도시하는 모식적인 회로도이다. 도면의 이해를 용이하게 하기 위해서, 라이트 스캐너(4)의 출력부(4b)를 대응하는 주사선 WS의 1단분만 도시하고 있다. 도면에 도시하는 바와 같이, 이 출력부(4b)는 주사선 WS를 거쳐서, 화소 회로(2)에 포함되어 있는 샘플링 트랜지스터 Tr1의 게이트에 접속되어 있다. 이 출력부(4b)는, 전원 라인과 접지 라인 VSSWS 사이에 배치되고 또한 트랜스미션 게이트 WSTG를 포함하는 출력 버퍼를 구비하고 있다. 트랜스미션 게이트 WSTG가 입력 신호 WSIN에 따라 열렸을 때, 전원 라인에 공급된 전원 펄스 WSpulse를 취출하고, 이것을 제어 신호 WS로서 주사선 WS에 출력한다. 도 9에 도시한 제1 실시형태에서는, 출력 버퍼의 온 저항을 이용해서 입력 신호를 완만하게 하고, 곡선 경사 파형을 얻고 있었다. 그렇지만, 출력 버퍼의 온 저항은 각 단마다 변동하기(달라지기) 때문에, 반드시 정확한 이동도 보정 시간 제어를 행할 수 없는 경우도 있다. 이것에 대해, 본 실시형태는 미리 외부에서 정확하게 생성한 곡선 경사 파형을 가지는 전원 펄스 WSpulse를 버퍼에 공급하고, 트랜스미션 게이트 WSTG에서 이 전원 펄스 WSpulse로부터 곡선 경사 파형을 그대로 빼내어, 제어 신호 WS로 하고 있다. 트랜스미션 게이트 WSTG는 CMOS 트랜지스터이며, 온 저항은 낮고 거의 손실없이 전원 펄스 WSpulse에 포함되어 있던 곡선 경사 파형을 그대로 충실히 주사선 WS측에 송출할 수가 있다.

<59> 도 12는, 도 11에 도시한 제2 실시형태에 따른 출력부(4b)의 동작 설명에 제공되는 타이밍차트이다. 입력 신호 WSIN은 선순차 주사에 맞추어 순차 라이트 스캐너(4)를 구성하는 시프트 레지스터로부터 각 단마다 출력되어 온

다. 또한, 라이트 스캐너(4)는 통상 화소 어레이와 동일 패널상에 형성되어 있음을 주목해야 한다. 한편, 전원 펄스 WSpulse는 패널의 외부에 있는 분리된 회로(discrete circuit)로 형성되며, 라이트 스캐너(4)의 전원 라인에 공급된다. 이 전원 펄스 WSpulse는 미리 입력 신호 WSIN과 도시된 위상 관계를 유지하도록 동기가 취해져 있다.

<60> 우선, 타이밍 J1에서 입력 신호 WSIN이 VDDWS에서 VSSWS로 하강하고, 트랜스미션 게이트 WSTG가 온한다. 이것에 의해, 전원 펄스 WSpulse의 전원 레벨 VDDWS가 취입되고, 출력 제어 신호 WS가 VSSWS에서 VDDWS로 상승한다. 그 후, 트랜스미션 게이트 WSTG가 계속해서 온하고 있는 상태에서, 전원 펄스 WSpulse가 하강한다. 따라서, 이 하강 부분의 곡선 경사 파형이 트랜스미션 게이트 WSTG를 그대로 통과하고, 출력 제어 신호 WS의 하강 파형을 형성한다. 즉, 제어 신호 WS는 타이밍 J2부터 최초로 급준하게 하강하고 그 후 완만하게 하강해 간다. 마지막으로, 타이밍 J3에서 입력 신호 WSIN이 로우레벨 VSSWS에서 하이레벨 VDDWS로 복귀하므로, 트랜스미션 게이트 WSTG가 오프하고, 제어 신호 WS는 VSSWS 레벨로 된다.

<61> 도 13은, 도 11에 도시한 출력부(4b)에 공급되는 전원 펄스 WSpulse와 그곳에서 출력되는 제어 신호 WS의 파형을, 겹쳐서 도시하고 있다. 도시하는 바와 같이, 출력부(4b)는 출력 버퍼에 트랜스미션 게이트 소자를 이용하고 있기 때문에, 전원 펄스 WSpulse의 곡선 경사 파형이 그대로 아무런 변형을 받지 않은 상태에서, 제어 신호 WS의 곡선 경사 파형으로 되어 있다.

<62> 도 14는, 도 11에 도시한 출력 버퍼(4b)에 있어서, 트랜스미션 게이트 WSTG 대신에 P채널 트랜지스터 WSTrP를 이용한 경우의 파형을 도시하고 있다. 패널 외부에서 생성한 전원 펄스 WSpulse를 패널 내부에 있는 라이트 스캐너의 출력부의 P채널 트랜지스터에서 받으면, 트랜지스터의 온 저항에 의해 도 14에 도시하는 바와 같이 완만하게 되어 버린다. 전원 펄스 WSpulse의 전압이 높을 때는 P채널 트랜지스터의 온 저항은 작고, 제어 신호 WS의 파형은 추종하기 쉬우며, 외부 파형 WSpulse와 거의 같은 형태의 내부 파형으로 된다. 한편, 전원 펄스 WSpulse의 전압이 낮아지면, P채널 트랜지스터의 온 저항이 크고, 패널내의 제어 신호 WS의 파형은 완만하게 되어 버린다. 이것에 대해, 본 제2 실시형태에서는 패널 외부에서 생성한 전원 펄스 파형을 받는 소자를, P채널 트랜지스터(PMOS)가 아니라, P채널 트랜지스터와 N채널 트랜지스터를 조합한 트랜스미션 게이트 소자(CMOS)로 하고 있다. CMOS는 P채널 트랜지스터와 병렬로 N채널 트랜지스터를 이용하기 때문에, 전원 펄스 WSpulse의 레벨에 관계없이, 패널 외부에서 생성한 파형과 패널 내부의 파형을 도 13에 도시한 바와 같이 일치시킬 수가 있다. 이것에 의해, 패널 내부의 파형을 용이하게 외부로부터 제어하는 것이 가능하게 된다.

<63> 상술한 제2 실시형태는, 패널 외부의 분리된 회로(discrete circuit)에서 미리 곡선 경사 파형을 가지는 전원 펄스를 생성하고, 패널측의 라이트 스캐너의 전원 라인에 입력하고 있다. 그렇지만, 정밀하게 곡선 경사 파형을 만들기 위해서, 외부의 분리된 회로가 복잡한 구성으로 되고, 제조 원가가 높아지기 쉽상이다. 이것 대신에, 보다 간편한 대용(代用) 파형을 출력하는 분리된 회로도 유용하다. 도 15는, 이와 같은 간편한 구조의 분리된 회로의 1예를 도시하는 것이다. 도면에 도시하는 바와 같이, 이 분리된 회로는 1개의 트랜지스터와 1개의 커패시터와 3개의 고정 저항과 2개의 가변 저항으로 이루어지고, 선순차 주사와 동기해서 공급되는 입력 파형 IN을 아날로그적으로 처리하며, 전원 펄스 WSpulse를 작성하며, 이것을 패널 측에 공급하고 있다. 본 실시예는 구형의 입력 파형을 처리하고, 그의 중단부가 2단계로 꺾은선 모양(折線狀; bent straight line)으로 변화하는 출력 파형을 생성하고 있다. 도면에 도시하는 바와 같이, 이 전원 펄스 WSpulse의 출력 파형의 하강은, 제1 단계에서 급격하게 직선 경사지고, 제2 단계에서 온화한 직선 경사로 전환되고 있다.

<64> 도 15에 도시한 분리된 회로는 직선적으로 절곡되는(꺾여구부러지는) 경사 파형의 전원 펄스 WSpulse를 출력하고 있으며, 이대로는 최적인 이동도 보정 기간 제어에 적합하지 않다. 도 16은 본 발명에 따른 라이트 스캐너 출력부의 제3 실시형태를 도시하는 것이며, 특히 직선적으로 절곡되는 경사 파형으로부터 곡선 경사 파형을 얻기 위한 것이다. 이해를 용이하게 하기 위해서, 도 11에 도시한 제2 실시형태와 대응하는 부분에는 대응하는 참조 번호/기호를 붙이고 있다. 다른 점은, 제2 실시형태의 출력부(4b)에 포함되어 있던 트랜스미션 게이트 WSTG를, P채널 트랜지스터 WSTrP로 대신한 것이다. 이 결과, 제3 실시형태의 출력부(4c)는, 그 출력 버퍼가 P채널 트랜지스터 WSTrP와 N채널 트랜지스터 WSTrN를, 전원 라인과 접지 라인 VSSWS 사이에 직렬 접속한 구성으로 되어 있다.

<65> 도 17은, 도 16에 도시한 출력부(4c)에 공급되는 전원 펄스 WSpulse의 파형과, 마찬가지로 출력부(4c)로부터 출력되는 제어 신호 WS의 파형을 겹쳐서 도시한 것이다. 도면에 도시하는 바와 같이, 입력 전원 펄스 WSpulse는 도 15에 도시하는 분리된 회로로부터 공급된 것이며, 직선적으로 절곡된 파형으로 되어 있다. 이것에 대해, 출력부(4c)로부터 출력되는 제어 신호 WS의 파형은 곡선 경사 파형으로 되어 있고, 이상적인 형상으로 되어 있다.

라이트 스캐너(4)의 최종단 버퍼에 P채널 트랜지스터 WStrP(PMOS)를 이용한 경우에는, PMOS 자체에 전원 펄스 WSpulse의 전압이 높을 때에는 트랜지스터의 온 저항은 작고 하강 속도가 빨라지며, 전원 펄스 WSpulse의 전압이 낮을 때는 트랜지스터의 온 저항이 크고 하강 속도가 느려지는 특성을 가지고 있다. 이것에 의해, 자동적으로 직선 경사 파형의 전원 펄스 WSpulse를 곡선 경사 파형의 제어 신호 WS로 변환할 수가 있다. 경우에 따라서는, 하강 속도는 출력 버퍼의 트랜지스터의 사이즈 팩터(W/L)를 대신하는 것에 의해서도 적당히 조절할 수 있다.

<66> 이상 설명한 바와 같이, 본 발명에 따른 표시 장치는, 기본적으로 화소 어레이부(1)와, 이것을 구동하는 구동부로 구성되어 있다. 화소 어레이부(1)는, 행모양의 제1 주사선 WS 및 제2 주사선 DS와, 열모양의 신호선 SL과, 이들이 교차하는 부분에 배치된 행렬모양의 화소2와, 각 화소 2에 급전하는 전원 라인 Vcc 및 접지 라인을 구비하고 있다. 구동부는, 제1 주사선 WS에 순차 제1 제어 신호 WS를 공급해서 화소2를 행단위로 선순차 주사하는 제1 스캐너(4)와, 이 선순차 주사에 맞추어 각 제2 주사선 DS에 순차 제2 제어 신호 DS를 공급하는 제2 스캐너(5)와, 이 선순차 주사에 맞추어 열모양의 신호선 SL에 영상 신호를 공급하는 신호 셀렉터(3)를 구비하고 있다.

<67> 각 화소2는, 발광 소자 EL과, 샘플링 트랜지스터 Tr1과, 드라이브 트랜지스터 Trd와, 스위칭 트랜지스터 Tr4와, 화소 용량 Cs를 포함한다. 샘플링 트랜지스터 Tr1은, 그의 게이트가 제1 주사선 WS에 접속되고, 그의 소스가 신호선 SL에 접속되고, 그의 드레인이 드라이브 트랜지스터 Trd의 게이트 G에 접속되어 있다. 드라이브 트랜지스터 Trd 및 발광 소자 EL은 전원 라인 Vcc와 접지 라인 사이에 직렬로 접속되어 전류로를 형성하고 있다. 스위칭 트랜지스터 Tr4는, 이 전류로에 삽입됨과 동시에, 그의 게이트가 제2 주사선 DS에 접속되어 있다. 화소 용량 Cs는, 드라이브 트랜지스터 Trd의 소스 S와 게이트 G 사이에 접속되어 있다.

<68> 이러한 구성에 있어서, 샘플링 트랜지스터 Tr1은, 제1 주사선 WS로부터 공급된 제1 제어 신호 WS에 따라 온하고 신호선 SL로부터 공급된 영상 신호의 신호 전위 Vsig를 샘플링해서 화소 용량 Cs에 보존유지한다. 스위칭 트랜지스터 Tr4는, 제2 주사선 DS로부터 공급된 제2 제어 신호 DS에 따라 온해서 전술한 전류로를 도통 상태로 한다. 드라이브 트랜지스터 Trd는, 화소 용량 Cs에 보존유지된 신호 전위 Vsig에 따라서 구동 전류 Ids를 도통 상태로 놓여진 전류로를 통해서 발광 소자 EL에 흐르게 한다.

<69> 본 발명의 특징 사항으로서, 구동부(3, 4, 5)는, 제1 주사선 WS에 제1 제어 신호 WS를 인가해서 샘플링 트랜지스터 Tr1을 온하고 신호 전위 Vsig의 샘플링을 개시한 후, 제2 제어 신호 DS가 제2 주사선 DS에 인가되어 스위칭 트랜지스터 Tr4가 온하는 제1 타이밍 T6부터, 제1 주사선 WS에 인가된 제1 제어 신호 WS가 해제되어 샘플링 트랜지스터 Tr1이 오프하는 제2 타이밍 T7까지의 보정 기간 t에, 드라이브 트랜지스터 Trd의 이동도 μ 에 대한 보정을 화소 용량 Cs에 보존유지된 신호 전위 Vsig에 가해서(실행해서) 이동도 보정을 행한다. 그 때, 구동부는, 신호선 SL에 공급되는 영상 신호의 신호 전위 Vsig가 높을 때 보정 기간 t가 짧아지는 반면, 신호선 SL에 공급되는 영상 신호의 신호 전위 Vsig가 낮을 때 보정 기간 t가 길어지도록, 자동적으로 제2 타이밍 T7을 조정한다.

<70> 구체적으로는, 구동부의 제1 스캐너(4)는, 제2 타이밍 T7을 규제하는 제1 제어 신호 WS의 종단부에 경사를 부여하기 위한 출력부(4a, 4b, 4c)를 가지고 있다. 이 출력부는 처음에(최초에) 경사를 급하게(급준하게) 하고 계속해서(그 후) 경사를 완만하게 변화시켜 가는 곡선 경사 파형을 출력함으로써, 신호 전위 Vsig가 높을 때와 신호 전위 Vsig가 낮을 때의 양쪽에서 보정 기간 t를 최적화하고 있다.

<71> 각 화소2는, 상술한 이동도 보정 기능에 더하여, 드라이브 트랜지스터의 임계전압 Vth 보정 기능도 구비하고 있다. 즉, 화소2는, 영상 신호의 샘플링에 앞서서 드라이브 트랜지스터 Trd의 게이트 전위(G) 및 소스 전위(S)를 리셋 또는 초기화하는 추가의 스위칭 트랜지스터 Tr2, Tr3을 포함하고 있다. 제2 스캐너(5)는, 영상 신호의 샘플링에 앞서서 제2 제어선 DS를 거쳐서 스위칭 트랜지스터 Tr4를 일시적으로 온하고, 이것에 의해 리셋된 드라이브 트랜지스터 Trd에 구동 전류 Ids를 흐르게 하여 그 임계전압 Vth에 상당하는 전압을 화소 용량 Cs로 유지해 둔다.

<72> 본 발명의 실시예에 따른 표시 장치는 도 18에 도시된 바와 같은 박막 디바이스 구성을 가질 수 있다. 본 도면은 절연성 기판 위에 형성된 화소의 개략적인 단면 구조를 가리킨다. 본 도면에 도시된 바와 같이, 화소는 복수의 박막 트랜지스터(본 도면에서, 하나의 TFT(Thin Film Transistor)가 예시로서 도시된다), 영구성 용량(retentive capacitance) 등과 같은 용량부, 유기 EL 소자와 같은 발광부를 포함한다. 트랜지스터부 또는 용량부는 TFT 공정에 의해 기판위에 형성되며, 유기 EL 소자와 같은 발광부가 그 위에 적층된다. 접착제에 의해, 그 위에 투명한 대향 기판(counter substrate)이 접촉되며, 이에 의해 평판 패널이 얻어진다.

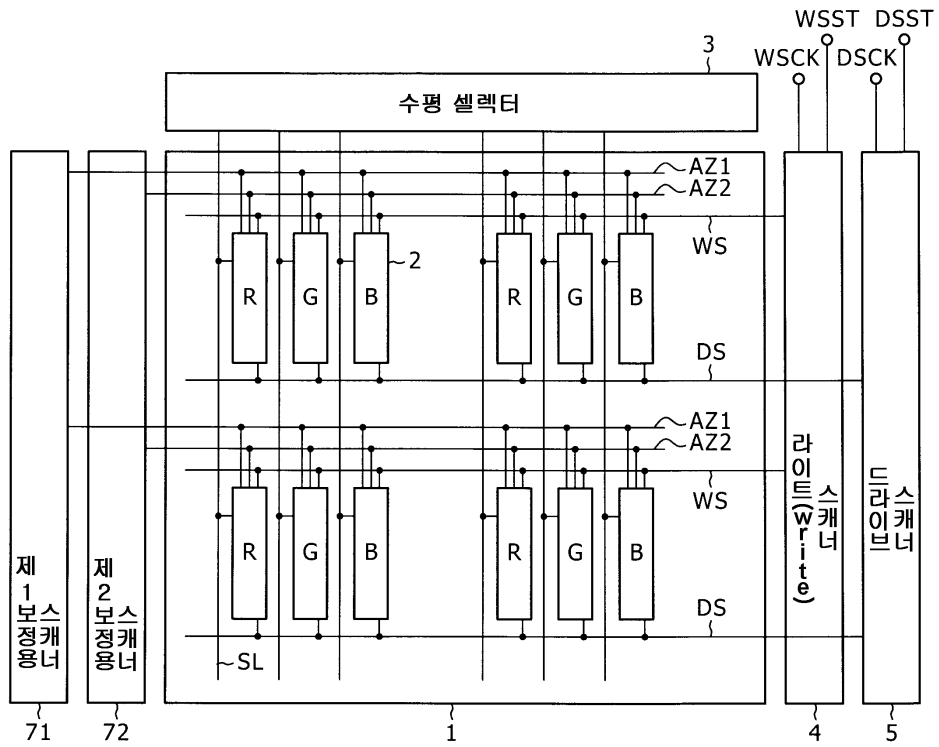
- <73> 본 발명의 실시예에 따른 표시 장치는 도 19에 도시된 평판 모듈형을 포함한다. 예를 들면, 절연성 기판위에, 각각 유기 EL 소자, 박막 트랜지스터, 박막 커패시터 등을 포함하는 화소가 집적되어 행렬로 형성되는 화소 어레이부가 마련된다. 이러한 화소 어레이부(화소 행렬부)를 감싸는 방식으로 접착제가 제공되며, 유리 또는 이와 유사한 물질의 대향 기판행렬이 접착되어서, 디스플레이 모듈이 얻어진다. 이러한 투명한 대향 기판은, 필요한 것으로 여겨지는 컬러 필터, 보호막, 광 차단막 등을 구비할 수 있다. 디스플레이 모듈은 예를 들면, 외부원으로부터 화소 어레이부로 신호를 입출력하기 위한 커넥터로서 FPC(Flexible Print Circuit: 연성 인쇄 회로)를 구비할 수 있다.
- <74> 위에 기술된 본 발명의 실시예에 따른 표시 장치는 평판 패널 모양을 가지므로, 이미지 또는 비디오로서 평판 패널로 입력 또는 평판 패널 내에서 생성되는 비디오 신호를 표시하는, 디지털 카메라, 랩탑 퍼스널 컴퓨터, 이동 전화기, 비디오 카메라 등과 같은 다양한 전자 디바이스의 디스플레이에 적용될 수 있다. 이하, 이러한 표시 장치가 적용되는 전자 디바이스의 예가 기술된다.
- <75> 도 20은 본 발명의 실시예가 적용된 텔레비전 세트를 보여주며, 이 텔레비전 세트는 전면 패널(12), 필터 유리(13) 등을 포함하는 비디오 디스플레이 스크린을 포함한다. 이는 자신의 비디오 디스플레이 스크린(11)을 위해 본 발명의 실시예의 표시 장치를 이용함으로써, 생산된다.
- <76> 도 21은 본 발명의 실시예가 적용된 디지털 카메라를 보여주며, 이 디지털 카메라의 상단위의 하나는 정면 보기(front view)이고, 아래의 하나는 후면 보기(rear view)이다. 이러한 디지털 카메라는 이미징 렌즈, 후레시 발광부(15), 디스플레이부(16), 제어 스위치, 메뉴 스위치, 셔터(19) 등을 포함하며, 자신의 디스플레이부(16)을 위하여 본 실시예의 표시 장치를 사용함으로써, 생산된다.
- <77> 도 22는 본 발명의 실시예가 적용된 랩탑 컴퓨터를 보여준다. 몸체(20)는 텍스트 등을 입력하기 위해 동작하는 키보드(21), 이미지 등을 표시하기 위한 디스플레이(22)를 포함하는 몸체 커버를 구비하며, 이러한 퍼스널 컴퓨터는 자신의 디스플레이(22)를 위해 본 실시예의 표시 장치를 사용함으로써, 생산된다.
- <78> 도 23은 본 발명의 실시예가 적용되는 휴대용 단말기 장치를 보여주며, 개방된 상태는 우측상에 보여지고, 반면에 폐쇄된 상태는 좌측상에 보여진다. 이러한 휴대용 단말기 장치는 상단 샷시(23), 하단 샷시(24), 결합부(이 경우 힌지부)(25), 디스플레이(26), 서브-디스플레이(27), 화면광(28), 카메라(29) 등을 포함하며, 자신의 디스플레이(26) 및/또는 서브-디스플레이(27)를 위해 본 실시예의 표시 장치를 사용함으로써, 생산된다.
- <79> 도 24는 본 발명의 실시예가 적용된 비디오 카메라를 보여준다. 이러한 비디오 카메라는 몸체(30), 앞방향으로 대면하는 피사체 촬영 렌즈(34), 촬영을 위한 시작/정지 스위치(37), 모니터(36) 등을 포함하며, 자신의 모니터(36)를 위해 본 실시예의 표시 장치를 사용함으로써, 생산된다.
- <80> 본 출원은 일본 특허청에 출원된 일본 특허 출원 번호 제 2006204055 호(2006. 7. 27)의 우선권을 향유를 청구하며, 이 출원 전체 내용이 본 출원에 참조에 의해 병합되었다.
- <81> 당업자라면, 다양한 변형, 조합, 서브-조합(sub-combinations) 및 변경이 첨부된 청구항의 보호 범위내 있거나, 또는 이들의 등가물인 한에 있어서는, 디자인 요구 및 다른 요인에 따라 발생할 수 있을 이해해야 할 것이다.

도면의 간단한 설명

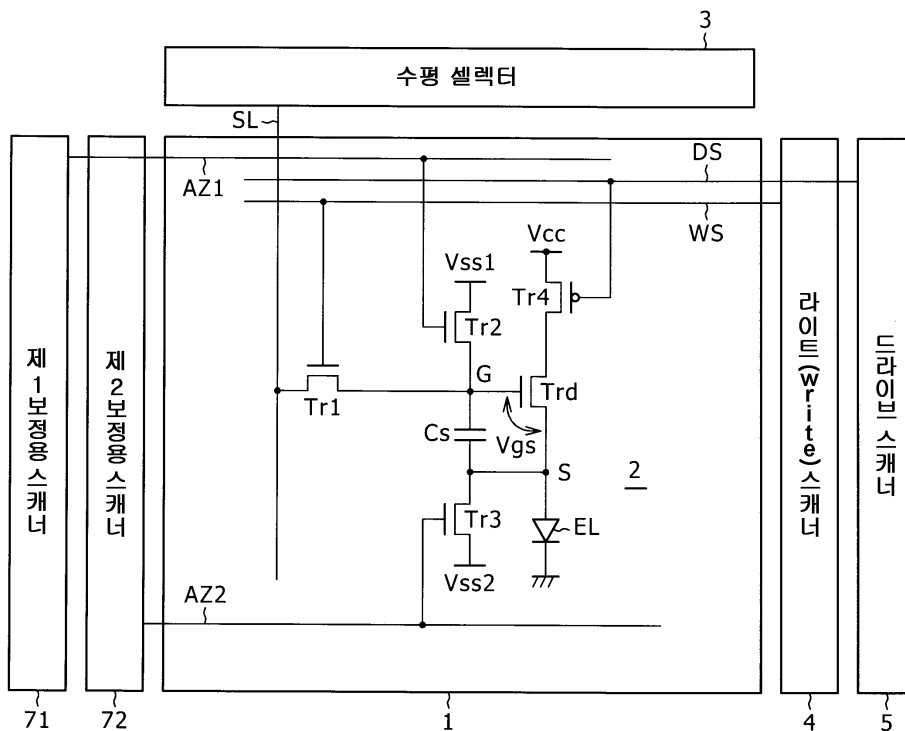
- <82> 도 1은 본 발명에 따른 표시 장치의 전체 구성을 도시하는 모식적인 블록도.
- <83> 도 2는 본 발명에 따른 표시 장치의 화소 구성을 도시하는 회로도.
- <84> 도 3은 본 발명에 따른 표시 장치의 동작 설명에 제공되는 모식도.
- <85> 도 4는 본 발명에 따른 표시 장치의 동작 설명에 제공되는 타이밍차트.
- <86> 도 5는 본 발명에 따른 표시 장치의 동작 설명에 제공되는 모식적인 회로도.
- <87> 도 6는 본 발명에 따른 표시 장치의 동작 설명에 제공되는 그래프.
- <88> 도 7는 본 발명에 따른 표시 장치의 동작 설명에 제공되는 그래프.
- <89> 도 8는 본 발명에 따른 표시 장치의 동작 설명에 제공되는 파형도.

도면

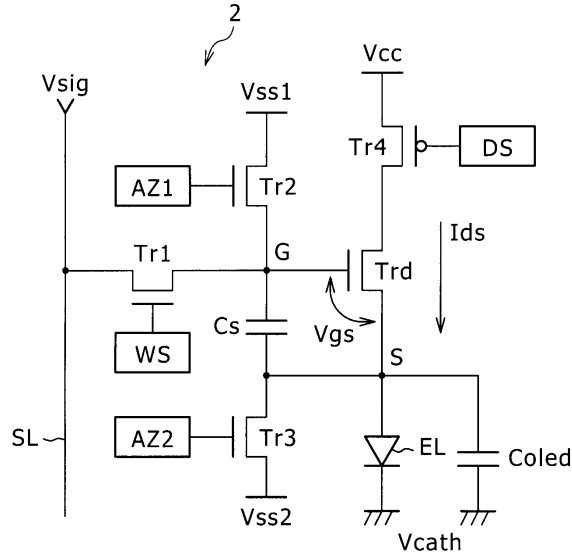
도면1



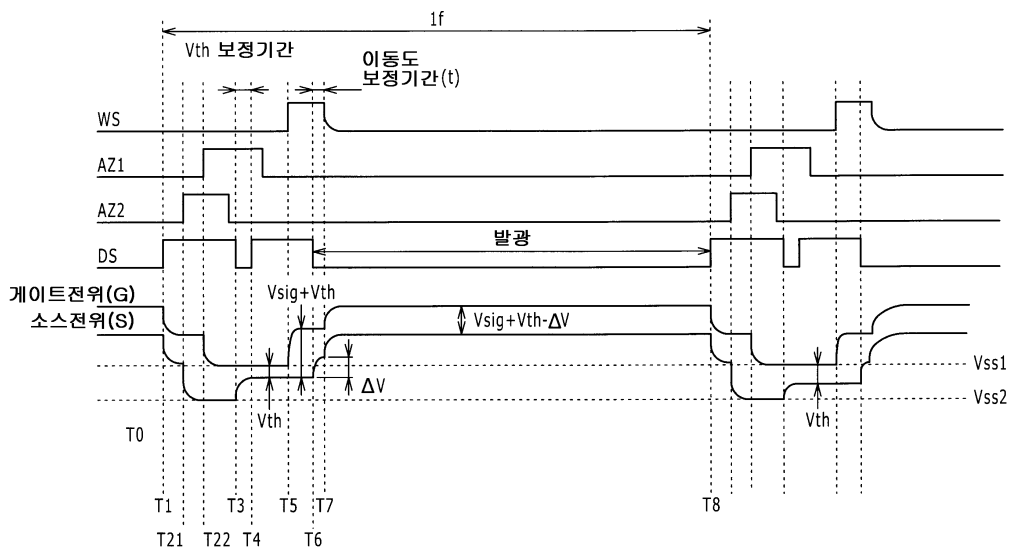
도면2



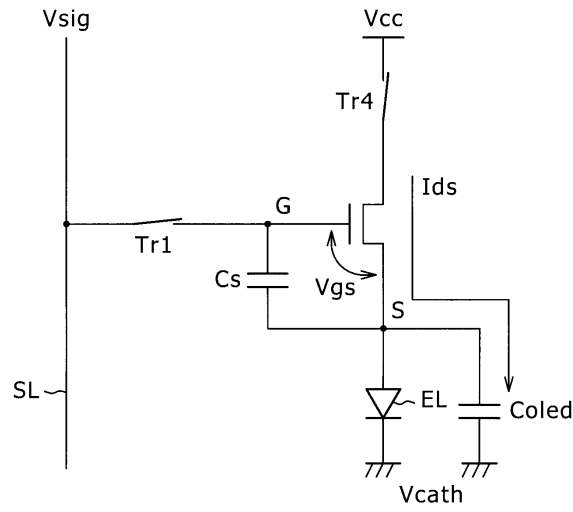
도면3



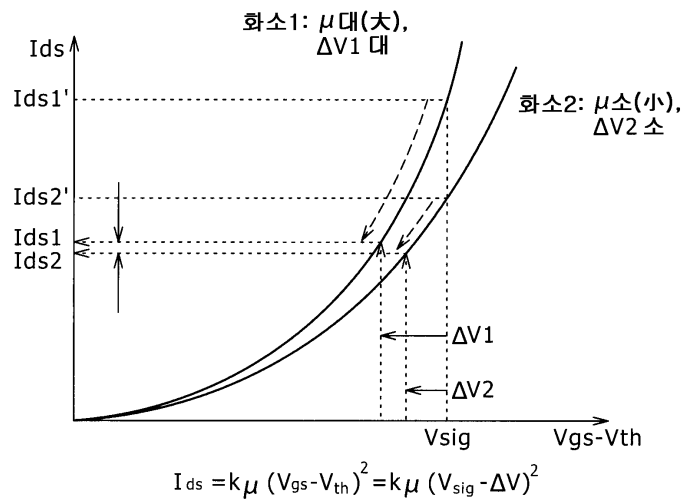
도면4



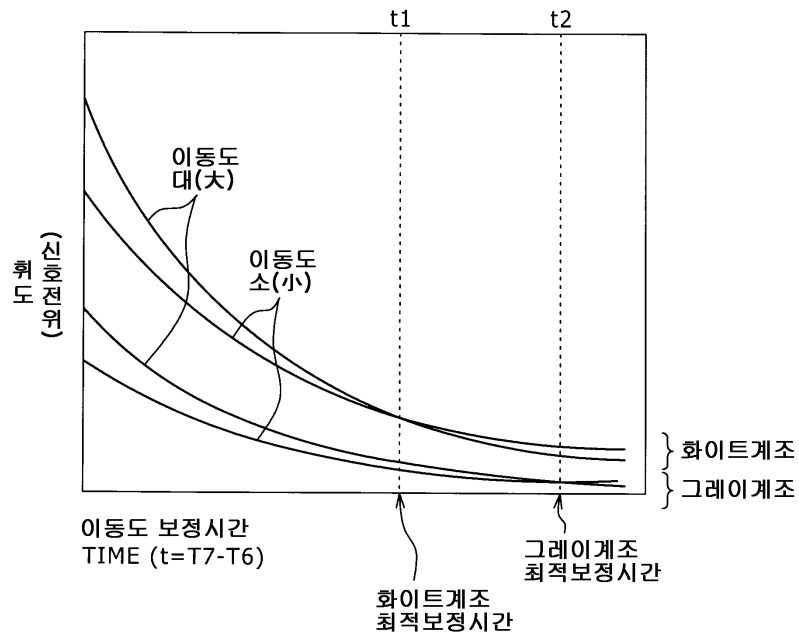
도면5



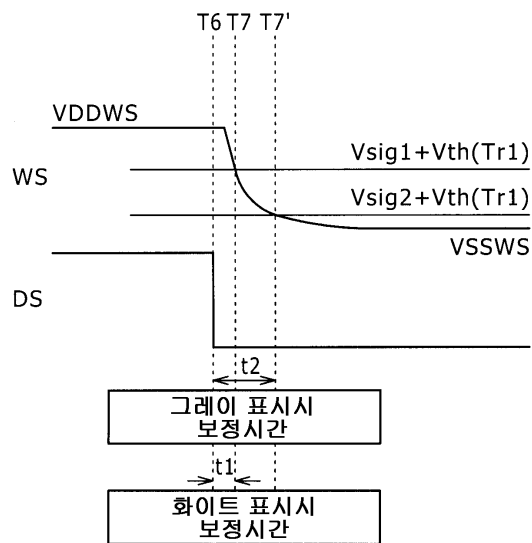
도면6



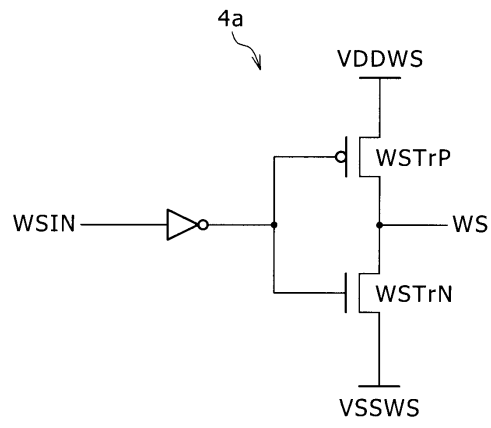
도면7



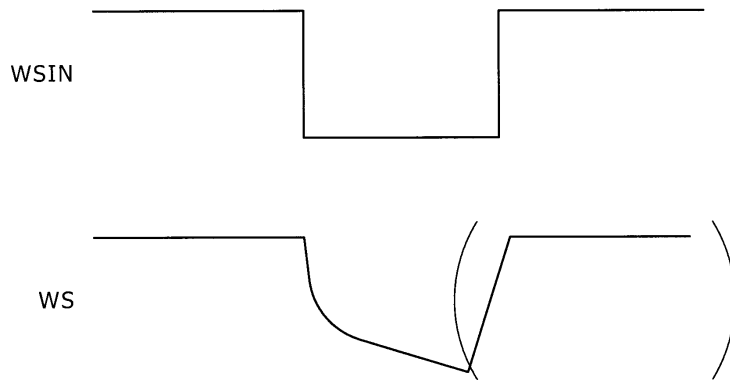
도면8



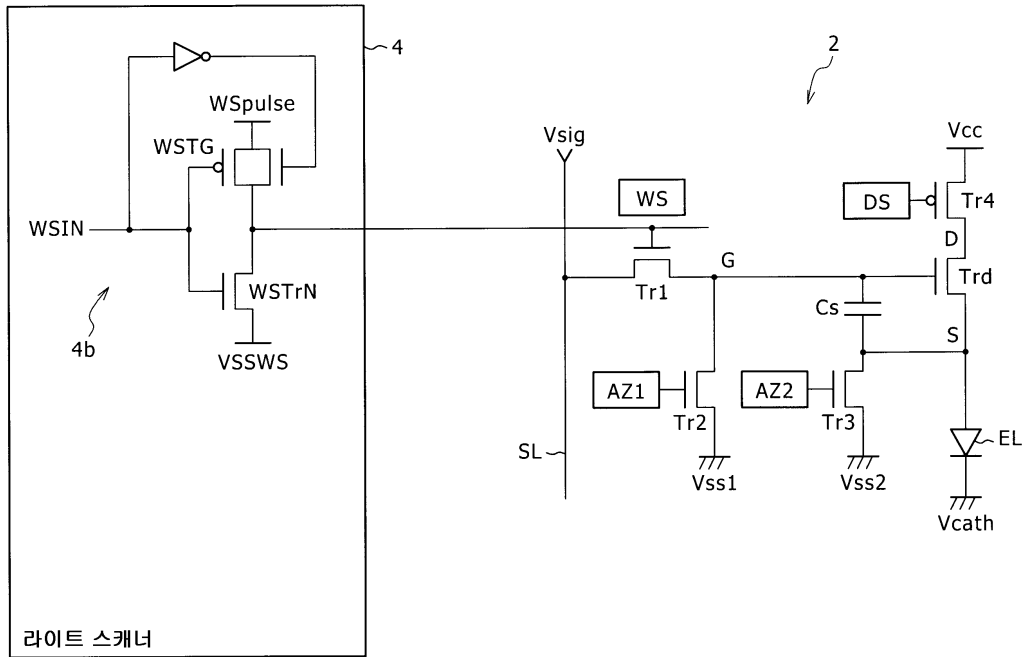
도면9



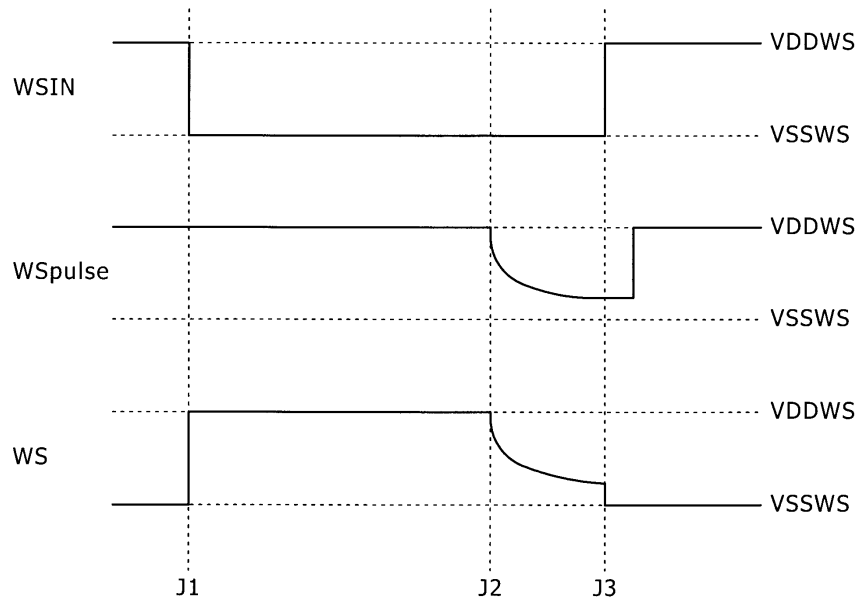
도면10



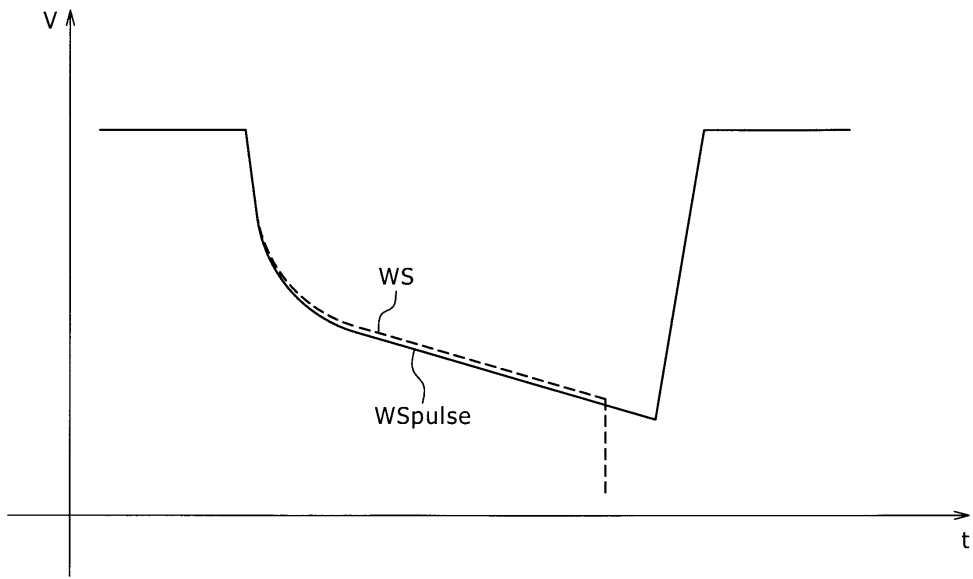
도면11



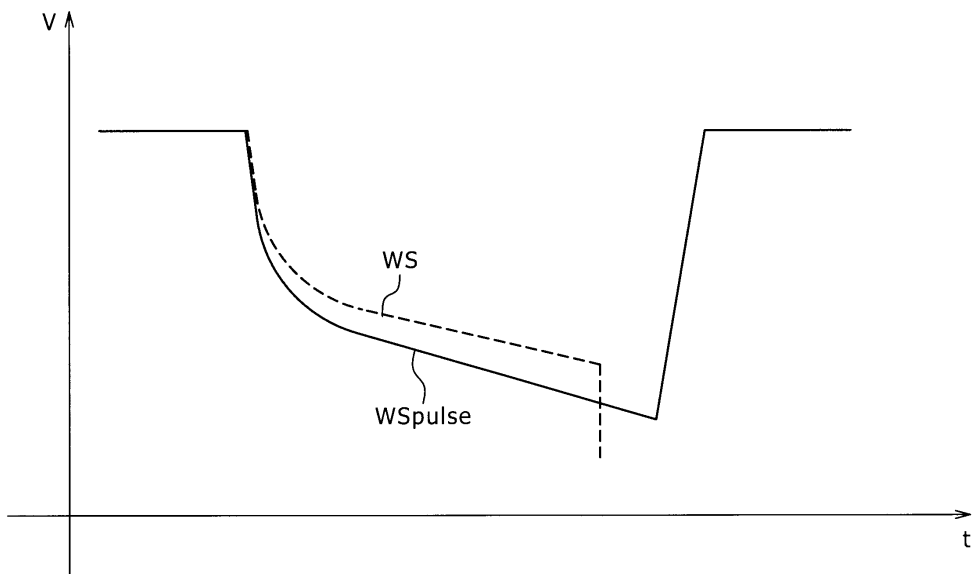
도면12



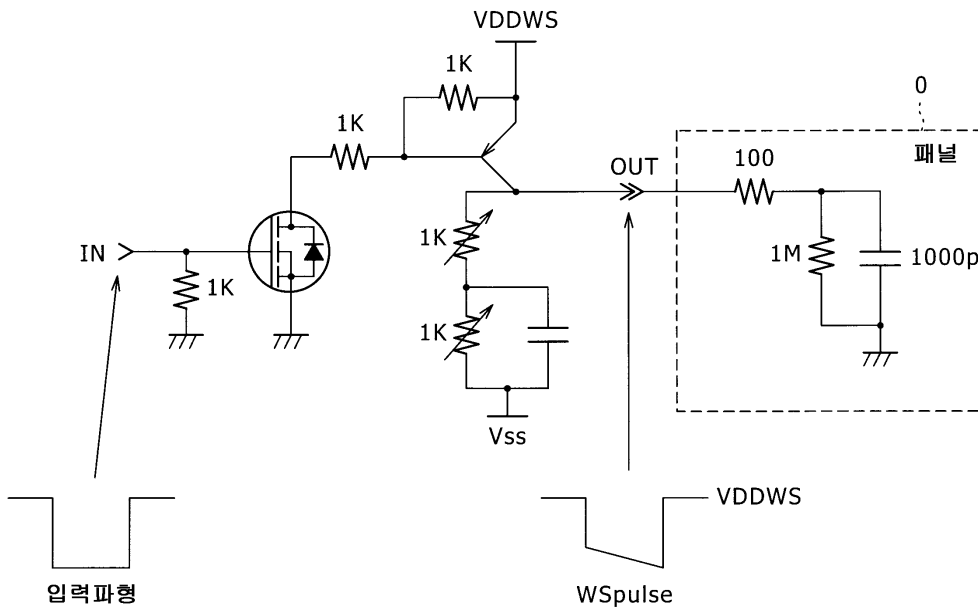
도면13



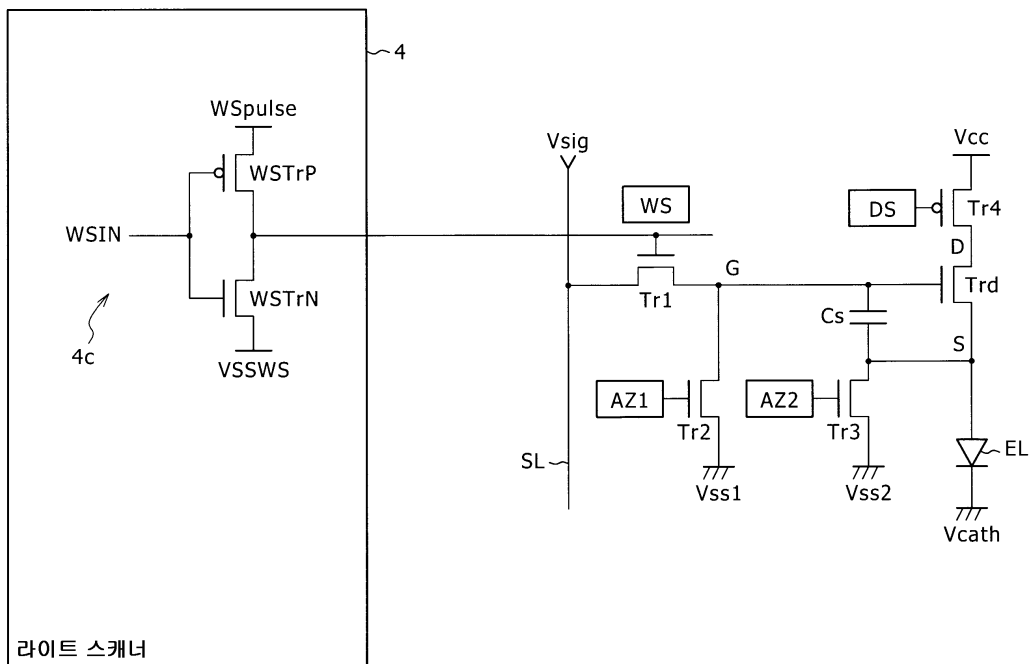
도면14



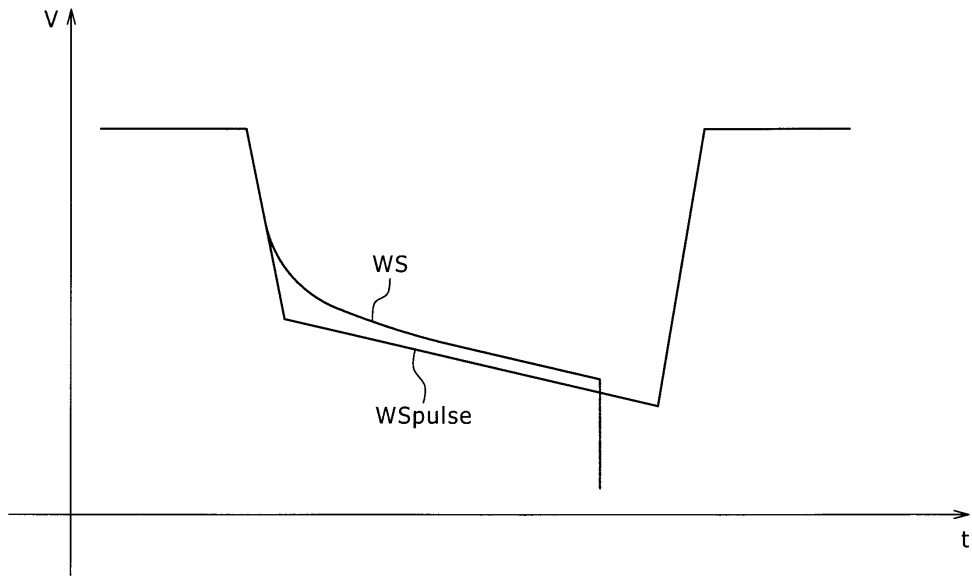
도면15



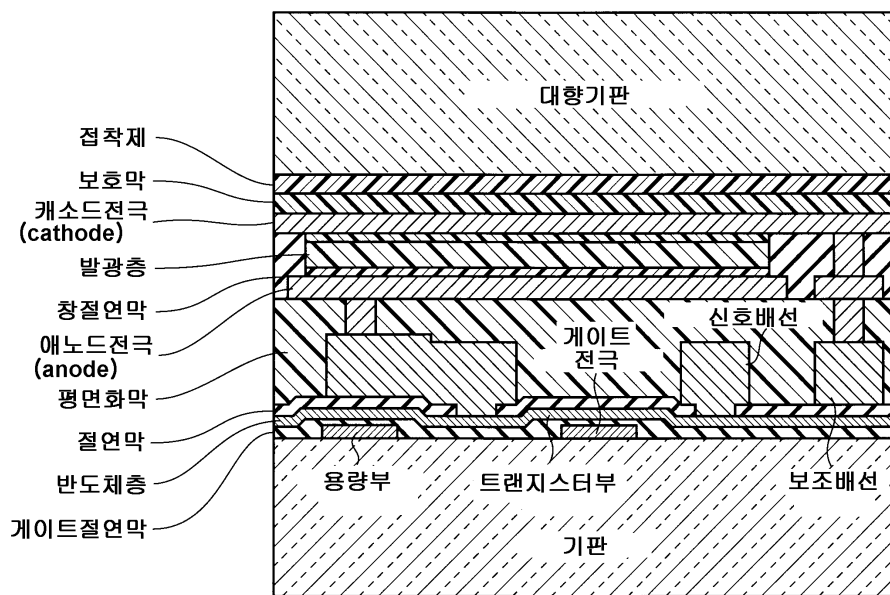
도면16



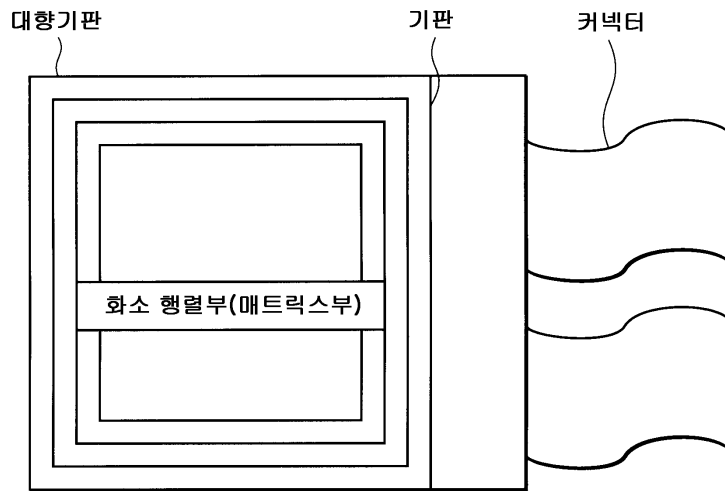
도면17



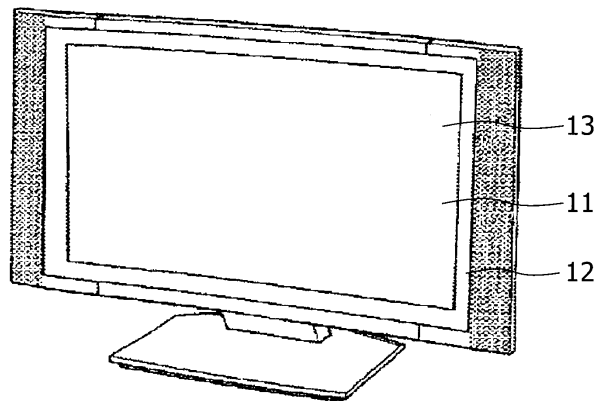
도면18



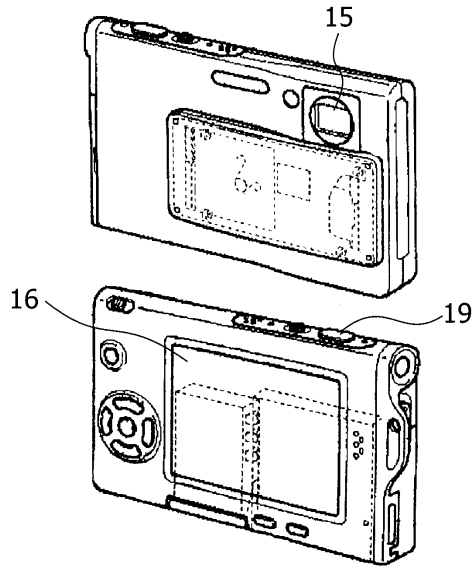
도면19



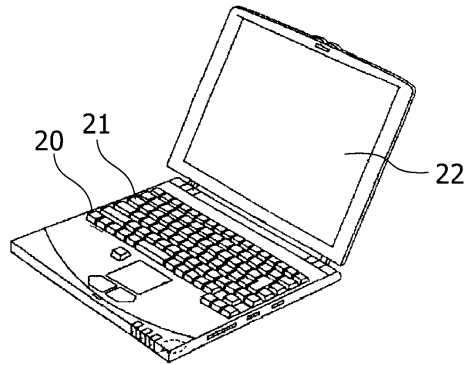
도면20



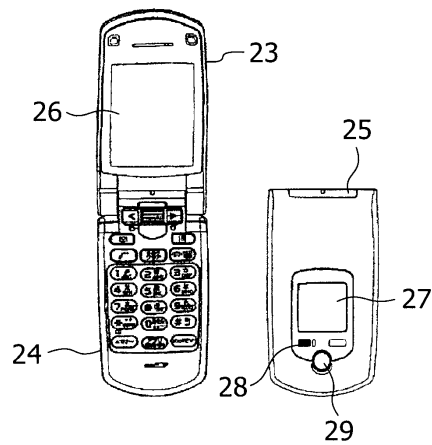
도면21



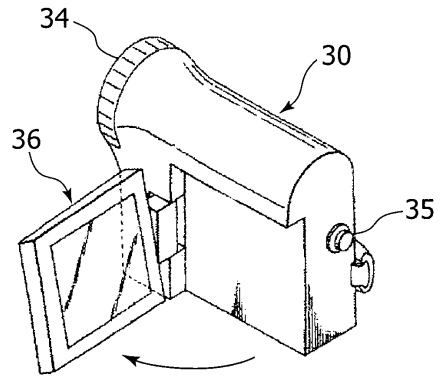
도면22



도면23



도면24



专利名称(译)	显示设备和电子设备		
公开(公告)号	KR1020080011072A	公开(公告)日	2008-01-31
申请号	KR1020070074432	申请日	2007-07-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼sikki有限公司		
当前申请(专利权)人(译)	索尼sikki有限公司		
[标]发明人	KATSUhide UCHINO JUNICHI YAMASHITA TETSUO MINAMI		
发明人	가쓰히데우치노 주니치야마시타 테쓰오미나미		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2320/045 G09G3/3291 G09G2300/0842 G09G2300/0861 G09G2320/043 G09G3/3233 G09G2300/0819 G09G3/3266 G09G2310/0256		
代理人(译)	MOON , KYOUNG金 KIM , HAK SOO		
优先权	2006204055 2006-07-27 JP		
外部链接	Espacenet		

摘要(译)

提供显示装置和电子设备以针对信号电位高的情况以及信号电位低的情况两者来优化迁移率校正时段。采样晶体管 (Tr1) 根据在预定采样周期期间从扫描线 (WS) 提供的控制信号变为导通, 并且将从信号线提供的视频信号的信号电位采样到像素电容 (Cs) (SL)。像素电容根据视频信号的信号电位将输入电压 (Vgs) 施加到驱动晶体管 (Trd) 的栅极 (G)。驱动晶体管向发光元件 (EL) 提供与输入电压对应的输出电流。发光元件在a处发光亮度对应于视频信号的信号电位。第一开关晶体管 (Tr2) 响应于在采样周期之前从扫描线 (AZ1) 提供的控制信号而变为导通, 并且将驱动晶体管的栅极设置为第一电位 (Vss1)。第二开关晶体管 (Tr3) 响应于在采样周期之前从扫描线 (AZ2) 提供的控制信号而变为导通, 并且将驱动晶体管的源极 (S) 设置为第二电位 (Vss2)。第三开关晶体管 (Tr4) 根据在采样周期之前从扫描线提供的控制信号变为导通, 并且将驱动晶体管连接到第三电位 (Vcc), 从而校正a的影响。阈值电压。

