



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.
H05B 33/22 (2006.01)

(11) 공개번호 10-2007-0004741
(43) 공개일자 2007년01월09일

(21) 출원번호 10-2006-7019366
(22) 출원일자 2006년09월20일
 심사청구일자 없음
 번역문 제출일자 2006년09월20일
(86) 국제출원번호 PCT/IB2005/050975
 국제출원일자 2005년03월22일

(87) 국제공개번호 WO 2005/093700
 국제공개일자 2005년10월06일

(30) 우선권주장 0406540.5 2004년03월24일 영국(GB)

(71) 출원인 코닌클리케 필립스 일렉트로닉스 엔.브이.
 네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 영, 나이젤, 디.
 영국 레드힐 서레이 알에이치 15 에이치에이, 크로스 오크 레인, 필립스
 인텔렉추얼 프로퍼티 앤 스탠다드

(74) 대리인 문경진

전체 청구항 수 : 총 28 항

(54) 전계 발광 디스플레이 디바이스

(57) 요약

능동 매트릭스 디스플레이 디바이스는 각각이 광학 피드백 기능을 위한 감광성 디바이스(84)를 구비한 픽셀들을 지닌다. 각 픽셀은 감광성 디바이스(84)에 인접해서 그리고 실질적으로 광 민감성 디바이스의 입력 표면의 레벨에서 디스플레이 기판의 박막층으로 형성된 광 차단 구조(100)를 지닌다. 이러한 구조는 실질적인 측면 방향으로부터 광 민감성 디바이스로의 광(g)의 통과를 예방한다.

대표도

도 10

특허청구의 범위

청구항 1.

디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스로서, 각 픽셀은:

전극 사이에 삽입된 발광 소재(76)의 영역을 포함하는 전류-구동 발광 디스플레이 소자(2); 및

디스플레이 소자에 흐르는 전류를 구동하기 위한 구동 트랜지스터 회로를 포함하며, 구동 트랜지스터 회로는 기관 상에 형성된 박막 회로를 포함하며, 박막 회로는 구동 트랜지스터(22)와 디스플레이 소자의 밝기를 검출하기 위한 감광성 디바이스(27;84)를 한정하며, 감광성 디바이스는 입력 표면을 구비하며,

구동 트랜지스터(22)는 감광성 디바이스 출력에 응답하여 제어되며,

각 픽셀은 감광성 디바이스(84)의 근처에 박막층으로부터 형성되고 실질적으로 측면 방향으로부터 감광성 디바이스로의 광의 통과를 막기 위해 실질적으로 입력 표면의 레벨에서 형성된 광 차단 구조(100)를 더 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 2.

제 1항에 있어서, 광 차단 구조(100)는 감광성 디바이스를 둘러싸는 링을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 3.

제 1항 또는 제 2항에 있어서, 광 차단 구조는 감광성 디바이스(84)를 한정하는 하나 이상의 박막층으로 형성된, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 4.

제 1항 내지 제 3항에 있어서, 광 차단 구조는 실질적으로 평면인, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 5.

제 1항 내지 제 3항 중 어느 한 항에 있어서, 광 차단 구조는 입력 표면의 레벨로부터 아래쪽으로 연장하는 측벽(110)을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 6.

제 1항 내지 제 5항에 있어서, 광 차단 구조는 제 1(100) 및 제 2(120) 광 차단 소자를 포함하며, 제 1 광 차단 소자(100)는 입력 표면 레벨에 제공되며, 제 2 광 차단 소자(120)는 입력 표면 레벨 위에 제공되는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 7.

제 6항에 있어서, 제 1 광 차단 소자(100)는 감광성 디바이스를 한정하는 하나 이상의 박막층으로부터 구성되고, 제 2 광 차단 소자는 구동 트랜지스터(22)의 소스 및 드레인을 한정하는 금속층(70)으로부터 형성되는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 8.

제 1항 내지 제 7항에 있어서, 감광성 디바이스(84)는 발광 디스플레이 소자 아래에 형성되는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 9.

제 8항에 있어서, 전극은 상부 반사 전극(80)과 실질적으로 투명한 하부 전극(74)을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 10.

제 8항에 있어서, 전극은 실질적으로 투명한 상부 전극(80a) 및 적어도 부분적으로 반사형인 하부 전극(74a)을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 11.

제 10항에 있어서, 하부 전극(74a)은 실질적으로 완전히 반사형인 하부 전극을 통과하여 감광성 디바이스(84)까지의 광의 통과를 허용하기 위한 개구(150)를 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 12.

제 10항에 있어서, 하부 전극은 광이 하부 전극을 통해 감광성 디바이스까지의 통과를 허용하기 위해 반투명인, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 13.

제 1항에 있어서, 광 차단 구조는 감광성 디바이스의 입력 표면의 상부에 형성된 굴절률 공동(130)을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 14.

제 13항에 있어서, 굴절률 공동(130)은 공기 공동을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 15.

제 14항에 있어서, 광 차단 구조는 감광성 디바이스의 하부 표면 아래에 형성된 공기 공동층(130)을 더 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 16.

제 1항 내지 제 15항에 있어서, 기판은 유리 기판을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 17.

제 10항 내지 제 12항 중 어느 한 항에 있어서, 기판은 금속 호일 및 절연 유전층을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 18.

제 10항 내지 제 12항 또는 제 17항 중 어느 한 항에 있어서, 박막 회로의 반대의 기판측은 기판의 하부 표면에서 광의 반사를 교란하기 위해 배열된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 19.

제 18항에 있어서, 박막 회로의 반대의 기판 측은 광을 흡수하기 위해 배열된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 20.

제 18항 또는 제 19항에 있어서, 박막 회로의 반대의 기판 측은 광을 확산시키기 위해 배열된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 21.

디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스로서, 각 팩셀은:

전극 사이에 삽입된 발광 소재(76)의 영역을 포함하는 전류-구동 발광 디스플레이 소자(2); 및

광 트랜지스터(22) 및 디스플레이 소자의 밝기를 검출하기 위한 감광성 디바이스(27)를 포함하는 디스플레이 소자에 흐르는 전류를 구동하기 위한 구동 트랜지스터 회로를 포함하며, 상기 구동 트랜지스터는 감광성 디바이스 출력에 응답하여 제어되며,

상기 전극은 실질적으로 투명한 상부 전극(80a)과 적어도 부분적으로 반사형인 하부 전극(74a)을 포함하며, 박막 회로의 반대의 기판 측(170)은 기판의 하부 표면에서 광의 반사를 방해하기 위해 배열된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 22.

제 21항에 있어서, 박막 회로의 반대의 기판 측(170)은 광을 흡수하기 위해 배열된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 23.

제 22항에 있어서, 박막 회로의 반대의 기판 측(170)은 매트한(matt) 검은색인, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 24.

제 21항, 제 22항 또는 제 23항에 있어서, 박막 회로의 반대의 기판 측(170)은 광을 확산하기 위해 배열된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 25.

제 21항 내지 제 24항에 있어서, 상기 광-의존적(27) 디바이스는 포토다이오드를 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 26.

제 25항에 있어서, 포토다이오드(27)는 PIN 또는 NIP 다이오드 스택 또는 쇼트키(Schottky) 다이오드 및 상부 및 하부 접촉 단자를 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 27.

제 21항 내지 제 26항에 있어서, 감광성 디바이스의 베이스에 광 차폐층(90)을 더 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 28.

제 27항에 있어서, 광 차폐층(90)은 광 민감성 디바이스(27;84)의 풋프린트(footprint)보다 더 큰 풋프린트를 지니는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

명세서

기술분야

본 발명은, 전계 발광 디스플레이 디바이스, 특히 전계 발광 디스플레이 소자 및 박막 트랜지스터를 포함하는 팩셀의 어레이를 구비한 능동 매트릭스 디스플레이 디바이스에 관한 것이다. 더 구체적이지만, 배타적이지 않게, 본 발명은 디스플레이 소자에 의해 발산되고 디스플레이 소자의 활성 제어에서 사용된 광에 응답하는 감광 소자를 포함하는 팩셀을 구비한 능동 매트릭스 전계 발광 디스플레이 디바이스에 관한 것이다.

배경기술

전계 발광, 발광, 디스플레이 소자를 이용한 매트릭스 디스플레이 디바이스는 잘 알려져 있다. 디스플레이 소자는 일반적으로, 폴리머 소재(PLED) 또는 다른 발광 다이오드(LED)를 포함하는, 유기 박막 전계발광 소자(OLED)를 포함한다. 이하 사용된 LED라는 용어는 이들 가능성 모두를 포괄하는 것으로 의도된다. 이들 소재들은 일반적으로 한 쌍의 전극 사이에 삽입된 반도체 결합된 폴리머의 하나 이상의 층을 포함하며, 이들 전극 중 하나는 투명하고 다른 하나는 폴리머 층에 홀 또는 전자를 주입하기에 적합한 소재이다.

이러한 디스플레이 디바이스 내의 디스플레이 소자는 전류 구동되며 종래의, 아날로그, 구동 구조는 디스플레이 소자에 제어 가능한 전류를 공급하는 것을 수반한다. 일반적으로 전류원 트랜지스터는 픽셀 구성의 일부로서, 전계 발광(EL) 디스플레이 소자에 흐르는 전류를 결정하는 전류원 트랜지스터에 공급된 게이트 전압이 제공된다. 저장 커패시터는 어드레스 지정 단계 이후의 게이트 전압을 유지한다. 이러한 픽셀 회로의 일례는 EP-A-0717446에 기술된다.

각 픽셀은 따라서 EL 디스플레이 소자와 관련 구동기 회로를 포함한다. 구동기 회로는 행 전도체 상의 행 어드레스 펄스에 의해 턴온되는 어드레스 트랜지스터를 구비한다. 어드레스 트랜지스터가 턴온될 때, 열 전도체 상의 데이터 전압은 픽셀의 나머지로 전달될 수 있다.

특히, 어드레스 트랜지스터는 열 전도체 전압을 전류원에 공급하며, 구동 트랜지스터 및 구동 트랜지스터의 게이트에 연결된 저장 커패시터를 포함한다. 열, 데이터 전압은 구동 트랜지스터의 게이트에 제공되며 게이트는 행 어드레스 펄스가 종료된 이후에 조차 저장 커패시터에 의해 이 전압으로 유지된다. 이 회로 내의 구동 트랜지스터는 p-채널 TFT(Thin Film Transistor)로 구현되어서 저장 커패시터는 게이트-소스 전압을 고정된 상태로 유지한다. 이는 트랜지스터에 흐르는 고정된 소스-드레인 전류를 초래하며, 그러므로 이는 픽셀의 원하는 전류원 작동을 제공한다. EL 디스플레이 소자의 밝기는 이를 통과하는 전류에 대략 비례한다.

상기 기본 픽셀 회로에서, 주어진 구동 전류에 대한 픽셀의 밝기 레벨의 감소를 이끄는, LED 소재의 차동 노화 또는 열화는, 디스플레이 전체의 이미지 품질의 변경을 초래할 수 있다. 광범위하게 사용되어 왔던 디스플레이 소자는 거의 사용되지 않았던 디스플레이 소자에 비해 훨씬 더 흐려질 것이다. 또한, 디스플레이 비균일성 문제는 구동 트랜지스터의 특성, 특히 임계 전압 레벨의 가변성으로 인해 발생할 수 있다.

LED 소재의 노화 및 트랜지스터 특성의 변화를 보상할 수 있는 개선된 전압-어드레스 지정된 픽셀 회로가 제안되어 왔다. 이들은 디스플레이 소자의 광 출력에 대해 응답하고 픽셀의 초기 어드레스 지정에 후속하는 구동 기간동안 디스플레이 소자의 결합된 광 출력을 제어하기 위해 광 출력에 응답하여 저장 커패시터 상의 저장된 전하를 누출시키는 감광 소자를 포함한다. 이러한 유형의 픽셀 구성의 예는 WO01/20591 및 EP1 096 466에 자세히 기술된다. 일례의 실시예에서, 픽셀의 포토다이오드는 저장 커패시터 상에 저장된 게이트 전압을 방전하며 EL 디스플레이 소자는 구동 트랜지스터 상의 게이트 전압이 임계 전압에 도달할 때 발산을 중단하며, 이 때 저장 커패시터는 방전을 멈춘다. 전하가 포토다이오드로부터 누출된 속도는 디스플레이 소자 출력의 함수이며, 따라서 포토다이오드는 감광성 피드백 디바이스로서 기능한다.

광 피드백 배열은 시간에 따른 이들 비균일성의 변화뿐만 아니라 TFT와 디스플레이 소자 사이의 초기 비균일성에 대한 보상을 가능케 한다. 디스플레이 소자로부터의 광 출력은 EL 디스플레이 소자 효율성과 무관하며 노화 보상은 이에 따라 제공된다. 이러한 기술은 시간 기간에 대해 비균일성을 덜 겪는 높은 품질의 디스플레이를 달성하는데 효율적인 것으로 보여져 왔다. 그러나, 이 방법은 높은 순간 피크 밝기 레벨이 프레임 시간에서 픽셀로부터 적절한 평균 밝기를 달성할 것을 필요로 하며 이는 LED 소재가 그 결과 더 급격히 노화되는 경향이 있으므로 디스플레이의 작동에 대해 유익하지 않다.

대안적인 접근 방식에서, 광 피드백 시스템은 디스플레이 소자가 작동되는 듀티 사이클을 변경하는데 사용된다. 디스플레이 소자는 고정된 밝기로 구동되며, 광 피드백은 구동 트랜지스터를 급격히 턴오프하는 트랜지스터 스위치를 트리거하는데 사용된다. 이는 높은 순간 밝기 레벨의 필요성을 회피하지만 픽셀을 더욱 복잡하게 만든다.

광 피드백 시스템의 사용은 LED 디스플레이 소자의 차동 노화를 극복하는 효과적인 방법으로 간주된다.

광의 경로는 LED 디스플레이 소자와 감광성 디바이스 사이에 제공되어야 한다. 발생하는 한 가지 문제점은 감광성 디바이스에 의해 흡수되지 않은 임의의 표류 광(stray light)은 다른 픽셀의 광 민감성 디바이스에 의해 캡처될 수 있다. 기판은 이러한 바람직하지 못한 크로스토크 효과를 증가시키는 광 유도체로서 작동할 수 있다.

발명의 상세한 설명

본 발명의 제 1 양상에 따라, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스가 제공되며, 각 픽셀은:

전극 사이에 삽입된 발광 소재의 영역을 포함하는 전류-구동 발광 디스플레이 소자; 및

디스플레이 소자에 흐르는 전류를 구동하는 구동 트랜지스터 회로를 포함하며, 상기 구동 트랜지스터 회로는 기판 상에 형성된 박막 회로를 포함하며, 상기 박막 회로는 구동 트랜지스터 및 디스플레이 소자의 밝기를 검출하기 위한 감광성 디바이스를 한정하고, 감광성 디바이스는 입력 표면을 구비하며,

상기 구동 트랜지스터는 감광성 디바이스 출력에 응답하여 제어되며,

각 픽셀은 감광성 디바이스의 근처에 그리고 실질적으로 측면 방향으로부터 감광성 디바이스까지의 광 경로를 보호하기 위해 입력 표면의 레벨에 박막층으로서 형성된 광 차단 구조를 포함한다.

본 발명의 이러한 양상은 감광성 디바이스에 대한 입력 레벨에서 추가적 구조를 사용하며, 이는 아래부터(즉, 기판으로부터) 광을 차단하는 효과적인 방법을 제공하며, 그렇지 않으면 감광성 디바이스에 대한 경로를 따를 수 있고, 크로스토크를 발생시킬 수 있다.

광 차단 구조는 예를 들어 감광성 디바이스를 둘러싸는 텅을 포함할 수 있다.

광 차단 구조는 감광성 디바이스를 한정하는 하나 이상의 박막층으로 형성될 수 있다. 이렇게 하여, 어떠한 추가적인 층도 감광성 디바이스를 한정할 필요가 없게 되고, 바람직하게 어떠한 추가적인 패터닝 단계도 또한 요구되지 않는다.

광 차단 구조는 실질적으로 평면일 수 있으며, 따라서 단순히 하나 이상의 박막층의 영역을 포함할 수 있다. 대안적으로, 광 차단 구조는 입력 표면의 레벨로부터 아래 방향으로 연장하는 측벽을 포함할 수 있다. 이는 매우 얇은 각도로부터 광의 추가적 차단을 제공한다(즉, 측면에 매우 작은 수직 성분을 구비함).

광 차단 구조는 제 1 및 제 2 광 차단 요소를 포함할 수 있으며, 제 1 광 차단 요소는 입력 표면의 레벨에 제공되며, 제 2 광 차단 요소는 입력 표면의 레벨 위에 제공된다. 제 1 광 차단 요소는 전술한 것으로서, 아래로부터 광의 차단을 제공하며, 제 2 광 차단 요소는 감광성 디바이스를 향해 측면으로 그리고 위로부터 보내지는 광에 대한 차단을 제공한다.

제 2 광 차단 요소는 구동 트랜지스터의 소스와 드레인을 한정하는 금속층으로부터 형성될 수 있다. 이는 광 차단 요소 모두가 구조 내의 기준층으로부터 형성될 수 있다는 것을 의미한다.

감광성 디바이스는 발광 디스플레이 소자 아래에 형성되는 것이 바람직하다.

본 발명은 하부 발산 디스플레이에 사용될 수 있으며, 여기서 전극은 상부 반사 전극과 실질적으로 투명한 하부 전극을 포함한다.

본 발명은 또한 상부 발산 디스플레이에서 사용될 수 있으며, 여기서 전극들은 실질적으로 투명한 상부 전극 및 적어도 부분적으로 반사형인 하부 전극을 포함한다. 상부 발산 디스플레이에서, 경로는 하부 전극을 통해 기초 감광성 디바이스로 제공되어야 한다. 이는 개구부를 통해 허용할 수 있으며 또는 하부 전극은 반투명일 수 있다.

다른 구현예에서, 광 차단 구조는 감광성 디바이스의 입력 표면의 상부에 형성된 공기 공동층을 포함할 수 있다. 공기 공동층은 좁은 범위의 입사각을 가진 광 이외의 감광성 디바이스로부터 떨어진 모든 광의 반사를 제공함으로써 광 차단 기능을 제공한다. 광 차단 구조는 이후 감광성 디바이스의 하부 표면 아래에 형성된 공기 공동층을 더 포함할 수 있다.

기판은 유리 기판이거나, 상부 발산 구조에 대해 금속 호일 및 절연 유전층일 수 있다.

본 발명의 제 2 양상에 따라, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스가 제공되며, 각 픽셀은:

전극 사이에 삽입된 발광 소재의 영역을 포함하는 전류-구동 발광 디스플레이 소자; 및

구동 트랜지스터 및 디스플레이 소자의 밝기를 검출하기 위한 감광성 디바이스를 포함하는 디스플레이 소자에 흐르는 전류를 구동하기 위한 구동 트랜지스터 회로를 포함하며, 구동 트랜지스터는 감광성 디바이스 출력에 응답하여 제어되며,

전극들은 실질적으로 투명한 상부 전극과 적어도 부분적으로 반사형인 하부 전극을 포함하며, 박막 회로의 반대의 기판 측은 기판의 하부 표면에서 광의 반사를 방해하기 위해 배열된다.

본 발명의 이러한 양상은 상부 발산 구조를 제공하며, 이 구조에서 하부 표면은 반사를 방해하여, 기판 내의 내부 전반사의 긴 파이프라인형 경로가 회피된다.

박막 회로 반대의 기판 측은 예컨대 표면을 매트한 검은색으로 만들어서 광을 흡수하기 위해 배열될 수 있으며/있거나 박막 회로의 반대의 기판 측은 광을 확산시키기 위해 배열될 수 있다.

모든 양상에서, 광-의존 디바이스는 예를 들어 PIN 또는 NIP 다이오드 스택 또는 쇼트키(Schottky) 다이오드와 같은, 포토다이오드를 포함하는 것이 바람직하다.

본 발명의 예는 이제 첨부한 도면을 참조하여 자세히 설명될 것이다.

실시예

동일하거나 유사한 부분을 표시하기 위해 도면 전체에 동일한 참조 번호가 사용된다.

도 1은 알려진 능동 매트릭스 전계발광 디스플레이 디바이스를 도시한다. 디스플레이 디바이스는 블록(1)으로 표시된, 일정한 간격의 픽셀의 행과 열 매트릭스 어레이를 구비하고 행(선택) 및 열(데이터) 어드레스 전도체(4 및 6)의 교차 세트 사이의 교차점에 위치된 관련 스위칭 수단과 함께 전계발광 디스플레이 소자(2)를 포함하는 패널을 포함한다. 오직 소수의 픽셀만이 단순성을 위해 도면에 도시된다. 실제로 수백 개의 행과 열의 픽셀이 있을 수 있다. 픽셀(1)은 각 세트의 전도체의 단부에 연결된 행, 스캐닝, 구동기 회로(8) 및 열, 데이터, 구동기 회로(9)를 포함하는 주변 구동 회로에 의해 행 및 열 어드레스 전도체의 세트를 통해 어드레스 지정된다.

전계 발광 디스플레이 소자(2)는 여기서 다이오드 소자(LED)로 표시되고 한 쌍의 전극을 포함하는 유기 발광 다이오드를 포함하며, 이 전극 사이에는 유기 전계 발광 소재의 하나 이상의 능동층이 삽입된다. 어레이의 디스플레이 소자는 절연 지지체의 한쪽에서 관련 능동 매트릭스 회로와 함께 포함된다. 디스플레이 소자의 캐소드 또는 애노드는 투명 전도성 소재로 형성된다. 지지체는 유리와 같은 투명 소재이며 기판과 가장 가까운 디스플레이 소자(2)의 전극은 ITO와 같은 투명 전도 소재로 구성될 수 있어서 전계 발광층에 의해 생성된 광은 이를 전극과 지지체를 통해 투과되어 지지체의 다른 쪽의 시청자가 볼 수 있다.

도 2는 전압-어드레스 지정된 작동을 제공하기 위한 가장 기본적인 픽셀 및 구동 회로 배열을 단순화된 개략적인 형태로 도시한다. 각 픽셀(1)은 EL 디스플레이 소자(2)와 관련 구동기 회로를 포함한다. 구동기 회로는 행 전도체(4) 상의 행 어드레스 펄스에 의해 턴온된 어드레스 트랜지스터(16)를 구비한다. 어드레스 트랜지스터(16)가 턴온될 때, 열 전도체(6) 상의 전압은 픽셀의 나머지에 전달될 수 있다. 특히, 어드레스 트랜지스터(16)는 열 전도체 전압을 전류원(20)에 공급하고, 구동 트랜지스터(22)와 저장 커패시터(24)를 포함한다. 열 전압은 구동 트랜지스터(22)의 게이트에 제공되고, 게이트는 행 어드레스 펄스가 종료된 후 조차 저장 커패시터(24)에 의해 이 전압으로 유지된다.

이 회로 내의 구동 트랜지스터(22)는 p-형 TFT로 구현되어서, 저장 커패시터(24)는 게이트-소스 전압을 고정된 상태로 유지한다. 이는 트랜지스터에 흐르는 고정된 소스-드레인 전류를 야기하며, 따라서 픽셀의 원하는 전류원 작동을 제공한다.

전술한 기본 픽셀 회로에서, 폴리실리콘에 기반한 회로에 대해, 트랜지스터의 채널 내의 폴리실리콘 입자의 통계적 분포로 인해 트랜지스터의 임계 전압에 변경이 존재한다. 그러나, 폴리실리콘 트랜지스터는, 전류 및 전압 스트레스 하에서 상당히 안정적이어서, 임계 전압은 실질적으로 일정한 상태로 남는다.

임계 전압의 변경은 기판 위에서 적어도 짧은 범위에 대해, 무정형 실리콘 트랜지스터에서 작지만, 임계 전압은 전압 스트레스에 매우 민감하다. 구동 트랜지스터에 대해 필요한 임계 전압 이상의 고전압 인가는 임계 전압의 큰 변화를 초래하며, 이러한 변화는 디스플레이된 이미지의 정보 내용에 따른다. 그러므로, 무정형 실리콘 트랜지스터의 임계 전압에 큰 차이가 존재할 것이며, 무정형 실리콘 트랜지스터는 그렇지 않은 것에 비해 항상 온(on)상태이다. 이러한 차동 노화는 무정형 실리콘 트랜지스터로 구동된 LED 디스플레이에서 심각한 문제이다.

트랜지스터 특징의 변경이외에도, 또한 LED 자체의 차동 노화가 있다. 이는 전류 스트레스이후 발광 소재의 효율성의 감소로 인한 것이다. 대부분의 경우, LED를 통하는 전류와 전하가 더 많을수록, 효율성이 더 낮아진다.

도 3과 도 4는 노화 보상을 제공하기 위해 광학 피드백을 구비한 광셀 레이아웃의 예를 도시한다.

도 3의 광셀 회로에서, 포토다이오드(27)는 커패시터(24)(C_{data}) 상에 저장된 게이트 전압을 방전하며, 밝기의 감소를 초래 한다. 디스플레이 소자(2)는 구동 트랜지스터(22)(T_{drive}) 상의 게이트 전압이 임계 전압에 도달할 때 더 이상 발산하지 않으며, 저장 커패시터(24)는 이후 방전을 중단할 것이다. 전하가 포토다이오드(27)로부터 유출된 속도는 디스플레이 소자 출력의 함수이며, 따라서 포토다이오드(27)는 감광성 피드백 디바이스로서 기능한다. 일단 구동 트랜지스터(22)가 스위칭 오프하면, 디스플레이 소자 애노드 전압은 방전 트랜지스터(29)($T_{discharge}$)가 턴온되도록 하며, 따라서 저장 커패시터(24) 상의 잔여 전하는 급격히 소실되며 회도는 스위칭 오프된다.

게이트-소스 전압을 보유하는 커패시터가 방전됨에 따라, 디스플레이 소자에 대한 구동 전류는 점차 감소된다. 따라서, 밝기는 줄어든다. 이는 평균 광 세기를 더 낮게 한다.

도 4는 출원인이 제안한 회로를 도시하며, 이는 일정한 광 출력을 구비한 다음 광 출력에 따라 한 번에 스위칭 오프한다.

구동 트랜지스터(22)에 대한 게이트-소스 전압은 다시 저장 커패시터(24)(C_{store}) 상에서 유지된다. 그러나, 이 회로에서, 이러한 커패시터(24)는 충전 트랜지스터(34)에 의해 충전 라인(32)으로부터 고정된 전압으로 충전된다. 따라서, 구동 트랜지스터(22)는 디스플레이 소자가 조명될 때 광셀로의 데이터 입력과 무관한 일정한 레벨로 구동된다. 밝기는 듀티 싸이클을 변경시킴으로써, 특히 구동 트랜지스터가 턴오프될 때 시간을 변경함으로써 제어된다.

구동 트랜지스터(22)는 저장 커패시터(24)를 방전시키는 방전 트랜지스터(36)에 의해 턴오프된다. 방전 트랜지스터(36)가 턴온될 때, 커패시터(24)는 급격히 방전되며 구동 트랜지스터는 턴오프된다.

방전 트랜지스터(36)는 게이트 전압이 충분한 전압에 도달할 때 턴온된다. 포토다이오드(27)는 디스플레이 소자(2)에 의해 조명되며 다시 디스플레이 소자(2)의 광 출력에 따라 광 전류를 생성한다. 이러한 광전류는 방전 커패시터(40)(C_{data})를 충전하며, 특정 시점에서, 커패시터(40)에 흐르는 전압은 방전 트랜지스터(36)의 임계 전압에 도달할 것이며 이에 따라 이를 스위칭온한다. 이 시간은 커패시터(40)에 원래 저장된 전하 및 광전류에 따르며, 계속해서 디스플레이 소자의 광 출력에 따른다. 방전 커패시터는 초기에 데이터 전압을 저장하며, 따라서 초기 데이터 및 광학 피드백은 회로의 듀티 싸이클에 영향을 준다.

광학 피드백을 가진 광셀 회로의 많은 대안적인 구현이 존재한다. 도 3과 도 4는 p-형 구현을 도시하며, 또한, 예를 들어, 무정형 실리콘 트랜지스터와 같은 n-형 구현예가 있다.

도 5는 능동 매트릭스를 포함하는 알려진 기본 하부 발산 구조를 도시한다.

디바이스는 구동 트랜지스터 반도체(62)가 증착된 기판(60)을 포함한다. 게이트 산화물 유전체층(64)은 반도체를 덮고, 상부 게이트 전극(66)은 게이트 유전체 층(64) 위에 제공된다.

제 1 절연층(68)(일반적으로 실리콘 이산화물 또는 실리콘 질소화물)은 게이트 전극(일반적으로 또한 행 전도체 형성) 및 소스 및 드레인 전극 사이에 간격을 제공한다. 이들 소스 및 드레인 전극은 절연체층(68) 위의 금속층(70)에 의해 한정되며, 전극들은 도시된 비어를 통해 반도체에 연결된다.

제 2 절연층(72)(역시 일반적으로 실리콘 이산화물 또는 실리콘 질소화물)은 소스 및 드레인 전극(일반적으로 또한 열 컨덕터를 형성함)과 LED 애노드 사이에 간격을 제공한다. LED 애노드(74)는 제 2 절연층(72) 위에 제공된다.

도 5에 도시된 하부 발산 디스플레이의 경우, 이 하부 애노드는 적어도 부분적으로 투명해야 하며, 일반적으로 ITO가 사용된다.

EL 소재(76)는 애노드 위의 통로(well) 내에 형성되며, 인쇄에 의해 증착되는 것이 바람직하다. 분리된 서브-픽셀은 삼원 색에 대해 형성되며, 인쇄댐(78)은 다른 EL 소재의 정확한 인쇄를 돋는다.

인쇄 댐(78)은 분리된 픽셀의 인쇄를 가능케 한다. 이러한 댐층은 일반적으로 절연 폴리머로 구성되며 수 미크론의 높이를 가진다. 공통 캐소드(80)는 디스플레이 위에 제공되며, 이는 반사형이며 모든 픽셀에 대해 공통 전위(도 2의 접지)에 있다.

도 6은 능동 매트릭스를 포함하는 기본적으로 알려진 상부 발산 구조를 도시한다. 구조는 본질적으로 도 5와 같지만, 애노드(74a)는 반사형이고 캐소드(80a)는 투과형이다. 캐소드 역시 ITO로 형성될 수 있지만, 전자 주입을 위한 장벽을 제거하기 위해 ITO와 폴리머 사이에 얇은 금속 또는 규화물 코팅을 가질 수 있다. 예를 들어, 이는 얇은 바륨(Barium)의 층일 수 있다. 보호 및 캡슐화층(82)은 디스플레이를 덮는다.

상부-발산 디스플레이에서, 투명 캐소드가 필요하다. 그러나, 캐소드는 매우 전도성이 있어야 하며, 현재 매우 전도성 있는 투명 금속은 쉽게 이용할 수 없다. 그러므로, 상부-발산 디스플레이의 캐소드는 발산 픽셀부분의 상부 상의 그리고 더 낮은 저항 전도(블투명) 금속(79)으로 분로(分路;shunted)된 (반)투명층을 포함한다. 도시된 것처럼 댐(78)의 상부에 이러한 매우 전도성있는 금속(79)을 배치하면 픽셀 개구에 손실이 없다.

애노드 금속은 높은 일함수를 갖는 금속이어야 하며, 이는 LED 스택에 높은 일함수를 달성하기 위해 반사 금속의 상부에 ITO 층을 제공하는 것으로 알려져 있다.

도 7은 종래의 방법으로, 하부 발산 구조에서 무정형 실리콘 PIN/NIP 포토다이오드(84)의 접적을 도시한다. 이러한 유형의 포토-센서는 무정형 실리콘이 광 흡수에 대해 높은 양자 효율성을 가지므로 선호된다.

이러한 유형의 포토-센서는 하부 발산에 이상적인데, 이는 다이오드 스택의 하부 전극(86)을 형성하는데 사용된 게이트 금속이 외부 광(87)으로부터 포토-센서를 스크린하기 때문이다. 도 7에 개략적으로 도시된, 다이오드 스택의 개방된 상부 개구는 화살표(88)로 도시된 것처럼 LED로부터의 광을 허용한다.

포토다이오드는 주변광과 이웃하는 픽셀로부터의 표류(stray) LED 광 모두로부터 스크린을 필요로 한다. 유전체 코팅과 함께 유리 기판은 내부 반사를 위한 임계 각까지의 작은 각에서 광에 대해 매우 양호한 광 파이프를 제공한다. 따라서, 상당한 양의 광은 광원에서 멀리 떨어진 픽셀 내의 포토다이오드에 도달할 수 있다.

도 8 내지 도 17은 디스플레이 구조를 더 개략적으로 도시하며, 구동 트랜지스터 구조뿐만 아니라, 본 발명과 무관한, 상부 층은 제거된다. 따라서, 도 8 내지 도 17은 도 5 내지 도 7에 더 자세히 도시된 구조를 더 개략적으로 나타내는 것으로 의도된다.

도 8은 도 7의 알려진 하향 발산 LED 구조와 연관된 문제를 설명하는데 사용되며, 다시 ITO 픽셀 개구의 부분 하에서 소형 광검출기(84)를 도시한다.

도 8에 도시된 것처럼, 기판 유리 및 유전체는 1.5에 가까운 굴절률을 가지며 따라서 임계각 미만의 각(대략 법선에 대해 30-40°)으로 진입하는 광은 간히게 되며, 금속 캐소드(80)와 기판의 하부 쪽의 공기 접촉면 사이에서 전후로 반사한다. 이는 도 8에서 (c)와 같은 광선으로 도시된다. 더 가파른 각도(즉, 기판에 대한 법선에 더 가까운 각)의 광, 즉 광선 (a)는, 디스플레이를 이미지를 제공하는데 필요한 상태로 둔다. 광선 (b)와 같은, 모든 각의 광은, 포토다이오드로 결합될 수 있으며, 모든 각의 주변광은 또한 광선 (d)와 같은, 포토다이오드로 결합될 수 있다.

도 9는 하부 광 차폐(90)를 사용하여 가능한 많은 표류 광으로부터 차폐하기 위한 알려진 해결책을 도시한다. 포토다이오드(84)는 최소한 유전체의 두께 0.5 미크론만큼 이 차폐로부터 수직으로 이격되며, 따라서 광선 (f), (g) 및 (h)와 같이 매우 완만한 각도의 작은 여전히 디바이스로 진입할 수 있다. 명백히, 차폐의 중첩은 다이오드로 도착하는 광의 각도를 감소시키기 위해 연장될 수 있다. 그러나, 이러한 중복을 연장시키면 개구를 소비하며 기판에 대해 대략 0-10°의 각도의 광을 차폐하는 것은 실용적이지 않다.

본 발명은 실질적으로 측면 방향으로부터 감광성 디바이스로의 광 통과를 막기 위해, 특히 입력 표면의 레벨에서, 기존 박막층으로부터 형성되고 감광성 디바이스에 인접한 광 차단 구조를 제공한다. 광 차단 구조는 이러한 매우 완만한 각도의 광을 흡수 또는 반사하기 위해 디바이스 스택 내의 다양한 레벨에서 포토다이오드 주변에 형성될 수 있다. "완만한(shallow)"이란 기판의 평면과 가까운, 즉 측면 방향의 광을 의미한다.

도 10은 본 발명의 광 차단 배열의 제 1 배열을 도시한다. 흡수 소재의 링(100)은 광선 (g)으로부터 보호하기 위해 분리된 (sane) 수직 레벨에서 다이오드(84) 주변에 배치된다. 링(100)의 소재는 광다이오드 소재일 수 있으며, 따라서 어떠한 추가적 처리도 필요치 않다. 광 차단 장치(100)는 (종래의) 광 차폐(90)와 결합하여 사용된다. 도 10의 예에서, 광 차단 구조는 실질적으로 평면이며, 따라서 포토다이오드의 하나 이상의 박막층 영역을 단지 포함할 수 있다.

도 11은 추가적 처리가 또한 광선 (f)를 막을 수 있는 방법을 도시한다. 이 경우, 비어들은 광 차폐(90)로 형성되어서, 광 차단 구조는 포토다이오드 스택의 상부로부터 아래 방향으로 연장하는 측벽(110)을 가진다. 이들 측벽들은 포토다이오드 스택의 전체 높이를 연장한다.

도 12는 포토다이오드로 도달하는 위쪽 측면으로부터 광선을 막기 위해 어떠한 추가적 처리 비용없이 유사하게 패턴화될 수 있는 방법을 도시한다. 도 12는 특히 구동 트랜지스터의 소스 및 드레인을 한정하는 금속층(70)으로부터 형성된 추가적 광 차단 요소를 도시한다. 광 차단 구조는 이후 제 1(100) 및 제 2(120) 광 차단 요소를 구비하며, 제 2 광 차단 요소는 포토다이오드의 입력 표면의 레벨 위에 제공된다. 제 2 광 차단 요소(120)는 감광성 디바이스를 향해 측면으로 그리고 광선 (h)으로 도시된 것처럼 위로부터 광의 차단을 제공한다.

광 차단 구조는 또한 구조 내의 기존 층으로부터 형성될 수 있다.

도 13은 어떻게 광 차단 구조가 공기 공동(130)과 같이 형성될 수 있는지를 도시하며, 이들은 모두 완만한 각도로부터 보호를 제공할 수 있으며, 오직 큰 각도의 LED 및 주변광 (d)만이 검출된다. 이는 오직 픽셀 광, 또는 오직 주변광만을 검출하는 센서를 생성하기 위해 상부 또는 하부 광 차폐와 결합될 수 있다. 이들 공동(130)은 하부-애칭 금속 또는 스택 내에 배치된 유전체 막에 의해 형성될 수 있다. 공동들은 다른 방향으로 완전히 하부-애칭하지 않아서, 포토다이오드는 다른 층에 정착된 상태로 있으며 전극을 연결한다. 다이오드 반도체는, 그 자체와 공동 사이의 얇은 표면 유전체가 제공되어서 표면은 적절히 패시베이션(passivated)된다. 공동들은 높고 낮은 굴절 지수를 가진 더욱 복잡한 유전체 스택을 사용함으로써 공기 갭이 없이 효과적으로 생성될 수 있다.

애노드 층 아래의 센서의 배치는, 애노드가 반사적이며 불투명한 금속인, 도 6에 도시된 것과 같은 상부 발산 구조에 명백히 적합하지 않다.

도 14는 반투명 애노드(140)가 사용된, 상향 발산 구조를 위한 포토다이오드로의 광의 경로를 제공하는 제 1방법을 도시한다. 그러나, 완만한 각의 광(LED로부터의 광선(b)과 주변광선(c))은 다시 유리로 파이프화(piped)되고 장거리만큼 운반될 수 있다.

이는 도 15에 도시된 것과 같은 다이오드 위에 소형 투명 개구 만을 구비함으로써 감소될 수 있다. 상부 차폐(152)는 또한 주변광을 차폐하기 위해 도 15에 도시되며, 이것이 금속인 경우, 또한 154에 도시된 것처럼 전기적으로 캐소드를 지원(back-up)하기 위해 사용될 수 있는데, 이는 캐소드가 ITO와 같은, 비교적 낮은 전도체 투명 물질로 만들어졌기 때문이다. 광의 광선(d)은 여전히 기판으로 진입할 수 있으며 그 안에 파이프화될 수 있다.

도 16은 어떻게 본 발명이 전술한 하향 발산 구조에 대해 유사한 방법으로 나머지 완만한 각도의 광의 광선 (d)을 흡수하기 위해 광 차단 구조(160)를 형성하기 위해 다이오드 소재가 사용될 수 있게 하는지를 도시한다. 명확히, 위의 다른 향상(refinements) 및 변형이 상부 발산 구조에도 동일하게 적용가능하다.

상향 발산 디스플레이에서, 투명 기판에 대한 필요성이 없다. 기판들은 유리 또는 플라스틱과 같은 투명 기판 상에 만들어질 수 있지만, 이들은 또한 금속 호일과 같은 불투명한 기판 상에 만들어질 수 있다.

도 16에 도시된 것과 같은 광 차단 구조를 한정하기 위해 다이오드 소재의 링의 사용은 또한 반투명 애노드가 사용된 도 14의 배열을 개선하는데 사용될 수 있다.

도 17은 어떻게 다이오드 소재(160)의 링이 반투명 애노드(140)와 결합되어 사용되는지를 도시한다. 이는 포토다이오드 위의 광학 공동이 나머지 픽셀 위의 광학 공동과 같은 광학 특성을 지닌다는 이점을 제공한다. 픽셀의 이들 다른 영역에 대한 포토다이오드 소재를 사용하는 흡수/반사를 제공함으로써 포토다이오드에 의해 감지된 디스플레이 소자 출력의 부분은 디스플레이 소자 출력을 더 잘 나타낸다. 포토다이오드 소재의 링은 다시 또한 디스플레이 기판 내의 파이프라인(pipelining)을 방지하기 위해 완만한 각의 광을 흡수하는 기능을 행한다.

포토다이오드는 픽셀 회로의 위의 층을 사용하여 증착될 수 있다. 이 경우, 포토다이오드 소재는 전체 TFT 픽셀 회로 영역 위에 놓일 수 있으며 이에 따라 픽셀 회로 성분을 보호하기 위한 광 차폐로서 작동할 수 있다.

도 17의 배열은 또한 광 차폐없이 구현될 수 있다.

도 18은 독립적으로, 또는 기판이 투명일 필요가 없는 상부 발산 구조에 대한 유리 기판 내의 긴 거리로 파이프화된 광을 막기 위해 전술한 기술과 결합하여 사용될 수 있는 추가적 접근 방식을 도시한다.

유리 또는 절연체의 기본 표면(170)은 통과하여 다시 나올 수 있는 큰 각도로 광을 확산되도록 매트한 검은색으로(광을 흡수시키기 위해) 및/또는 거칠게 만들어진다.

확산 표면의 사용은 특히 표면 조직이 기판의 광택처리동안 쉽게 적용될 수 있는 금속 호일과 함께 유용하다. 거침(roughness)의 수평 및 수직 피치는 $0.2\text{-}2.0\mu\text{m}$ 이어야 하며 확산 최적 각도는 $35\text{-}45^\circ$ 이다.

가파른 각도로 다시 확산된 광은 이후 박막층(예, 포토다이오드 소재) 내에 흡수될 수 있다. 일반적으로, 스틸(steel) 상의 평면 유전체(유리 상의 폴리머 또는 스판(spin))는 $2\text{-}10\mu\text{m}$ 의 두께이며, 픽셀 간 간격은 $50\text{-}500\mu\text{m}$ 이다.

포토다이오드 설계 전체에서 측면으로부터 포토다이오드로 광이 진입하는 것을 방지함으로써 전술한 예에 추가적 개선이 이루어질 수 있다. 이는 검은색 안료로 포토다이오드 측벽을 코팅함으로써 달성될 수 있으며 이를 행하는 한가지 방법은 이방성 예칭에 의한 것이다.

각 픽셀의 박막 트랜지스터의 제조에 사용된 층(예, 무정형 실리콘 또는 저온 폴리실리콘 층)은 또한 흡수하며, 이들 층은 또한 광 차단 기능을 행하기 위해 구조될 수 있다.

본 발명에 의해 제공된 차폐는 여러 픽셀의 광 센서 사이의 크로스토크를 감소시킨다. 이는 또한 이미지 센서 응용에 대한 이점이 될 수 있다. 예를 들어, 광 피드백 픽셀의 감광성 요소는 또한 다기능 디스플레이에서 이미지 센싱 기능을 제공하기 위해 제어될 수 있다. 광 차폐는 이후 또한 이미지 센싱 성능을 개선한다. 본 발명의 접근 방식은 또한 어떠한 디스플레이 기능도 지니지 않은 고체(solid state) 이미지 센서 디바이스에 응용될 수 있다.

본 개시를 읽음으로써, 당업자에게 다른 변경예가 명백할 것이다.

산업상 이용 가능성

본 발명은, 전계 발광 디스플레이 디바이스에 관한 것으로서, 특히 발광 전계 발광 디스플레이 소자 및 박막 트랜지스터를 포함하는 픽셀의 어레이를 구비한 능동 매트릭스 디스플레이 디바이스에 이용가능하다.

도면의 간단한 설명

도 1은 능동 매트릭스 EL 디스플레이 디바이스의 일 실시예의 단순화된 개략도.

도 2는 픽셀 회로의 알려진 형태를 도시한 도면.

도 3은 제 1 알려진 광 피드백 픽셀 설계를 도시한 도면.

도 4는 제 2 알려진 광 피드백 픽셀 설계를 도시한 도면.

도 5는 알려진 구조의 하부 발산 디스플레이 픽셀을 도시한 도면.

도 6은 알려진 구조의 상부 발산 디스플레이 픽셀을 도시한 도면.

도 7은 결합된 광 민감성 소자를 구비한 하부 발산 디스플레이 픽셀의 알려진 구조를 도시한 도면.

도 8은 하부 발산 디스플레이 팩셀에 대한 본 발명에 의해 어드레스 지정된 문제를 설명하는데 사용된 도면.

도 9는 도 8을 참조로 설명된 문제를 다루기 위한 알려진 방법을 도시한 도면.

도 10은 본 발명의 제 1 하부 발산 디스플레이 팩셀 구조를 도시한 도면.

도 11은 본 발명의 제 2 하부 발산 디스플레이 팩셀 구조를 도시한 도면.

도 12는 본 발명의 제 3 하부 발산 디스플레이 팩셀 구조를 도시한 도면.

도 13은 본 발명의 제 4 하부 발산 디스플레이 팩셀 구조를 도시한 도면.

도 14는 상부 발산 디스플레이에서 감광성 소자에 광 경로를 제공하는 제 1 방법을 도시한 도면.

도 15는 상부 발산 디스플레이에서 감광성 소자에 광 경로를 제공하는 제 2 방법을 도시한 도면.

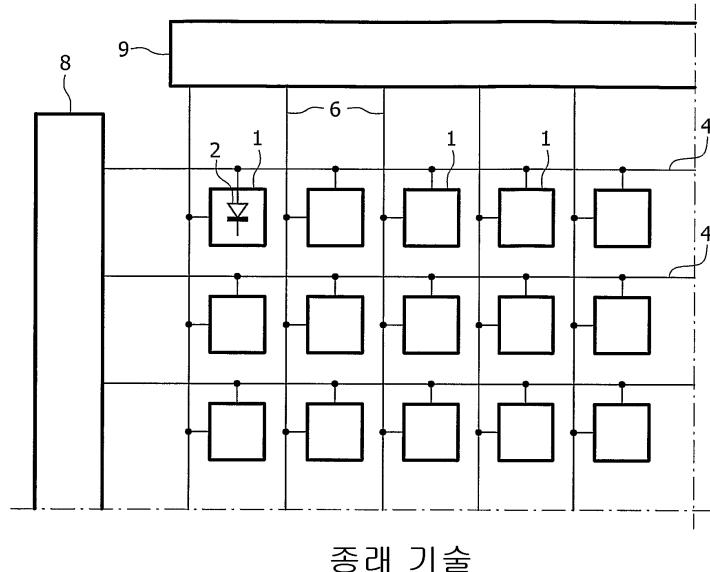
도 16은 본 발명의 제 1 상부 발산 디스플레이 팩셀을 도시한 도면.

도 17은 본 발명의 제 2 상부 발산 디스플레이 팩셀 구조를 도시한 도면.

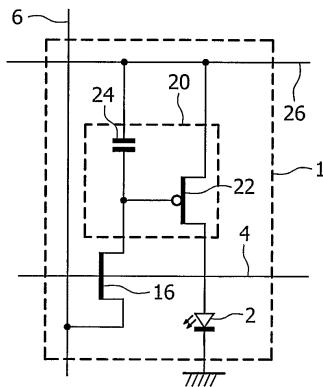
도 18은 본 발명의 제 2 상부 발산 디스플레이 팩셀 구조를 도시한 도면.

도면

도면1

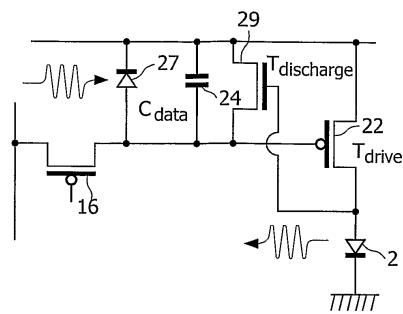


도면2



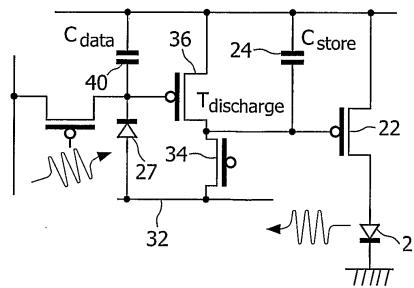
종래 기술

도면3



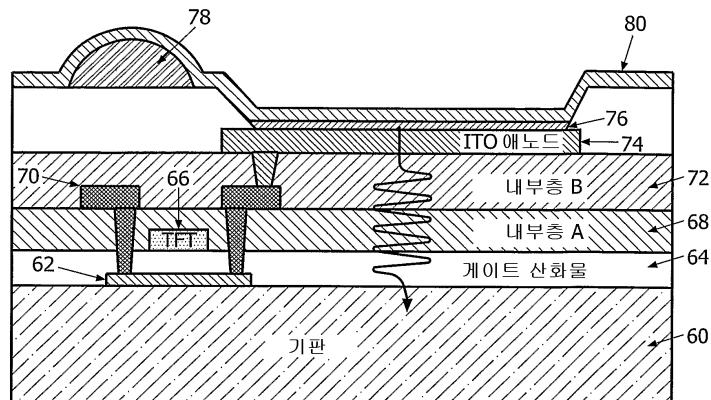
종래 기술

도면4



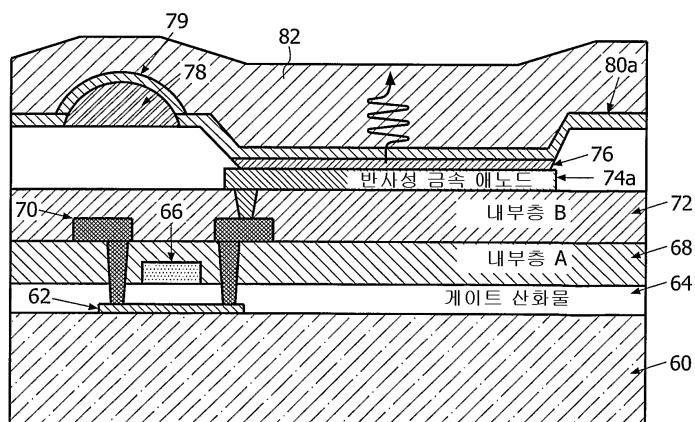
종래 기술

도면5



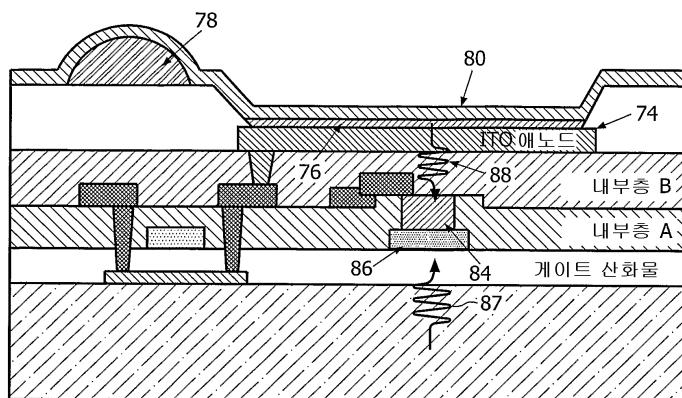
종래 기술

도면6



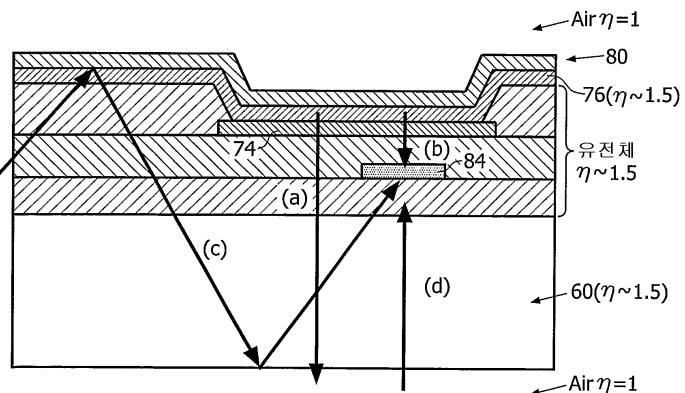
종래 기술

도면7



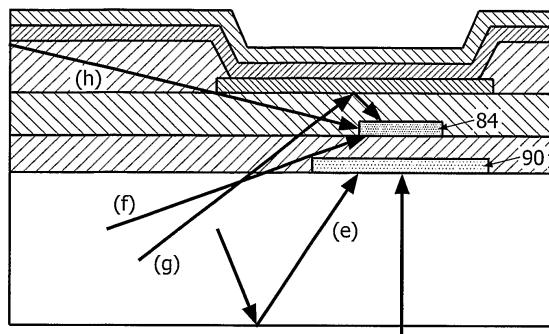
종래 기술

도면8



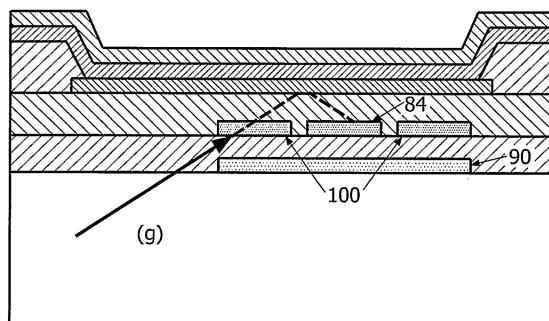
종래 기술

도면9

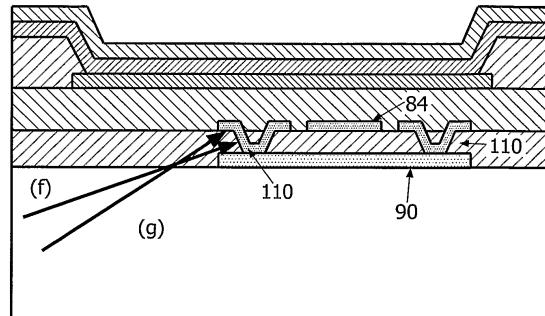


종래 기술

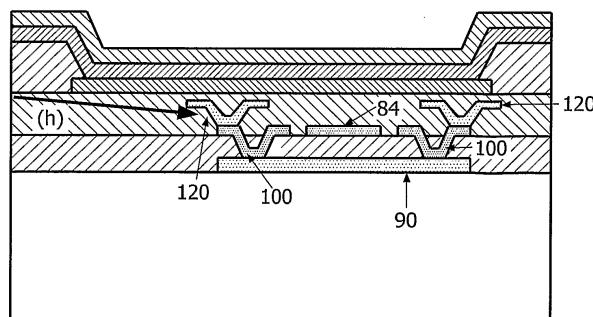
도면10



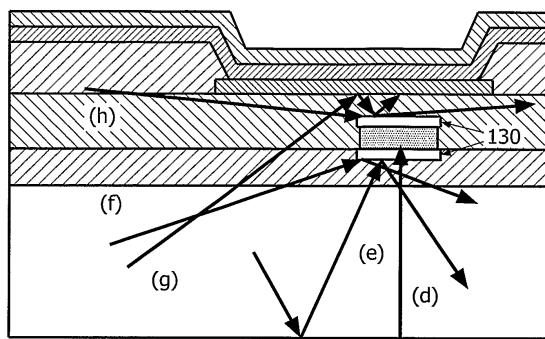
도면11



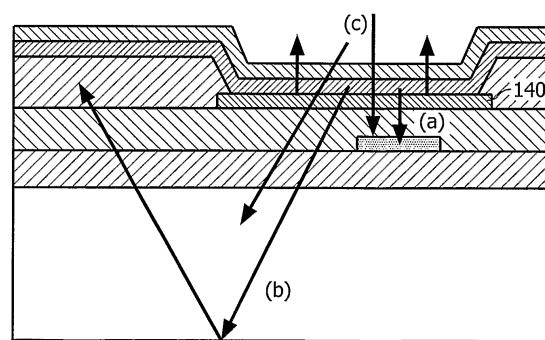
도면12



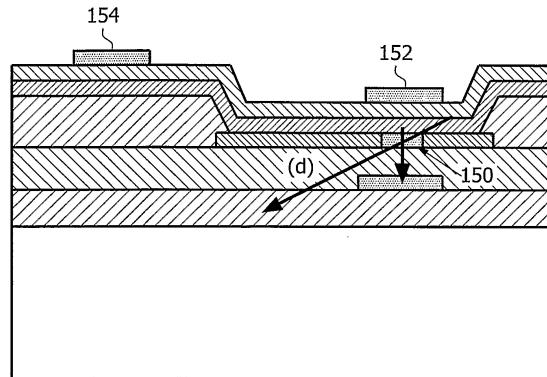
도면13



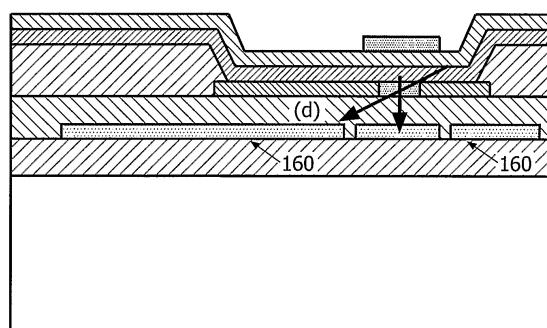
도면14



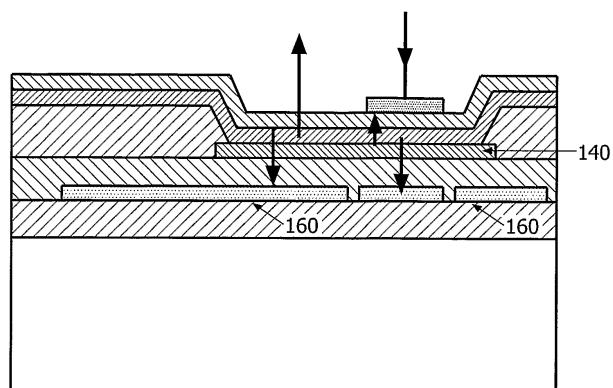
도면15



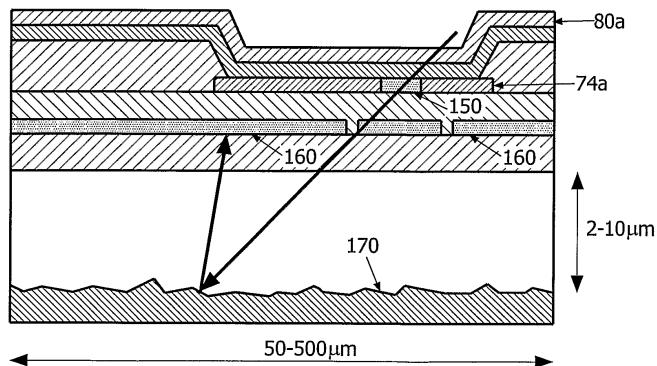
도면16



도면17



도면18



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020070004741A	公开(公告)日	2007-01-09
申请号	KR1020067019366	申请日	2005-03-22
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	YOUNG NIGEL D		
发明人	YOUNG, NIGEL, D.		
IPC分类号	H05B33/22 H01L27/32		
CPC分类号	H01L2251/5315 H01L27/3272 H01L27/3269		
代理人(译)	MOON , KYOUNG金		
优先权	2004006540 2004-03-24 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵显示装置承载像素，其中每个像素包括用于光学反馈功能的光敏器件 (84)。每个像素与光敏器件 (84) 相邻，并且在光敏器件的输入表面上材料地形成到显示基板的薄膜层中的光阻挡结构 (100) 被承载。从实际侧方向防止光 (g) 到光敏装置的通过。

