

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.  
*H05B 33/26* (2006.01)

(11) 공개번호 10-2006-0114570  
(43) 공개일자 2006년11월07일

(21) 출원번호 10-2005-0036752  
(22) 출원일자 2005년05월02일

(71) 출원인 삼성전자주식회사  
 경기도 수원시 영통구 매탄동 416

(72) 발명자 고준철  
 서울 서대문구 홍제2동 한양아파트 102동 1003호

(74) 대리인 유미특허법인

**심사청구 : 없음**

**(54) 박막 트랜지스터 및 이를 포함하는 표시 장치**

**요약**

본 발명은 박막 트랜지스터의 신뢰성을 확보하는 것이다. 기판 위에 제어 전극, 게이트 절연막, 반도체층을 형성한다. 반도체층 위에 제어 전극을 중심으로 서로 분리되어 있으며 마주 보는 변 사이의 거리가 위치에 따라 다른 입력 전극 및 출력 전극을 형성한다. 이와 같이, 박막 트랜지스터의 입력 전극과 출력 전극의 마주보는 두 변 사이의 길이, 즉 채널 길이가 중앙 부근에서는 일정하고 끝 부분에서 커지게 함으로써 전류가 집중되는 끝 부분의 채널 저항을 크게하여 전류 집중을 줄일 수 있다. 따라서, 박막 트랜지스터의 신뢰성이 향상될 수 있다.

**대표도**

도 2

**색인어**

유기발광다이오드, 구동박막트랜지스터, 입력전극, 출력전극

**명세서**

**도면의 간단한 설명**

도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이고,

도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고,

도 3은 도 2의 A부분을 확대한 도면이고,

도 4 및 도 5는 각각 도 2의 유기 발광 표시 장치를 IV-IV 선 및 V-V 선을 따라 잘라 도시한 단면도이고,

도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이고,

도 7은 도 6의 유기 발광 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이고,

도 8은 도 7의 B부분을 확대한 도면이고,

도 9 및 도 10은 구동 박막 트랜지스터의 다른 예들을 보여주는 배치도이다.

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 이를 포함하는 표시 장치에 관한 것으로, 특히 유기 발광 표시 장치의 박막 트랜지스터에 관한 것이다.

최근 퍼스널 컴퓨터나 텔레비전 등의 경량화 및 박형화에 따라 표시 장치도 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 평판 표시 장치로 대체되고 있다.

이러한 평판 표시 장치에는 액정 표시 장치(liquid crystal display, LCD), 전계 방출 표시 장치(field emission display, FED), 유기 발광 표시 장치(organic light emitting diode display), 플라스마 표시 장치(plasma display panel, PDP) 등이 있다.

일반적으로 능동형 평판 표시 장치에서는 복수의 화소가 행렬 형태로 배열되며, 주어진 휘도 정보에 따라 각 화소의 광 강도를 제어함으로써 화상을 표시한다. 이 중 유기 발광 표시 장치는 형광성 유기 물질을 전기적으로 여기 발광시켜 화상을 표시하는 표시 장치로서, 자기 발광형이고 소비 전력이 작으며, 시야각이 넓고 화소의 응답 속도가 빠르므로 고화질의 동영상 표시하기 용이하다.

유기 발광 표시 장치는 유기 발광 다이오드(organic light emitting diode, OLED)와 이를 구동하는 박막 트랜지스터(thin film transistor, TFT)를 구비한다. 이 박막 트랜지스터는 활성층(active layer)의 종류에 따라 다결정 규소(poly silicon) 박막 트랜지스터와 비정질 규소(amorphous silicon) 박막 트랜지스터 등으로 구분된다. 다결정 규소 박막 트랜지스터를 채용한 유기 발광 표시 장치는 여러 가지 장점이 있어서 일반적으로 널리 사용되고 있으나 박막 트랜지스터의 제조 공정이 복잡하고 이에 따라 비용도 증가한다. 또한 이러한 유기 발광 표시 장치로는 대화면을 얻기가 어렵다.

한편 비정질 규소 박막 트랜지스터를 채용한 유기 발광 표시 장치는 대화면을 얻기 용이하고, 다결정 규소 박막 트랜지스터를 채용한 유기 발광 표시 장치보다 제조 공정 수효도 상대적으로 적다. 그러나 비정질 규소 박막 트랜지스터가 유기 발광 다이오드에 지속적으로 전류를 공급해 줌에 따라 비정질 규소 박막 트랜지스터 자체의 문턱 전압이 천이되어 열화될 수 있다. 이것은 동일한 데이터 전압이 인가되더라도 불균일한 전류가 유기 발광 다이오드에 흐르게 하는데, 결국 이로 인하여 유기 발광 표시 장치의 화질 열화가 발생한다. 이와 같은 현상은 화소마다 보상회로를 구비하면 어느 정도의 문턱 전압의 천이를 해결할 수 있다.

#### 발명이 이루고자 하는 기술적 과제

한편, 반도체에 흐르는 구동 전류는 입력 전극 및 출력 전극이 마주보는 변의 가장자리에 집중되어 흐른다. 전류가 집중된 부분은 온도가 상승할 수 있으며, 이와 같은 현상은 박막 트랜지스터, 특히 비정질 규소 박막 트랜지스터의 열화를 가속화 하며 표시 장치의 수명을 단축시키는 요인이다.

따라서, 본 발명이 이루고자 하는 기술적 과제는 박막 트랜지스터의 신뢰성을 확보하는 것이다.

#### 발명의 구성 및 작용

본 발명에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있는 제어 전극, 상기 기판 위에 형성되어 있으며 상기 제어 전극을 중심으로 서로 분리되어 있는 입력 전극 및 출력 전극, 상기 입력 전극 및 상기 출력 전극과 접촉하는 반도체, 그리고 상기 제어 전극과 상기 반도체 사이에 끼어 있는 게이트 절연막을 포함하며, 상기 입력 전극과 상기 출력 전극의 거리는 위치에 따라 다르다.

상기 입력 전극과 상기 출력 전극 사이의 거리는 가장자리에서 멀어질 수 있고, 중앙 부분에서 일정할 수 있으며, 마주보는 두 변은 가장자리에서 등근 모양일 수 있다.

상기 반도체는 비정질 규소를 포함할 수 있다.

상기 입력 전극이 구부러져 있을 수 있으며, 상기 출력 전극과 상기 입력 전극의 마주보는 변이 사행(蛇行)일 수 있다.

상기 출력 전극과 연결되어 있는 화소 전극, 상기 화소 전극과 마주보는 공통 전극, 그리고 상기 화소 전극과 상기 공통 전극 사이에 끼어 있는 유기 발광 부재를 더 포함할 수 있다.

이하에서는, 도면을 참조하여 본 발명의 한 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

먼저 본 발명의 한 실시예에 따른 박막 트랜지스터 및 이를 포함하는 표시 장치에 대하여 도 1을 참고로 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.

도 1을 참고하면, 본 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.

신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(gate line)(121), 데이터 신호를 전달하는 데이터선(data line)(171) 및 구동 전압을 전달하는 복수의 구동 전압선(driving voltage line)(172)을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소(PX)는 스위칭 트랜지스터(switching transistor)(Qs), 구동 트랜지스터(driving transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 다이오드(organic light emitting diode)(LD)를 포함한다.

스위칭 트랜지스터(Qs)는 제어 단자(control terminal), 입력 단자(input terminal) 및 출력 단자(output terminal)를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)에 인가되는 주사 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.

구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(LD)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류( $I_{LD}$ )를 흘린다.

축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프된 뒤에도 이를 유지한다.

유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode)와 공통 전압(Vss)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 전류( $I_{LD}$ )에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.

스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이다. 그러나 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 다이오드(LD)의 연결 관계가 바뀔 수 있다.

그러면, 도 1에 도시한 유기 발광 표시 장치의 상세 구조의 한 예에 대하여 도 2 내지 도 5를 참고하여 상세하게 설명한다.

도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 3은 도 2의 A부분을 확대한 도면이고, 도 4 및 도 5는 각각 도 2의 유기 발광 표시 장치를 IV-IV 선 및 V-V 선을 따라 잘라 도시한 단면도이다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 제1 제어 전극(control electrode)(124a)을 포함하는 복수의 게이트선(121) 및 복수의 제2 제어 전극(124b)을 포함하는 복수의 게이트 도전체(gate conductor)가 형성되어 있다.

게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함하며, 제1 제어 전극(124a)은 게이트선(121)으로부터 위로 뻗어 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 접적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.

제2 제어 전극(124b)은 게이트선(121)과 분리되어 있으며, 아래 방향으로 뻗다가 오른 쪽으로 잠시 방향을 바꾸었다가 위로 길게 뻗은 유지 전극(storage electrode)(127)을 포함한다.

게이트 도전체(121, 124b)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트 도전체(121, 124b)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트 도전체(121, 124b)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30°내지 약 80°인 것이 바람직하다.

게이트 도전체(121, 124b) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 제1 및 제2 섬형 반도체(154a, 154b)가 형성되어 있다. 제1 및 제2 반도체(154a, 154b)는 각각 제1 및 제2 제어 전극(124a, 124b) 위에 위치한다.

제1 및 제2 반도체(154a, 154b) 위에는 각각 복수 쌍의 제1 저항성 접촉 부재(ohmic contact)(163a, 165a)와 복수 쌍의 제2 저항성 접촉 부재(163b, 165b)가 형성되어 있다. 저항성 접촉 부재(163a, 163b, 165a, 165b)는 섬 모양이며, 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 제1 저항성 접촉 부재(163a, 165a)는 쌍을 이루어 제1 반도체(154a) 위에 배치되어 있고, 제2 저항성 접촉 부재(163b, 165b) 또한 쌍을 이루어 제2 반도체(154b) 위에 배치되어 있다.

저항성 접촉 부재(163a, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 복수의 데이터선(171)과 복수의 구동 전압선(172)과 복수의 제1 및 제2 출력 전극(output electrode)(175a, 175b)을 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 제1 제어 전극(124a)을 향하여 뻗은 복수의 제1 입력 전극(input electrode)(173a)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.

구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 구동 전압선(172)은 제2 제어 전극(124b)을 향하여 뻗은 복수의 제2 입력 전극(173b)을 포함한다. 구동 전압선(172)은 유지 전극(127)과 중첩하며, 서로 연결될 수 있다.

제1 및 제2 출력 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171) 및 구동 전압선(172)과도 분리되어 있다. 제1 입력 전극(173a)과 제1 출력 전극(175a)은 제1 제어 전극(124a)을 중심으로 서로 마주보고, 제2 입력 전극(173b)과 제2 출력 전극(175b)은 제2 제어 전극(124b)을 중심으로 서로 마주본다. 서로 마주보고 있는 제2 입력 전극(173b)의 변과 제2 출력 전극(175b)의 변은 제2 반도체(154b)의 경계와 만나며 두 변 사이의 간격은 중앙 부근에서는 일정하며, 가장자리, 즉 제2 반도체(154b)와의 교차점 부근에서 커진다.

데이터 도전체(171, 172, 175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속 따위의 도전막(도시하지 않음)과 저저항 물질 도전막(도시하지 않음)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 172, 175a, 175b)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트 도전체(121, 124b)와 마찬가지로 데이터 도전체(171, 172, 175a, 175b) 또한 그 측면이 기판(110) 면에 대하여 약 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

저항성 접촉 부재(163a, 163b, 165a, 165b)는 그 아래의 반도체(154a, 154b)와 그 위의 데이터 도전체(171, 172, 175a, 175b) 사이에만 존재하며 접촉 저항을 낮추어 준다. 반도체(154a, 154b)는 입력 전극(173a, 173b)과 출력 전극(175a, 175b) 사이를 비롯하여 데이터 도전체(171, 172, 175a, 175b)로 가리지 않고 노출된 부분을 가지고 있다.

데이터 도전체(171, 172, 175a, 175b) 및 노출된 반도체(154a, 154b) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화규소(SiNx)나 산화규소(SiOx) 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 플라스마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등이 그 예이다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179)과 제1 및 제2 출력 전극(175b)을 각각 드러내는 복수의 접촉 구멍(182, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)과 제2 입력 전극(124b)을 각각 드러내는 복수의 접촉 구멍(181, 184)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 부재(connecting member)(85) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

화소 전극(191)은 접촉 구멍(185b)을 통하여 제2 출력 전극(175b)과 물리적·전기적으로 연결되어 있으며, 연결 부재(85)는 접촉 구멍(184, 185a)을 통하여 제2 제어 전극(124b) 및 제1 출력 전극(175a)과 연결되어 있다.

접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 데이터선(171) 및 게이트선(121)의 끝 부분(179, 129)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.

보호막(180) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)은 화소 전극(191) 가장자리 주변을 둑(bank)처럼 둘러싸서 개구부(opening)(365)를 정의하며 유기 절연물 또는 무기 절연물로 만들어진다. 격벽(361)은 또한 검정색 안료를 포함하는 감광제로 만들어질 수 있는데, 이 경우 격벽(361)은 차광 부재의 역할을 하며 그 형성 공정이 간단하다.

격벽(361)이 정의하는 화소 전극(191) 위의 개구부(365) 내에는 유기 발광 부재(organic light emitting member)(370)가 형성되어 있다. 유기 발광 부재(370)는 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 고유하게 내는 유기 물질로 만들어진다. 유기 발광 표시 장치는 유기 발광 부재(370)들이 내는 기본색 색광의 공간적인 합으로 원하는 영상을 표시한다.

유기 발광 부재(370)는 빛을 내는 발광층(emitting layer)(도시하지 않음) 외에 발광층의 발광 효율을 향상하기 위한 부대층(auxiliary layer)(도시하지 않음)을 포함하는 다층 구조를 가질 수 있다. 부대층에는 전자와 정공의 균형을 맞추기 위한 전자 수송층(electron transport layer)(도시하지 않음) 및 정공 수송층(hole transport layer)(도시하지 않음)과 전자와 정공의 주입을 강화하기 위한 전자 주입층(electron injecting layer)(도시하지 않음) 및 정공 주입층(hole injecting layer)(도시하지 않음) 등이 있다.

유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다. 공통 전극(270)은 공통 전압(Vss)을 인가 받으며, 칼슘(Ca), 바륨(Ba), 마그네슘(Mg), 알루미늄, 은 등을 포함하는 반사성 금속 또는 ITO 또는 IZO 등의 투명한 도전 물질로 만들어진다.

이러한 유기 발광 표시 장치에서, 게이트선(121)에 연결되어 있는 제1 제어 전극(124a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 제1 반도체(154a)와 함께 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루며, 스위칭 박막 트랜지스터(Qs)의 채널(channel)은 제1 입력 전극(173a)과 제1 출력 전극(175a) 사이의 제1 반도체(154a)에 형성된다. 제1 출력 전극(175a)에 연결되어 있는 제2 제어 전극(124b), 구동 전압선(172)에 연결되어 있는 제2 입력 전극(173b) 및 화소 전극(191)에 연결되어 있는 제2 출력 전극(175b)은 제2 반도체(154b)와 함께 구동 박막 트랜지스터(driving TFT)(Qd)를 이루며, 구동 박막 트랜지스터(Qd)의 채널은 제2 입력 전극(173b)과 제2 출력 전극(175b) 사이의 제2 반도체(154b)에 형성된다.

그런데, 도 3에 도시한 바와 같이, 그리고 앞서 설명한 것처럼 구동 박막 트랜지스터(Qd)의 채널 길이, 즉, 구동 박막 트랜지스터(Qd)의 입력 전극(173b)과 출력 전극(175b)의 마주보는 두 변 사이의 길이는 가장자리에서 길어진다. 여기서, 제2 입력 전극(173b) 및 제2 출력 전극(175b)의 마주보는 두 변은 끝 부분에서 곡선이지만 선형, 계단형 등의 다양한 모양으로 만들어질 수도 있다. 이와 같이 하면 채널 가장자리에서의 전류 집중이 줄어든다. 이와 같은 구조는 스위칭 박막 트랜지스터(Qs)에도 적용할 수 있다.

화소 전극(191), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 다이오드(LD)를 이루며, 화소 전극(191)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(191)이 캐소드, 공통 전극(270)이 애노드가 된다. 서로 중첩하는 유지 전극(127)과 구동 전압선(172)은 유지 축전기(storage capacitor)(Cst)를 이룬다.

화소 전극(191), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 다이오드(LD)를 이루며, 화소 전극(191)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(191)이 캐소드, 공통 전극(270)이 애노드가 된다. 서로 중첩하는 유지 전극(127)과 구동 전압선(172)은 유지 축전기(storage capacitor)(Cst)를 이룬다.

이러한 유기 발광 표시 장치는 기판(110)의 위쪽 또는 아래쪽으로 빛을 내보내어 영상을 표시한다. 불투명한 화소 전극(191)과 투명한 공통 전극(270)은 기판(110)의 위쪽 방향으로 영상을 표시하는 전면 발광(top emission) 방식의 유기 발광 표시 장치에 적용하며, 투명한 화소 전극(191)과 불투명한 공통 전극(270)은 기판(110)의 아래 방향으로 영상을 표시하는 배면 발광(bottom emission) 방식의 유기 발광 표시 장치에 적용한다.

한편, 반도체(154a, 154b)가 다결정 규소인 경우에는, 제어 전극(124a, 124b)과 마주보는 진성 영역(intrinsic region)(도시하지 않음)과 그 양쪽에 위치한 불순물 영역(extrinsic region)(도시하지 않음)을 포함한다. 불순물 영역은 입력 전극(173a, 173b) 및 출력 전극(175a, 175b)과 전기적으로 연결되며, 저항성 접촉 부재(163a, 163b, 165a, 165b)는 생략할 수 있다.

또한, 제어 전극(124a, 124b)을 반도체(154a, 154b) 위에 둘 수 있으며 이때에도 게이트 절연막(140)은 반도체(154a, 154b)와 제어 전극(124a, 124b) 사이에 위치한다. 이때, 데이터 도전체(171, 172, 173b, 175b)는 게이트 절연막(140) 위에 위치하고 게이트 절연막(140)에 뚫린 접촉 구멍(도시하지 않음)을 통하여 반도체(154a, 154b)와 전기적으로 연결될 수 있다. 이와는 달리 데이터 도전체(171, 172, 173b, 175b)가 반도체(154a, 154b) 아래에 위치하여 그 위의 반도체(154a, 154b)와 전기적으로 접촉할 수 있다.

도 1에 도시한 유기 발광 표시 장치의 상세 구조의 다른 예에 대하여 도 6 내지 도 8을 참고로 하여 상세하게 설명한다.

도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 7은 도 6의 유기 발광 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이고, 도 8은 도 7의 B 부분을 확대하여 도시한 도면이다.

도 6 및 도 7을 참고하면, 본 실시예에 따른 유기 발광 표시 장치의 층상 구조는 도 4 내지 6에 도시한 박막 트랜지스터 표시판의 층상 구조와 거의 동일하다.

제1 제어 전극(124a)을 포함하는 복수의 게이트선(121) 및 복수의 제2 제어 전극(124b)을 포함하는 복수의 게이트 도전체가 기판(110) 위에 형성되어 있고, 그 위에는 게이트 절연막(140), 제1 및 제2 섬형 반도체(154a, 154b), 그리고 저항성 접촉 부재(163a, 163b, 165a, 165b)가 차례로 형성되어 있다.

저항성 접촉 부재(163a, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 제1 입력 전극(173a)을 포함하는 복수의 데이터선(171), 제2 입력 전극(173b)을 포함하는 복수의 구동 전압선(172) 및 복수의 제1 및 제2 출력 전극(175a, 175b)을 포함하는 복수의 데이터 도전체가 형성되어 있고, 그 위에는 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)은 접촉 구멍(181)을 가지고 보호막(180)은 복수의 접촉 구멍(182, 184, 185a, 185b)을 가진다. 보호막(180) 위에는 화소 전극(191), 연결 부재(85) 및 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 개구부(365)를 가지는 격벽(361)이 형성되어 있다. 개구부(365) 및 격벽(361)에는 유기 발광 부재(370)와 공통 전극(270)이 형성되어 있다.

그러나, 도 2 내지 도 5의 유기 발광 표시 장치와는 달리, 제1 입력 전극(173a)은 게이트 전극(124a)과 중첩하는 데이터선(171) 일부와 게이트선(121)과 중첩하며 구동 전압선(172)을 향하여 뻗어 있는 부분을 포함한다. 따라서, 제1 출력 전극(175a)의 두 변이 제1 입력 전극(173a)과 마주본다.

제2 제어 전극(124b)은 매우 크며, 제2 입력 전극(173b)과 제2 출력 전극(175b)의 마주 보는 변 및 구동 박막 트랜지스터(Qd)의 채널의 형태가 다르다.

서로 마주 보는 제2 입력 전극(173b)과 제2 출력 전극(175b) 사이에 노출된 반도체(154b) 부분, 즉 채널은 사행(蛇行)이다. 도 8을 참고하면 사행의 채널에서 채널 길이는 직선인 부분에서는 서로 마주 보고 있는 제2 입력 전극(173b)의 변과 제2 출력 전극(175b)의 변 사이의 거리(L1)이고, 곡선인 부분에서는 제2 입력 전극(173b)과 제2 출력 전극(175b)의 변에 대한 평행한 접선 사이의 간격(L2)이 된다. 채널 길이는 대부분의 곳에서 일정하지만 제2 반도체(154b)와의 교차점 부근에서 커진다.

또한, 연결 부재(85)는 아래 방향으로 뻗다가 오른 쪽으로 잠시 방향을 바꾸었다가 위로 길게 뻗은 유지 전극(storage electrode)(87)을 포함한다. 여기서, 유지 전극(87)은 구동 전압선(172)과 중첩되어 있다.

또한, 복수의 섬형 반도체(156)가 게이트선(121)과 구동 전압선(172)이 교차하는 부분에 형성되어 있다. 섬형 반도체(156)는 표면의 프로파일을 부드럽게 함으로써 구동 전압선(172)의 단선을 방지한다.

도 9 및 도 10은 구동 박막 트랜지스터(Qd)의 다른 예들을 보여주는 배치도이다.

도 9에 도시한 제2 출력 전극(175b)은 세로 방향으로 뻗어 있으며 막대형인 다른 쪽 끝 부분을 가지고 있다. 이때, 막대형인 다른 쪽 끝 부분은 구부러진 제2 입력 전극(173b)으로 둘러싸여 있다. 여기서, 반도체(154b)는 제2 입력 전극(173b)의 면적보다 넓고, 제2 입력 전극(173b)은 U자형이다.

도 10에 도시한 제2 출력 전극(175b)은 세로 방향으로 뻗어 있으며 막대형인 다른 쪽 끝 부분을 가지고 있다. 이때, 막대형인 다른 쪽 끝 부분은 구부러진 제2 입력 전극(173b)으로 둘러싸여 있다. 여기서, 반도체(154b)는 제2 입력 전극(173b)보다 넓고, 제2 입력 전극(173b)은 J자형이다.

도 9 및 도 10에서, 입력 전극(173b)과 출력 전극(175b)의 마주보는 두 변 사이의 길이, 즉 채널 길이는 입력 전극(173b)의 끝 부분에서 길어진다. 도면에서 제2 입력 전극(173b)의 끝 부분은 둥근 모양이지만 계단형, 선형 등의 다양한 모양으로 만들어질 수 있다.

도 9 및 도 10에 도시한 것처럼, 가장자리의 채널 길이를 길게 하면 가장자리에서의 전류 집중이 줄어들 수 있다. 이와 같은 구조는 스위칭 박막 트랜지스터(Qs)에도 적용할 수 있다.

도 9 및 도 10에 도시한 구동 박막 트랜지스터(Qd)는 도 2 내지 도 8에 도시한 유기 발광 표시 장치에 적용될 수 있다.

### 발명의 효과

본 발명에 따르면, 박막 트랜지스터의 입력 전극과 출력 전극의 마주보는 두 변 사이의 길이, 즉 채널 길이가 중앙 부근에서는 일정하고 끝 부분에서는 커지게 함으로써 전류가 집중되는 끝 부분의 채널 저항을 크게하여 전류 집중을 줄일 수 있다. 이에 따라, 박막 트랜지스터의 신뢰성이 향상될 수 있다.

또한, 표시 장치의 열화 현상을 효과적으로 줄일 수 있다.

이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### (57) 청구의 범위

#### 청구항 1.

기판,

상기 기판 위에 형성되어 있는 제어 전극,

상기 기판 위에 형성되어 있으며 상기 제어 전극을 중심으로 서로 분리되어 있는 입력 전극 및 출력 전극,

상기 입력 전극 및 상기 출력 전극과 접촉하는 반도체, 그리고

상기 제어 전극과 상기 반도체 사이에 끼어 있는 절연막

을 포함하며,

상기 입력 전극과 상기 출력 전극의 거리는 위치에 따라 다른

표시 장치.

#### 청구항 2.

제1항에서,

상기 입력 전극과 상기 출력 전극 사이의 거리는 가장자리에서 멀고 중앙 부분에서는 일정한 유기 발광 표시 장치.

### 청구항 3.

제1항에서,

상기 입력 전극과 상기 출력 전극의 마주보는 두 변은 가장자리에서 등근 표시 장치.

### 청구항 4.

제1항에서,

상기 반도체는 비정질 규소를 포함하는 표시 장치.

### 청구항 5.

제1항에서,

상기 입력 전극이 구부러져 있는 표시 장치.

### 청구항 6.

제1항에서,

상기 출력 전극과 상기 입력 전극의 마주보는 변이 사행(蛇行)인 표시 장치.

### 청구항 7.

제1항에서,

상기 출력 전극과 연결되어 있는 화소 전극,

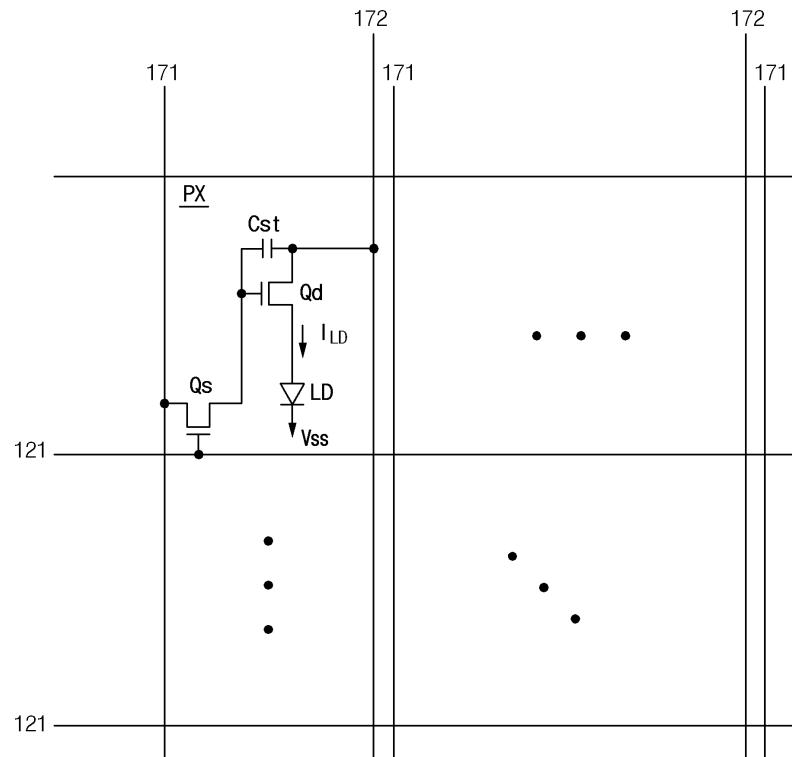
상기 화소 전극과 마주보는 공통 전극, 그리고

상기 화소 전극과 상기 공통 전극 사이에 끼어 있는 유기 발광 부재

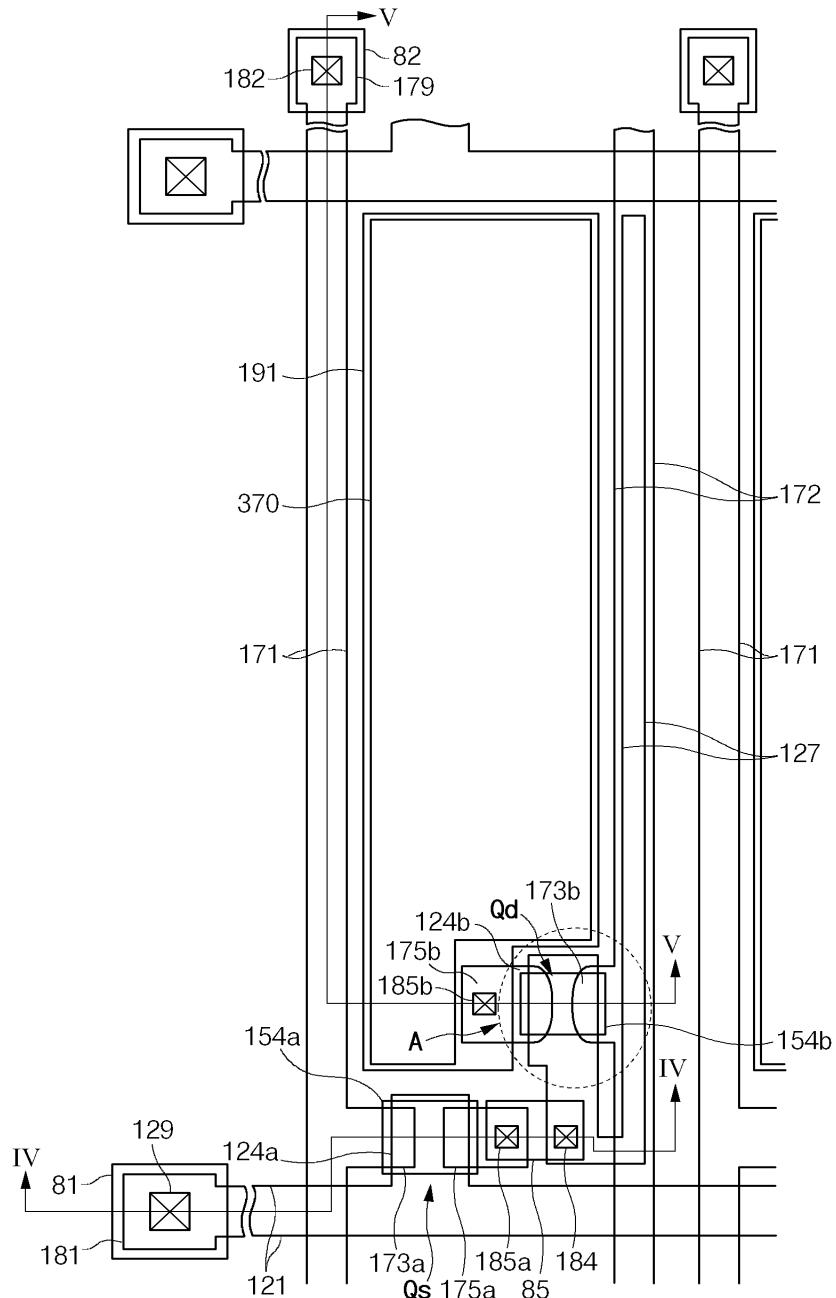
를 더 포함하는 표시 장치.

**도면**

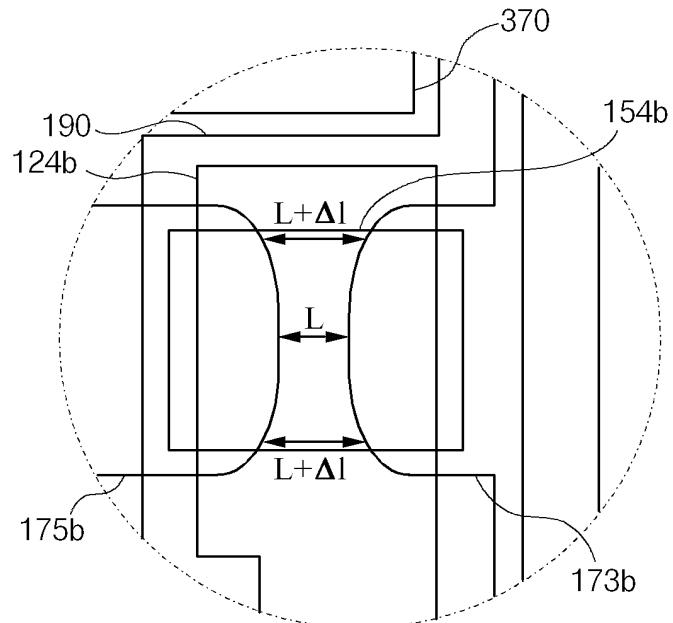
도면1



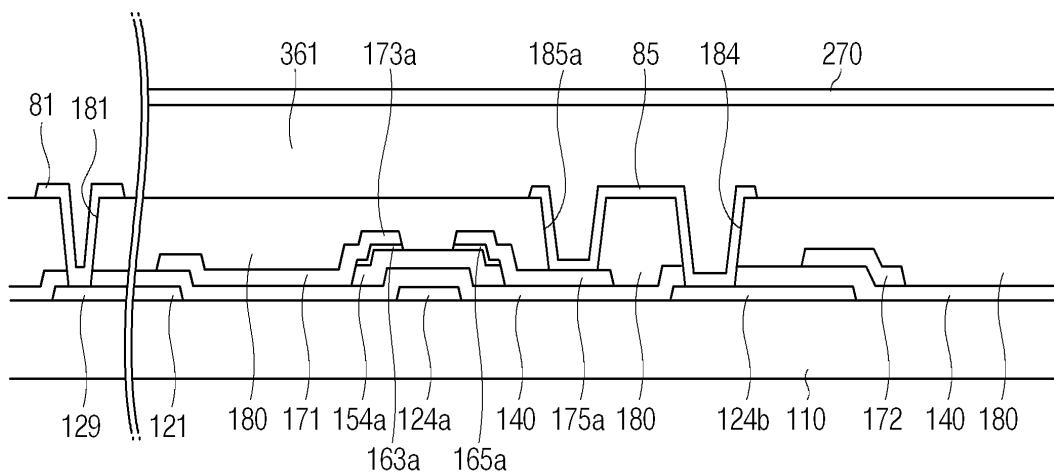
도면2



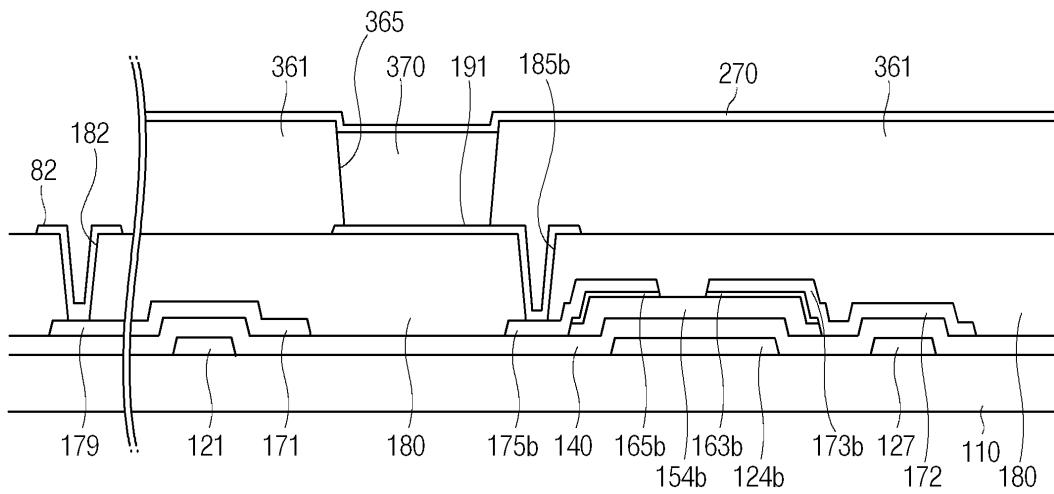
도면3



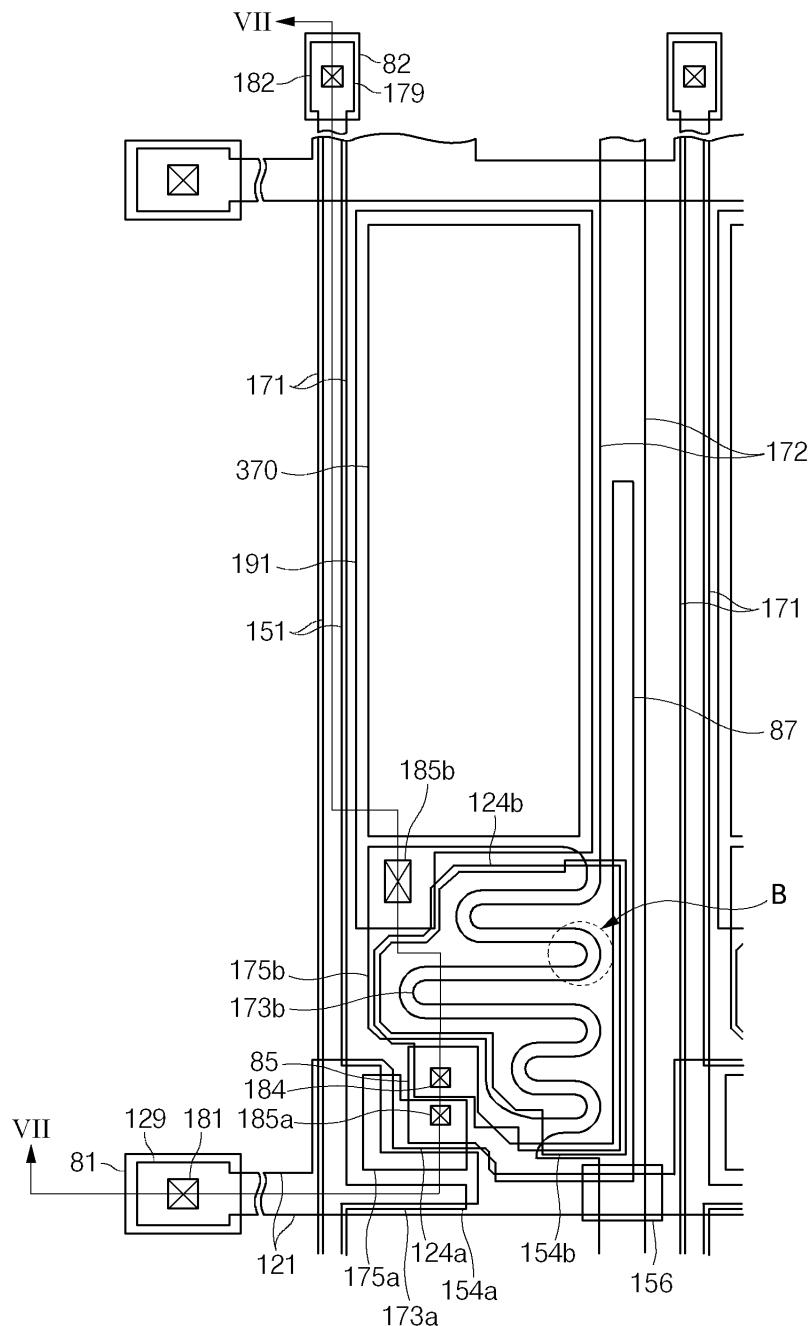
도면4



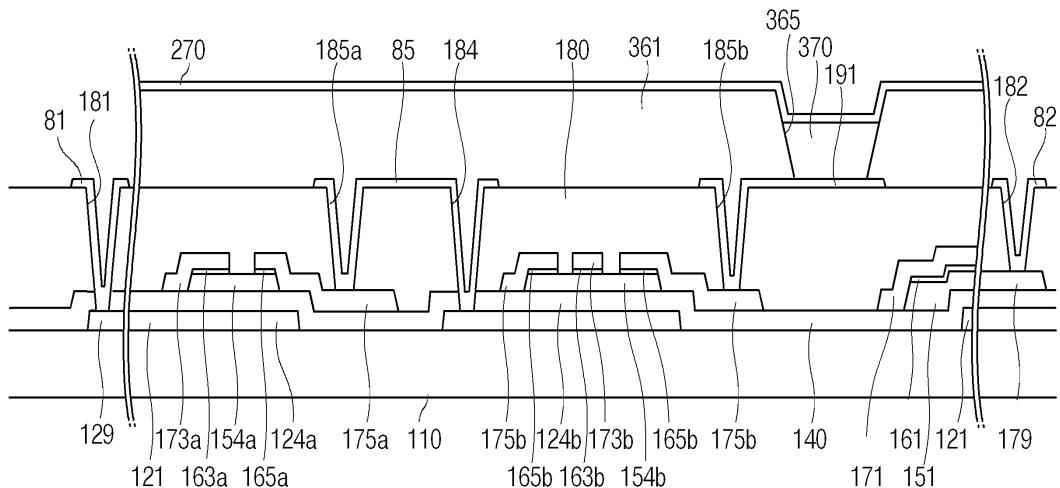
도면5



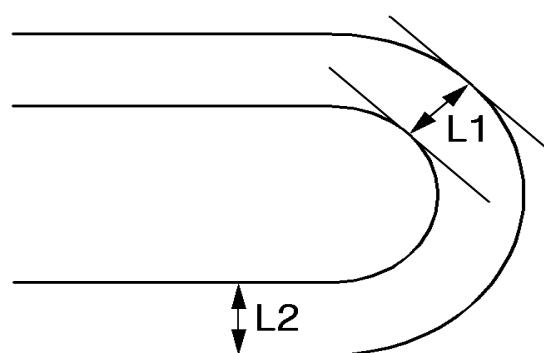
도면6



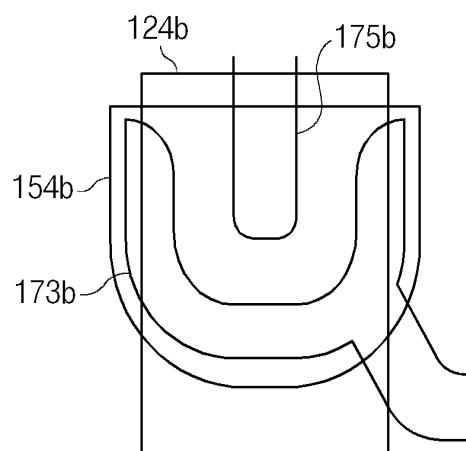
도면7



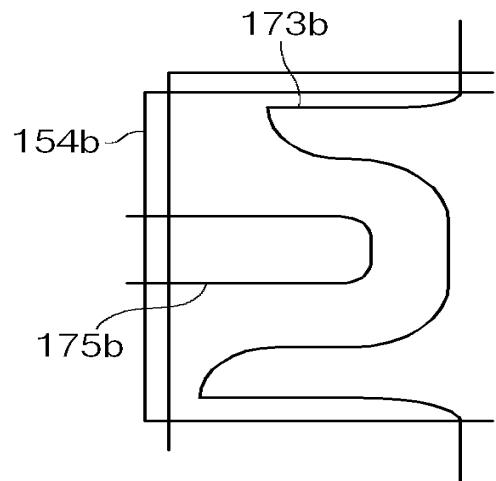
도면8



도면9



도면10



专利名称(译) 薄膜晶体管和包括其的显示装置

公开(公告)号	<a href="#">KR1020060114570A</a>	公开(公告)日	2006-11-07
申请号	KR1020050036752	申请日	2005-05-02
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	GOH JOON CHUL		
发明人	GOH, JOON CHUL		
IPC分类号	H05B33/26		
CPC分类号	H04R1/025 H04R1/44 H04R2499/13		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明确保了薄膜晶体管的可靠性。控制电极，栅极绝缘层和半导体层形成在基板上。在控制电极周围的半导体层上彼此分离并且面对面的侧面之间的距离看起来根据位置形成另一个输入电极和输出电极。这样，薄膜晶体管和输出电极的输入电极面对的两侧之间的长度，换句话说，通道长度固定在近中心，并且通过在端部扩大，长度使得电流集中的端部的沟道电阻大，可以减小电流拥挤。因此，可以提高薄膜晶体管的可靠性。有机发光二极管，驱动薄膜晶体管，输入电极，输出电极。

