

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H05B 33/08

(11) 공개번호 특2002 - 0007051
(43) 공개일자 2002년01월26일

(21) 출원번호 10 - 2000 - 0040755
(22) 출원일자 2000년07월15일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 이한상
서울특별시관악구신림1동
배성준
경기도성남시분당구금곡동

(74) 대리인 김영호

심사청구 : 없음

(54) 엘렉트로 루미네센스 패널

요약

본 발명은 그레이 스케일의 화상을 표시하기에 적합한 EL 패널에 관한 것이다.

EL 패널은 게이트 라인들과, 게이트 라인들과 교차되게 마련되어진 데이터 라인들과, 게이트 라인들과 데이터 라인들과의 교차부들 각각에 설치되어진 EL 셀들과, EL 셀들 각각에 설치되어 데이터 라인 상의 신호에 응답하여 EL 셀에서 방사되는 광량을 제어하는 셀 구동수단들과, 데이터 라인들 각각에 마련되어 셀 구동수단으로부터 데이터 신호를 경유하여 공급되는 신호의 전류량을 조절하는 전류 드라이버들을 구비한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1 은 종래의 엘렉트로 루미네센스 패널을 개략적으로 도시하는 도면이다.

도 2 는 도1에 도시된 화소 소자를 상세하게 도시하는 회로도이다.

도 3 은 도2에 도시된 화소 소자에 공급될 게이트 신호들을 도시하는 파형도이다.

도 4 는 본 발명의 실시 예에 따른 엘렉트로 루미네센스 패널을 개략적으로 도시하는 도면이다.

도 5 는 도4에 도시된 화소 소자의 실시 예를 상세하게 도시하는 회로도이다.

도 6 은 도4에 도시된 전류 드라이버의 실시 예를 상세하게 도시하는 회로도이다.

도 7 은 도6에 도시된 전류 드라이버의 출력 특성을 설명하는 특성도이다.

도 8 은 도4에 도시된 전류 드라이버의 다른 실시 예를 상세하게 도시하는 회로도이다.

도 9 는 도4에 도시된 전류 드라이버의 또 다른 실시 예를 상세하게 도시하는 회로도이다.

도 10 은 도4에 도시된 전류 드라이버의 또 다른 실시 예를 상세하게 도시하는 회로도이다.

도 11 은 도4에 도시된 전류 드라이버의 또 다른 실시 예를 상세하게 도시하는 회로도이다.

< 도면의 주요부분에 대한 부호의 설명 >

10,20 : 유리 기판 12,22 : 게이트 드라이버

14,24 : 데이터 드라이버 16,26 : 셀 구동회로

CD : 전류 드라이버 PE : 화소 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 엘렉트로 루미네센스(Electro Luminescence; 이하 "EL" 이라 함) 소자를 이용한 EL 패널에 관한 것이다.

통상의 EL 패널은 전기적 신호를 빛의 에너지로 변환함으로써 비디오(또는 영상) 신호에 상응하는 화상을 표시하게 된다. 이러한 EL 패널은 도1에 도시된 바와 같이 유리 기판(10) 상에 서로 교차되게 배열되어진 게이트 라인 쌍들(GL, /GL) 및 데이터 라인들(DL)과, 게이트 라인 쌍들(GL, /GL)과 데이터 라인들의 교차부들 각각에 배열되어진 화소 소자들(PE)을 구비한다. 화소 소자들(PE) 각각은 게이트 라인 쌍의 게이트 신호들이 인에이블된 때에 구동되어 데이터 라인(DL) 상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여, 게이트 드라이버(12)가 게이트 라인 쌍들(GL, /GL)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL)에 접속되게 된다. 게이트 드라이버(12)는 게이트 라인 쌍들(GL, /GL)을 순차적으로 구동하게 된다. 데이터 드라이버(14)는 데이터 라인들을 통해 화소들(PE)에 화소신호를 공급하게 된다.

이와 같이, 게이트 드라이버(12) 및 데이터 드라이버(14)에 의해 구동되는 화소 소자들은 도2에 도시된 바와 같이 기저전압라인(GNDL)에 접속되어진 EL 셀(ELC)과 이 EL 셀을 구동하기 위한 셀 구동회로(16)로 구성된다. 셀 구동회로(16)는 제1, 제2 노드(N1, N2) 및 EL 셀(ELC) 사이에 접속되어진 제1 PMOS 박막 트랜지스터(Thin Film Trans

istor; 이하 "TFT"라 함)(MP1)와, 게이트 라인(GL) 제2 노드(N2) 및 EL 셀(ELC) 사이에 접속되어진 제2 PMOS TFT(MP2)와, 제1 및 제2 노드(N1, N2) 사이에 접속되어진 캐패시터(C1)를 구비한다. 캐패시터(C1)는 데이터 라인(DL)으로부터 화소신호가 인가될 때, 화소신호의 전압을 충전하여 그 충전되어진 화소전압을 제1 PMOS TFT(MP1)의 게이트 전극들에 공통적으로 공급한다. 제1 PMOS TFT(MP1)는 캐패시터(C1)에 충전되어진 화소전압에 의해 턴 - 온 됨으로써 공급전압라인(VDDL)으로부터 제1 노드(N1)를 경유하여 공급되는 공급전압(VDD)이 EL 셀(ELC)에 공급되게 한다. 이 때, 제1 PMOS TFT(MP1)는 화소신호의 전압레벨에 따라 자신의 채널 폭을 가변시켜 EL 셀(ELC)에 공급되는 전류량이 조절되게 한다. 그러면, EL 셀(ELC)은 제1 PMOS TFT(MP1)로부터 인가되는 전류량에 상응하는 량의 빛을 발생하게 된다. 제2 PMOS TFT(MP2)는 게이트 라인(GL)으로부터 인가되는 도3에 도시된 바와 같은 게이트 신호(GLS)에 응답하여 제2 노드(N2)를 EL 셀(ELC)에 선택적으로 접속시킨다. 이를 상세히 하면, 제2 PMOS TFT(MP2)는 게이트 신호(GLS)가 로우논리로 인에이블되는 기간에 제2 노드(N2)를 EL 셀(ELC)에 접속시켜 화소신호가 캐패시터(C1)에 충전될 수 있게 한다. 다시 말하여, 제2 PMOS TFT(MP2)는 게이트 라인(GL) 상의 게이트 신호(GLS)가 인에이블 되는 기간에 캐패시터(C1)의 전류 통로를 형성시키게 된다. 캐패시터(C1)는 게이트가 인에이블되는 기간에 화소신호를 충전하여 제1 PMOS TFT(MP1)의 게이트 전극 상의 전압이 드레인 전극 상의 전압보다 충전되어진 화소신호의 전압레벨 만큼의 낮아지게 한다. 이에 따라, 제1 PMOS TFT(MP1)는 화소신호의 전압레벨에 따라 채널 폭을 조절하여 제1 노드(N1)로부터 EL 셀(ELC) 쪽으로 흐르는 전류량을 결정하게 된다. 또한, 통상의 EL 셀 구동회로는 게이트 라인(GL) 상의 게이트 신호에 응답하는 제3 PMOS TFT(MP3)와, 게이트 바 라인(/GL)으로부터의 반전된 게이트 신호(/GLS)에 응답하는 제4 PMOS TFT(MP4)를 추가로 구비한다. 제3 PMOS TFT(MP3)는 로우논리의 게이트신호가 게이트 라인(GL)으로부터 공급되는 기간에 턴 - 온되어 제1 노드(N1)에 접속되어진 캐패시터(C1) 및 제1 PMOS TFT(MP1)의 드레인 전극이 데이터 라인(DL)에 접속되게 한다. 이를 상세히 하면, 제3 PMOS TFT(MP3)는 로우논리의 게이트 신호(GLS)에 응답하여 데이터 라인(DL) 상의 화소 신호를 제1 노드(N1) 쪽으로 전송하는 역할을 하게 된다. 결과적으로, 제3 PMOS TFT(MP3)는 게이트 라인(GL) 상의 게이트 신호가 로우논리를 유지하는 기간 턴 - 온 되어 화소신호가 제1 및 제2 노드(N1, N2) 사이에 접속되어진 캐패시터(C1)에 충전되게 한다. 제4 PMOS TFT(MP4)는 게이트 바 라인(/GL)으로부터 로우논리의 반전된 게이트 신호(/GLS)가 자신의 게이트 전극 쪽으로 공급되는 기간에 턴 - 온 되어 캐패시터(C1) 및 제1 PMOS TFT(MP1)의 드레인 전극이 접속되어진 제1 노드(N2)를 공급전압라인(VDDL)에 접속시킨다. 제4 PMOS TFT(MP4)가 턴 - 온 되어진 기간에 공급전압라인(VDDL) 상의 공급전압(VDD)은 제1 노드(N1) 및 제1 PMOS TFT(MP1)를 경유하여 EL 셀(ELC)에 공급됨으로써, EL 셀(ELC)이 화소신호의 전압레벨에 따른 량의 빛을 발생하게 한다.

이렇게 EL 셀 구동회로가 게이트 라인(GL) 상의 게이트 신호가 로우논리로 인에이블되는 기간에 데이터 라인(DL)으로부터의 화소신호의 전류량을 그대로 EL 셀(ELC)에 공급하기 때문에 데이터 드라이버(14)는 대용량의 전류원을 구비하여야 한다. 그러나, 데이터 드라이버(14)는 1라인분 씩의 화소 소자들을 동시에 구동하여야 하므로 1 라인분의 EL 셀들(ELC) 각각에 공급될 최대 전류량을 크게 할 수 없다. 다시 말하여, 종래의 EL 패널은 각 화소 소자에 순방향 전류신호를 인가하여야 하기 때문에 최대 휘도를 얻기에 필요한 최대 전류량(즉, 화소신호의 전류 마진)을 크게 할 수 없다. 이로 인하여, 영상신호의 그레이 스케일 레벨간의 전류 차가 수 μA 정도로 매우 적게 된다. 또한, EL 패널 상에 배열되어진 EL 셀들에 화소신호의 전류를 수 μA 정도로 정밀하게 조절하기 위한 데이터 드라이버용 IC(Integrated Circuit) 칩은 현실적으로 제작되기 매우 곤란한 실정이다. 결과적으로, 종래의 EL 패널은 그레이 스케일의 화상을 표시하기 곤란하였다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 그레이 스케일의 화상을 표시하기에 적합한 EL 패널을 제공함에 있다.

본 발명의 다른 목적은 각 화소에 큰 전류신호가 인가되게끔 하여 그레이 스케일 화상을 표시할 수 있는 EL 패널을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 EL 패널은 게이트 라인들과, 게이트 라인들과 교차되게 마련되어진 데이터 라인들과, 게이트 라인들과 데이터 라인들과의 교차부들 각각에 설치되어진 EL 셀들과, EL 셀들 각각에 설치되어 데이터 라인 상의 신호에 응답하여 EL 셀에서 방사되는 광량을 제어하는 셀 구동수단들과, 전압화소신호를 입력하기 위한 패드들과, 패드들 각각으로부터의 상기 화소전압신호에 응답하여 셀 구동수단으로부터 데이터 라인을 경유하여 흐르는 전류량을 제어하는 전류 드라이버들을 구비하는 것을 특징으로 한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 실시 예를 첨부한 도4 내지 도11을 참조하여 상세히 설명하기로 한다.

도4는 본 발명의 실시 예에 따른 EL 패널을 도시한다. 도4의 EL 패널은 유리 기판(20) 상에 서로 교차되게 배열되어진 게이트 라인들(GL) 및 데이터 라인들(DL)과, 게이트 라인들(GL)과 데이터 라인들의 교차부들 각각에 배열되어진 화소 소자들(PE)을 구비한다. 화소 소자들(PE) 각각은 게이트 라인(GL) 상의 게이트 신호들이 인에이블된 때에 구동되어 데이터 라인(DL) 상의 화소신호의 전류량에 상응하는 빛을 발생하게 된다.

또한, EL 패널은 상기 데이터 라인들(DL) 각각에 접속되어진 전류 드라이버들(또는 라인 드라이버, CD)을 구비한다. 이들 전류 드라이버들(CD) 각각은 화소신호에 응답하여 화소소자(PE)로부터 데이터 라인(DL)을 경유하여 자신쪽으로 흐르는 전류신호를 제어함으로써 화소신호에 화소신호를 공급하게 된다. 전류 드라이버(CD)에 의해 화소 소자(PE)에 대전류가 흐를 수 있게 한다. 이 전류 드라이버(CD)에 의해 화소 소자(PE)에는 화소 신호에 따라 변하는 전류신호가 흐르게 된다.

이와 같은 EL 패널의 게이트 라인들(GL)은 게이트 드라이버(22)에 접속되게 되고, 전류 드라이버들(CD)은 데이터 드라이버(24)에 접속되게 된다. 게이트 드라이버(22)는 게이트 라인들(GL)을 순차적으로 구동하게 된다. 데이터 드라이버(24)는 1 라인 분의 화소전압신호들을 전류 드라이버들(CD)에 공급하게 된다. 전류 드라이버들(CD) 각각은 데이터 드라이버(24)로부터의 화소전압신호를 역방향 화소전류신호로 변환하고 그 변환된 화소전류신호를 화소 소자(PE)에 공급하게 된다. 다시 말하여, 전류 드라이버(CD)는 화소 소자(PE)로부터 데이터 라인(DL)을 경유하는 전류 통로상의 전류량을 조절함으로써 화소 소자(PE)에서의 최대 전류량이 커지게 됨과 아울러 그레이 스케일 레벨에 따른 전류량의 차이가 커지게 된다. 이 결과, 본 발명의 실시 예에 따른 EL 패널은 그레이 스케일 화상을 표시할 수 있게 된다.

도5는 도4에 도시된 화소 소자(PE)를 상세하게 도시하는 회로도이다. 도5의 화소 소자(PE)는 제1 저전위라인(FVL)에 접속되어진 EL 셀(ELC)과, 이 EL 셀(ELC) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀 구동회로(26)를 구비한다. 제1 저전위 라인(FVL)은 기저전위원(GND)에 접속되거나 또는 부극성의 전압을 발생하는 제1 저전위 전압원에 접속될 수 있다. EL 셀 구동회로(26)는 게이트 라인(GL) 상의 게이트 신호가 인에이블된 기간에 데이터 라인(DL) 상의 역방향 전류량에 따라 변하는 정방향 전류신호를 EL 셀(ELC)에 공급하게 된다. 이를 위하여, EL 셀 구동회로(26)는 EL 셀 (ELC), 제1 노드(N1) 및 공급전압라인(VDDL) 사이에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(MP1,MP2)와, 이들 제1 및 제2 PMOS TFT(MP1,MP2)의 게이트 전극들이 공통적으로 접속되어진 제2 노드(N2)와 공급전압라인(VDDL) 사이에 접속되어진 캐패시터(C1)를 구비한다.

캐패시터(C1)는 공급전압라인(VDDL)이 데이터 라인(DL)에 접속될 때, 데이터 라인(DL) 상의 신호전류를 충전하여 그 충전되어진 신호전류를 제1 및 제2 PMOS TFT(MP1,MP2)의 게이트 전극들에 공통적으로 공급한다. 제1 PMOS

TFT(MP1)는 캐패시터(C1)에 충전되어진 신호전류에 의해 턴 - 온됨으로써 공급전압라인(VDDL) 상의 공급전압(VDD)이 EL 셀(ELC)에 공급되게 한다. 이 때, 제1 PMOS TFT(MP1)는 캐패시터(C1)에 충전되어진 신호전류의 량에 따라 자신의 채널 폭을 가변시켜 공급전압라인(VDDL)으로부터 EL 셀(ELC)에 공급되는 전류량이 조절되게 한다. 그러면, EL 셀(ELC)은 공급전압라인(VDDL)으로부터 제1 PMOS TFT(MP1)를 경유하여 인가되는 전류량에 상응하는 량의 빛을 발생하게 된다. 제2 PMOS TFT(MP2)도 공급전압라인(VDDL)으로부터 자신을 경유하여 데이터 라인(DL) 쪽으로 흐르는 전류량을 조절하여 제1 PMOS TFT(MP1)를 통해 EL 셀(ELC) 쪽으로 흐르게 될 전류량을 결정하게 된다.

또한, 본 발명의 실시 예에 따른 EL 셀 구동회로는 게이트 라인(GL) 상의 게이트 신호에 공통적으로 응답하는 제3 및 제4 PMOS TFT(MP3,MP4)를 추가로 구비한다. 제3 PMOS TFT(MP3)는 로우논리의 게이트신호가 게이트 라인(GL)으로부터 공급되는 기간에 턴 - 온되어 제1 노드(N1)에 접속되어진 제3 PMOS TFT(MP2)의 소오스 전극이 데이터 라인(DL)에 접속되게 한다. 다시 말하여, 제3 PMOS TFT(MP3)는 로우논리의 게이트 신호에 응답하여 공급전압라인(VDDL)으로부터 제2 PMOS 트랜지스터(MP2), 제1 노드(N1) 및 자신을 경유하여 데이터 라인(DL)에 이르는 전류 통로를 형성시키는 역할을 하게 된다. 제4 PMOS TFT(MP4)도 게이트 라인(GL)으로부터 로우논리의 게이트 신호가 자신의 게이트 전극 쪽으로 공급되는 기간에 턴 - 온되어 제1 및 제2 PMOS TFT(MP1,MP2)의 게이트 전극들과 캐패시터(C1)의 일측 단자가 접속되어진 제2 노드(N2)를 제1 노드(N1)를 경유하여 데이터 라인(DL)에 접속되게 한다. 다시 말하여, 제3 및 제4 PMOS TFT(MP3,MP4)는 게이트 라인(GL) 상의 게이트 신호가 로우논리를 유지하는 기간 턴 - 온 되어 데이터 라인(DL)이 공급전압라인(VDDL)은 물론 제2 노드(N2)에 접속되게 하여 데이터 라인(DL)에 흐르는 전류량에 해당하는 전하량 (또는 신호전류)가 캐패시터(C1)에 충전되게 한다.

나아가, 본 발명의 실시 예에 따른 EL 셀 구동회로는 게이트 라인(GL)과 제3 PMOS TFT(MP3)의 게이트 전극 사이에 접속되는 저항(도시하지 않음)을 추가로 구비할 수 있다. 이 저항은 게이트 라인(GL)으로부터 제3 PMOS TFT(MP3)의 게이트 전극 쪽으로 공급되어질 게이트 신호가 지연되게 한다. 이에 따라, 제3 PMOS TFT(MP3)는 게이트 신호가 로우논리에서 하이논리로 변화될 때에 제4 PMOS TFT(MP4) 보다 늦게 턴 - 오프 되게 된다. 따라서, 캐패시터(C1)에 충전되어진 전하량이 게이트 신호의 하강에지에서 누설되게 않게 된다. 이 결과, EL 셀(ELC)은 데이터 라인(DL) 상의 전류량에 해당 양의 빛을 정확하게 발생할 수 있게 되고, 나아가 EL 패널이 비디오 신호(또는 영상신호)에 상응하는 화상을 열화 또는 왜곡 없이 표시할 수 있게 된다.

도6은 도4에 도시된 전류 드라이버(CD)의 실시 예를 상세하게 도시한다. 도6의 전류 드라이버(CD)는 데이터 라인(DL)과 제2 저전위라인(SVL) 사이에 직렬 접속되어진 NMOS 트랜지스터(MN11) 및 저항(R11)을 구비한다. NMOS 트랜지스터(MN11)의 게이트 전극은 패드(Pa)를 경유하여 도4에 도시된 데이터 드라이버(24)의 출력단자들중 어느 하나에 접속되게 된다. NMOS 트랜지스터(MN11)는 패드(Pa)로부터의 인가되는 화소전압에 응답하여 데이터라인(DL)으로부터 저항(R11)을 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 전류량을 조절하게 된다. 다시 말하여, NMOS 트랜지스터(MN11)는 도7에 도시된 바와 같이 패드(Pa)로부터의 화소전압의 레벨에 비례하여 데이터 라인(DL)으로부터 저항(R11)을 경유하여 흐르는 역방향 신호 전류가 커지게 한다. 이는 NMOS 트랜지스터(MN11)의 드레인 전극과 소오스 전극 사이에 형성되는 채널의 폭이 화소전압의 레벨에 따라 넓어지기 때문이다. 도7 에서 V_{pa} 는 화소신호의 전압이고 I_{DL} 은 데이터 라인(DL)으로부터 제2 저전위라인(SVL) 쪽으로 흐르는 전류이다.

이와 같이, 전류 드라이버(CD)는 화소전압에 응답하여 데이터 라인(DL) 상의 역방향 전류량을 제어함으로써 전류 미러를 통해 데이터 라인(DL)에 접속되어진 EL 소자(ELC)에 큰 전류가 공급되게 한다. 이에 따라, 그레이 스케일 레벨을 구별하기 위한 EL 소자(ELC)에서의 전류량의 차이가 커지게 되어 그레이 스케일의 화상이 EL 패널 상에 표시되게 한다.

도8은 도4에 도시된 전류 드라이버(CD)의 다른 실시 예를 상세하게 도시한다. 도8의 전류 드라이버(CD)는 패드(Pa)

와 제2 저전위라인(SVL) 사이에 직렬 접속되어진 제1 내지 제3 저항(R21 내지 R23)과, 데이터 라인(DL)과 제2 저전위라인(SVL) 사이에 직렬 접속되어진 제1 및 제2 NMOS 트랜지스터(MN21,MN22)와 제4 저항(R24)을 구비한다. 패드(Pa)는 도4에 도시되어진 데이터 드라이버(24)의 출력단자들 어느 하나에 접속되어 화소전압을 입력하게 된다. 제1 내지 제3 저항(R21 내지 R23)은 패드(Pa) 상의 화소전압을 분압하여 제1 및 제2 분전압들(Vd1,Vd2)을 발생하게 된다. 제1 분전압(Vd1)은 제1 및 제2 저항(R21,R22)이 접속되어진 제3 노드(N3) 상에 나타나게 되고, 제2 분전압(Vd2)은 제2 및 제3 저항(R22,R23)이 접속되어진 제4 노드(N4) 상에 나타나게 된다. 제1 NMOS 트랜지스터(MN21)는 제3 노드(N3)로부터 자신의 게이트 전극에 인가되는 제1 분전압(Vd1)에 응답하여 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN22) 쪽으로 흐르는 전류량을 조절하게 된다. 이 때, 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN22) 쪽으로 흐르는 전류량은 제3 노드(N3) 상의 제1 분전압(Vd1)이 높아질수록 커지게 된다. 제2 NMOS 트랜지스터(MN22)도 제4 노드(N4)로부터 자신의 게이트 전극에 인가되는 제2 분전압(Vd2)에 응답하여 제1 NMOS 트랜지스터(MN21)로부터 제4 저항(R24)을 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 전류량을 조절하게 된다. 이 때, 제4 저항(R24)을 경유하는 전류량은 제4 노드(N4) 상의 제2 분전압(Vd2)이 커짐에 따라 커지게 된다. 결과적으로, 제1 및 제2 NMOS 트랜지스터(MN21,MN22)는 도7에 도시된 바와 같이 패드(Pa) 상의 화소전압에 비례하여 데이터 라인(DL)으로부터 제4 저항(R24)을 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 역방향 전류가 커지게끔 제어한다. 이는 제1 및 제2 NMOS 트랜지스터(MN21,MN22) 각각의 드레인 전극과 소오스 전극 사이에 형성되는 채널의 폭이 화소전압의 레벨에 비례하여 넓어지는 것에 기인한다.

이와 같이, 전류 드라이버(CD)는 화소전압에 응답하여 데이터 라인(DL) 상의 역방향 전류량을 제어함으로써 전류 미러를 통해 데이터 라인(DL)에 접속되어진 EL 소자(ELC)에 큰 전류가 공급되게 한다. 이에 따라, 그레이 스케일 레벨을 구별하기 위한 EL 소자(ELC)에서의 전류량의 차이가 커지게 되어 그레이 스케일의 화상이 EL 패널 상에 표시되게 한다.

도9는 도4에 도시된 전류 드라이버(CD)의 또 다른 실시 예를 상세하게 도시한다. 도9의 전류 드라이버(CD)는 패드(Pa) 및 제2 저전위라인(SVL) 사이에 직렬 접속되어진 저항(R31) 및 제1 NMOS 트랜지스터(MN31)와, 데이터 라인(DL)과 제2 저전위라인(SVL) 사이에 접속되어진 제2 NMOS 트랜지스터(MN32)를 구비한다. 제1 및 제2 NMOS 트랜지스터(MN31,MN32)의 게이트 전극들은 저항(R31) 및 제1 NMOS 트랜지스터(MN31)의 드레인 전극이 접속되어진 제5 노드(N5)에 공통적으로 접속되어 있다. 제1 및 제2 NMOS 트랜지스터(MN31,MN32)는 전류 리피터(Current Repeater)를 구성하여 데이터 라인(DL)으로부터 제2 저전위라인(SVL) 쪽으로 흐르는 전류량이 제5 노드(N5)에 공급되는 전류량에 따라 변하게 한다. 이를 상세히 설명하면, 제1 NMOS 트랜지스터(MN31)는 제5 노드(N5)와 제2 저전위라인(SVL) 사이에 접속되는 다이오드(Diode)로서 작동되게 된다. 따라서, 제5 노드(N5)에 흐르는 전류(I_{N5})는 수학식 1과 같이 된다.

수학식 1

$$I_{N5} = \frac{V_{pa} - V_{th}}{R_{31}}$$

수학식 1에서, V_{pa} 는 데이터 드라이버(24)로부터 패드(Pa)에 공급되는 화소전압이고, V_{th} 는 NMOS 트랜지스터(MN31)의 문턱전압이고, 그리고 R_{31} 은 저항(R31)의 저항값이다. 한편, 제2 NMOS 트랜지스터(MN32)는 제5 노드(N5) 상의 전류신호를 증폭하게 된다. 따라서, 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN32)의 드레인 전극에 공급되는 전류(I_{DL})는 수학식 2와 같이 된다.

수학식 2

$$I_{DL} = \frac{\beta * I_{N5}}{\beta + 2}$$

수학식 2에서, β 는 제2 NMOS 트랜지스터의 드레인 전류(I_D)/제2 NMOS 트랜지스터의 게이트 전류(I_G)에 의해 결정되게 된다. 결과적으로, 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN31)를 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 역방향 전류(I_{DL})는 제5 노드(N5) 상의 전류(I_{N5})에 비례하게 된다. 다시 말하여, 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN32)를 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 역방향 전류(I_{DL})는 도7에 도시된 바와 같이 패드(Pa)에 공급되는 화소전압에 따라 변하게 된다.

이와 같이, 전류 드라이버(CD)는 화소전압에 응답하여 데이터 라인(DL) 상의 역방향 전류량을 제어함으로써 전류 미러를 통해 데이터 라인(DL)에 접속되어진 EL 소자(ELC)에 큰 전류가 공급되게 한다. 이에 따라, 그레이 스케일 레벨을 구별하기 위한 EL 소자(ELC)에서의 전류량의 차이가 커지게 되어 그레이 스케일의 화상이 EL 패널 상에 표시되게 한다.

도10은 도4에 도시된 전류 드라이버(CD)의 또 다른 실시 예를 상세하게 도시한다. 도10의 전류 드라이버(CD)는 패드(Pa) 및 제2 저전위라인(SVL) 사이에 직렬 접속되어진 저항(R_{41}) 및 제1 NMOS 트랜지스터(MN41)와, 데이터 라인(DL)과 제2 저전위라인(SVL) 사이에 직렬 접속되어진 제2 및 제3 NMOS 트랜지스터(MN42, MN43)를 구비한다. 제1 및 제3 NMOS 트랜지스터(MN41, MN43)의 게이트 전극들은 제2 NMOS 트랜지스터(MN42)의 소오스 전극과 제3 NMOS 트랜지스터(MN43)의 드레인 전극이 접속되어진 제7 노드(N7)에 공통적으로 접속되어 있다. 제2 NMOS 트랜지스터(MN42)의 게이트 전극은 저항(R_{41})과 제1 NMOS 트랜지스터(MN41)의 드레인 전극이 접속되어진 제6 노드(N6)에 접속되어 있다. 제1 내지 제2 NMOS 트랜지스터(MN31, MN32)는 전류 리피터(Current Repeater)를 구성하여 데이터 라인(DL)으로부터 제2 저전위라인(SVL) 쪽으로 흐르는 전류량이 제6 노드(N6)에 공급되는 전류량에 따라 변하게 한다. 이를 상세히 설명하면, 제1 NMOS 트랜지스터(MN41)는 제6 노드(N6)와 제2 저전위라인(SVL) 사이에 접속되는 다이오드로서 작동되게 되고, 제3 NMOS 트랜지스터(MN43)도 제7 노드(N7)와 제2 저전위라인(SVL) 사이에 접속되는 다이오드로서 작동되게 된다. 따라서, 제6 노드(N6)에 흐르는 전류(I_{N6})는 수학식 3과 같이 된다.

수학식 3

$$I_{N6} = \frac{V_{pa} - V_{th}}{R_{41}}$$

수학식 3에서, V_{th} 는 NMOS 트랜지스터(MN41, MN43)의 문턱전압이고, 그리고 R_{41} 은 저항(R_{41})의 저항값이다. 한편, 제2 NMOS 트랜지스터(MN42)는 제7 노드(N7) 상의 전류신호를 증폭하게 된다. 따라서, 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN42)의 드레인 전극에 공급되는 전류(I_{DL})는 수학식 2와 같이 된다.

수학식 4

$$I_{DL} = \frac{\beta * I_{N6}}{\beta + 2}$$

수학식 4에서, β 는 제2 NMOS 트랜지스터의 드레인 전류(I_D)/제2 NMOS 트랜지스터의 게이트 전류(I_G)에 의해 결정되게 된다. 결과적으로, 데이터 라인(DL)으로부터 제2 및 제3 NMOS 트랜지스터(MN42, 43)를 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 역방향 전류(I_{DL})는 제6 노드(N6) 상의 전류(I_{N6})에 비례하게 된다. 다시 말하여, 데이터 라인(DL)으로부터 제2 및 제3 NMOS 트랜지스터(MN42, MN43)를 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 역방향 전류(I_{DL})는 도7에 도시된 바와 같이 패드(Pa)에 공급되는 화소전압(V_{pa})에 따라 변하게 된다.

이와 같이, 전류 드라이버(CD)는 화소전압에 응답하여 데이터 라인(DL) 상의 역방향 전류량을 제어함으로써 전류 미러를 통해 데이터 라인(DL)에 접속되어진 EL 소자(ELC)에 큰 전류가 공급되게 한다. 이에 따라, 그레이 스케일 레벨을 구별하기 위한 EL 소자(ELC)에서의 전류량의 차이가 커지게 되어 그레이 스케일의 화상이 EL 패널 상에 표시되게 한다.

도11는 도4에 도시된 전류 드라이버(CD)의 또 다른 실시 예를 상세하게 도시한다. 도11의 전류 드라이버(CD)는 패드(Pa) 및 제2 저전위라인(SVL) 사이에 직렬 접속되어진 가변저항(VR) 및 제1 NMOS 트랜지스터(MN51)와, 데이터 라인(DL)과 제2 저전위라인(SVL) 사이에 접속되어진 제2 NMOS 트랜지스터(MN52)를 구비한다. 제1 및 제2 NMOS 트랜지스터(MN51, MN52)의 게이트 전극들은 가변저항(VR)이 접속되어진 제8 노드(N8)에 공통적으로 접속되어 있다. 제1 및 제2 NMOS 트랜지스터(MN51, MN52)는 전류 리피터(Current Repeater)를 구성하여 데이터 라인(DL)으로부터 제2 저전위라인(SVL) 쪽으로 흐르는 전류량이 제8 노드(N8)에 공급되는 전류량에 따라 변하게 한다. 이를 상세히 설명하면, 제1 NMOS 트랜지스터(MN51)는 제8 노드(N8)와 제2 저전위라인(SVL) 사이에 접속되는 다이오드(Diode)로서 작동되게 된다. 따라서, 제8 노드(N8)에 흐르는 전류(I_{N8})는 수학식 5와 같이 된다.

수학식 5

$$I_{N8} = \frac{V_{pa} - V_{th}}{R_{VR}}$$

수학식 5에서, V_{th} 는 NMOS 트랜지스터(MN51)의 문턱전압이고, 그리고 R_{VR} 가변저항(VR)의 저항값이다. 한편, 제2 NMOS 트랜지스터(MN52)는 제8 노드(N8) 상의 전류신호를 증폭하게 된다. 따라서, 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN52)의 드레인 전극에 공급되는 전류(I_{DL})는 수학식 6와 같이 된다.

수학식 6

$$I_{DL} = \frac{\beta * I_{N8}}{\beta + 2}$$

수학식 2에서, β 는 제2 NMOS 트랜지스터의 드레인 전류(I_d)/제2 NMOS 트랜지스터의 게이트 전류(I_g)에 의해 결정되게 된다. 결과적으로, 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN52)를 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 역방향 전류(I_{DL})는 제8 노드(N8) 상의 전류(I_{N8})에 비례하게 된다. 다시 말하여, 데이터 라인(DL)으로부터 제2 NMOS 트랜지스터(MN52)를 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 역방향 전류(I_{DL})는 도7에 도시된 바와 같이 패드(Pa)에 공급되는 화소전압에 따라 변하게 된다.

또한, 도11의 전류 드라이버(CD)는 제8 노드(N8) 및 제1 NMOS 트랜지스터(MN51) 사이에 접속되어진 제3 NMOS 트랜지스터(MN53)와, 데이터 라인(DL) 및 제2 NMOS 트랜지스터(MN52) 사이에 접속되어진 제4 NMOS 트랜지스터(MN54)를 구비한다. 이들 제3 및 제4 NMOS 트랜지스터(MN53, MN54)의 게이트전극들은 모두 제3 전압라인(TVL)에 접속되게 된다. 제3 전압라인(TVL)은 일정한 전압레벨을 유지하는 제3 전압을 발생하는 제3 전압원(V_{bs})에 접속되어 제3 전압원(V_{ba})로부터의 제3 전압을 제3 및 제4 NMOS 트랜지스터(MN53, MN54)의 게이트에 공급하게 된다. 제3 전압원(V_{bs})에서 발생하는 전압은 제3 및 제4 NMOS 트랜지스터(MN53, MN54)를 구동하기 위한 바이어스전압으로 사용된다. 제3 NMOS 트랜지스터(MN53)은 제3 전압라인(TVL)으로 자신의 게이트전극 쪽으로 인가되는 제3 전압에 의해 턴 - 온 되어 제1 NMOS 트랜지스터(MN1)의 드레인과 소오스간의 전압차가 일정하게 유지되게 한다. 이는 제3 NMOS 트랜지스터(MN53)가 제8 노드(N8) 상의 전압 레벨이 변하더라도 일정한 저항값을 유지하는 반면에 제1 NMOS 트랜지스터(MN51)의 저항값이 제8 노드(N8) 상의 전압(또는 전류량) 변화와 상반되게 변하는 것에 기인한다. 제8 노드(N8) 상의 전압(또는 전류량)이 커지는 경우, 제1 NMOS 트랜지스터(MN51)는 제8 노드(N8) 상의 큰 전압에 의해 낮은 저항값을 가지게 된다. 이 때, 제3 NMOS 트랜지스터(MN53)에 대한 제1 NMOS 트랜지스터(MN51)의 저항비가 낮아지게 되어 상대적으로 큰 비율의 전압이 제3 NMOS 트랜지스터(MN53)의 드레인과 소오스 전극들 사이에 인가되는 반면에 상대적으로 낮아진 비율의 전압이 제1 NMOS 트랜지스터(MN51)의 드레인과 소오스 전극들 사이에 인가되게 된다. 이 결과, 제1 NMOS 트랜지스터(MN51)의 드레인과 소오스 전극들 사이에 인가되는 전압은 제8 노드(N8) 상의 전압(또는 전류량)이 커지더라도 거의 변하지 않게 된다. 이와는 달리, 제8 노드(N8) 상의 전압(또는 전류량)이 작아지는 경우에 제1 NMOS 트랜지스터(MN51)는 제8 노드(N8) 상의 작은 전압에 의해 높은 저항값을 가지게 된다. 이 때, 제3 NMOS 트랜지스터(MN53)에 대한 제1 NMOS 트랜지스터(MN51)의 저항비가 높아지게 되어 상대적으로 낮은 비율의 전압이 제3 NMOS 트랜지스터(MN53)의 드레인과 소오스 전극들 사이에 인가되는 한편 상대적으로 높아진 비율의 전압이 제1 NMOS 트랜지스터(MN51)의 드레인과 소오스 전극들 사이에 인가되게 된다.

다.

또한, 제4 NMOS 트랜지스터(MN54)도 제3 전압라인(TVL)으로 자신의 게이트전극 쪽으로 인가되는 제3 전압에 의해 턴 - 온 되어 제2 NMOS 트랜지스터(MN52)의 드레인과 소오스간의 전압차가 일정하게 유지되게 한다. 이는 제4 NMOS 트랜지스터(MN54)가 데이터 라인(DL) 상의 전류량이 변하더라도 일정한 저항값을 유지하는 반면에 제2 NMOS 트랜지스터(MN52)의 저항값이 데이터 라인(DL) 상의 전류량과 동일한 형태로 변하는 제8 노드(N8) 상의 전압과는 상반되게 변하는 것에 기인한다. 데이터 라인(DL) 상의 전류량이 커지는 경우 (즉, 제8 노드(N8) 상의 전압이 높아지는 경우), 제2 NMOS 트랜지스터(MN52)는 제8 노드(N8) 상의 높은 전압에 의해 낮은 저항값을 가지게 된다. 이 때, 제4 NMOS 트랜지스터(MN54)에 대한 제2 NMOS 트랜지스터(MN52)의 저항비가 낮아지게 되어 상대적으로 큰 비율의 전압이 제4 NMOS 트랜지스터(MN54)의 드레인과 소오스 전극들 사이에 인가되는 반면에 상대적으로 낮아진 비율의 전압이 제2 NMOS 트랜지스터(MN52)의 드레인과 소오스 전극들 사이에 인가되게 된다. 이 결과, 제2 NMOS 트랜지스터(MN52)의 드레인과 소오스 전극들 사이에 인가되는 전압은 데이터 라인(DL) 상의 전류량이 커지더라도 거의 변하지 않게 된다. 이와는 달리, 데이터 라인(N6) 상의 전류량이 작아진 경우(즉, 제8 노드(N8) 상의 전압이 낮아진 경우)에 제2 NMOS 트랜지스터(MN52)는 제8 노드(N8) 상의 낮은 전압에 의해 높아진 저항값을 가지게 된다. 이 때, 제4 NMOS 트랜지스터(MN54)에 대한 제2 NMOS 트랜지스터(MN52)의 저항비가 높아지게 되어 상대적으로 낮은 비율의 전압이 제4 NMOS 트랜지스터(MN54)의 드레인과 소오스 전극들 사이에 인가되는 한편 상대적으로 높아진 비율의 전압이 제2 NMOS 트랜지스터(MN52)의 드레인과 소오스 전극들 사이에 인가되게 된다. 이 결과, 제2 NMOS 트랜지스터(MN52)의 드레인과 소오스 전극들 사이에 인가되는 전압은 제8 노드(N8) 상의 전압(즉, 데이터 라인(DL) 상의 전류량)이 변하더라도 거의 변하지 않게 된다.

이와 같이, 도11의 전류 드라이버(CD)는 제8 노드(N8)의 상의 전압 및 데이터 라인(DL) 상의 전류량이 변하더라도 제2 NMOS 트랜지스터(MN52)의 드레인과 소오스 전극들 간의 전압이 일정하게 유지되게 함으로써 EL 패널 상의 임의의 데이터 라인(DL)이 그와 인접한 다른 데이터 라인(DL) 상의 전류량 또는 전압의 영향을 거의 받지 않게 한다. 다시 말하여, 도11의 전류 드라이버(CD)는 EL 패널 상의 임의의 데이터 라인 상의 신호가 인접한 데이터 라인 상의 신호의 영향 없이 화소신호의 전압에 해당하는 정확한 크기의 전류량을 가지게 할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 EL 패널은 화소로부터 데이터 라인 쪽으로 흐르는 전류량의 조절에 의해 EL 셀에 흐르는 전류량의 최대값이 높아지게 함과 아울러 전류미러를 이용하여 EL 셀에 공급되는 전류가 데이터 라인 상의 전류량에 비하여 수배 내지 수십배의 크기로 변하게 함으로써 그레이 스케일 레벨을 구별하기 위한 화소신호의 전류량의 차이를 커지게 할 수 있다. 이에 따라, 본 발명에 따른 EL 패널은 그레이 스케일의 화상을 표시할 수 있다.

또한, 본 발명에 따른 EL 패널은 인접한 데이터 라인 상의 신호의 영향 없이 해당 데이터 버스 상의 신호가 화소신호의 전압에 해당하는 정확한 크기의 전류량을 가지게 할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트 라인들과,

상기 게이트 라인들과 교차되게 마련되어진 데이터 라인들과,

상기 게이트 라인들과 데이터 라인들과의 교차부들 각각에 설치되어진 EL 셀들과,

상기 EL 셀들 각각에 설치되어 상기 데이터 라인 상의 신호에 응답하여 상기 EL 셀에서 방사되는 광량을 제어하는 셀 구동수단들과,

전압화소신호를 입력하기 위한 패드들과,

상기 패드들 각각으로부터의 상기 화소전압신호에 응답하여 상기 셀 구동수단으로부터 데이터 라인을 경유하여 흐르는 전류량을 제어하는 전류 드라이버들을 구비하는 것을 특징으로 하는 EL 패널.

청구항 2.

제 1 항에 있어서,

상기 셀 구동회로는 상기 데이터 라인 쪽으로 전류가 흐르게 하는 제1 전류통로와, 상기 제1 전류 통로에서의 전류량에 비하여 수 내지 수십 배의 양적 차이를 가지는 전류가 상기 EL 셀에 공급되게 하는 제2 전류통로를 가지는 것을 특징으로 하는 EL 패널

청구항 3.

제 1 항에 있어서,

상기 전류 드라이버들 각각은

상기 패드로부터의 상기 화소전압신호에 응답하여 상기 데이터 라인으로부터 저전압원 쪽으로 흐르는 전류량을 제어하는 트랜지스터를 구비하는 것을 특징으로 하는 EL 패널.

청구항 4.

제 3 항에 있어서,

상기 전류 드라이버들 각각은 상기 트랜지스터와 상기 저전압원 사이에 접속되어진 저항을 가지는 것을 특징으로 하는 EL 패널.

청구항 5.

제 1 항에 있어서,

상기 전류 드라이버들 각각은

상기 패드와 저전압원 사이에 직렬 접속되어 적어도 2 이상의 분전압신호를 발생하는 저항 분압기와,

상기 데이터 라인과 상기 저전압원 사이에 직렬 접속되어 상기 적어도 2 이상의 분전압신호에 각각 응답하는 적어도 2 이상의 트랜지스터를 구비하는 것을 특징으로 하는 EL 패널.

청구항 6.

제 5 항에 있어서,

상기 전류 드라이버들 각각은 상기 적어도 2 이상의 트랜지스터 직렬회로와 상기 저전압원 사이에 접속되어진 저항을 추가로 구비하는 것을 특징으로 하는 EL 패널.

청구항 7.

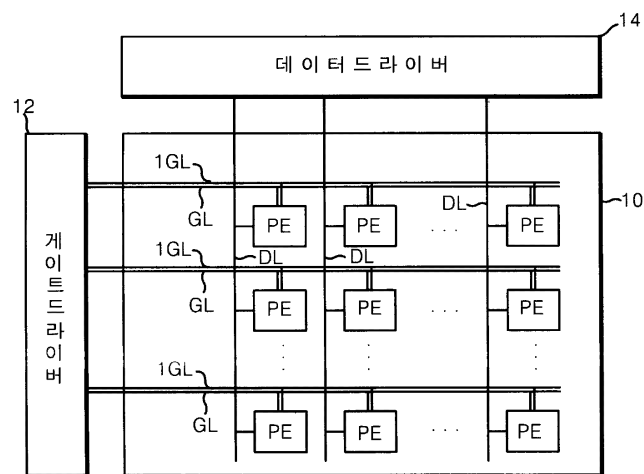
제 1 항에 있어서,

상기 전류 드라이버들 각각은

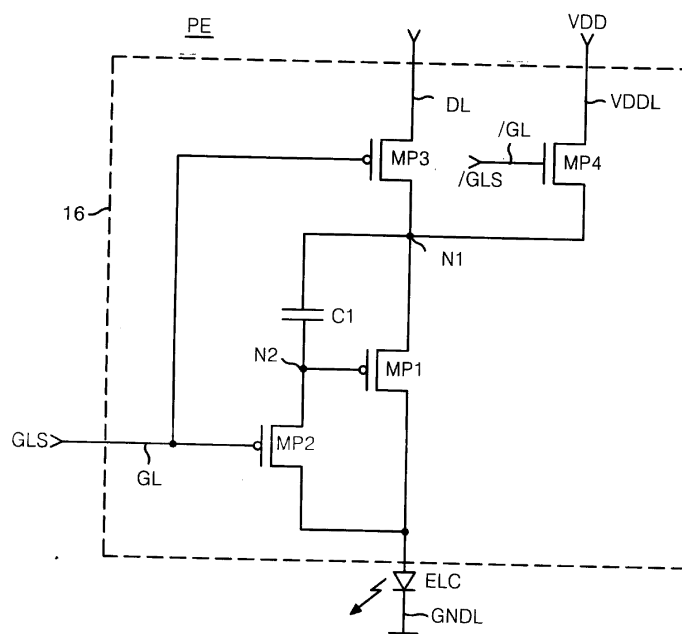
상기 패드, 상기 데이터 라인 및 저전압원 사이에 접속되어 상기 화소신호에 응답하여 상기 데이터 라인으로부터 상기 저전압원 쪽으로 흐르는 전류량을 제어하는 전류 리피터를 구비하는 것을 특징으로 하는 EL 패드.

도면

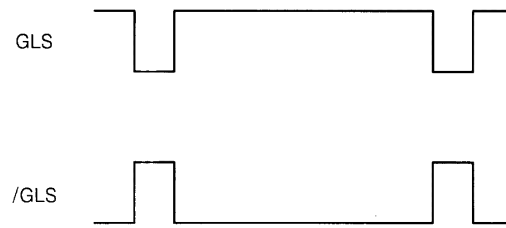
도면 1



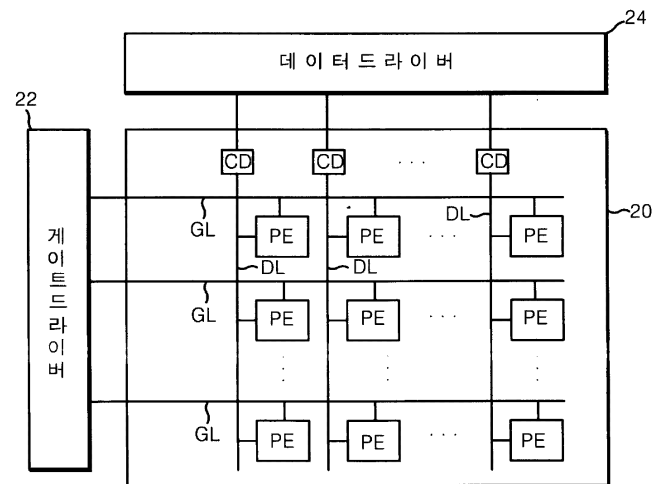
도면 2



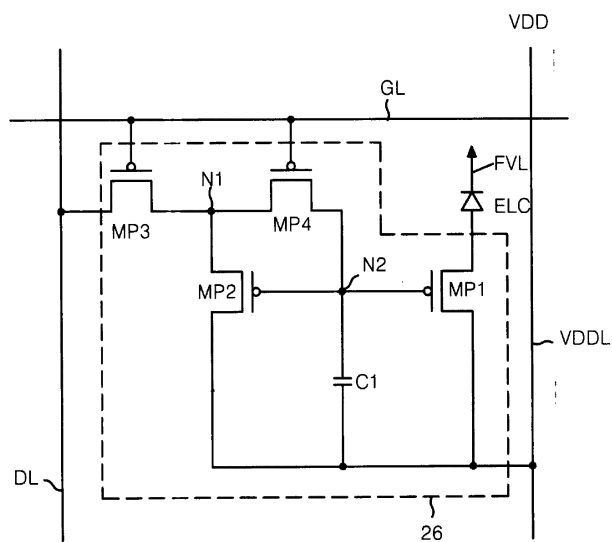
도면 3



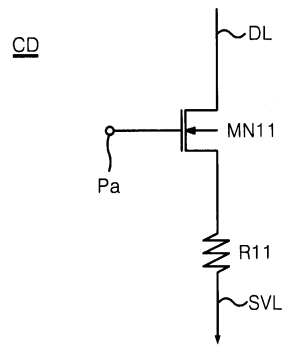
도면 4



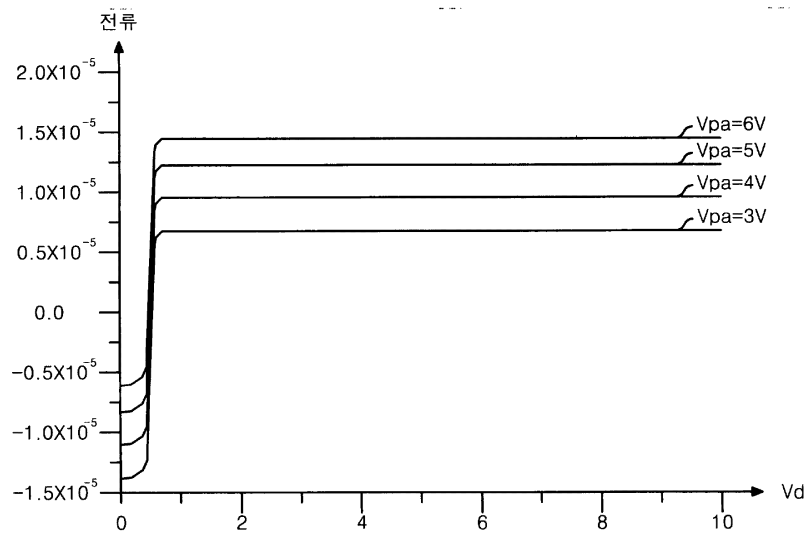
도면 5



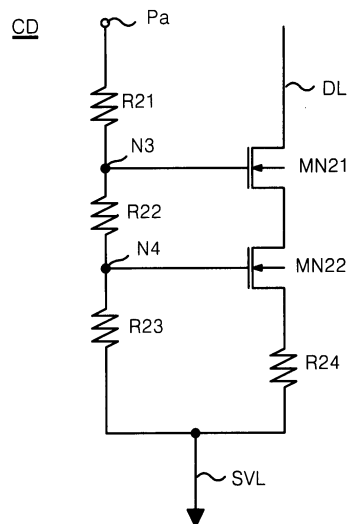
도면 6



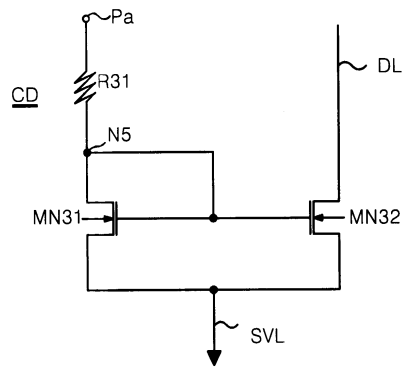
도면 7



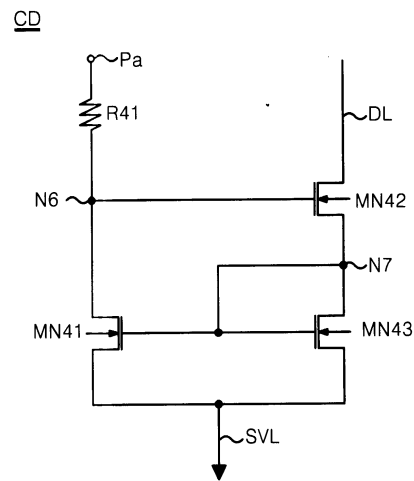
도면 8



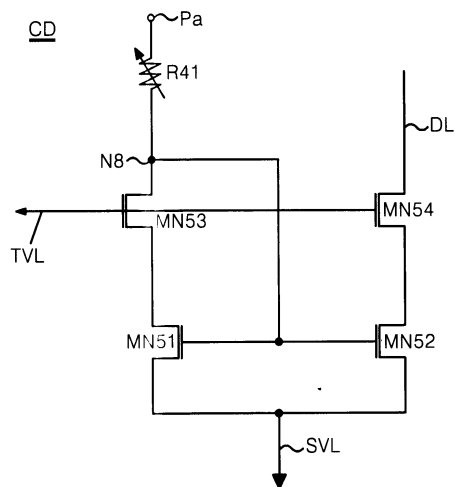
도면 9



도면 10



도면 11



专利名称(译)	电致发光板		
公开(公告)号	KR1020020007051A	公开(公告)日	2002-01-26
申请号	KR1020000040755	申请日	2000-07-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HANSANG 이한상 BAE SUNGJOON 배성준		
发明人	이한상 배성준		
IPC分类号	H05B33/08 G09G3/30 G09G3/32		
CPC分类号	G09G2300/0842 G09G2300/0814 G09G2310/027 G09G3/3241 G09G3/3283		
代理人(译)	KIM , YOUNG HO		
其他公开文献	KR100710279B1		
外部链接	Espacenet		

摘要(译)

用途：提供电致发光面板，通过向每个像素施加大电流信号来显示灰度图像。

