(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년01월14일
(11) 등록번호 10-1482695
(24) 등록일자 2015년01월08일

(51) 국제특허분류(Int. Cl.)
H01L 51/10 (2006.01) *H01L 29/786* (2006.01)
H01L 51/56 (2006.01)
(21) 출원번호 10-2009-7027549
(22) 출원일자(국제) 2008년06월13일
심사청구일자 2013년04월09일
(85) 번역문제출일자 2009년12월30일
(65) 공개번호 10-2010-0043151
(43) 공개일자 2010년04월28일
(86) 국제출원번호 PCT/EP2008/057517
(87) 국제공개번호 WO 2009/000683
국제공개일자 2008년12월31일
(30) 우선권주장
0712269.0 2007년06월22일 영국(GB)
(56) 선행기술조사문헌
JP2007013138 A

(73) 특허권자
캠브리지 디스플레이 테크놀로지 리미티드
영국, 피이29 2엑스지, 캠브리지셔, 고드맨체스터, 카디널 웨이, 카디널 파크 유닛 12
파나소닉 주식회사
일본 오오사카후 가도마시 오오아자 가도마 1006 반치
(72) 발명자
호타 사다요시
일본 오사카 571-8501 가도마시 오아자 가도마 1006 마츠시타 일렉트릭 인터스트리얼 컴퍼니 리미티드 내
홀스 조나단
영국 캠브리지 캠브리지셔 씨비23 6디더블유 캠버른 비지니스 파크 빌딩 2020 캠브리지 디스플레이 테크놀로지 리미티드 내
휘팅 그레고리
영국 캠브리지 캠브리지셔 씨비23 6디더블유 캠버른 비지니스 파크 빌딩 2020 캠브리지 디스플레이 테크놀로지 리미티드 내
(74) 대리인
박장원

전체 청구항 수 : 총 30 항 심사관 : 박성웅

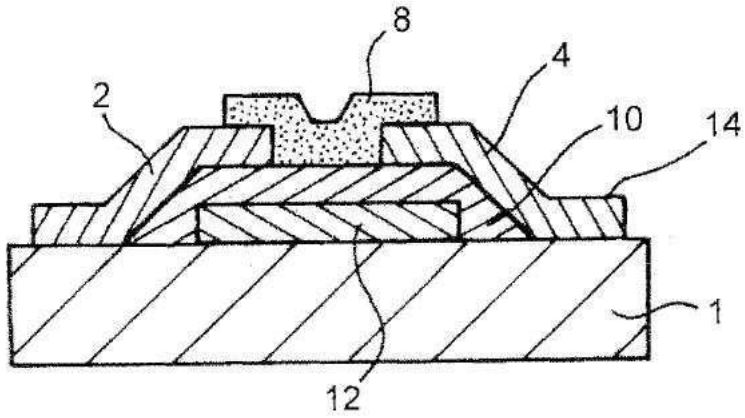
(54) 발명의 명칭 **유기 박막 트랜지스터, 유기 발광 장치 및 유기 발광 디스플레이**

(57) 요 약

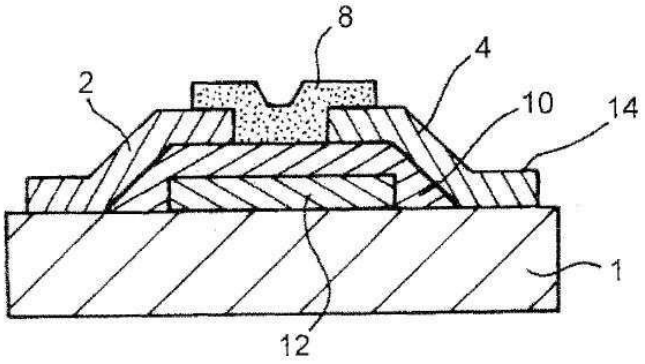
소스 및 드레인 전극의 증착 단계와 상기 소스 **2** 및 드레인 **4** 전극 표면에, 전하의 수용 또는 공여에 의하여 유기 반도체 재료를 화학적으로 도핑하기 위한 도펀트 모이어티 (moiety)와 이 도펀트 모이어티에 결합되고 상기 소스 및 드레인 전극에 선택적으로 결합된 별도의 부착 모이어티를 포함하는 재료로 된 박막 자가 조립형층 **14**의

(뒷면에 계속)

대 표 도 - 도3



형성 단계와, 상기 소스 및 드레인 전극 사이의 채널 영역 중에 용매 및 유기 반도체 재료 8를 함유하는 용액의 증착 단계를 포함하는 유기 박막 트랜지스터의 제작 방법.



특허청구의 범위

청구항 1

소스 및 드레인 전극을 증착하는 단계;

상기 소스 및 드레인 전극 표면에, 전하의 수용 또는 공여에 의하여 유기 반도체 재료를 화학적으로 도핑하기 위한 도펀트 모이어티 (moiety) 및 이 도펀트 모이어티에 결합되고 상기 소스 및 드레인 전극에 선택적으로 결합된 별도의 부착 모이어티를 포함하는 재료의 박막 자가(自家) 조립형층을 형성하는 단계로서 상기 부착 모이어티와 상기 도펀트 모이어티 사이에 스페이서기가 제공되는 것인 단계; 및

상기 소스 및 드레인 전극 사이의 채널 영역 중에 용매 및 유기 반도체 재료를 함유하는 용액을 증착하는 단계

를 포함하는 유기 박막 트랜지스터의 제작 방법.

청구항 2

제1항에 있어서, 상기 박막 자가 조립형층은 자가 조립형 단층인 것인 방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 부착 모이어티는 1개 이상의 공유 결합에 의하여 상기 소스 및 드레인 전극에 화학적으로 결합되는 것인 방법.

청구항 4

제1항 또는 제2항에 있어서, 상기 부착 모이어티는 1개 이상의 공유 결합에 의하여 상기 도펀트 모이어티에 화학적으로 결합되는 것인 방법.

청구항 5

제1항 또는 제2항에 있어서, 상기 부착 모이어티는 도펀트 모이어티가 아닌 것인 방법.

청구항 6

제1항 또는 제2항에 있어서, 상기 부착 모이어티는 실릴기, 티올기, 아민기 및 인산염기 중 적어도 1개를 포함하는 것인 방법.

청구항 7

제1항 또는 제2항에 있어서, 상기 유기 반도체 재료는 용액 가공성인 것인 방법.

청구항 8

제1항 또는 제2항에 있어서, 상기 소스 및 드레인 전극에 인접하여 도핑된 유기 반도체 재료는 전도도가 10^{-6} S/cm 내지 10^{-2} S/cm 범위인 것인 방법.

청구항 9

제1항 또는 제2항에 있어서, 상기 도펀트 모이어티는 전하 중성 도펀트인 것인 방법.

청구항 10

제1항 또는 제2항에 있어서, 상기 도펀트 모이어티는 상기 유기 반도체 재료로부터 전자를 수용하기 위한 전자 수용체이고, 이에 의하여 상기 유기 반도체가 p 도핑되는 것인 방법.

청구항 11

제10항에 있어서, 상기 도펀트는 LUMO 준위가 -4.3 eV 미만인 것인 방법.

청구항 12

제10항에 있어서, 상기 유기 반도체 재료는 HOMO 준위가 -5.5 eV와 같거나 그보다 높은 것인 방법.

청구항 13

제10항에 있어서, 상기 유기 반도체 재료의 HOMO는 상기 도펀트의 LUMO보다 높은 것인 방법.

청구항 14

제10항에 있어서, 상기 유기 반도체 재료는 HOMO가 -4.6 내지 -5.5 eV 범위인 것인 방법.

청구항 15

제10항에 있어서, 상기 도펀트는 임의 치환 테트라시아노퀴노디메탄 (TCNQ)인 것인 방법.

청구항 16

제15항에 있어서, 상기 임의 치환 TCNQ는 이것의 플로오로화 유도체인 것인 방법.

청구항 17

제1항 또는 제2항에 있어서, 상기 도펀트 모이어티는 상기 유기 반도체 재료에 전자를 공여하기 위한 전자 공여체이고, 이에 의하여 상기 유기 반도체는 n 도핑되는 것인 방법.

청구항 18

제1항 또는 제2항에 있어서, 상기 스페이서기는 알킬렌 사슬, 좋기로는 C_1~C_{20} 알킬렌 사슬을 포함하는 것인 방법.

청구항 19

제1항 또는 제2항에 있어서, 소스 및 드레인 전극에 접근시 증가하는 도펀트 모이어티의 농도 구배를 형성하기 위해 길이가 상이한 스페이서기들을 제공하는 것인 방법.

청구항 20

제1항 또는 제2항에 있어서, 상기 유기 박막 트랜지스터는 기판 위에 배치되는 게이트 전극과 상기 게이트 전극 위에 배치되는 유전체 재료층을 포함하는 바텀-게이트 (bottom-gate) 장치이고, 상기 소스 및 드레인 전극들은 상기 유전체 재료 위에 배치되는 것인 방법.

청구항 21

제20항에 있어서, 상기 유전체 재료는 유기 유전체 재료를 포함하는 것인 방법.

청구항 22

제20항에 있어서, 상기 유전체 재료층을 처리하여 상기 소스 및 드레인 전극에 대한 상기 부착 모이어티의 선택적 결합을 증대시키는 것인 방법.

청구항 23

제1항 또는 제2항에 있어서, 상기 유기 박막 트랜지스터는 소스 및 드레인 전극들이 기판 위에 배치된 탑-게이트 (top-gate) 장치이고, 상기 유기 반도체 재료는 상기 소스 및 드레인 전극 위와 이들 사이의 채널 영역 중에 배치되며, 유전체 재료는 상기 유기 반도체 재료 위에 배치되고, 게이트 전극은 상기 유전체 재료 위에 배치되는 것인 방법.

청구항 24

제23항에 있어서, 상기 기판은 유기 유전체 재료를 포함하는 것인 방법.

청구항 25

제23항에 있어서, 상기 기판을 처리하여 상기 소스 및 드레인 전극에 대한 상기 부착 모이어티의 선택적 결합을

증대시키기 위하는 것인 방법.

청구항 26

기판 위에 제1 전극을 증착하는 단계;

상기 제1 전극의 표면에 전하를 수용하거나 또는 공여함으로써 전하 이송 유기 반도체 재료를 화학적으로 도핑하기 위한 도펀트 모이어티 및 이 도펀트 모이어티와 상기 제1 전극에 결합되는 별도의 부착 모이어티를 포함하는 재료로 된 박막 자가 조립형층을 형성하는 단계로서 상기 부착 모이어티와 상기 도펀트 모이어티 사이에 스페이서기가 제공되는 것인 단계;

용매와 전하 이송 유기 반도체 재료를 포함하는 용액을 상기 박막 자가 조립형층 위에 증착하는 단계;

상기 전하 이송 유기 반도체 재료층 위에 유기 발광 재료를 증착하는 단계; 및

상기 유기 발광 재료 위에 제2 전극을 증착하는 단계

를 포함하는 발광 장치의 제작 방법.

청구항 27

제1항 또는 제2항의 방법을 따르는 다수의 박막 트랜지스터를 형성시키는 것과, 제26항의 방법을 따르는 다수의 발광 장치를 형성시키는 것을 포함하는 활성 매트릭스 유기 발광 디스플레이의 제작 방법.

청구항 28

제27항에 있어서, 상기 유기 발광 장치의 제1 전극과 상기 유기 박막 트랜지스터의 소스 및 드레인 전극은 단일의 증착 단계로 도핑되는 것인 방법.

청구항 29

제28항에 있어서, 상기 유기 발광 장치의 제1 전극과 상기 유기 박막 트랜지스터의 소스 및 드레인 전극은 공통의 도펀트를 사용하여 도핑되는 것인 방법.

청구항 30

제28항에 있어서, 상기 유기 발광 장치의 제1 전극과 상기 유기 박막 트랜지스터의 소스 및 드레인 전극은 혼합된 도펀트를 사용하여 도핑되는 것인 방법.

청구항 31

삭제

명 세 서

기 술 분 야

[0001] 본 발명의 목적은 유기 박막 트랜지스터 및 이것의 제작 방법에 관한 것이다. 본 발명의 또 다른 목적은 유기 발광 장치 및 이것의 제작 방법에 관한 것이다. 본 발명의 그 밖의 목적은 유기 박막 트랜지스터와 유기 발광 장치를 포함하는 유기 발광 디스플레이 및 이것의 제작 방법에 관한 것이다.

배 경 기 술

[0002] 트랜지스터는 양방향 접합 트랜지스터와 전계 효과 트랜지스터의 주요한 두 가지 형식으로 나눌 수 있다. 이들 두 가지 형식은 채널 영역 내에 3개의 전극과 그 사이에 배치되는 반도체 재료를 포함하는 공통된 구조를 공유한다. 양방향 접합 트랜지스터의 3개의 전극은 이미터, 콜렉터 및 베이스로 알려져 있고, 전계 효과 트랜지스터의 3개의 전극은 소스, 드레인 및 게이트로 알려져 있다. 양방향 접합 트랜지스터는 이미터와 콜렉터 사이의 전류가 베이스와 이미터 사이의 전류 흐름에 의하여 조절되기 때문에 전류 구동 장치로서 설명될 것이다. 이와는 반대로, 전계 효과 트랜지스터는 소스와 드레인 사이의 전류 흐름이 게이트와 소스 사이의 전압에 의하여 조절되기 때문에 전압 구동 트랜지스터로서 설명되게 된다.

[0003] 또한 트랜지스터는 이에 포함되는 반도체 재료가 양전하 캐리어 (정공) 또는 음전하 캐리어 (전자) 중 어느 것을 전도하는지에 따라 각각 p형 및 n형으로 분류될 수 있다. 상기 반도체 재료는 그것의 전하의 수용능, 전도능 및 공여능에 따라 선택되게 된다. 상기 반도체 재료의 정공 또는 전자의 수용능, 전도능 및 공여능은 상기 재료에 도핑시킴으로써 증대시킬 수 있다. 또한 소스 및 드레인 전극용 재료는 그것의 정공 또는 전자의 수용능 및 도입능에 따라 선택될 수 있다. 예컨대, p형 트랜지스터 장치는 정공을 수용, 전도 및 공여하기에 효율적인 반도체 재료를 선택하고, 상기 반도체 재료로부터 정공을 도입 및 수용하기에 효율적인 소스 및 드레인 전극용 재료를 선택하여 제작할 수 있다. 상기 반도체 재료의 HOMO 준위를 갖는 전극에서 페르미 준위 (Fermi-level)에 부합되는 양호한 에너지 준위는 정공 도입 및 수용을 증대시킬 수 있다. 한편, n형 트랜지스터 장치는 전자를 수용, 전도 및 공여하기에 효율적인 반도체 재료를 선택하고, 상기 반도체 재료로 전자를 도입하는 것과 상기 반도체 재료로부터 전자를 수용하기에 효율적인 소스 및 드레인 전극용 재료를 선택하여 제작할 수 있다. 상기 반도체 재료의 LUMO 준위를 갖는 전극에서 페르미 준위에 부합되는 양호한 에너지 준위는 전자 도입 및 수용을 증대시킬 수 있다.

[0004] 트랜지스터는 박막에 상기 구성 요소들을 증착시킴으로써 박막 트랜지스터를 형성할 수 있다. 이러한 장치 중에 유기 재료를 반도체 재료로서 사용한 경우, 이는 유기 박막 트랜지스터로서 알려져 있다.

[0005] 유기 박막 트랜지스터를 위한 여러 가지 배열들이 알려져 있다. 이러한 장치중 하나는 절연 게이트 전계 효과 트랜지스터로, 소스 및 드레인 전극과 함께 채널 영역 내에서 이들 사이에 배치되는 반도체 재료, 이 반도체 재료에 인접하여 배치되는 게이트 전극 및 상기 채널 영역 내에 상기 게이트 전극과 상기 반도체 재료 사이에 배치되는 절연 재료층을 포함한다.

[0006] 상기 유기 박막 트랜지스터의 일례를 도 1에 나타내었다. 도시되어 있는 구조는 기판 (도시되어 있지 않음) 표면에 증착될 수 있고, 그 사이에 위치한 채널 영역 6에 의하여 이격되어 있는 소스 및 드레인 전극 2, 4를 포함한다. 상기 유기 반도체 (OSC) 8은 채널 영역 6 내에 증착되고, 상기 소스 및 드레인 전극 2, 4의 적어도 일부의 위로 연장될 수 있다. 유전체 재료의 절연층 10은 상기 유기 반도체 8의 위에 증착되고, 상기 소스 및 드레인 전극 2, 4의 적어도 일부의 위로 연장될 수 있다. 최종적으로, 게이트 전극 12는 상기 절연층 10의 위에 증착된다. 상기 게이트 전극 12는 상기 채널 영역 6의 위에 위치하고, 상기 소스 및 드레인 전극 2, 4의 적어도 일부의 위로 연장될 수 있다.

[0007] 전술한 구조는 게이트가 장치의 상부측에 위치하기 때문에 탑-게이트 (top-gate) 유기 박막 트랜지스터로 알려져 있다. 또한, 이것은 상기 장치의 저부측(底部側)에 게이트를 제공하여 소위 바텀-게이트 (battom-gate) 유기 박막 트랜지스터를 형성하는 것으로도 역시 알려져 있다.

[0008] 상기 바텀-게이트 유기 박막 트랜지스터의 일례를 도 2에 나타내었다. 도 1 및 도 2에 도시되어 있는 구조간의 관계를 더 명확하게 나타내기 위하여 대응하는 부분에는 동일한 참조 부호를 사용하였다. 도 2에 도시되어 있는 바텀-게이트 구조는 기판 1 위에 증착된 게이트 전극 12와 함께 그 위에 증착된 유전체 재료의 절연층 10을 포함한다. 소스 및 드레인 전극 2, 4는 유전체 재료의 절연층 10 위에 증착되어 있다. 상기 소스 및 드레인 전극 2, 4는 상기 게이트 전극 위에서 그들 사이에 위치한 채널 영역 6에 의하여 이격되어 있다. 유기 반도체 (OSC) 8은 채널 영역 6 내에 증착되고, 상기 소스 및 드레인 2, 4의 적어도 일부의 위로 연장될 수 있다.

[0009] 모든 유기 박막 트랜지스터에 의한 한 가지 도전 과제는 상기 소스 및 드레인 전극과 상기 유기 반도체 (OSC) 사이에 양호한 옴 접촉 (ohmic contact)을 보장하는 것이다. 이는 상기 박막 트랜지스터가 구동될 경우, 접촉 저항의 최소화를 위해 요구된다. p 채널 장치에 대하여, 추출 및 도입 장벽을 최소화하기 위한 전형적인 접근 방식은 일 함수가 상기 OSC의 HOMO 준위에 양호하게 부합되는 상기 소스 및 드레인 전극용 재료를 선택하는 것이다. 예컨대, 다수의 통상의 OSC 재료들은 HOMO 준위가 금(金)의 일 함수에 양호하게 부합하여, 금을 상기 소스 및 드레인 전극 재료용의 비교적 양호한 재료로 한다. 이와 유사하게, n 채널 장치에 대하여는, 추출 및 도입 장벽을 최소화하기 위한 전형적인 접근 방식은 일 함수가 상기 OSC의 LOMO 준위에 양호하게 부합되는 상기 소스 및 드레인 전극용 재료를 선택하는 것이다.

[0010] 전술한 배열에 의한 한 가지 문제점은 상기 OSC의 HOMO/LUMO에 부합되는 양호한 에너지 준위의 일 함수를 가질 수 있는 재료들이 비교적 적다는 것이다. 이들 재료의 대다수는 금 등의 고가이고/이거나 상기 소스 및 드레인 전극을 형성하기 위한 증착이 곤란할 수도 있다. 더욱이, 적절한 재료를 이용할 수 있더라도, 그 재료가 목적하는 OSC에 완벽하게 부합되지 않을 수도 있고, 상기 OSC의 변화가 상기 소스 및 드레인용 재료의 변화를 필요로 하는 수도 있다.

[0011] 한 가지 기지의 해결책은 상기 소스 및 드레인 전극 위에 박막 자가(自家) 조립형 쌍극자층을 마련하여 상기 에너지 준위와의 부합을 향상시키는 것이다. 이론에 구애되는 것은 아니지만, 박막 자가 조립형 쌍극자층은 소스/드레인 전극 재료의 에너지 준위 및/또는 소스/드레인 전극에 가까운 OSC의 에너지 준위를 이동시켜 상기 OSC와 상기 소스/드레인 재료 사이의 에너지 준위가 부합되도록 향상시키는 전계를 제공할 수 있다.

[0012] 자가 조립형 쌍극자층을 사용하면, 소스/드레인 재료와 OSC의 에너지 준위 사이의 부합 정도를 향상시킬 수 있으나, 상기 에너지 준위는 이러한 기술을 사용하여 일 전자 볼트의 10분의 몇에 의하여서만 변동될 수 있다. 이와 같이, 상기 소스 및 드레인 전극에 대하여 사용되는 재료의 종류는 여전히 비교적 한정되어 있다. 재료들은 이들의 공정 친화성을 위하여 선택될 수 있으므로 광범위한 소스 및 드레인 재료를 사용할 수 있는 이점이 있다. 또 한 가지 문제점은 상기 박막 자가 조립형 쌍극자층은 상기 소스/드레인 전극 표면뿐만 아니라 상기 채널 영역 내에 배치되게 되면, 상기 채널 영역 내의 상기 OSC의 성능 특성들에 악영향을 받을 수 있다는 것이다.

[0013] 선행 기술에서는 유기 박막 트랜지스터의 성능을 향상시키기 위한 기타의 여러 가지 접근 방식들이 사용되어 왔다.

[0014] US 제2005/133782호에는, 유기 반도체 및 소스/드레인 전극 표면 사이의 전하 이송을 용이하게 하기 위하여 벤조 니트릴이나 또는 테트라시아노퀴노디메탄 (TCNQ) 등의 치환 벤조 니트릴류를 사용하여 소스/드레인 팔라듐 금속을 도핑하는 방법이 기재되어 있다. 전술한 바 있는 전계 효과를 사용하여 단지 OSC 및/또는 소스와 드레인의 에너지 준위만을 변화시키는 쌍극자층과는 달리, 상기 벤조 니트릴류는 전자를 수용함으로써 상기 OSC를 화학적으로 도핑한다 (p 도핑). 이와 같이, 상기 전극들에 가까운 OSC의 전도성은 증가되고 전하 이송이 전술한 쌍극자층들을 이용하는 것보다 훨씬 더 촉진된다.

[0015] US 제2005/133782호에서는, 상기 니트릴류는 특별하게 고안된 기들로 관능화시키지 않고 상기 소스/드레인 금속에 부착하여 직접 사용된다. US 제2005/133782호에는, 상기 도펀트 니트릴기들은 이들 자체로 소스/드레인 팔라듐 금속에 결합할 수 있고, 미결합 도펀트들은 세척함으로써 제거되어 상기 소스/드레인에 부착된 상기 도펀트 니트릴기들을 남기지만, 채널 내부에는 남아있지 않게 할 수 있는 것이 기재되어 있다.

[0016] 본 발명의 일정의 실시 상태들의 목적은 향상된 유기 박막 트랜지스터와 유기 박막 트랜지스터 중의 소스/드레인 전극과 유기 반도체 재료 사이의 양호한 옴 접촉을 제공하기 위하여 상기 소스/드레인 전극의 향상된 처리 방법을 제공하려는 것이다.

[0017] 도 6을 참조하여 보면, 유기 발광 장치의 구조가 도시되어 있다. 상기 유기 발광 장치는 투명 유리 또는 플라스틱 기판 **100**, 예컨대 산화인듐주석제 양극 (anode) **102** 와 음극 (cathode) **104**로 구성되어 있다. 유기 발광층 **103**은 양극 **102**와 음극 **104** 사이에 제공되어 있다.

[0018] 조작시, 정공들은 상기 양극을 통하여 장치 내로 도입되고, 전자들은 상기 음극을 통하여 장치 내에 도입된다. 이들 정공 및 전자는 유기 발광층에 결합되어 여기자 (勵起子, exciton)를 형성하는데, 이 때, 이 여기자는 방사 붕괴 (radiative decay)하여 발광한다 (광검출 장치 내에서 이 공정은 본질적으로 반대로 수행된다).

[0019] 전하 이송층, 전하 도입층 또는 전하 차단층 등의 또 다른 층들이 양극 **102** 및 음극 **104** 사이에 배치되어도 좋다.

[0020] 특히, 양극 **2**와 상기 유기 발광층 **3** 사이에 위치한 도핑된 유기 재료로 형성된 전도성 전공 도입층 **105**를 제공하여 상기 양극으로부터 반도체 고분자층(들) 내에 정공 도입을 돕는 것이 바람직하다. 도핑된 유기 정공 도입 재료의 예들로서는 폴리(에틸렌 디옥시티오펜) (PEDT), 특히 EP 제0901176호 및 EP 제0947123호에 기재되어 있는 바와 같은 폴리스티렌 술포네이트 (PSS)가 도핑된 PEDT 또는 US 제5723873호 및 US 제5798170호에 기재되어 있는 바와 같은 폴리아닐린을 들 수 있다.

[0021] 더욱이, 전도성 정공 도입층 **105**와 유기 발광층 **103** 사이에 위치하는 반도체 정공 이송층 **106**을 제공하는 것이 바람직하다. 좋기로는, 상기 정공 이송층 **106**은 HOMO 준위가 5.5 eV보다 적거나 같고, 더욱 좋기로는 약 4.8 내지 5.5 eV이다.

[0022] 유기 발광층 **3**과 음극 **4** 사이에 위치하는 전자 이송층은, 이것이 존재하는 경우, LUMO 준위가 약 3 내지 3.5 eV인 것이 좋다.

[0023] 도시되어 있는 장치의 구조는 역시 역전될 수 있으므로, 양극보다는 오히려 음극이 상기 장치의 저부(底部) 전극을 형성한다.

[0024] 본 발명의 일정의 실시 상태들의 목적은 향상된 유기 발광 장치 및 저부 전극과 그 위에 배치되는 유기 반도체 재료 사이의 양호한 옴 접촉을 제공하기 위한 발광 장치의 저부 전극의 향상된 처리 방법을 제공하기 위한 것이다.

[0025] 활성 매트릭스 유기 발광 디스플레이는 상기 디스플레이의 화소(畵素)를 형성하는 유기 발광 장치들의 매트릭스를 포함한다. 각 유기 발광 장치는 양극, 음극 및 그 사이에 배치되는 전술한 유기 발광층을 포함한다.

[0026] 통상 저장형 캐패시터와 트랜지스터를 포함하는 메모리 소자를 사용하여 이들을 통한 전류 흐름을 변화시킴으로써, 활성 매트릭스 유기 발광 디스플레이의 화소들을 발광 상태와 비발광 상태간에 전환시킬 수 있다.

[0027] 본 발명의 일정의 실시 상태들의 목적은 공통의 기판 표면에 증착되는 박막 트랜지스터와 유기 발광 장치를 포함하는 향상된 활성 매트릭스 유기 발광 디스플레이 및 이것의 향상된 제작 방법을 제공하려는 것이다.

발명의 상세한 설명

[0028] **발명의 요약**

[0029] 본 발명의 한 가지 관점에 따르면, 유기 박막 트랜지스터의 제작 방법이 제공되는데, 이 방법은, 소스 및 드레인 전극을 증착하는 단계; 상기 소스 및 드레인 전극 표면에, 전하의 수용 또는 공여에 의하여 유기 반도체 재료를 화학적으로 도핑하기 위한 도펀트 모이어티 (moiety)와 이 도펀트 모이어티에 결합되고 상기 소스 및 드레인 전극에 선택적으로 결합된 별도의 부착 모이어티를 포함하는 재료의 박막 자가(自家) 조립형층을 형성하는 단계; 및 상기 소스 및 드레인 전극 사이의 채널 영역 중에 용매 및 유기 반도체 재료를 함유하는 용액을 증착하는 단계를 포함한다.

[0030] 삭제

[0031] 삭제

[0032] 삭제

[0033] 삭제

[0034] 삭제

[0035] 삭제

[0036] 삭제

[0037] 삭제

[0038] 삭제

[0039] 도펀트 모이어티와 별도의 부착 모이어티의 사용은 선택된 OSC에 또는 선택된 OSC로부터 양호한 전하 이송이 달성되도록 상기 도펀트 모이어티를 선택하는 것을 가능하게 하고, 채널 유전체 (바텀-게이트 장치용) 또는 상기 소스와 드레인 사이의 기판 표면 (탑-게이트 장치용)이 아니라 선택된 소스/드레인 재료에 양호한 선택적 부착이 달성되도록 상기 부착 모이어티를 선택하는 것을 가능하게 한다.

[0040] 그러한 배열은 US 제2005/133782호에 기재되어 있는 배열에 의하여 개선점을 제공하는데, 여기에서는 상기 도펀트 모이어티는 전하 이송과 소스/드레인 전극에 대한 부착이 달성되도록 선택된다. 특히, 본 발명은 양호한 도펀트들이기는 하지만 어떤 소스/드레인 전극 재료들에 대한 부착에는 양호하지 않거나 또는 어떠한 부착 특성도 없는 도펀트 모이어티들을 선택하기 위한 유연성을 더 갖도록 해준다. 그 밖에, 본 발명은 소스/드레인 전극에 대하여 선택적으로 부착하는 데에는 더 양호하지만, 어떠한 도펀트 특성도 없는 부착 모이어티들을 선택하기 위한 유연성을 더 갖도록 해준다. 예컨대, 상기 US 제2005/133782호에 기재되어 있는 벤조 니트릴 도펀트들은 어떤 OSC 재료용의 p형 도펀트로서 사용될 수 있고 팔라듐에 몇 가지 부착 특성들을 명확히 제공할 수 있으나, 상기 벤조 니트릴 도펀트들은 기타의 OSC 재료에 대하여 적절하지 않게 되고 (예컨대, 이들은 n형 OSC 재료들의 n형 도핑용으로 사용될 수 없다), 기타 형식의 소스/드레인 재료들에 양호한 선택적 결합을 제공하지 않을 수도 있다. 반면에, 본 발명은 OSC 및 소스/드레인 재료 어느 것에 대해서도, 전하 이송과 선택적 부착 양자에 최적화될 수 있는 재료로 된 박막 자가 조립형층을 제공한다.

[0041] 또한 본 발명은 광범위한 재료들을 사용하여 상기 소스/드레인 접촉을 정하고, 또한 이 층이 제공할 것으로 기대되는 관련 금속 트래킹 (tracking)을 정하는 것을 가능하게 해준다. 특정의 OSC 에너지 준위에 부합하기 위한 재료의 일 함수에 대한 요건 없이, 이들의 전도성 및 가공상의 이점을 위한 재료들이 선택될 수 있다. 이는 금 (및 팔라듐) 등의 통상 사용되는 소스/드레인 전극 재료들을 패턴화가 더 용이한 저가의 재료로 교체하는 것을 가능하게 할 것이다.

[0042] 그 밖에, 유기 박막 트랜지스터들의 조작 중에 금 등의 중금속류는 OSC 내로 확산되는 경향이 있고, 상기 OSC의 기능적 특성에 악영향을 끼친다는 것이 밝혀졌다. 본 발명은 이들 불리한 확산 영향을 받지 않는 소스/드레인 재료들의 선택을 가능하게 한다.

[0043] 나아가, 도펀트 모이어티와 별도의 부착 모이어티를 사용하면 특히 양호한 전하 이송이 용액 상태로부터 증착된 OSC에 또는 OSC로부터 일어나게 된다는 것이 밝혀졌다. 이론에 구애되는 것은 아니지만, 부착 모이어티는 OSC 용액이 증착될 때, 도펀트 모이어티를 용액 내로 투입시켜, OSC 막이 건조되는 동안 더 양호한 도핑을 결과로 한다고 믿어진다.

[0044] 상기 부착 모이어티는, 예컨대 1개 이상의 공유 결합에 의하여 소스/드레인 전극에 화학 결합하는 수가 있다. 또한, 상기 부착 모이어티는, 에컨대 1개 이상의 공유 결합에 의하여 상기 도펀트 모이어티에 화학 결합할 수도 있다. 예컨대, 상기 부착 모이어티는 이탈기를 포함할 수 있으므로, 상기 이탈기가 이탈할 때, 그 부착 모이어티는 상기 소스 및 드레인 재료와 반응하여 상기 재료와 함께 결합을 형성한다. 예컨대, 상기 부착 모이어티는 실릴기, 티올기, 아민기 및 인산염기 중 적어도 1개를 함유할 것이다. 상기 부착 모이어티는 상기 소스 및 드레인 전극의 표면에 대한 결합능에 의하여 선택될 수 있고, 그렇게 되면 이들 전극으로 사용되는 상기 재료에 좌우되게 될 것이라는 사실을 인식하게 될 것이다. 예컨대, 티올류는 특히 금 및 은에 결합하기에 적절하고, 실란류는 산화물에 결합하기에 적절하다 (예를 들면, 표면이 산화된 금속으로 이루어진 SD 전극류).

[0045] 그러한 배열들은 소스/드레인 전극에 상기 도펀트 모이어티를 강하게 고정시키고, 조작시 상기 소스/드레인으로부터 확산되는 것이나, 또는 채널 영역 등의 장치의 다른 영역으로부터 과량의 도펀트를 제거할 경우 세척 단계 중에 상기 도펀트 모이어티가 제거되는 것을 예방한다.

[0046] 상기 도펀트 모이어티는 유기 반도체 재료로부터 전자를 수용함으로써, 유기 반도체 재료를 p 도핑시키는 전자 수용체일 수 있다. 좋기로는, p 도펀트는 LUMO 준위가 -4.3 eV 미만이므로 용이하게 전자를 수용한다. p 도펀트와 함께 사용하기 위한 유기 반도체 재료는 HOMO 준위가 -5.5 eV와 같거나 또는 그보다 높으므로, 전자를 공여한다. 가장 좋기로는, p 채널 장치에 대하여, 상기 도펀트의 LUMO 준위는 -4.3 eV 미만이고, 상기 유기 반도체 재료의 HOMO 준위는 -5.5 eV와 같거나 또는 그보다 높다.

[0047] 이들 음수 값과 관련한 오해를 피하기 위하여, 상기 "-5.5 eV와 같거나 또는 그보다 높다"라는 범위는 -5.4 eV를 포함하고 -5.6 eV를 제외하는 것이며, 또 상기 "-4.3 eV 미만"이라는 범위는 -4.4 eV를 포함하고 -4.2 eV를 제외하는 것이다.

[0048] HOMO 준위가 -5.5 eV와 같거나 또는 그보다 높은 반도체 유기 재료와 LUMO 준위가 -4.3 eV 미만인 도펀트의 조합은 소스 및 드레인 접촉 영역에 도전성 조성물을 생성하는 사실이 밝혀지게 되었다. 이론에 구애되는 것은 아니지만, HOMO 준위가 -5.5 eV와 같거나 또는 그보다 높은 유기 반도체 재료는 우수한 정공 이송 및 도입 특성들을 제공하지만 LUMO 준위가 -4.3 eV 미만인 도펀트는 유기 반도체 재료 중에서 자유 정공을 형성하기 위하여 이러한 유기 반도체 재료로부터 전자를 쉽게 수용한다는 사실이 가정된다.

[0049] p 도펀트의 경우에, 상기 유기 반도체 재료의 HOMO는 상기 도펀트의 LUMO보다 더 높은 것 (즉, 음수값이 더 적은것)이 좋다. 이는 유기 반도체 재료의 HOMO로부터 도펀트의 LUMO에 더 양호한 전자 이송을 제공한다. 그러나, 상기 유기 반도체 재료의 HOMO가 상기 도펀트의 LUMO보다 단지 약간만 낮으면, 여전히 전하 이송이 관찰된다.

[0050] p형 장치용 유기 반도체 재료는 HOMO가 4.6 내지 5.5 eV 범위인 것이 좋다. 이는 전극으로부터 그리고 상기 유기 반도체 재료를 통하여 양호한 정공의 도입 및 이송을 가능하게 해준다.

[0051] 상기 도펀트는 전하 중성 도펀트인 것이 좋고, 양성자성산(陽性子性酸) 도핑 시약 등의 이온종보다는 오히려 임의 치환된 테트라시아노퀴노디메탄 (TCNQ)이 가장 좋다. 고농도의 산을 전극에 인접하여 제공하면, 전극 재료의 방출을 수반하면서 전극이 부식되어 위를 덮고 있는 유기 반도체 재료의 분해를 야기하는 수가 있다. 더구나, 상기 산은 유기 반도체 재료와 상호 작용하여 장치의 성능에 유해한 전하 분리를 야기하는 수가 있다. 그러므로, TCNQ 등의 전하 중성 도펀트가 좋다.

[0052] 상기 유기 반도체 재료는, 예컨대 잉크젯 프린팅 방식에 의하여 증착될 수 있도록 용액 가공성인 것이 좋다. 용액 가공성 재료류로서는 고분자, 덴드리머 (dendrimer) 및 저분자 (small molecule)를 들 수 있다.

[0053] 상기 임의 치환된 TCNQ는, 예컨대 테트라플루오로-테트라시아노퀴노디메탄 (F4-TCNQ) 등의 플로오로화 유도체가 좋다. 이 유도체는 전자 수용에 있어서 특히 양호하다는 것이 밝혀졌다.

[0054] 상기 조성물의 전도도는 상기 전극들 근처에서 10^{-6} S/cm 내지 10^{-2} S/cm의 범위인 것이 좋다. 그러나, 상기 조성물의 전도도는, 특정의 용도에 대하여 목적하는 특정의 전도도 값에 따라, 도펀트 농도를 변화시키거나 또는 상이한 유기 반도체 재료 및/또는 도펀트를 사용함으로써 쉽게 변화될 수 있다.

[0055] 전술한 p 채널 장치들의 대안으로서, 상기 도펀트 모이어티는 상기 유기 반도체 재료에 전자를 공여하기 위한 전자 공여체일 수 있으며, 이에 의하여 상기 유기 반도체 재료는 n 도핑된다.

[0056] 상기 부착 모이어티 및 상기 도펀트 모이어티 사이에 스페이서기 (spacer group)를 제공할 수 있다. 스페이서기들은 OSC 내에서 상기 도펀트 모이어티들을 더 양호하게 배치하는 데 사용하여 더 양호한 도핑을 결과로 가져올 수 있다. 나아가, 상기 스페이서기들은 상기 OSC가 증착될 표면 내에 있어서 몇 가지 유연성을 제공할 수 있는데, 이는 그 표면에 상기 OSC의 더 양호한 막을 형성할 수 있다. 상기 스페이서기는 알킬렌 사슬, 예컨대, C_1~C_{20} 알킬렌 사슬일 수 있다. 상기 스페이서기는 소스 및 드레인 전극에 접근시 증가하는 도펀트 모이어티의 농도 구배를 형성하기 위해 상이한 길이로 될 수 있다.

[0057] 바텀-게이트 장치용으로, 유기 유전체 재료를 상기 유전체층 및 상기 소스 및 드레인 전극의 화학 특성에 큰 차이를 제공하는 데 이용함으로써, 소스 및 드레인 전극에 대한 부착 모이어티의 선택적 결합이 촉진된다.

[0058] 이와 유사하게, 탑-게이트 장치용으로는, 유기 기판을 상기 유전체층 및 상기 소스 및 드레인 전극의 화학 특성에 큰 차이를 제공하는 데 이용함으로써, 소스 및 드레인 전극에 대한 부착 모이어티의 선택적 결합이 촉진된다.

[0059] 다른 배열에 있어서, 상기 유전체층 또는 상기 기판을 상기 유전체층 또는 상기 기판과 반대로 상기 소스 및 드레인 전극에 대한 부착 모이어티의 선택적 결합을 강화하기위해 처리할 수 있다.

[0060] 본 발명의 또 한 가지 관점에 있어서, 전술한 방법들에 따라 제작된 유기 박막 트랜지스터가 제공된다. 상기 유기 박막 트랜지스터는 소스 및 드레인 전극과, 채널 영역 내에서 그 사이에 배치되는 용액 가공성 유기 반도체 재료를 포함하고, 상기 소스 및 드레인 전극은, 그 표면에 전하의 수용 또는 공여에 의하여 상기 유기 반도체 재료를 화학적으로 도핑하기 위한 도펀트 모이어티 및 상기 도펀트 모이어티에 결합되고 상기 소스 및 드레인 전극에 선택적으로 결합된 별도의 부착 모이어티를 포함하는 재료로 된 박막 자가 조립형층을 배치하고 있다.

[0061] 본 발명의 또 다른 관점에 따르면, 발광 장치의 제작 방법이 제공되는데, 이방법은,

[0062] 기판 위에 제1 전극을 증착하는 단계; 상기 제1 전극의 표면에 전하를 수용하거나 또는 공여함으로써 전하 이송 유기 반도체 재료를 화학적으로 도핑하기 위한 도펀트 모이어티 및 이 도펀트 모이어티와 상기 제1 전극에 결합되는 별도의 부착 모이어티를 포함하는 재료로 된 박막 자가 조립형층을 형성하는 단계; 용매와 전하 이송 유기 반도체 재료를 포함하는 용액을 상기 박막 자가 조립형층 위에 증착하는 단계; 상기 전하 이송 유기 반도체 재료층 위에 유기 발광 재료를 증착하는 단계; 및 상기 유기 발광 재료 위에 제2 전극을 증착하는 단계를 포함한다.

[0063] 삭제

[0064] 삭제

[0065] 삭제

[0066] 삭제

[0067] 삭제

[0068] 삭제

[0069] 삭제

[0070] 삭제

[0071] 삭제

[0072] 삭제

[0073] 이러한 본 발명의 관점에 따라, 도펀트 모이어티와 별도의 부착 모이어티를 포함하는 재료의 자가 조립형층이 그 위에 배치되는 저부 전극을 갖는 발광 디스플레이가 제공된다. 도전성 전하 도입층 형성을 위하여 반도체 재료는 상기 저부 전극 인접부에 상기 반도체 재료를 도핑하는 도펀트 모이어티와 함께 그 위에 배치된다. 상기 도펀트 모이어티를 상기 전극에 부착시킴으로써, 반도체 재료는 전극에 인접하여 더 강하게 도핑되는데, 이것은 양극으로부터 그 위에 배치된 발광 재료로 전하를 도입하는데 유리하다. 따라서, 본 발명은 선행 기술에서 이용되는 별도로 증착된 도전성 전하 도입층 및 반도체 전하 이송층의 대체물을 제공한다.

[0074] 전술한 바와 같이, 상기 도펀트 모이어티, 부착 모이어티 및 스페이서 모이어티는 유기 박막 트랜지스터의 본 발명의 실시 상태에 관련될 수 있다.

[0075] 본 발명의 또 한 가지 관점에 따르면, 전술한 방법에 따라 제작된 발광 장치가 제공된다. 상기 발광 디스플레이는 기판, 이 기판 위에 배치되는 제1 전극, 이 제1 전극 위에 배치되는 제2 전극, 상기 제1 전극 및 상기 제2 전극 사이에 배치되는 유기 발광 재료, 상기 제1 전극 및 상기 유기 발광 재료 사이에 배치되는 유기 전하 이송 반도체 재료층을 포함하고, 여기서 상기 제1 전극은 전하를 수용 또는 공여함으로써 그 표면에 전하 이송 유기 반도체 재료를 화학적으로 도핑하기 위한 도펀트 모이어티 및 이 도펀트 모이어티와 상기 제1 전극에 결합된 별도의 부착 모이어티를 포함하는 재료로 된 박막 자가 조립형층을 배치하고 있다.

[0076] 본 발명의 또 다른 관점에 있어서, 본 발명의 전술한 또 한 가지 관점에 따라 형성시킨 다수의 박막 트랜지스터와 다수의 발광 장치를 포함하는 활성 매트릭스 유기 발광 디스플레이가 제공된다. 한 가지 특히 양호한 실시 상태에 있어서, 상기 유기 발광 장치의 저부 전극 및 상기 유기 박막 트랜지스터의 소스/드레인 전극은 단일 단계법으로 도핑된다. 상기 도핑은 공통의 재료를 사용하는 것일 수도 있고, 또는 별법으로서 단일 단계 중에서 혼합된 도펀트를 사용하는 동시 도핑 (co-doping)을 이용할 수 있다.

[0077] 이하, 첨부된 도면을 참조하여 단지 실시예로서 본 발명을 더 상세히 설명하겠다.

실 시 예

[0087] **양호한 실시 상태의 상세한 설명**

[0088] 도 3은 본 발명의 실시 상태에 따른 바텀-게이트 유기 박막 트랜지스터를 나타내는 것이다. 상기 구조는 도 2에 나타낸 선행 기술의 배열과 유사하며, 명확하게 하기 위하여 동일한 부분에는 동일한 참조 부호를 사용하였다. 도 3에 나타낸 배열의 중요한 차이점은 소스 및 드레인 전극 **2, 4**가 전하를 수용 또는 공여함으로써 그 표면에 유기 반도체 재료를 화학적으로 도핑하기 위한 도펀트 모이어티 및 이 도펀트 모이어티와 상기 소스 및 드레인에 결합된 별도의 부착 모이어티를 포함하는 재료로 된 박막 자가 조립형층 **14**를 배치한 것이다.

[0089] 상기 자가 조립형층 **14**의 개략도는 도 4에 예시되어 있다. 금 또는 은 소스-드레인 재료의 예로서는, 티올 부착기가 있는 도펀트를 사용할 수 있었다. 전형적인 도펀트 분자는 TCNQ이거나 또는 LUMO가 더 낮고 전형적인 OSC 재료와 함께 더 효율적인 도펀트 (전자 수용체)인 F4TCNQ를 들 수 있다.

[0090] 도 3에 예시되어 있는 바텀-게이트의 실행은 개략적인 횡단면으로 나타낸 도 5에 도시되어 있는 방법을 사용하여 형성되었다.

[0091] 1. 게이트 증착 및 패턴화 **12** (예컨대, ITO 피복 기판의 패턴화).

[0092] 2. 유전체 증착 및 패턴화 **10** (예컨대, 가교 결합성, 광패턴화성 유전

[0093] 체).

[0094] 3. 소스-드레인 재료 증착 및 패턴화 **2, 4** (예컨대, 금, 광식각법)

[0095] 4. 소스-드레인 표면 처리 **14**. 상기 표면 처리는 상기 기판을 자가 조

[0096] 립형 단분자층 재료의 용액에 침지시키거나 또는 묽은 용액으로부터

[0097] 스핀 코팅에 의하여 피복시킴으로써 적용시켰다. 과량의 (부착되지 않

[0098] 은) 재료는 세정에 의하여 제거될 수 있다. 소수성 유기 유전체의 사

용은 선택성을 허용하고, 상기 채널 영역에서의 상기 부착기들 자

[0099] 삭제

[0100] 체의 부착을 방지한다. 상기 채널 영역이 도핑되게 되면, 상기 박막

[0101] 트랜지스터는 이것의 오프 상태 (off-state)인 상기 트랜지스터 에서

소스로부터 드레인으로 전류가 흐르도록 한다. [게이트 바이어스를

[0102] 삭제

[0103] 상기 트랜지스터를 턴 오프하는 데 적용하기 위한 공핍형 박막 트랜지

[0104] 스터를 제작하려면, 이 효과는 상기 채널 영역 내에서의 OSC의 제어된

[0105] 도핑에 바람직한 방법이 될 수 있다는 데에 유의할 것.]

[0106] 5. 상기 OSC **8**의 증착 (예컨대, 용액 가공성 고분자의 잉크젯 인쇄법

[0107] 에 의하여).

[0108] 6. 도펀트 분자들이 접촉부 **16** 내에 있는 경우에 상기 도펀트 분자들

[0109] 은 상기 OSC와 상호 작용한다. LUMO가 깊은 수용체 도펀트에 대하여,

[0110] 전자들은 상기 OSC로부터 상기 도펀트로 이송되어 OSC의 국부 영역이

[0111] 전도되게 해준다. 이는 상기 소스 및 드레인 접촉부에서의 전하의 주

[0112] 입 및 추출을 개선해 준다.

[0113] 이 기술은 탑-게이트 장치들에도 역시 적용할 수 있다. 이 경우에, 먼저 상기 소스-드레인층이 증착되고 패턴화된다. 이어서, 표면 처리는 OSC, 게이트 유전체 및 게이트 증착에 앞서서 소스-드레인층에 적용된다. 상기 소스-드레인 채널 영역 내에서, 노출된 기판에 그 자체로 부착되지 않는 도펀트용 부착 모이어티가 선택된다.

[0114] 상기 도펀트의 부착을 예방하기 위한 처리는 특정의 위치에서 적용될 수 있다. 선택성을 직접 달성할 수 없는 경우, 이는 상기 채널 영역에 대한 부착을 예방하는 데 요구되는 수가 있다.

[0115] 상기 소스-드레인 금속을 노출시킬 필요가 있는 경우 (예컨대, 후속하는 도전층에 대한 전기적 접촉을 위하여), 상기 도펀트층을 제거할 필요가 있거나 (예컨대, 광반응성 부착기, 직접 광패턴화, 레이저 절삭 등에 의하여), 또는 상기 도펀트층이 요구되는 곳을 한정하기 위한, 예비 표면 패턴화를 요하는 수도 있다. 또는, 상기 도펀트층이 박층이고 충분히 전도성인 경우, 상기 도펀드는 형성에 의한 전도성을 방해하는 일이 없이, 원위치에 남을 수 있다.

[0116] 유기 박막 트랜지스터류에 대한 전술한 기술은 유기 발광 장치에도 역시 사용되어 전하 도입을 향상시킬 수 있다. 배경 기술 항목에서 이미 설명한 바 있는 도 6은 선행 기술 장치에 따른 유기 발광 장치의 구조를 나타내고 있다. 본 발명의 한 가지 관점에 따라, 상기 전도성 전하 도입 재료 **105** 및 반도체 전하 이송 재료 **106**으로 이루어진 별도의 층들은 도 7에 도시되어 있는 바와 같이 도펀트 모이어티와 위에 반도체 재료가 배치되는 별도의 부착 모이어티를 포함하는 재료의 자가 조립형층 **150**으로 교체된다. 상기 도펀트 모이어티는 저부 전극 **102**에 인접한 반도체 재료 **106**을 도핑하여 그 위에 잔류하는 반도체 영역을 갖는 전도성 전하 도입 영역을 형성한다. 전극 **102**에 상기 도펀트 모이어티를 부착시킴으로써, 상기 반도체 재료가 상기 전극에 인접하여 더 강력하게 도핑되어, 양극으로부터 그 위에 배치되는 발광 재료 **103**에 전하를 도입하는 데 유리하다. 더욱이, 상기 도펀트 모이어티가 상기 저부 전극 **102**에 결합되기 때문에, 그 도펀트 모이어티는 사용시 상기 발광 장치를 통하여 확산할 수 없는데, 이는 산성이 매우 높은 PEDT-PSS를 유기 발광 장치에 사용되는 기타 재료에 약영향을 끼친다고 밝혀져 있는 전도성 정공 도입 재료로 사용하는 경우에 종전 기술에서는 문제가 될 수 있다.

[0117] 반도체 전하 이송 재료가 도핑되는 정도는 상기 부착 모이어티와 상기 도펀트 모이어티 사이에 스페이서를 사용함으로써 조절될 수 있다. 스페이서 길이가 상이한 도펀트 분자들의 혼합물을 사용하여 상기 반도체 재료에 전체에 걸쳐 상기 도펀트의 조절된 농도 구배를 제공할 수 있다. 더구나, 별개의 도펀트 및 부착 모이어티들을 사용하면, 장치 설계시 유연성을 제공하는 특정의 반도체 재료에 적절한 도펀트와 특정의 전극 재료에 적절한 부착 모이어티의 선택이 가능하게 된다.

[0118] 본 명세서에 설명되어 있는 유기 박막 트랜지스터류 및 유기 발광 장치류는활성 매트릭스 유기 발광 디스플레이에 사용될 수 있는데, 여기서 상기 유기 발광 장치류는 상기 유기 박막 트랜지스터류에 의하여 구동되는 활성 매트릭스 유기 발광 디스플레이의 서브-화소 (sub-pixel)를 구성한다. 한 가지 특히 양호한 실시 상태에 있어서, 상기 유기 발광 장치의 저부 전극 및 상기 유기 박막 트랜지스터류의 소스/드레인 전극은 단일 단계법으로 도핑된다. 상기 도핑은 공통의 재료를 사용하는 것이거나 또는 별법으로서 단일 단계로 혼합된 도펀트를 사용하는 동시 도핑을 이용하는 것일 수 있다. 도 8은 공통의 기판 표면에 형성되는 유기 박막 트랜지스터 및 유기 발광 장치를 갖춘 제작 도중의 디스플레이의 일부를 나타내고 있다. 도 8(a)의 구조는 게이트 **200**과 양극 **202**의 증착 및 패턴화에 의하여, 예컨대 ITO 피복 기판을 패턴화시켜서 형성된다. 유전체 재료 **204**는, 예컨대 가교 결합성의 광패턴화 가능한 유전체를 사용하여 증착 및 패턴화시킨다. 소스-드레인 재료 **206**, **208**은, 예컨대 금층을 증착하고 광식각법을 사용하여 패턴화함으로써 증착 및 패턴화시킨다. 이어서, 뱅크 (bank) 재료 **210**을 증착 및 패턴화시켜서, 그 내부에 상기 유기 박막 트랜지스터와 상기 유기 발광 장치용의 웰 (well) **212**, **214**를 각각 구비하는 뱅크 구조를 형성한다.

[0119] 도 8(a) 내지 8(b)에 예시되어 있는 주요 단계는 상기 유기 박막 트랜지스터의 소스/드레인과, 상기 유기 발광 장치의 양극 위에 도펀트 모이어티와 별도의 부착 모이어티를 포함하는 재료로 이루어진 자가 조립형층 **216**, **218**의 증착 단계이다. 전술한 바와 같이, 상기 부착 모이어티는 상기 도펀트 모이어티에 결합되고, 상기 소스/드레인 및 양극에 선택적으로 결합한다. 한 가지 특히 양호한 실시 상태에 있어서, 상기 유기 발광 장치의 양극 및 상기 유기 박막 트랜지스터의 소스/드레인 전극은 단일 단계법으로 도핑된다. 이 도핑은 공통의 재료를 사용할 수 있다. 별법으로서, 혼합된 도펀트를 사용하는 동시 도핑이 이용될 수 있으며, 상기 혼합물의 도펀트들 중의 1개의 도펀트는 상기 소스/드레인에 선택적으로 결합하고, 상기 도펀트들 중의 다른 도펀트는 상기 양극에 선택적으로 결합한다.

[0120] 상기 도핑 단계를 수행한 후, 상기 유기 박막 트랜지스터와 상기 유기 발광 장치의 잔류층들을 도 9에 나타낸 바와 같이 증착시킬 수 있다. 유기 반도체 재료 220은 상기 유기 박막 트랜지스터의 상기 소스 및 드레인 사이의 채널 영역에 증착된다. 전하 이송 유기 반도체 재료 222, 발광 재료 224, 음극 226이 증착되어 유기 발광 디스플레이를 형성한다.

[0121] 따라서, 본 명세서에 설명되어 있는 기술들은 유기 박막 트랜지스터류, 유기 발광 장치류 및 활성 매트릭스 유기 발광 디스플레이류에 적용될 수 있다는 사실을 보여주고 있다. 그러나, 본 발명은 본 명세서의 양호한 실시 상태들을 참조로 하여 특별히 도시되고 설명되어 있으나, 이 기술 분야의 수련자들은 특허 청구의 범위에 정해져 있는 본 발명의 범위로부터 벗어나는 일이 없이 형태와 세부 사항에 여러 가지 변형을 행할 수 있다는 사실을 이해하게 될 것이다.

도면의 간단한 설명

[0078] 도 1은 기지의 탑-게이트 유기 박막 트랜지스터 배열을 나타내고 있다.

[0079] 도 2는 기지의 바텀-게이트 유기 박막 트랜지스터 배열을 나타내고 있다.

[0080] 도 3은 본 발명의 실시 상태에 따른 유기 박막 트랜지스터를 나타내고 있다.

[0081] 도 4는 도 3에 도시되어 있는 실시 상태에 따른 유기 박막 트랜지스터의 형성에 관련된 제작 단계를 예시하고 있다.

[0082] 도 5는 본 발명의 실시 상태에 따른 자가 조립형층의 개요도를 나타내고 있다.

[0083] 도 6은 기지의 유기 발광 장치 배열을 나타내고 있다.

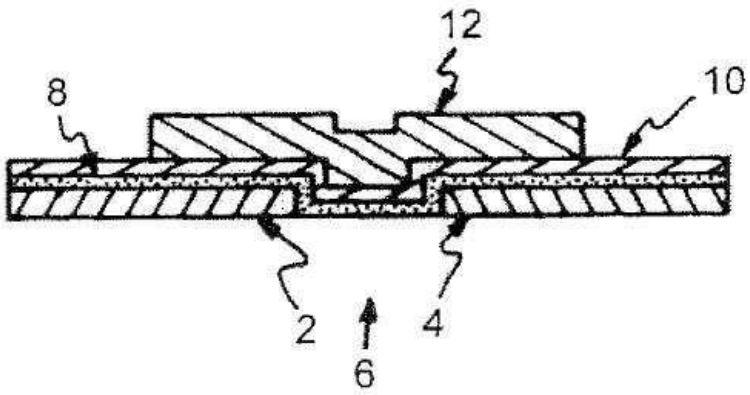
[0084] 도 7은 본 발명의 실시 상태에 따른 유기 발광 장치 배열을 나타내고 있다.

[0085] 도 8은 공통의 기판 표면에 형성시키는 공정에 있어서 유기 박막 트랜지스터 및 유기 발광 장치를 나타내고 있다.

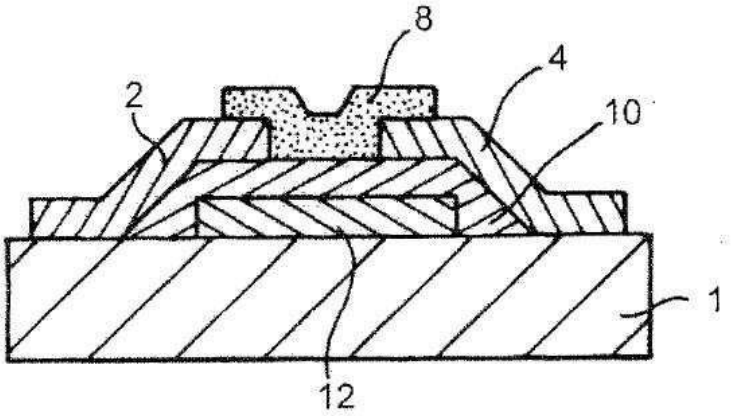
[0086] 도 9는 공통의 기판 표면에 형성된 유기 박막 트랜지스터 및 유기 발광 장치를 나타내고 있다.

도면

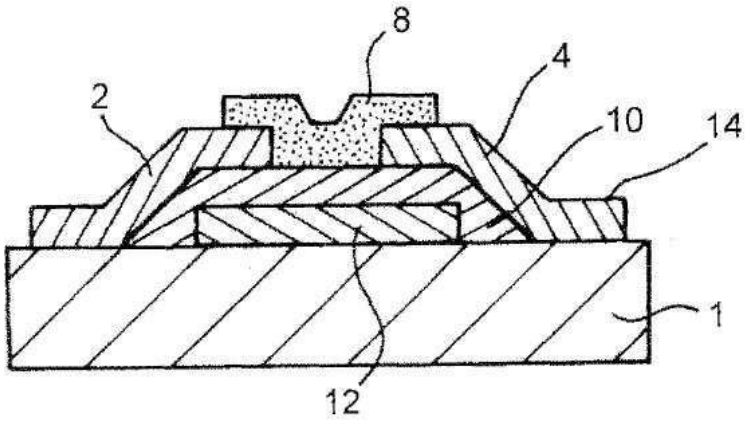
도면1



도면2

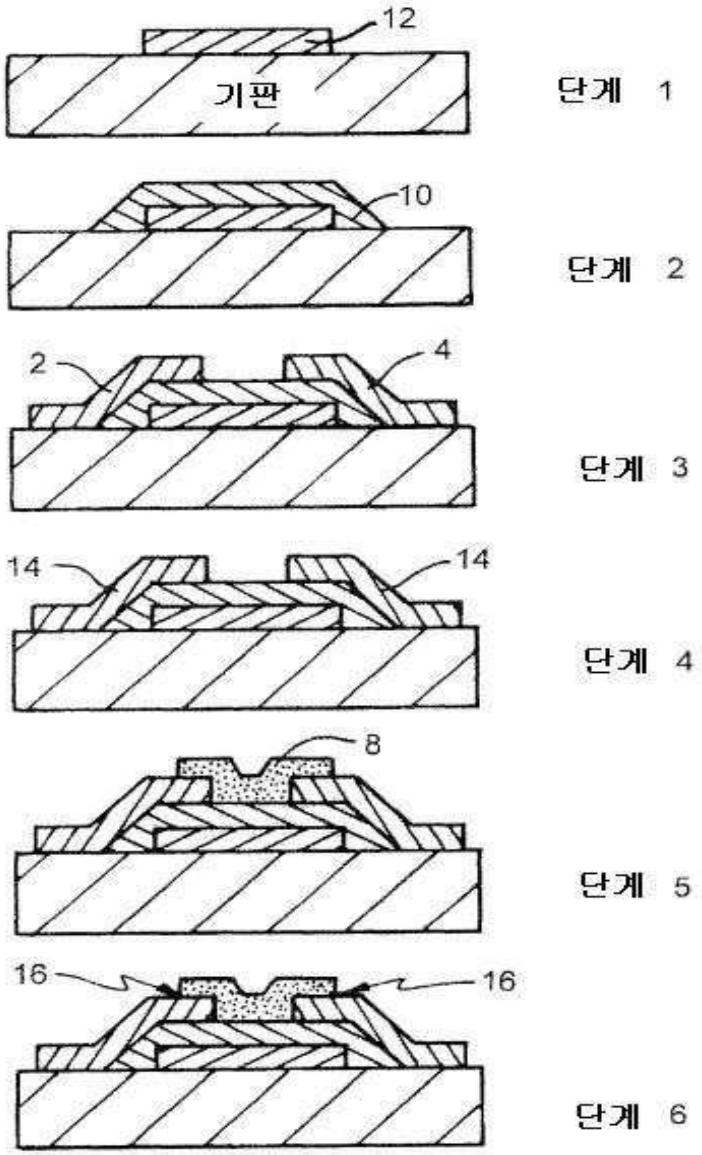


도면3

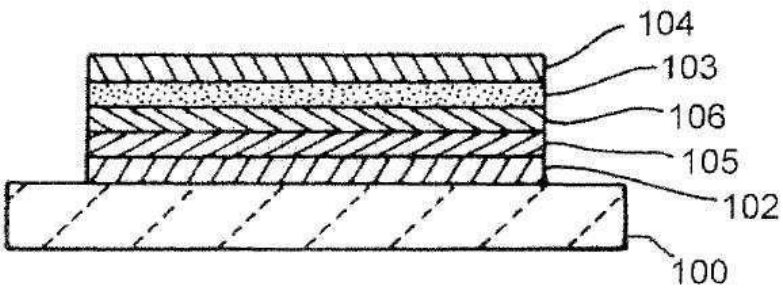


도면4

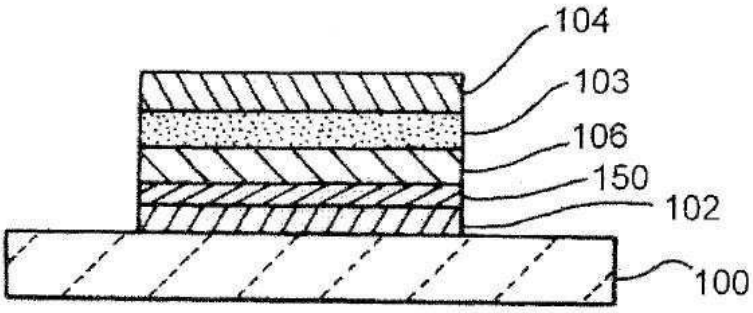
도면5


12
기판
단계 1
10
단계 2
2
4
단계 3
14
14
단계 4
8
단계 5
16
16
단계 6

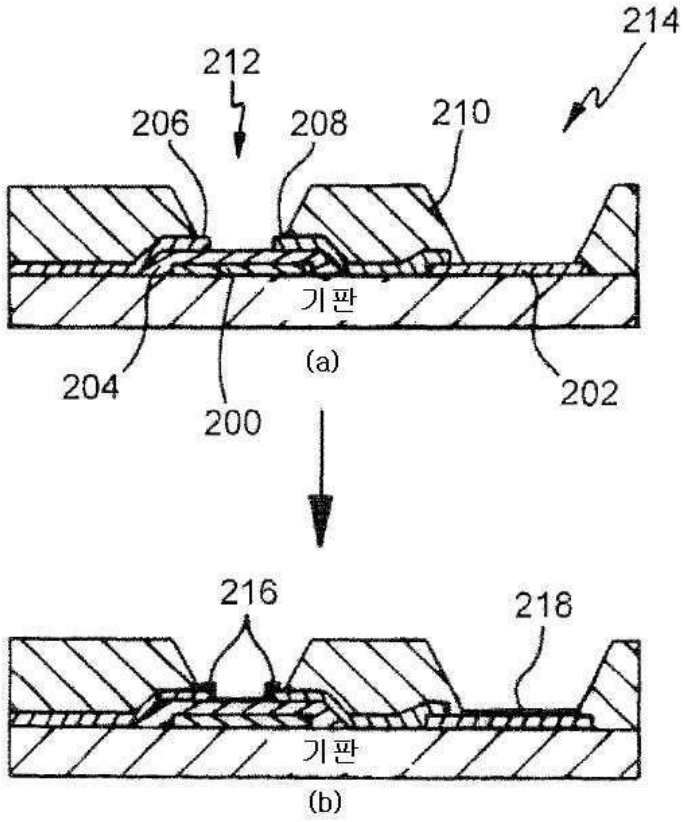
도면6


104
103
106
105
102
100

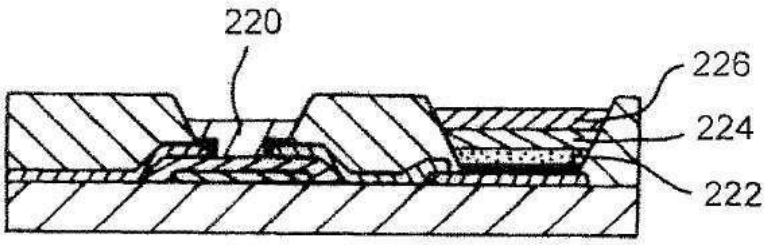
도면7


104
103
106
150
102
100

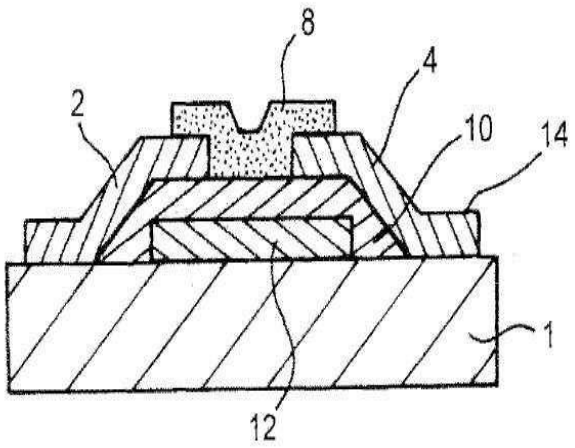
도면8


214
212
206
208
210
기판
(a)
204
200
202
216
218
기판
(b)

도면9



专利名称(译)	标题：有机薄膜晶体管，有机发光器件和有机发光显示器		
公开(公告)号	KR101482695B1	公开(公告)日	2015-01-14
申请号	KR1020097027549	申请日	2008-06-13
[标]申请(专利权)人(译)	剑桥显示技术有限公司		
申请(专利权)人(译)	剑桥显示科技有限公司 松下电器产业株式会社		
当前申请(专利权)人(译)	剑桥显示科技有限公司 松下电器产业株式会社		
[标]发明人	HOTTA SADAYOSHI 호타사다요시 HALLS JONATHAN 홀스조나단 WHITING GREGORY 휘팅그레고리		
发明人	호타사다요시 홀스조나단 휘팅그레고리		
IPC分类号	H01L51/10 H01L29/786 H01L51/56		
CPC分类号	H01L51/105 H01L51/0545 H01L51/0005 H01L51/56		
代理人(译)	박장원		
优先权	2007012269 2007-06-22 GB		
其他公开文献	KR1020100043151A		
外部链接	Espacenet		

摘要(译)

用于通过接收或提供电荷化学掺杂有机半导体材料的掺杂剂部分和耦合到掺杂剂部分的源电极，用于沉积源极和漏极以及源极2和漏极4电极表面，形成包括选择性地耦合到源电极和漏电极的单独附接部分的材料的薄膜自组装层14，并且在源电极和漏电极之间的沟道区域中沉积包含溶剂和有机半导体材料8的溶液其中有机薄膜晶体管包括第一电极和第二电极。