



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월01일
(11) 등록번호 10-1424692
(24) 등록일자 2014년07월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)
(21) 출원번호 10-2007-0051216
(22) 출원일자 2007년05월28일
심사청구일자 2012년05월04일
(65) 공개번호 10-2007-0114646
(43) 공개일자 2007년12월04일
(30) 우선권주장
JP-P-2006-00147536 2006년05월29일 일본(JP)
(56) 선행기술조사문헌
KR1020030051360 A*
JP2006084509 A
W02005055183 A1
US20050269959 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
유모토 아키라
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시
끼 가이샤 나이
(74) 대리인
이화익, 김홍두

전체 청구항 수 : 총 5 항

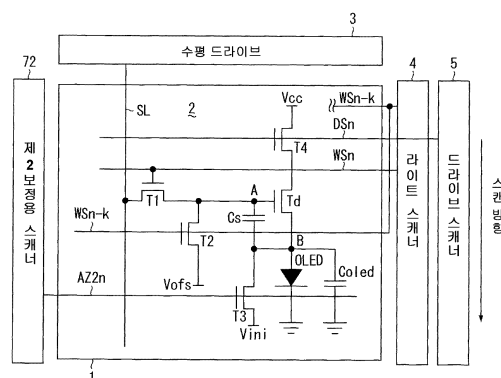
심사관 : 양성지

(54) 발명의 명칭 화상표시장치

(57) 요약

드라이브 트랜지스터의 역치전압 V_{th} 의 편차를 캔슬하는 기능을 갖게 하면서, 스캐너의 수를 삭감한다. 화소회로 (2)의 샘플링 트랜지스터 $T1$ 은, 샘플링 기간에 주사선 WSn 으로부터 공급되는 제어신호에 따라 도통 상태로 해서 신호선 SL 로부터 공급된 영상신호를 화소용량 Cs 에 샘플링한다. 드라이브 트랜지스터 Td 는, 샘플링된 영상신호에 따라 출력전류를 발광소자 OLED에 공급한다. 또한, 화소회로(2)는, 드라이브 트랜지스터 Td 의 게이트에 접속되는 역치전압 V_{th} 캔슬용 트랜지스터 $T2$ 를 구비한다. 이 트랜지스터 $T2$ 는, 그 행보다 시간적으로 선행하는 행의 주사선 $WSn-k$ 에 인가되는 제어신호에 의해 온 오프 동작하여, 영상신호의 샘플링에 앞서 드라이브 트랜지스터 Td 의 게이트를 미리 기준의 전위로 설정한다.

대표도



특허청구의 범위

청구항 1

삭제

청구항 2

제어신호를 공급하는 행 형상의 주사선과, 영상신호를 공급하는 열 형상의 신호선과, 상기 주사선과 상기 신호선이 교차하는 부분에 배치된 화소회로를 포함하고,

상기 화소회로는, 적어도 드라이브 트랜지스터와, 그 게이트에 접속되는 샘플링 트랜지스터와, 상기 드라이브 트랜지스터의 게이트·소스 사이에 접속되는 용량부와, 상기 드라이브 트랜지스터의 소스에 접속하는 발광소자를 포함하고,

상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통 상태로 해서 신호선으로부터 공급된 영상신호를 상기 용량부에 샘플링하고,

상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스 사이에 입력전압을 인가하고,

상기 드라이브 트랜지스터는, 소정의 발광 기간 동안 상기 입력전압에 따른 출력전류를 상기 발광소자에 공급하고,

상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따른 휘도로 발광하는 화상표시장치로서,

상기 화소회로는, 상기 드라이브 트랜지스터의 소스에 접속되는 초기화 트랜지스터를 구비하고,

상기 초기화 트랜지스터는, 그 행보다 시간적으로 선행하는 행의 주사선에 인가되는 제어신호에 의해 온 오프 동작하여, 영상신호의 샘플링에 앞서 상기 드라이브 트랜지스터의 소스를 미리 소정의 전위로 초기화해 두는 것을 특징으로 하는 화상표시장치.

청구항 3

제어신호를 공급하는 행 형상의 주사선과, 영상신호를 공급하는 열 형상의 신호선과, 상기 주사선과 상기 신호선이 교차하는 부분에 배치된 화소회로를 포함하고,

상기 화소회로는, 적어도 드라이브 트랜지스터와, 그 게이트에 접속되는 샘플링 트랜지스터와, 상기 드라이브 트랜지스터의 게이트·소스 사이에 접속되는 용량부와, 상기 드라이브 트랜지스터의 소스에 접속하는 발광소자를 포함하고,

상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통 상태로 해서 신호선으로부터 공급된 영상신호를 상기 용량부에 샘플링하고,

상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스 사이에 입력전압을 인가하고,

상기 드라이브 트랜지스터는, 소정의 발광 기간 동안 상기 입력전압에 따른 출력전류를 상기 발광소자에 공급하고,

상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따른 휘도로 발광하는 화상표시장치로서,

상기 화소회로는, 상기 드라이브 트랜지스터의 소스에 접속되는 초기화 트랜지스터와, 상기 드라이브 트랜지스터의 게이트에 접속되는 기준전위 설정 트랜지스터를 구비하고,

상기 초기화 트랜지스터는, 그 행보다 시간적으로 선행하는 행의 주사선에 인가되는 제어신호에 의해 온 오프

동작하여, 영상신호의 샘플링에 앞서 상기 드라이브 트랜지스터의 소스를 미리 소정의 전위로 초기화하고,

상기 기준전위 설정 트랜지스터는, 그 행보다 시간적으로 선행하는 행의 주사선에 인가되는 제어신호에 의해 온 오프 동작하여, 상기 드라이브 트랜지스터의 소스의 전위가 초기화된 때 또는 그 후에 또한 영상신호의 샘플링에 앞서, 상기 드라이브 트랜지스터의 게이트를 미리 기준전위로 설정해 두는 것을 특징으로 하는 화상표시장치.

청구항 4

제 3항에 있어서,

상기 초기화 트랜지스터가, 주사선으로부터 인가되는 제어신호에 의해 온 상태인 시간은, 1수평 주사 기간보다 긴 것을 특징으로 하는 화상표시장치.

청구항 5

제 3항에 있어서,

상기 행 형상의 주사선과 평행하게, 행 형상의 전원구동선이 배치되고,

각 전원구동선은, 각 발광 기간에 전원전압을 공급하고,

상기 드라이브 트랜지스터는, 그 드레인이 대응하는 전원구동선에 접속되고, 상기 전원전압에 따라 출력전류를 발광소자에 공급하는 것을 특징으로 하는 화상표시장치.

청구항 6

제 3항에 있어서,

상기 화소회로는, 상기 드라이브 트랜지스터의 드레인과 소정의 전원전위 사이에 접속된 스위칭 트랜지스터를 포함하고, 발광 기간 동안 도통하여, 상기 드라이브 트랜지스터로부터 발광소자에 출력전류를 흘려보내도록 한 것을 특징으로 하는 화상표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0029] [기술분야]

[0030] 본 발명은, 화소마다 배치한 발광소자를 전류구동하는 화소회로를 구비한 화상표시장치에 관한 것이다. 보다 자세하게는, 화소회로가 매트릭스 형상(행렬 형상)으로 배열된 화상표시장치로서, 특히 화소회로 내에 설치한 절연 게이트형 전계효과 트랜지스터에 의해 유기EL 등의 발광소자에 통전하는 전류량을 제어하는, 소위 액티브 매트릭스형 화상표시장치에 관한 것이다.

[0031] [배경기술]

[0032] 화상표시장치, 예를 들면 액정 모니터 등에서는 다수의 액정화소를 매트릭스형으로 배열하고, 표시해야 할 화상 정보에 따라 화소마다 입사광의 투과 강도 또는 반사 강도를 제어함으로써 화상을 표시한다. 이것은, 유기EL소자를 화소에 사용한 유기 EL디스플레이 등에 있어서도 같지만, 액정화소와 달리 유기EL소자는 자발광 소자다. 따라서, 유기 EL디스플레이는 액정 모니터에 비해 화상의 시인성이 높고, 백라이트를 필요로 하지 않고, 응답

속도가 높은 등의 이점을 있다. 또한, 각 발광소자의 휘도 레벨(계조)은 거기에 흐르는 전류치에 의해 제어할 수 있고, 소위 전류제어형이라는 점에서 액정 모니터 등의 전압제어형과는 크게 다르다.

[0033] 유기 EL디스플레이에 있어서는, 액정 모니터와 같이 그 구동방식으로서 단순 매트릭스 방식과 액티브 매트릭스 방식이 있다. 전자는 구조가 단순하지만, 대형 및 고화질 디스플레이의 실현이 어려운 등의 문제가 있어, 현재는 액티브 매트릭스 방식의 개발이 활발히 이루어지고 있다. 이 방식은, 각 화소회로 내부의 발광소자에 흐르는 전류를, 화소회로 내부에 설치한 능동소자(일반적으로는 박막 트랜지스터, TFT)에 의해 제어하는 것이다, 화소회로로서는, 예를 들면 이하의 특허문헌 1에 개시가 있다.

[0034] [특허문헌 1] 일본국 공개특허공보 특개 평8-234683호

발명이 이루고자 하는 기술적 과제

[0035] 도 1은, 종래의 화소회로의 전형예를 개시하는 회로도다. 도시하는 바와 같이, 종래의 화소회로는, 제어신호를 공급하는 행 형상의 주사선 WS와 영상신호를 공급하는 열 형상의 신호선 SL이 교차하는 부분에 배치되고, 적어도 샘플링 트랜지스터 T1과 용량부를 구성하는 화소용량 Cs와, 드라이브 트랜지스터 Td와 발광소자 OLED를 포함한다. 샘플링 트랜지스터 T1은, 주사선 WS로부터 공급되는 제어신호(선택 펄스)에 따라 도통 상태로 해서 신호선 SL로부터 공급된 영상신호를 샘플링한다. 화소용량 Cs는, 샘플링된 영상신호에 따라 입력전압을 보유한다. 드라이브 트랜지스터 Td는, 전원 라인 Vcc에 접속되고, 화소용량 Cs에 보유된 입력전압에 따라 출력전류를 발광소자 OLED에 공급한다. 발광소자 OLED는 2단자형(다이오드형)으로, 그 애노드가 드라이브 트랜지스터 Td에 접속되고, 캐소드가 접지라인 GND에 접속된다. 발광소자 OLED는 드라이브 트랜지스터 Td로부터 공급된 출력전류(드레인 전류)에 의해 영상신호에 따른 휘도로 발광한다. 또한 일반적으로, 출력전류(드레인 전류)는 드라이브 트랜지스터 Td의 채널 영역의 캐리어 이동도 및 역치전압에 대하여 의존성을 가진다.

[0036] 드라이브 트랜지스터 Td는, 화소용량(용량부) Cs에 보유된 입력전압을 게이트로 받아서 소스/드레인 간에 출력전류를 흘려보내고, 발광소자 OLED에 통전한다. 발광소자 OLED는 예를 들면 유기EL 디바이스로 이루어지고, 그 발광 휘도는 통전량에 비례한다. 또한 드라이브 트랜지스터 Td의 출력전류공급량은 게이트 전압 즉 화소용량 Cs에 기록된 입력전압에 의해 제어된다. 종래의 화소회로는, 드라이브 트랜지스터 Td의 게이트에 인가되는 입력전압을 입력 영상신호에 따라 변화시킴으로써 발광소자 OLED에 공급하는 전류량을 제어한다.

[0037] 여기에서 드라이브 트랜지스터의 동작 특성은 이하의 식 1로 표현된다.

$$[0038] I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{식 1}$$

[0039] 이 트랜지스터 특성식 1에 있어서, I_{ds} 는 소스/드레인 간에 흐르는 드레인 전류를 나타내고, 화소회로에서는 발광소자에 공급되는 출력전류다. V_{gs} 는 소스를 기준으로 해서 게이트에 인가되는 게이트 전압을 나타내고, 화소회로에서는 전술한 입력전압이다. V_{th} 는 트랜지스터의 역치전압이다. 또한 μ 는 트랜지스터의 채널을 구성하는 반도체 박막의 이동도를 나타낸다. 그 외에 W 는 채널 폭을 의미하고, L 은 채널 길이를 나타내고, C_{ox} 는 게이트 용량을 의미한다. 이 트랜지스터 특성식 1로부터 명확한 것처럼, 박막 트랜지스터는 포화 영역에서 동작할 때, 게이트 전압 V_{gs} 가 역치전압 V_{th} 를 초과하여 커지면, 온 상태가 되어서 드레인 전류 I_{ds} 가 흐른다. 원리적으로 보면 상기 트랜지스터 특성식 1이 나타내는 것처럼, 게이트 전압 V_{gs} 가 일정하면 항상 같은 양의 드레인 전류 I_{ds} 가 발광소자에 공급된다. 따라서, 화면을 구성하는 각 화소에 모두 동일한 레벨의 영상신호를 공급하면, 전체 화소가 동일 휘도로 발광하고, 화면의 일양성(유니포머티)이 얻어지게 되어 있다.

[0040] 그러나 실제로는, 폴리실리콘 등의 반도체 박막으로 구성된 박막 트랜지스터(TFT)는, 각각의 디바이스 특성에 편차가 있다. 특히, 역치전압 V_{th} 는 일정하지 않고, 화소마다 편차가 있다. 전술의 트랜지스터 특성식 1로부터 명확한 것처럼, 각 드라이브 트랜지스터의 역치전압 V_{th} 가 변동하면, 게이트 전압 V_{gs} 가 일정해도, 드레인 전류 I_{ds} 에 편차가 생기고, 화소에 따라 휘도가 변동되므로, 화면의 유니포머티를 손상시킨다.

[0041] 따라서, 종래부터 드라이브 트랜지스터의 역치전압의 편차를 캔슬하는 기능을 구비한 화소회로가 개발되고 있으며, 예를 들면 이하의 특허문헌 2에 개시된다.

[0042] [특허문헌 2] 일본국 공개특허공보 특개 2005-345722호

[0043] 역치전압 V_{th} 의 편차를 캔슬하는 기능을 구비한 화소회로는, 화면의 유니포머티나, 역치전압의 시간에 따른 변화에 의한 휘도변동을 개선할 수 있다. 그러나, 화소회로에 역치전압 캔슬 기능을 갖추기 위해서, 샘플링 트랜

지스터나 드라이브 트랜지스터 이외에, 적어도 3개의 트랜지스터를 추가할 필요가 있다. 게다가, 이들 추가된 트랜지스터는 샘플링 트랜지스터와는 다른 타이밍으로 선 순차 주사할 필요가 있다. 따라서, 도 1에 나타난 단 순한 화소회로에 비교하면, 1행만큼의 화소에 대하여 주사선이 적어도 4개 필요하고, 그만큼 각 주사선을 다른 타이밍으로 선 순차 주사하기 위한 스캐너가 필요하게 된다. 다시 말해, 도 1에 나타난 단순한 화소회로와 비교 하여, 역치전압 캔슬 기능을 구비한 화소를 선 순차 주사하기 위해서, 별도의 스캐너가 3계통 증가한다. 아모포 스 실리콘 TFT 프로세스로 화소회로를 형성할 경우, 보통 스캐너는 외장형 부품으로 구성되므로, 스캐너 수의 증가는, 직접 제조 비용의 상승으로 이어진다. 또한 저온 폴리실리콘 TFT 프로세스를 이용해서 화소회로를 형성 하는 경우에는, 동시에 스캐너도 폴리실리콘 TFT로 구성할 수 있다. 그러나 스캐너의 개수의 증가는 수율 저하 의 요인이 되고, 스캐너를 배치하기 위한 스페이스가 기판 위에 필요해지기 때문에, 역시 제조 비용의 상승으로 이어진다.

발명의 구성 및 작용

[0044]

[과제를 해결하기 위한 수단]

[0045]

전술한 종래의 기술의 과제를 감안하여, 본 발명은 드라이브 트랜지스터의 역치전압 V_{th} 의 편차를 캔슬하는 기 능을 갖게 하면서, 스캐너의 수를 삭감할 수 있는 화상표시장치를 제공하는 것을 목적으로 한다. 이러한 목적을 달성하기 위해 이하의 수단을 강구했다. 즉, 본 발명은, 제어신호를 공급하는 행 형상의 주사선과, 영상신호를 공급하는 열 형상의 신호선과, 상기 주사선과 상기 신호선이 교차하는 부분에 배치된 화소회로를 포함하고, 상 기 화소회로는, 적어도 드라이브 트랜지스터와, 그 게이트에 접속되는 샘플링 트랜지스터와, 상기 드라이브 트 랜지스터의 게이트·소스 사이에 접속되는 용량부와, 상기 드라이브 트랜지스터의 소스에 접속하는 발광소자를 포함하고, 상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통 상 태로 해서 신호선에서 공급된 영상신호를 상기 용량부에 샘플링하고, 상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트와 소스 사이에 입력전압을 인가하고, 상기 드라이브 트랜지스터는, 소 정의 발광 기간 동안 상기 입력전압에 따른 출력전류를 상기 발광소자에 공급하고, 상기 발광소자는, 상기 드라 이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따른 휘도로 발광하는 화상표시장치이며, 상기 화소회로는, 상기 드라이브 트랜지스터의 게이트에 접속되는 기준전위 설정 트랜지스터를 구비하고, 상기 기준 전위 설정 트랜지스터는, 상기 행보다 시간적으로 선행하는 행의 주사선에 인가되는 제어신호에 의해 온 오프 동작하여, 영상신호의 샘플링에 앞서 상기 드라이브 트랜지스터의 게이트를 미리 기준의 전위로 설정하는 것을 특징으로 한다.

[0046]

또한 본 발명은, 제어신호를 공급하는 행 형상의 주사선과, 영상신호를 공급하는 열 형상의 신호선과, 상기 주 사선과 상기 신호선이 교차하는 부분에 배치된 화소회로를 포함하고, 상기 화소회로는, 적어도 드라이브 트랜지 스테와, 그 게이트에 접속되는 샘플링 트랜지스터와, 상기 드라이브 트랜지스터의 게이트·소스 사이에 접속되 는 용량부와, 상기 드라이브 트랜지스터의 소스에 접속하는 발광소자를 포함하고, 상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통 상태로 해서 신호선에서 공급된 영상신호 를 상기 용량부에 샘플링하고, 상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게 이트와 소스 사이에 입력전압을 인가하고, 상기 드라이브 트랜지스터는, 소정의 발광 기간 동안 상기 입력전압 에 따른 출력전류를 상기 발광소자에 공급하고, 상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 상기 영상신호에 따른 휘도로 발광하는 화상표시장치이며, 상기 화소회로는, 상기 드라이브 트랜지 스테의 소스에 접속되는 초기화 트랜지스터를 구비하고, 상기 초기화 트랜지스터는, 그 행보다 시간적으로 선행 하는 행의 주사선에 인가되는 제어신호에 의해 온 오프 동작하여, 영상신호의 샘플링에 앞서 상기 드라이브 트 랜지스터의 소스를 미리 소정의 전위로 초기화해 두는 것을 특징으로 한다.

[0047]

또한 본 발명은, 제어신호를 공급하는 행 형상의 주사선과, 영상신호를 공급하는 열 형상의 신호선과, 상기 주 사선과 상기 신호선이 교차하는 부분에 배치된 화소회로를 포함하고, 상기 화소회로는, 적어도 드라이브 트랜지 스테와, 그 게이트에 접속되는 샘플링 트랜지스터와, 상기 드라이브 트랜지스터의 게이트·소스 사이에 접속되 는 용량부와, 상기 드라이브 트랜지스터의 소스에 접속하는 발광소자를 포함하고, 상기 샘플링 트랜지스터는, 소정의 샘플링 기간에 주사선으로부터 공급되는 제어신호에 따라 도통 상태로 해서 신호선에서 공급된 영상신호 를 상기 용량부에 샘플링하고, 상기 용량부는, 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게 이트와 소스 사이에 입력전압을 인가하고, 상기 드라이브 트랜지스터는, 소정의 발광 기간 동안 상기 입력전압 에 따른 출력전류를 상기 발광소자에 공급하고, 상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력

전류에 의해 상기 영상신호에 따른 휘도로 발광하는 화상표시장치이며, 상기 화소회로는, 상기 드라이브 트랜지스터의 소스에 접속되는 초기화 트랜지스터와, 상기 드라이브 트랜지스터의 게이트에 접속되는 기준전위 설정 트랜지스터를 구비하고, 상기 초기화 트랜지스터는, 그 행보다 시간적으로 선행하는 행의 주사선에 인가되는 제어신호에 의해 온 오프 동작하여, 영상신호의 샘플링에 앞서 상기 드라이브 트랜지스터의 소스를 미리 소정의 전위로 초기화하고, 상기 기준전위 설정 트랜지스터는, 그 행보다 시간적으로 선행하는 행의 주사선에 인가되는 제어신호에 의해 온 오프 동작하고, 상기 드라이브 트랜지스터의 소스의 전위가 초기화되었을 때 또는 그 후에 또한 영상신호의 샘플링에 앞서, 상기 드라이브 트랜지스터의 게이트를 미리 기준의 전위로 설정해 두는 것을 특징으로 한다.

[0048] 바람직하게는, 상기 초기화 트랜지스터가, 주사선으로부터 인가되는 제어신호에 의해 온 상태인 시간은, 1수평 주사 기간보다 길다. 또한, 상기 행 형상의 주사선과 평행하게, 행 형상의 전원구동선이 배치되고, 각 전원구동선은, 각 발광 기간에 전원전압을 공급하고, 상기 드라이브 트랜지스터는, 그 드레인이 대응하는 전원구동선에 접속되고, 상기 전원전압에 따라 출력전류를 발광소자에 공급한다. 또한 상기 화소회로는, 상기 드라이브 트랜지스터의 드레인과 소정의 전원전위 사이에 접속된 스위칭 트랜지스터를 포함하고, 발광 기간 동안 도통하고, 상기 드라이브 트랜지스터로부터 발광소자에 출력전류를 흘려보낸다.

[0049] [실시예]

[0050] 이하 도면을 참조해서 본 발명의 실시예에 관해 상세히 설명한다. 우선 본 발명의 배경을 분명히 하기 위해, 도 2를 참조하여, 본 발명의 기초가 된 선행 개발에 있어서의 화상표시장치를 설명한다. 이 선행 개발에 있어서의 화상표시장치는, 동일 출원인에 의한 특원 2005-027028호에 상세히 기재되어 있다. 선행 개발에 있어서의 화상표시장치는 본 발명에 따른 화상표시장치와 공통되는 부분이 많고, 여기에 다시 본 발명의 일부로서 설명한다. 도시하는 바와 같이, 본 화상표시장치는 화소 어레이(1)와 주변 회로부로 이루어진다. 화소 어레이(1)는 화소회로(2)가 행렬 형상으로 배치되고, 화면을 구성한다. 주변 회로부는, 화소 어레이(1)를 선 순차 주사하기 위한 4계통의 스캐너(4, 5, 71, 72)를 포함한다. 또한 화소 어레이(1)에 영상신호를 공급하기 위해 수평 드라이버(3)를 포함한다.

[0051] 각 화소회로(2)는 행 형상의 주사선 WS와 열 형상의 신호선 SL이 교차하는 부분에 배치된다. 도면에서는 이해를 쉽게 하기 위해서, 1개의 화소회로(2)만을 나타내었다. 신호선 SL은 수평 드라이버(3)에 접속한다. 주사선 WS는 라이트 스캐너(4)에 접속한다. 본 화상표시장치는, 신호 샘플링용 주사선 WS뿐만 아니라, 추가로 주사선 DS, AZ1, AZ2를 포함한다. 이들 주사선 DS, AZ1, AZ2는 샘플링용 주사선 WS와 평행하게 배치된다. 주사선 DS는 드라이브 스캐너(5)에 접속되고, 발광 기간을 제어한다. 주사선 AZ1은 제1 보정용 스캐너(71)에 접속되고, 기준전위 설정 동작에 사용된다. 또한 주사선 AZ2는 제2 보정용 스캐너(72)에 접속되고, 초기화 동작에 사용된다.

[0052] 화소회로(2)는, 5개의 트랜지스터 T1, T2, T3, T4, Td와, 1개의 화소용량 Cs와, 1개의 발광소자 OLED로 구성된다. 본 예는, 모든 트랜지스터가 N채널형이지만, 본 발명이 이것에 한정되는 것은 아니다. 적절히 N채널형과 P채널형을 혼합하여 화소회로를 구성할 수 있다. 드라이브 트랜지스터 Td는, 그 게이트가 노드 A에 접속되고, 소스가 노드 B에 접속되고, 드레인이 스위칭트랜지스터 T4를 통해 전원 라인 Vcc에 접속된다. 샘플링 트랜지스터 T1은 신호선 SL과 노드 A 사이에 접속된다. 샘플링 트랜지스터 T1의 게이트는 주사선 WS에 접속한다. 기준전위 설정 트랜지스터 T2는 노드 A와 소정의 기준전위 Vofs 사이에 접속된다. 기준전위 설정 트랜지스터 T2의 게이트는 주사선 AZ1에 접속된다. 초기화 트랜지스터 T3은 노드 B와 소정의 초기화전위 Vini 사이에 접속된다. 초기화 트랜지스터 T3의 게이트는 주사선 AZ2에 접속된다. 스위칭 트랜지스터 T4는 전원 라인 Vcc과 드라이브 트랜지스터 Td 사이에 접속된다. 그 게이트는 주사선 DS에 접속한다. 화소용량 Cs는 노드 A와 노드 B 사이에 접속된다. 환언하면, 화소용량 Cs는 드라이브 트랜지스터 Td의 게이트와 소스 사이에 접속된다. 발광소자 OLED는 예를 들면 유기EL소자 등의 2단자형 디바이스로 이루어지고, 그 애노드는 노드 B에 접속되고, 캐소드는 접지된다. 이때, 발광소자 OLED의 등가용량 Coled도 도면에 추가한다.

[0053] 도시하는 바와 같이, 본 화상표시장치는 화소 어레이(1)를 선 순차 주사하기 위해서, 라이트 스캐너(4), 드라이브 스캐너(5), 제1 보정용 스캐너(71), 제2 보정용 스캐너(72)의 합계 4계통의 스캐너를 사용한다. 그만큼 비용의 증가를 초래한다.

[0054] 도 3은, 도 2에 나타난 화소 어레이(1)로부터 특별히 화소회로(2)만을 추출해서 모식적으로 나타난 것이다.

[0055] 도 4는, 도 2에 나타난 화상표시장치의 동작 설명에 제공하는 타이밍 차트다. 각 스캐너(4, 5, 71, 72)로부터

선 순차로 출력되는 제어신호의 파형을 표현한다. 도면에서는 이해를 쉽게 하기 위해서, 각 주사선에 인가되는 제어신호(게이트 선택 펄스)를 주사선과 같은 기호로 나타내었다. 즉 샘플링용 주사선 WS에 인가되는 샘플링용 제어신호를 WS로 나타내고, 초기화용 주사선 AZ2에 인가되는 초기화용 제어신호를 AZ2로 나타낸다. 또한 주사선 AZ1에 인가되는 기준전위 설정용 제어신호를 AZ1로 나타낸다. 덧붙여 주사선 DS에 인가되는 제어신호를 DS로 나타내었다. 또한 이들 제어신호의 파형과 아울러, 노드 A 및 노드 B의 전위변화도 나타낸다. 노드 A의 전위변화는, 드라이브 트랜지스터 Td의 게이트 전위의 변화를 의미한다. 또한 노드 B의 전위변화는, 드라이브 트랜지스터 Td의 소스의 전위변화를 의미한다.

[0056] 도 2에 나타난 각 스캐너(4, 5, 71, 72)는 시계열적으로 대응하는 제어신호를 출력하고, 스텝 0 내지 3의 동작을 순차 실행한다. 도 4의 타이밍 차트에서는 각 스텝의 번호를 원괄호로 표시한다. 처음에 스텝 0에서 초기화 동작을 행하고, 계속해서 스텝 1에서 Vth 캔슬 동작을 행하고, 스텝 2에서 신호 기록 동작(샘플링 동작)을 행하고, 그 후 스텝 3에서 발광 동작을 행한다. 이 스텝 0 내지 3을 1필드마다 선 순차로 행하고, 화소 어레이(1)에 1필드의 화상을 표시한다.

[0057] 초기화 스텝 0에서는, 제어신호 AZ2가 고레벨이 되므로, N채널형 트랜지스터 T3은 온 상태가 되고, 드라이브 트랜지스터 Td의 소스 전위는 초기화전위 Vini가 된다. 계속해서 Vth 캔슬 스텝 1에서는, 제어신호 AZ1 및 DS가 고레벨이 되므로, 마찬가지로 N채널형 트랜지스터 T2, T4는 온 상태가 되고, 이 결과 드라이브 트랜지스터 Td의 게이트 전위는 기준전위 Vofs가 된다. 이때 Vofs-Vini > Vth를 만족시키도록 설정되므로, 드라이브 트랜지스터 Td에 전류가 흘러 소스 전위가 Vini로부터 상승한다. 드라이브 트랜지스터 Td의 게이트·소스간 전위 Vgs가 Vth와 동등해지면 드라이브 트랜지스터 Td에 드레인 전류가 흐르지 않게 되므로, Vth와 동등한 전압이 화소용량 Cs에 보유되게 된다.

[0058] 이 후 신호 기록 스텝 2에서는 제어신호 WS가 고레벨이 되므로 샘플링 트랜지스터 T1은 온 상태가 되고, 신호선 SL로부터 영상신호전위 Vsig이 샘플링된다. 이때 발광소자 OLED의 등가용량 Coled가 화소용량 Cs에 비해 충분히 크므로, 드라이브 트랜지스터 Td의 소스 전위는 스텝 1의 상태에서 거의 변화하지 않으므로, 화소용량 Cs에는 $\Delta V_{sig} + V_{th}$ 의 전압이 유지되게 된다. 여기에서 $\Delta V_{sig} = V_{sig} - V_{ofs}$ 다.

[0059] 이 후 발광 스텝 3의 발광 기간에 들어가면, 제어신호 DS는 다시 고레벨이 되고, 스위칭 트랜지스터 T4는 온 상태가 된다. 이에 따라 드라이브 트랜지스터 Td가 전원 라인 Vcc에 접속되고, 드레인 전류 Ids가 발광소자 OLED에 흘러들어온다. 이 결과 발광소자 OLED의 내부저항 때문에 그 애노드 전위(즉 드라이브 트랜지스터의 소스 전위) Vanode는 상승한다. 그때 부트스트랩 동작을 위해, 화소용량 Cs에 기록된 전압은 그대로 유지되고, 드라이브 트랜지스터 Td의 게이트 전위도 Vanode의 상승에 따라 상승한다. 즉, 발광 기간 동안 드라이브 트랜지스터 Td의 게이트·소스 사이에는 일정한 전압 $\Delta V_{sig} + V_{th}$ 가 인가된다.

[0060] 스텝 3의 발광 기간에 있어서 드라이브 트랜지스터 Td를 흐르는 드레인 전류는 전술한 특성식 1로 주어지므로, 이하의 식 2와 같이 나타낸다. 이 식 2로부터 분명한 바와 같이, 드레인 전류 Ids는 드라이브 트랜지스터 Td의 Vth에 의존하지 않는다는 것을 알 수 있다.

$$\begin{aligned}
 [0061] \quad I_{ds} &= (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \\
 [0062] \quad &= (1/2) \mu (W/L) C_{ox} (\Delta V_{sig} + V_{th} - V_{th})^2 \\
 [0063] \quad &= (1/2) \mu (W/L) C_{ox} \cdot \Delta V_{sig}^2 \cdots \text{식 2}
 \end{aligned}$$

[0064] 도 5는, 전술한 역치전압 보정동작에 더해, 드라이브 트랜지스터의 이동도 μ 의 편차 보정동작을 추가한 예다. 또한 이해를 쉽게 하기 위해서, 도 5의 타이밍 차트는, 도 4의 타이밍 차트와 같은 표기를 채용한다. 본 예에서는, 신호 기록 스텝 2의 후반에서 이동도 보정 스텝 3을 실행한다. 그 후 발광 스텝 4에 진행된다. 이 이동도 보정 스텝 3에서는, 제어신호 WS가 고레벨인 상태에서 제어신호 DS를 고레벨로 하기 위해, 드라이브 트랜지스터 Td에 드레인 전류가 흐르고, 그 소스 전위가 ΔV 만큼 상승한다. 한편 드라이브 트랜지스터 Td의 게이트 전위는 Vsig에 의해 고정되므로, 결과적으로 드라이브 트랜지스터 Td의 Vgs가 ΔV 만큼 감소한다. 이 감소량 ΔV 의 정도는, 드라이브 트랜지스터 Td에 흐르는 전류가 클수록 크다. 환언하면, 전술의 트랜지스터 특성식 1로부터 분명히 나타난 바와 같이, 드라이브 트랜지스터 Td의 이동도 μ 가 클수록, 이 감소량 ΔV 는 커진다. 이 다음 제어신호 WS가 로 레벨이 되고, 스텝 4의 발광 동작으로 이어가지만, ΔV 가 클수록, 발광소자 OLED에 공급되는 출력전류의 레벨이 작아진다. 환언하면, ΔV 만큼 부귀환이 걸린다는 것이다. 이 때문에, 각 화소회로 사이에서 드라이브 트랜지스터 Td의 이동도 μ 에 편차가 있는 경우, 각 화소회로마다 이 부귀환을 걸어 이동도의 편차에 기인하

는 휘도편차를 완화할 수 있다.

- [0065] 이상으로 본 발명의 원인이 된 선행 개발에 있어서의 화상표시장치의 설명을 끝내고, 본 발명에 따른 화상표시장치의 실시예의 설명에 들어간다. 도 6은, 본 발명에 따른 화상표시장치의 제1 실시예를 나타내는 블록도다. 이해를 쉽게 하기 위해서, 도 2에 나타난 선행 개발에 있어서의 화상표시장치와 대응하는 부분에는 대응하는 참조번호로 표시한다. 도 6은, 특히 n 번째 행에 위치하는 화소회로(2)를 나타내고, 이것을 명시하기 위해서 샘플링용 주사선 WS 에 부호 n 을 붙여 WS_n 으로 나타낸다. 마찬가지로 다른 주사선에 관해서도 n 번째 행인 것을 명시하기 위해서, n 의 부호를 기입하고, DS_n 및 AZ_{2n} 으로 한다.
- [0066] 본 실시예의 특징으로서 제1 보정용 스캐너(71)가 제외되고, 이것에 대응하는 주사선 AZ_{1n} 도 없다. 그 대신, 샘플링용 주사선 WS_n 과 평행하게 주사선 WS_{n-k} 가 배치된다. 즉 기준전위 설정 트랜지스터 $T2$ 가, 샘플링용 주사선 WS_n - k 에 의해 제어된다. WS_{n-k} 는, 스캔 방향을 따라 위로부터 $n-k$ 번째 행의 샘플링용 주사선 WS 로부터 분기되고 있는 것을 나타낸다. 여기에서 k 는 양의 정수이며, 주사 방향은 위에서 아래라고 상정하므로, 샘플링용 주사선 WS_n - k 는 그 행의 샘플링용 주사선 WS_n 보다 시간적으로 빨리 고레벨이 된다. 이렇게 본 제1 실시예는, 라이트 스캐너(4)를 샘플링 트랜지스터 $T1$ 과 기준전위 설정 트랜지스터 $T2$ 로 병용함으로써, 제1 보정용 스캐너를 필요로 하지 않고, 화소 어레이(1)의 선 순차 주사에 필요한 스캐너의 계통 수를, 선행 개발예의 4계통에서 3계통으로 삭감한다.
- [0067] 도 7은, 도 6에 나타난 제1 실시예의 동작 설명에 제공하는 타이밍 차트다. 이해를 쉽게 하기 위해서 도 5에 나타난 선행 개발에 있어서의 화상표시장치의 동작 설명에 제공한 타이밍 차트와 같은 표기를 채용한다. 타이밍 차트에서 분명히 나타난 바와 같이, 제어신호 WS_{n-k} 는 그 행의 기록용 제어신호 WS_n 보다 선행해서 시간적으로 빨리 고레벨이 된다. 따라서 신호 기록 스텝 2보다 선행해서 V_{th} 캔슬 스텝 1을 실행할 수 있다. 이에 따라 기준전위 설정 트랜지스터 $T2$ 전용 스캐너를 필요로 하지 않으므로, 화상표시장치의 간소화 및 저비용화가 가능하다. 또한 도 7의 타이밍 차트에서는, 스텝 3에서 이동도 격차 보정을 실행하지만, 이 스텝 3을 실행할 것인지 여부는 임의여서, 본 발명은 어느 쪽의 경우에도 유효하다. 또한 이하에 설명하는 것 외의 실시예에서도 이동도 격차 보정 스텝 3을 실행하지만, 본 발명은 반드시 이것에 한정되는 것은 아니고, 이 스텝 3을 생략해도 된다.
- [0068] 도 8은 본 발명에 따른 화상표시장치의 제2 실시예를 나타내는 블록도다. 이해를 쉽게 하기 위해서, 도 6에 나타난 제1 실시예와 대응하는 부분에는 대응하는 참조번호로 표시한다. 제2 실시예에 있어서 특징적인 점은, 초기화 트랜지스터 $T3$ 이 기록 주사선 WS_{n-m} 에 의해, 즉 위에서 $n-m$ 번째 행의 기록 주사선 WS 에 의해 제어된다는 것이다. 이에 따라 초기화 트랜지스터 $T3$ 을 제어하기 위한 제2 보정용 스캐너가 불필요해지고, 합계의 스캐너 계통수를 3개로 할 수 있다.
- [0069] 도 9는, 도 8에 나타난 제2 실시예에 따른 화상표시장치의 동작 설명에 제공하는 타이밍 차트다. 이해를 쉽게 하기 위해서, 제1 실시예의 타이밍 차트 도 7과 같은 표기를 채용한다. 도시하는 바와 같이, 제어신호 WS_{n-m} 이 가장 선행하고, 그 후 AZ_{1n} , DS_n , WS_n 의 순으로 고레벨이 되고, 스텝 0 내지 4를 순차 실행한다. 여기에서 m 은 양의 정수이며, 주사 방향은 위에서 아래라고 상정하므로, 타이밍 차트에 나타난 바와 같이 기록 주사선 WS_{n-m} 은 기록 주사선 WS_n 보다 시간적으로 빠르게 고레벨이 된다. 초기화 스텝 0은 이 선행 샘플링용 제어신호 WS_{n-m} 이 고레벨이 됨으로써 실행되어, 드라이브 트랜지스터 T_d 의 소스가 V_{ini} 로 초기화된다. 초기화 트랜지스터 $T3$ 전용 스캐너가 불필요해지므로, 화상표시장치의 간소화 및 저비용화가 가능하다.
- [0070] 도 10은, 본 발명에 따른 화상표시장치의 제3 실시예를 나타내는 블록도다. 이해를 쉽게 하기 위해서, 도 6에 나타난 제1 실시예와 대응하는 부분에는 대응하는 참조번호로 표시한다. 도 10의 실시예에 있어서 특징적인 것은, 기준전위 설정 트랜지스터 $T2$ 가, 기록 주사선 WS_{n-k} 에 의해, 즉 위에서 $n-k$ 번째 행의 기록 주사선 WS 에 의해 제어되고, 초기화 트랜지스터 $T3$ 이, 기록 주사선 WS_{n-m} 에 의해, 즉 위에서 $n-m$ 번째 행의 기록 주사선 WS 에 의해 제어된다는 점이다. 이에 따라 스캐너의 개수를 2개 삭감할 수 있다.
- [0071] 도 11은, 도 10에 나타난 제3 실시예의 동작 설명에 제공하는 타이밍 차트다. 이해를 쉽게 하기 위해서, 도 7에 나타난 제1 실시예의 타이밍 차트와 같은 표기를 채용한다. 라이트 스캐너(4)로부터, 순차 제어신호 WS_{n-m} , WS_{n-k} , WS_n 이 출력된다. 여기에서 k 는 양의 정수, m 은 k 보다 큰 양의 정수이며, 주사 방향은 위에서 아래라고 상정하므로, 기록 주사선 WS_{n-k} 는 그 행에 할당된 기록 주사선 WS_n 보다 시간적으로 빨리 고레벨이 되고, 기록 주사선 WS_{n-m} 은 기록 주사선 WS_{n-k} 보다 시간적으로 빨리 고레벨이 된다. 우선 WS_{n-m} 이 고레벨이 되었을 때 초기화 스텝 0이 실행되고, 드라이브 트랜지스터 T_d 의 소스가 V_{ini} 로 초기화된다. 계속해서 V_{th} 캔슬 스텝 1에서, WS_{n-k} 이 고레벨이 되고, 드라이브 트랜지스터 T_d 의 게이트가 기준전위 V_{ofs} 로 설정된다. 이 상태에서 제어신호 DS_n 이 고레벨이 되므로, 드라이브 트랜지스터 T_d 의 역치전압 V_{th} 가 화소용량 C_s 에 기록된다. 이 다음 신호 기록

스텝 2에서 그 행의 주사선 WS_n 이 고레벨이 되므로, 영상신호 V_{sig} 이 화소용량 C_s 에 기록된다. 이렇게 선행하는 기록용 제어신호를 이용함으로써 V_{th} 캔슬 동작을 행할 수 있다. 초기화 트랜지스터용과 기준전위 설정 트랜지스터용에 전용 스캐너가 불필요해지므로, 화상표시장치의 간소화 및 저비용화가 가능하다.

[0072] 도 12는, 본 발명에 따른 화상표시장치의 제4 실시예를 나타내는 타이밍 차트다. 본 실시예의 회로 구성은 제3 실시예와 같고, 도 10에 나타난 대로다. 제3 실시예와는 제어신호파형이 다르고, 이 점에서 도 12의 타이밍 차트가 도 11의 타이밍 차트와 상이하다. 도 11에 나타난 제3 실시예에서는 기록 주사선 WS 의 선택 기간이 1수평 주사 기간(1H)으로 설정되어 있는 것에 반해, 본 제4 실시예는 기록 주사선 WS 의 선택 기간이 1H보다 길게 설정되어 있다. 즉 라이트 스캐너로부터 각 기록 주사선 WS 에 인가되는 제어신호(선택 펄스)의 폭은 1H 보다 길다. 이 결과 초기화 스텝 0에서 사용되는 초기화용 제어신호 WS_n-m 의 펄스 폭도 1H보다 길어진다. 드라이브 트랜지스터 T_d 의 초기화시간을 1H보다 길게 취하는 것이 가능해서, 더 확실히 드라이브 트랜지스터 T_d 의 소스 전위를 V_{ini} 에 초기화할 수 있다. 이에 따라 V_{th} 캔슬 스텝 1에 있어서의 V_{th} 캔슬 동작을 더 정확히 실행할 수 있다.

[0073] 이때, 도 11 등의 타이밍 차트에 있어서, 앞서 설명한 바와 같이, m 과 k 는, $m > k$ 를 만족시키는 양의 정수이어야 한다. 전형적으로는 $m = 2$, $k = 1$, 즉 기준전위 설정 트랜지스터 T_2 는 그 행의 전단의 주사선 WS_n-1 에 의해 제어되고, 초기화 트랜지스터 T_3 은 그 전단의 주사선 WS_n-2 에 의해 제어될 수 있다.

[0074] 그런데 도 12의 타이밍 차트에 있어서는 이것에 한정되지 않는다는 주의가 필요하다. 즉 도 12에서는 주사선의 선택 기간이 2H이기 때문에, $m = 2$, $k = 1$ 로 한 경우, 도 19에 나타난 바와 같이 기준전위 설정 트랜지스터 T_2 와 샘플링 트랜지스터 T_1 이 동시에 온 상태가 되는 기간이 존재한다. 이 경우 기준전위 V_{ini} 와 신호선이 쇼트되어 부정확한 관통 전류가 흐르고, 정상적인 V_{th} 캔슬 동작이 이루어지지 않는다.

[0075] 올바른 동작이 이루어지기 위해서는 기준전위 설정 트랜지스터 T_2 가 오프 상태가 된 후에 샘플링 트랜지스터 T_1 이 온 상태가 될 필요가 있으므로, 도 12의 실시 예와 같이 주사선의 선택 기간이 2H인 경우, k 의 값은 2 이상일 필요가 있다. 주사선의 선택 기간이 3H 이상일 경우는 그것에 따라 k 의 값을 크게 할 필요가 있다.

[0076] 도 20은 도 12의 변형예다. 이 예에서는 V_{th} 캔슬을 2H에 걸쳐 실행하고, 도 12의 예보다 확실한 V_{th} 캔슬 동작을 실행할 수 있지만, 이 경우도 도 12와 같은 이유에 의해, k 의 값은 2 이상일 필요가 있다. 실제로는 V_{th} 캔슬에 긴 시간을 요하지 않는 경우도 있지만, 본 예에 나타난 바와 같이, k 및 m 은 큰 값으로 하는 편이 타이밍 설계의 자유도가 증대하여, 바람직하다.

[0077] 도 13은, 본 발명에 따른 화상표시장치의 제5 실시예를 나타내는 블록도다. 기본적으로는 도 10에 나타난 제3 실시예와 유사하며, 대응하는 부분에는 대응하는 참조번호로 표시해서 이해를 쉽게 한다. 제3 실시예와 다른 점은, 선행하는 행으로부터 분기된 주사선 WS_n-m 대신에, 주사선 $AZ2n$ 을 사용한다는 점이다. 이 $AZ2n$ 은 SR플립플롭(SRFF)(41)을 통해 라이트 스캐너(4)에 의해 제어된다. SR플립플롭(41)의 세트 단자 S 에는 제어신호 WS_n-q 가 공급되고, 리셋 단자 R 에는 마찬가지로 제어신호 WS_n-p 가 공급된다.

[0078] 도 14는, 도 13에 나타난 제5 실시예의 동작 설명에 제공하는 타이밍 차트다. 이해를 쉽게 하기 위해서, 제3 실시예의 타이밍 차트인 도 11과 같은 표기를 사용한다. 도시하는 바와 같이, 라이트 스캐너로부터, 그 행의 화소 회로에 대하여, 우선 제어신호 WS_n-q 가 출력되고, 다음으로 WS_n-p 이 출력되고, 계속해서 WS_n-k 이 출력되고, 마지막으로 그 행에 할당된 WS_n 이 출력된다. 여기에서 p 는 양의 정수, q 는 p 보다 큰 양의 정수이며, 주사 방향은 위에서 아래라고 상정되므로, 타이밍 차트에 나타난 바와 같이 SR플립플롭(41)의 출력, 다시 말해, $AZ2n$ 은, 기록 주사선 WS_n-q 가 고레벨이 된 시점에 고레벨이 되고, WS_n-p 이 고레벨이 된 시점에 저레벨이 된다. p 와 q 의 값의 선택 방법에 따라, 제어신호 $AZ2n$ 의 고레벨 기간(즉 펄스 폭)은 선택적으로 설정할 수 있다. 따라서 초기화 스텝 0에 있어서의 초기화시간을 1H를 초과해서 충분히 길게 채용할 수 있어, 더 확실히 드라이브 트랜지스터 T_d 의 소스의 초기화 동작을 실행할 수 있다.

[0079] 도 15는, 도 13의 화상표시장치에 포함되는 SR플립플롭(41)의 구성예를 제시하는 회로도다. 이 SR플립플롭(41)은 한 쌍의 N채널형 트랜지스터를 전원 라인 V_{cc} 과 접지라인 V_{ss} 사이에 직렬 접속한 것이며, 두 트랜지스터의 접속점에서 출력 신호 $AZ2$ 가 얻어진다. 한쪽의 트랜지스터의 게이트는 세트 단자 S 가 되고, 제어신호 WS_n-q 가 인가된다. 다른 한쪽의 트랜지스터의 게이트는 리셋 단자 R 이 되고, 라이트 스캐너(4)로부터 제어신호 WS_n-p 가 공급된다. 이 SR플립플롭(41)은 N채널형 트랜지스터만으로 구성되므로, 아모포스 실리콘 프로세스로도 형성할 수 있다.

[0080] 도 16은, 본 발명에 따른 화상표시장치의 제6 실시예를 나타내는 블록도다. 기본적으로는 도 10에 나타난 제3 실시예와 유사하고, 이해를 쉽게 하기 위해서 대응하는 부분에는 대응하는 참조 부호로 표시한다. 다른 점은,

스위칭 트랜지스터 T4가 제외되고, 화소회로(2)가 함께 4개의 트랜지스터 T1, T2, T3, Td로 구성되어 있는 것이다. 구성 트랜지스터의 개수가 5개로부터 4개로 삭감되어, 그만큼 수율의 개선에 기여할 수 있다. 스위칭 트랜지스터 T4의 삭제에 대응하기 위해서, 단순한 전원 라인 Vcc 대신에 전원구동선 DSn이 화소회로(2)에 배선된다. 이 전원구동선 DSn은 드라이브 스캐너(5)에 의해 주사선과 마찬가지로 제어된다. 이 전원구동선 DSn은 각 발광 기간에 전원전압 Vcc를 공급하고, 드라이브 트랜지스터 Td는, 그 드레인이 대응하는 전원구동선 DSn에 접속되고, 전원전압에 따라 출력전류 Ids를 발광소자 OLED에 공급한다. 또한 제3 실시예에서 사용된 스위칭 트랜지스터 T4는, 드라이브 트랜지스터 Td의 드레인과 소정의 전원 라인 Vcc 사이에 접속되고, 발광 기간 동안 제어신호 DS에 응답해서 도통 상태로 하고, 드라이브 트랜지스터 Td를 전원 라인 Vcc에 접속함으로써 발광소자 OLED에 출력전류 Ids가 흐르게 한다.

[0081] 도 17은, 도 16에 나타난 제6 실시예에 따른 화상표시장치로부터, 1화소회로를 추출해서 나타낸 회로도다.

[0082] 도 18은, 도 16에 나타난 제6 실시예에 따른 화상표시장치의 동작 설명에 제공하는 타이밍 차트다. 이해를 쉽게 하기 위해서, 도 11에 나타난 제3 실시예의 타이밍 차트와 대응하는 표기를 사용한다. 도시하는 바와 같이, Vth 캔슬 스텝 1, 이동도 격차 보정 스텝 3 및 발광 스텝 4에서, 전원구동선 DS가 고레벨이 되고, 동작에 필요한 전원을 공급한다. 그 이외의 타이밍에 있어서 전원구동선 DS는 저레벨 혹은 하이 임피던스 상태가 되고, 드라이브 트랜지스터 Td에 흐르는 전류를 차단한다. 이에 따라 스위칭 트랜지스터 T4가 불필요해진다. 그 외의 면에서는, 전술한 제3 실시예와 같이 초기화 트랜지스터용 및 기준전위 설정 트랜지스터용 전용 스캐너가 불필요해지므로, 화상표시장치의 간소화 및 저비용화가 가능하다.

발명의 효과

[0083] 본 발명에 의하면, 드라이브 트랜지스터의 역치전압의 편차를 캔슬하는 기능을 갖추기 위해, 화소회로에 초기화 트랜지스터나 기준전위 설정 트랜지스터를 구비한다. 초기화 트랜지스터는 드라이브 트랜지스터의 소스 전위를 초기화하는 것이며, 기준전위 설정 트랜지스터는 마찬가지로 드라이브 트랜지스터의 게이트를 기준전위로 설정하는 것이다. 이들 초기화나 기준전위 설정을 실행함으로써 역치전압 캔슬 기능이 실현된다. 본 발명에서는 특히, 그 행보다 시간적으로 선행하는 행의 주사선에 인가되는 영상신호 샘플링용의 제어신호를 이용하여, 그 행의 초기화 트랜지스터의 초기화 동작을 실행한다. 이에 따라 샘플링 트랜지스터를 선 순차 주사하는 스캐너를 초기화 트랜지스터의 선 순차 주사에 이용할 수 있으므로, 초기화 트랜지스터 전용 스캐너를 가질 필요가 없어진다. 또한 그 행보다 시간적으로 선행하는 행의 주사선에 인가되는 샘플링용 제어신호를 이용하여, 그 행의 기준전위 설정 트랜지스터의 기준전위 설정 동작을 제어한다. 이에 따라, 마찬가지로 샘플링용 스캐너를 병용할 수 있으므로, 기준전위 설정 전용 스캐너를 가질 필요가 없다. 따라서, 화소회로에 Vth 캔슬 기능을 가지면서, 저비용의 화상표시장치를 제공할 수 있다.

도면의 간단한 설명

[0001] 도 1은 종래의 화소회로의 일례를 게시하는 회로도다.

[0002] 도 2는 선행 개발에 있어서의 화상표시장치를 나타내는 블록도다.

[0003] 도 3은 도 2에 나타난 화상표시장치에 포함되는 화소회로의 회로도다.

[0004] 도 4는 도 2에 나타난 선행 개발에 있어서의 화상표시장치의 동작 설명에 제공하는 타이밍 차트다.

[0005] 도 5는 마찬가지로 선행 개발에 있어서의 화상표시장치의 동작 설명에 제공하는 별도의 타이밍 차트다.

[0006] 도 6은 본 발명에 따른 화상표시장치의 제1 실시예를 나타내는 블록도다.

[0007] 도 7은 제1 실시예의 동작 설명에 제공하는 타이밍 차트다.

[0008] 도 8은 본 발명에 따른 화상표시장치의 제2 실시예를 나타내는 블록도다.

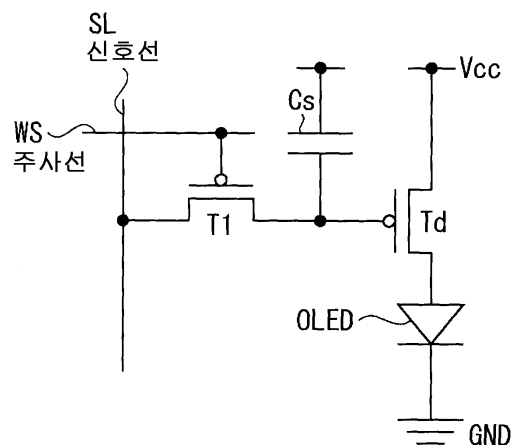
[0009] 도 9는 제2 실시예의 동작 설명에 제공하는 타이밍 차트다.

[0010] 도 10은 본 발명에 따른 화상표시장치의 제3 실시예를 나타내는 블록도다.

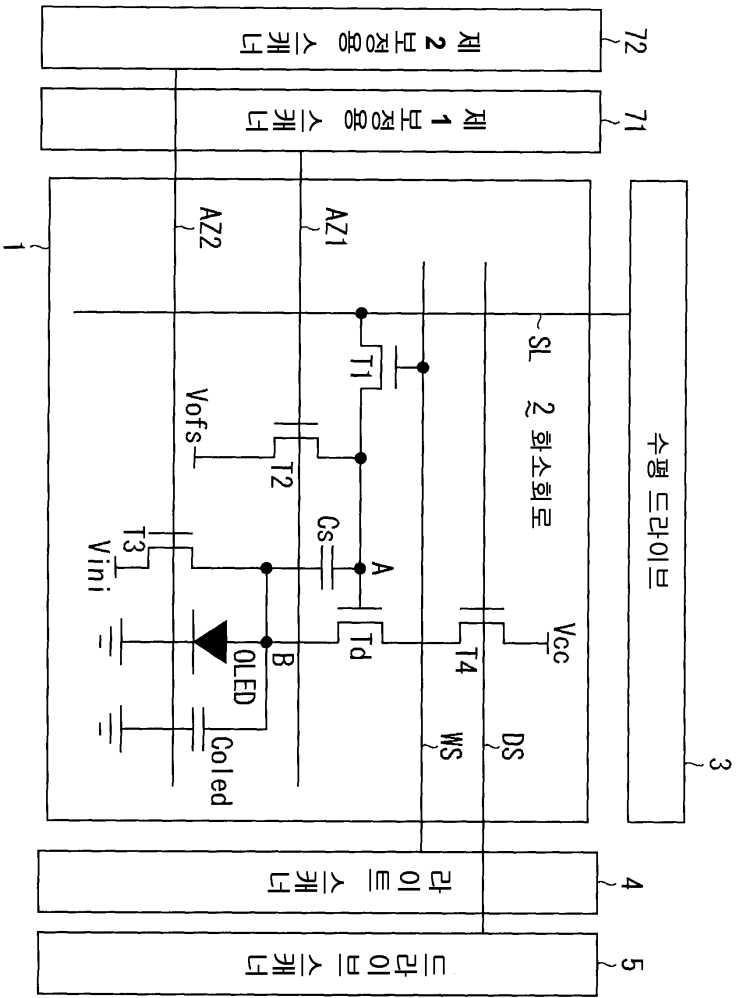
- | | | |
|--------|---|----------------------|
| [0011] | 도 11은 제3 실시예의 동작 설명에 제공하는 타이밍 차트다. | |
| [0012] | 도 12는 제4 실시예의 동작 설명에 제공하는 타이밍 차트다. | |
| [0013] | 도 13은 본 발명에 따른 화상표시장치의 제5 실시예를 나타내는 블록도다. | |
| [0014] | 도 14는 제5 실시예의 동작 설명에 제공하는 타이밍 차트다. | |
| [0015] | 도 15는 제5 실시예에 포함되는 플립플롭의 구성예를 게시하는 회로도다. | |
| [0016] | 도 16은 본 발명에 따른 화상표시장치의 제6 실시예를 나타내는 블록도다. | |
| [0017] | 도 17은 마찬가지로 제6 실시예의 화소회로도다. | |
| [0018] | 도 18은 제6 실시예의 동작 설명에 제공하는 타이밍 차트다. | |
| [0019] | 도 19는 제4 실시예에 대비할 참고예를 게시하는 타이밍 차트다. | |
| [0020] | 도 20은 제4 실시예의 변형예를 게시하는 타이밍 차트다. | |
| [0021] | [도면의 주요 부분에 대한 부호의 간단한 설명] | |
| [0022] | 1 . . . 화소 어레이, | 2 . . . 화소회로, |
| [0023] | 3 . . . 수평 드라이버, | 4 . . . 라이트 스캐너, |
| [0024] | 5 . . . 드라이브 스캐너, | 71 . . . 제1 보정용 스캐너, |
| [0025] | 72 . . . 제2 보정용 스캐너, | T1 . . . 샘플링 트랜지스터, |
| [0026] | T2 . . . 기준전압설정 트랜지스터, | T3 . . . 초기화 트랜지스터, |
| [0027] | T4 . . . 스위칭 트랜지스터, | Td . . . 드라이브 트랜지스터, |
| [0028] | OLED . . . 발광소자, | Cs . . . 화소용량 |

도면

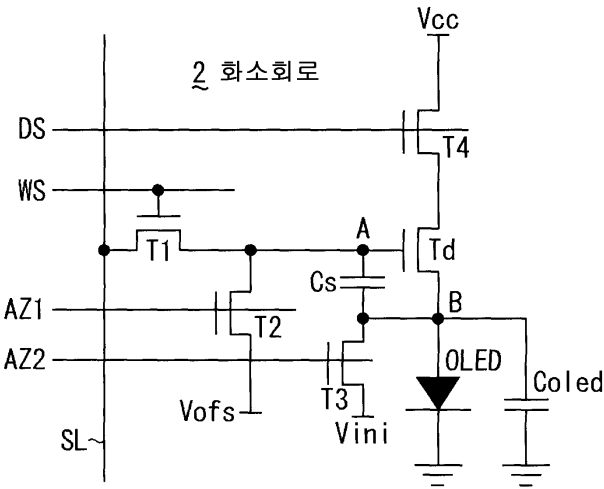
도면1



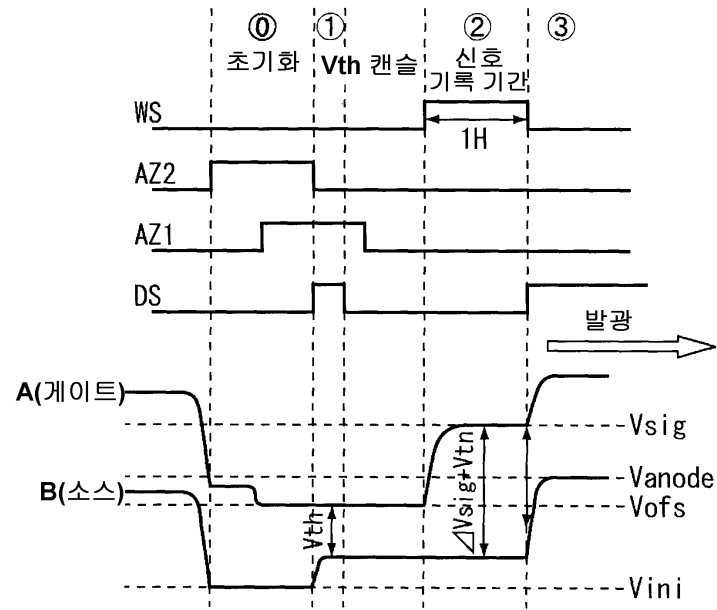
도면2



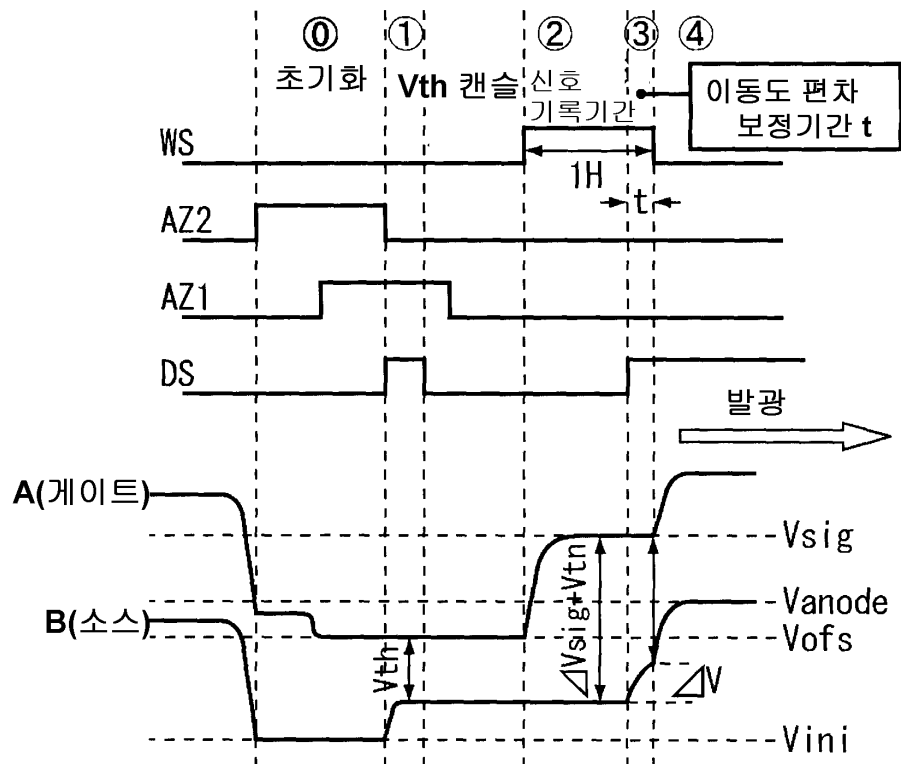
도면3

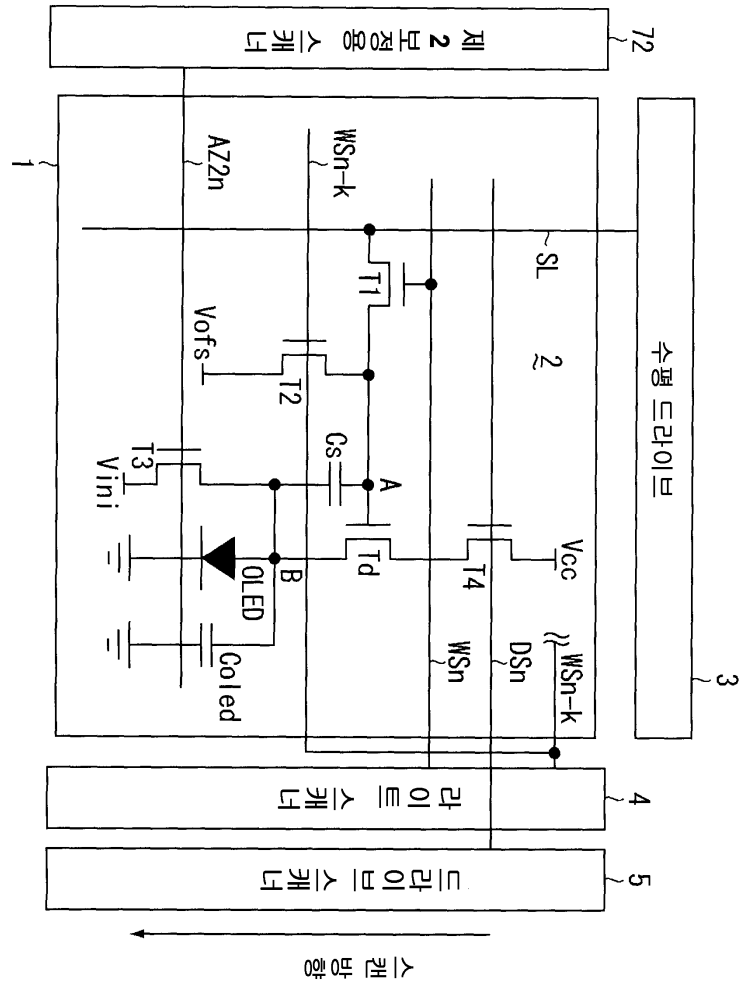


도면4

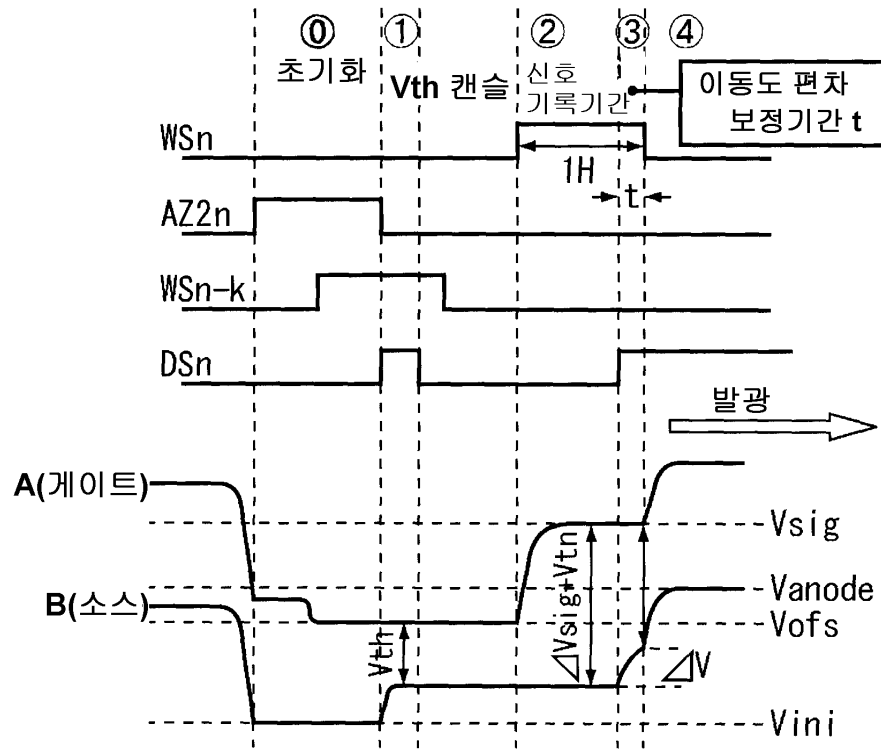


도면5

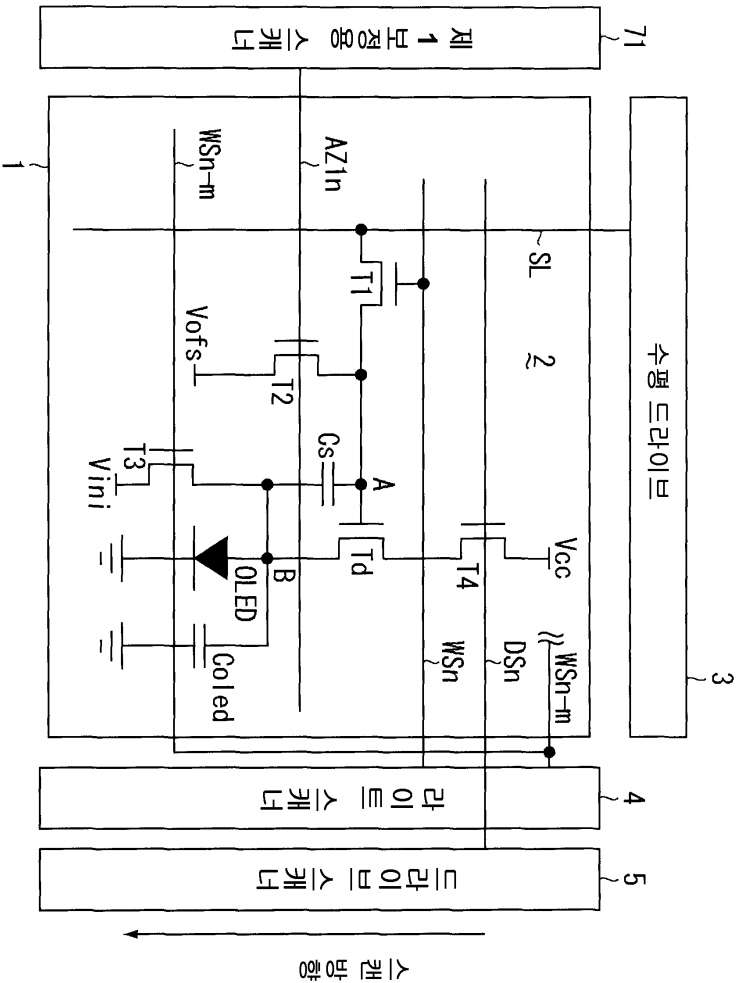




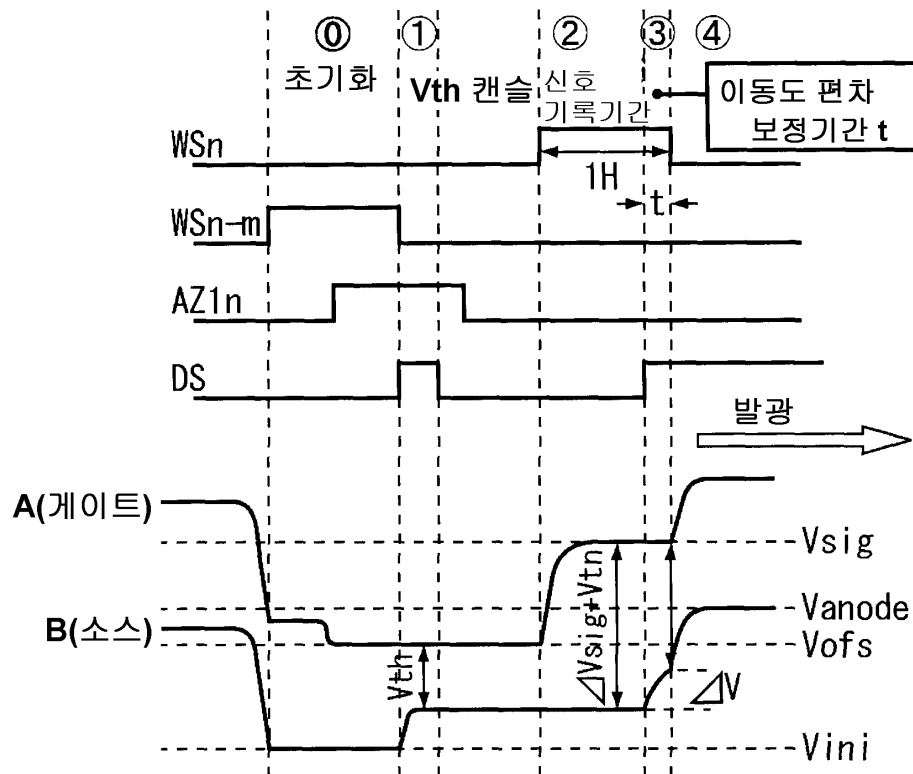
도면7



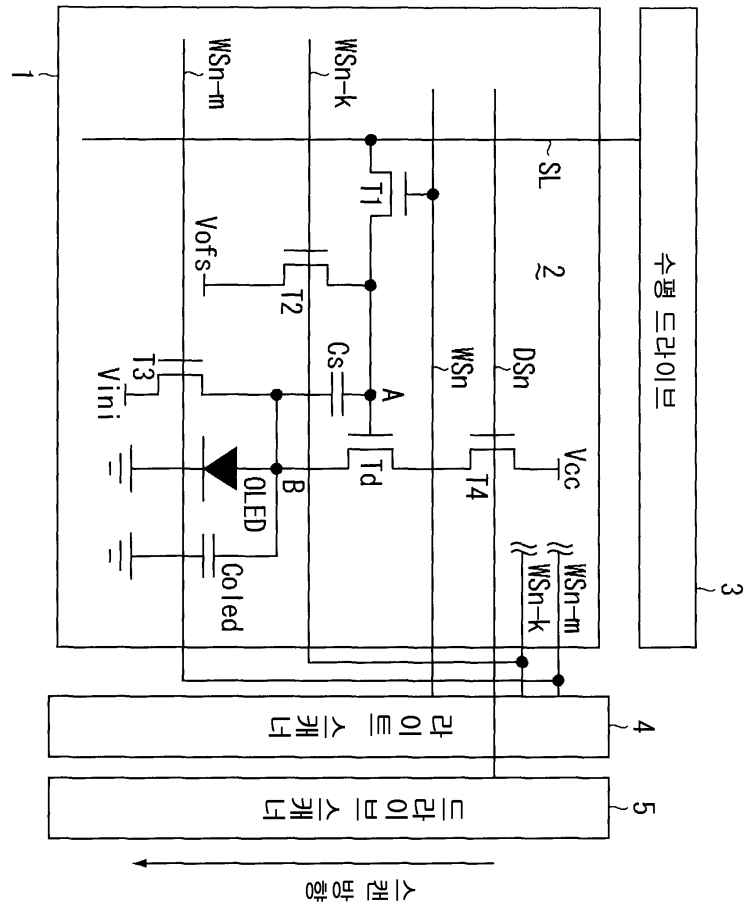
도면8



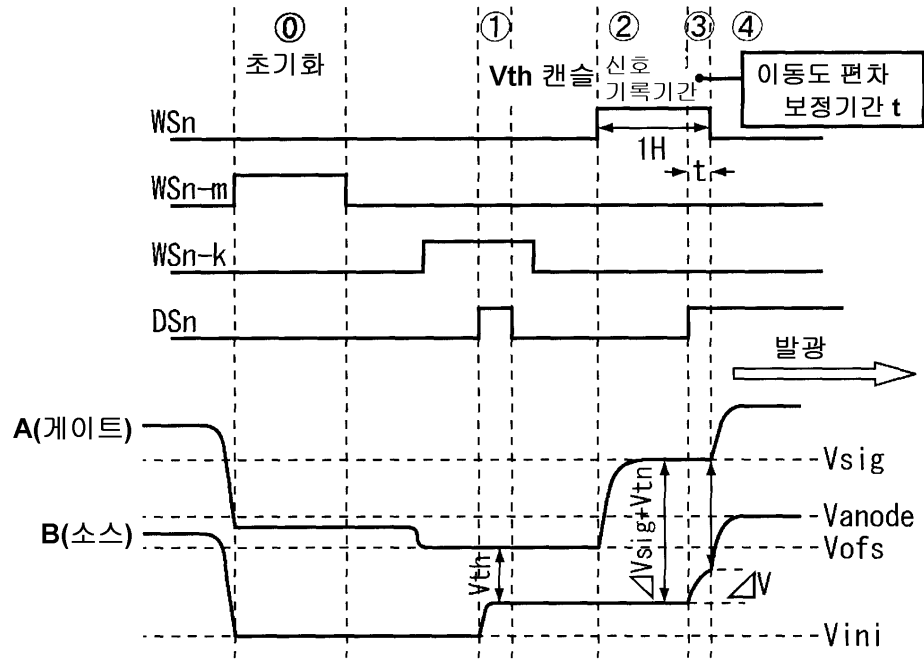
도면9



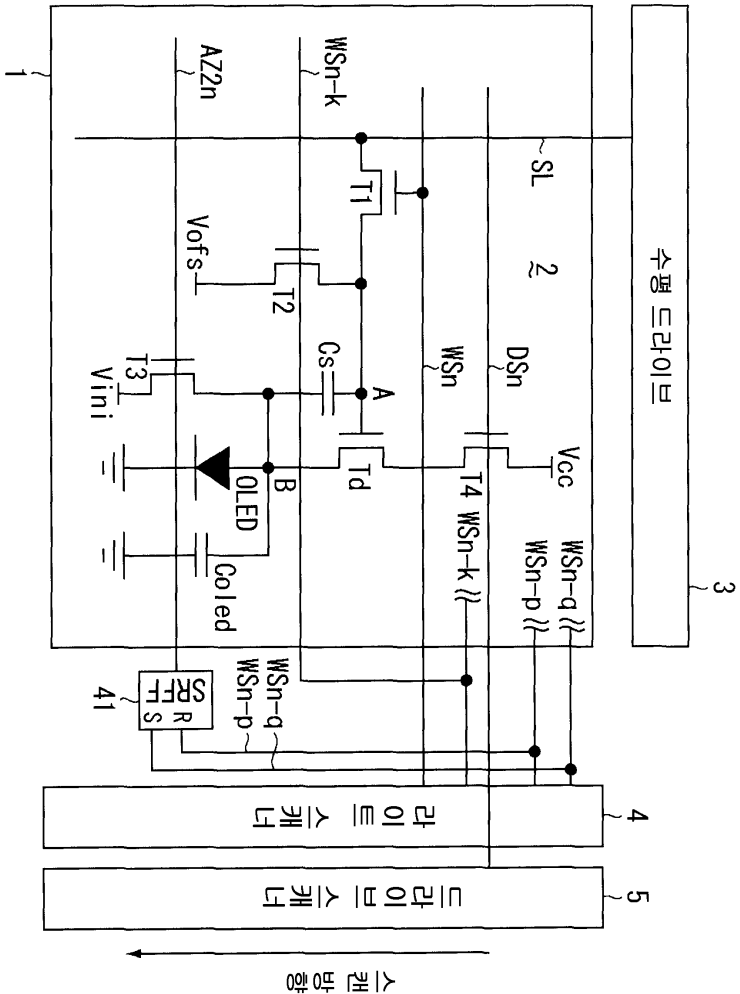
도면10



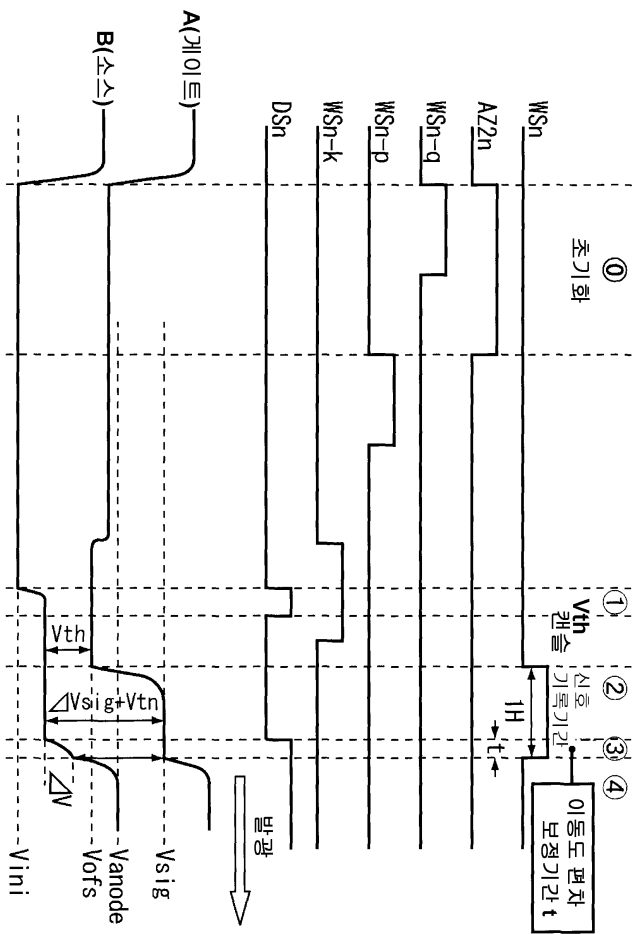
도면11



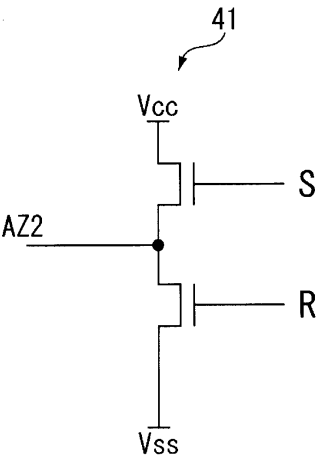
도면13



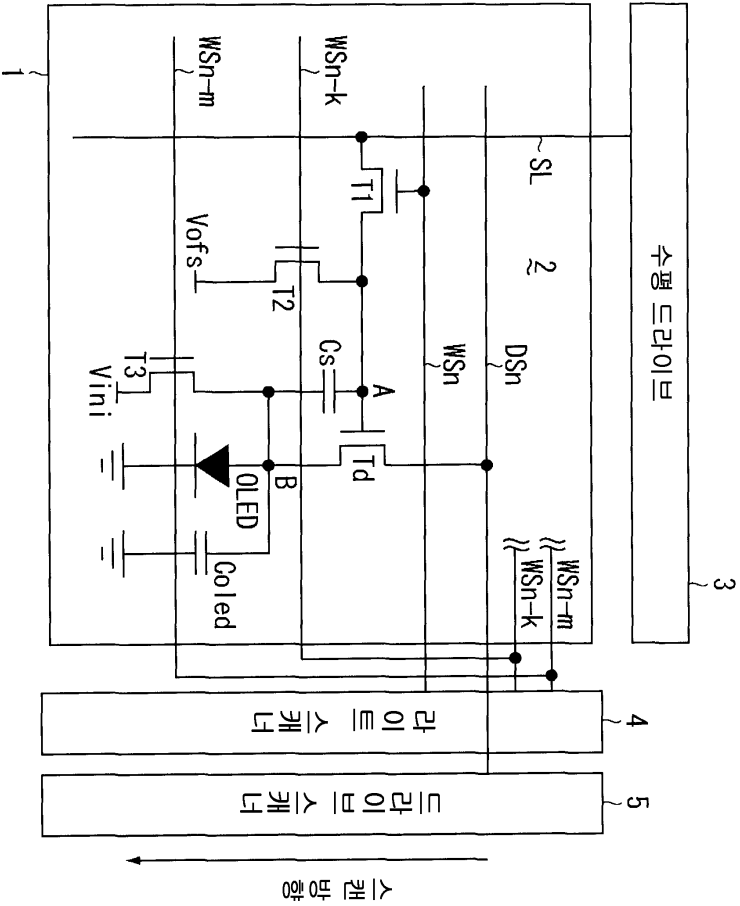
도면14



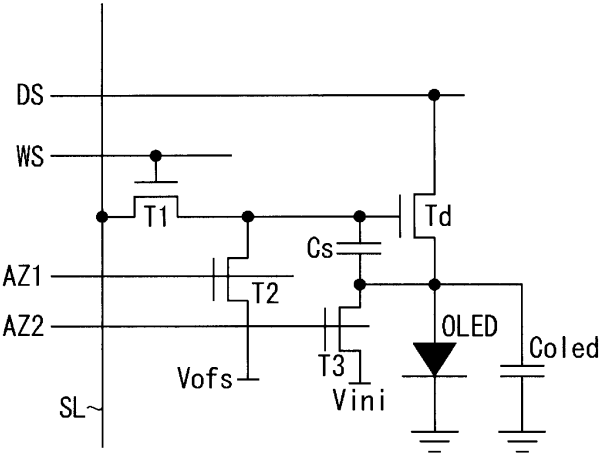
도면15



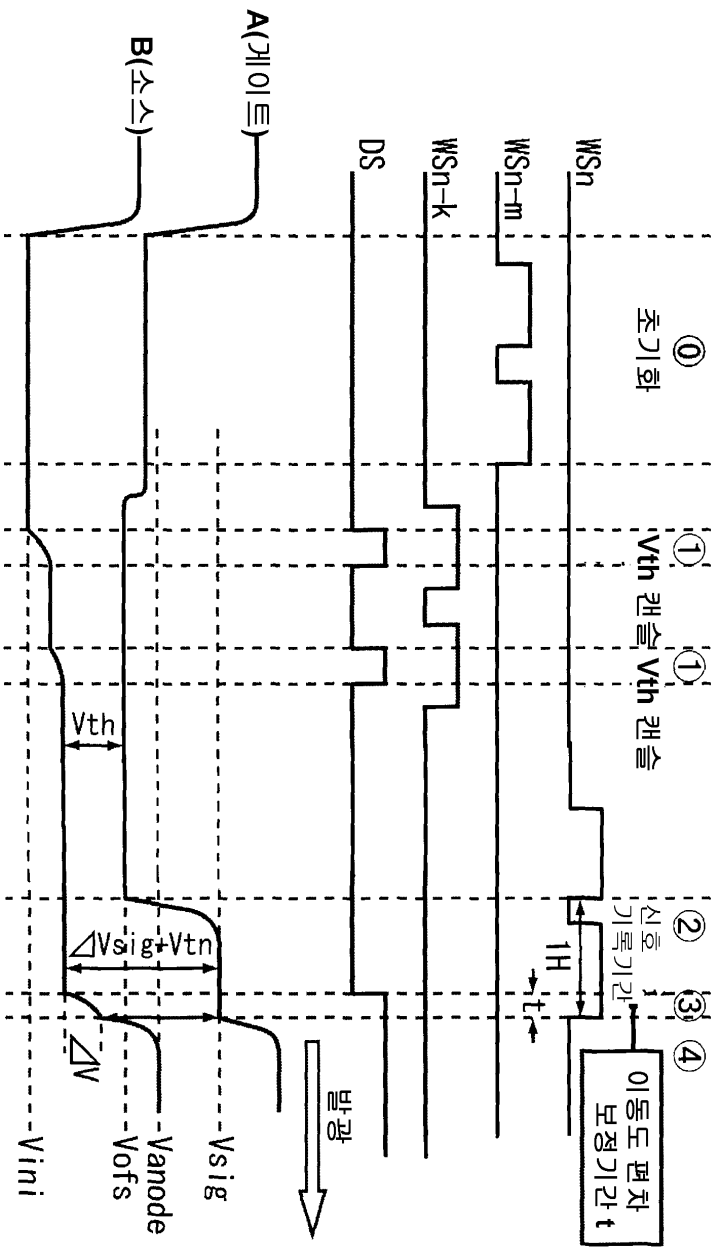
도면16



도면17



도면20



专利名称(译)	图像显示装置		
公开(公告)号	KR101424692B1	公开(公告)日	2014-08-01
申请号	KR1020070051216	申请日	2007-05-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YUMOTO AKIRA		
发明人	YUMOTO, AKIRA		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G3/3233 G09G2300/0866 G09G2310/0267 G09G3/3225 G09G2320/043 G09G2300/0861 G09G2300/043 G09G2300/0819 G09G2320/0233 G09G3/32 G09G5/18 G09G2300/0404		
代理人(译)	LEE HWA我		
优先权	2006147536 2006-05-29 JP		
其他公开文献	KR1020070114646A		
外部链接	Espacenet		

摘要(译)

减少了扫描器的数量，同时提供了抵消驱动晶体管的阈值电压 V_{th} 的偏差的功能。像素电路2的采样晶体管T1根据在采样周期期间从扫描线 WS_n 提供的控制信号导通，并且将从信号线SL提供的视频信号采样到像素电容 C_s 。驱动晶体管 T_d 根据采样的视频信号向发光元件OLED提供输出电流。像素电路2还包括晶体管T2，用于抵消连接到驱动晶体管 T_d 的栅极的阈值电压 V_{th} 。该晶体管T2通过施加到行之前的行之前的扫描线 WS_{n-k} 的控制信号导通和截止，以在对视频信号进行采样之前将驱动晶体管 T_d 的栅极设置为参考电位。

