



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월16일
 (11) 등록번호 10-0776511
 (24) 등록일자 2007년11월07일

(51) Int. Cl.
G09G 3/30 (2006.01) *G09G 3/20* (2006.01)
 (21) 출원번호 10-2006-0034960
 (22) 출원일자 2006년04월18일
 심사청구일자 2006년04월18일
 (65) 공개번호 10-2007-0103183
 공개일자 2007년10월23일
 (56) 선행기술조사문헌
 JP2001160299 A
 JP2003101394 A
 KR1020020085205 A
 KR1020060044119 A

(73) 특허권자
삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575
 (72) 발명자
신동용
 서울특별시 관악구 봉천1동 969-37
 (74) 대리인
신영무

전체 청구항 수 : 총 23 항

심사관 : 천대식

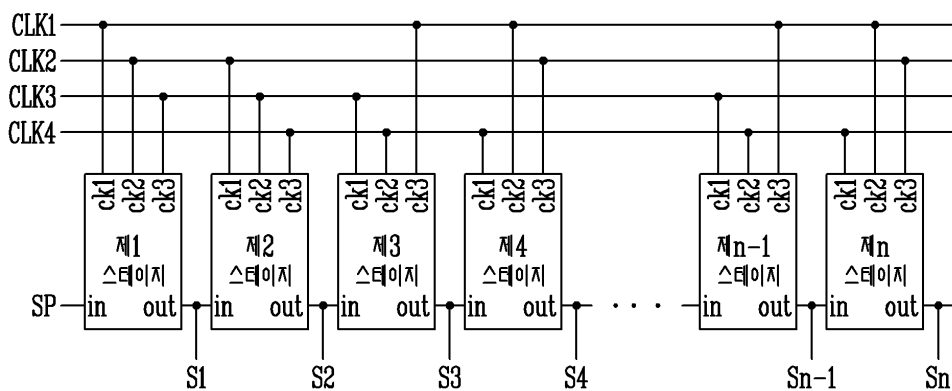
(54) 주사구동회로 및 이를 이용한 유기발광표시장치

(57) 요약

본 발명의 목적은 주사구동회로가 PMOS 트랜지스터로 구현되도록 하며, 주사구동회로의 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭하도록 하는 주사구동회로 및 이를 이용한 유기발광 표시장치를 제공함에 그 목적이 있다.

본 발명은 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 상기 제 1 트랜지스터의 온오프 동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부 및 상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로 및 이를 이용한 유기발광표시장치를 제공하는 것이다.

대표도 - 도5



특허청구의 범위

청구항 1

순차적으로 발생하는 4 개의 클럭 중 3 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되,

상기 스테이지는,

제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터;

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 상기 제 1 트랜지스터의 온오프동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부; 및

상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로.

청구항 2

제 1 항에 있어서,

상기 저장부는 상기 제 1 트랜지스터와 연결되어 상기 입력신호를 전달받는 제 1 노드의 전압에 대응하여 클럭을 제 2 노드에 전달하는 제 2 트랜지스터와 상기 제 1 노드와 상기 제 2 노드의 전압을 유지하는 캐패시터를 포함하는 주사구동회로.

청구항 3

제 1 항에 있어서,

상기 스위치부는 클럭의 전압에 대응하여 제 2 전압을 제 3 노드에 전달하는 제 3 트랜지스터;

상기 입력신호에 대응하여 클럭의 전압을 상기 제 2 노드에 전달하는 제 4 트랜지스터; 및

게이트가 상기 제 2 노드에 연결되어 상기 제 2 노드의 전압에 대응하여 상기 제 1 전압을 상기 출력단으로 전달하는 제 5 트랜지스터를 포함하는 주사구동회로.

청구항 4

제 1 항에 있어서,

상기 스위치부는 게이트는 상기 제 1 클럭단자에 연결되고 소스는 제 2 전압에 연결되고 드레인은 제 3 노드에 연결되도록 하는 제 3 트랜지스터;

게이트는 제 1 노드에 연결되고 소스는 상기 제 1 클럭단자에 연결되고 드레인은 상기 제 3 노드에 연결되도록 하는 제 4 트랜지스터; 및

게이트는 상기 제 3 게이트에 연결되고 소스는 상기 제 1 전압에 연결되며 드레인은 출력단에 연결되는 제 5 트랜지스터를 포함하는 주사구동회로.

청구항 5

제 1 항에 있어서,

상기 스위치부는 게이트는 상기 제 1 클럭단자에 연결되고 소스는 제 2 전압에 연결되고 드레인은 제 3 노드에 연결되도록 하는 제 3 트랜지스터;

게이트는 상기 제 1 트랜지스터와 연결되는 제 1 노드에 연결되고 소스는 상기 제 1 전압을 전달받으며 드레인 은 상기 제 3 노드에 연결되도록 하는 제 4 트랜지스터;

게이트는 상기 제 3 게이트에 연결되고 소스는 상기 제 1 전압에 연결되며 드레인은 출력단에 연결되는 제 5 트

랜지스터; 및

게이트는 상기 제 3 클럭단자와 연결되고 소스는 상기 제 1 전압과 연결되어 상기 제 1 전압을 상기 제 4 트랜지스터의 수소에 전달하는 제 6 트랜지스터를 포함하는 주사구동회로.

청구항 6

제 1 항에 있어서,

상기 스위치부는 게이트는 상기 제 1 클럭단자에 연결되고 소스는 로우상태의 제 2 전압에 연결되고 드레인온 제 3 노드에 연결되도록 하는 제 3 트랜지스터;

게이트는 상기 제 3 클럭단자에 연결되고 소스는 상기 제 1 전압을 전달받으며 드레인은 상기 제 3 노드에 연결되도록 하는 제 4 트랜지스터;

게이트는 상기 제 3 게이트에 연결되고 소스는 상기 제 1 전압에 연결되며 드레인은 출력단에 연결되는 제 5 트랜지스터; 및

게이트는 상기 제 1 트랜지스터와 연결된 제 1 노드와 연결되고 소스는 상기 제 1 전압과 연결되어 상기 제 1 전압을 상기 제 4 트랜지스터의 수소에 전달하는 제 6 트랜지스터를 포함하는 주사구동회로.

청구항 7

제 1 항에 있어서,

상기 복수의 스테이지는 상기 저장부를 초기화 하는 프리차지시간, 소정의 신호를 전달받아 저장하는 입력기간 및 상기 소정의 신호에 대응하여 주사신호를 출력하는 평가기간 및 상기 클럭을 입력받지 않는 휴식기간으로 구분되어 동작하는 주사구동회로.

청구항 8

제 1 항에 있어서,

상기 순차적으로 발생하는 4 개의 클럭은 동일한 주기를 갖고 서로 다른 시간에 로우상태가 되도록 하는 주사구동회로.

청구항 9

제 7 항에 있어서,

상기 복수의 스테이지 중 하나의 스테이지는 이전단의 스테이지에서 로우신호가 출력될 때 입력기간으로 동작되는 주사구동회로.

청구항 10

제 1 항에 있어서,

상기 제 1 전압은 구동전원의 전압인 주사구동회로.

청구항 11

제 3 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 2 전압은 접지인 주사구동회로.

청구항 12

순차적으로 발생하는 4 개의 클럭 중 3 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되,

상기 스테이지는,

제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터;

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압과 상기 출력단이 온 또는 오프 상태가 되도록 하는 스위치부; 및

상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로.

청구항 13

제 12 항에 있어서,

상기 저장부는 상기 제 1 트랜지스터와 연결되어 상기 입력신호를 전달받는 제 1 노드와 연결되어 상기 제 1 노드의 전압에 대응하여 상기 제 3 클럭을 제 2 노드에 전달하는 제 2 트랜지스터와 상기 제 1 노드와 상기 제 2 노드의 전압을 유지하는 캐패시터를 포함하는 주사구동회로.

청구항 14

제 12 항에 있어서,

상기 스위치부는

게이트는 상기 제 1 클럭단자에 연결되고 소스는 제 2 전압에 연결되며 드레인은 제 3 노드에 연결되도록 하는 제 3 트랜지스터;

게이트는 상기 출력단에 연결되고 소스는 상기 제 1 클럭단자에 연결되며 드레인은 상기 제 3 노드에 연결되는 제 4 트랜지스터; 및

게이트는 상기 제 3 노드에 연결되고 소스는 상기 제 1 전압에 연결되며 드레인은 상기 출력단에 연결되는 제 5 트랜지스터를 포함하는 주사구동회로.

청구항 15

제 12 항에 있어서,

상기 스위치부는

게이트와 소스가 상기 제 1 클럭단자에 연결되고 드레인은 제 3 노드에 연결되도록 하는 제 3 트랜지스터;

게이트는 상기 출력단에 연결되고 소스는 상기 제 1 클럭단자에 연결되며 드레인은 상기 제 3 노드에 연결되는 제 4 트랜지스터; 및

게이트는 상기 제 3 노드에 연결되고 소스는 상기 제 1 전압에 연결되며 드레인은 상기 출력단에 연결되는 제 5 트랜지스터를 포함하는 주사구동회로.

청구항 16

제 12 항에 있어서,

상기 복수의 스테이지는 상기 저장부를 초기화 하는 프리차지시간, 소정의 신호를 전달받아 저장하는 입력기간 및 상기 소정의 신호에 대응하여 주사신호를 출력하는 평가기간 및 상기 클럭을 입력받지 않는 휴식기간으로 구분되어 동작하는 주사구동회로.

청구항 17

제 12 항에 있어서,

상기 제 1 클럭단자, 상기 제 2 클럭단자, 상기 제 3 클럭단자 및 에 전달되는 클럭은 동일한 주기를 갖고 서로 다른 시간에 로우상태가 되도록 하는 주사구동회로.

청구항 18

제 12 항에 있어서,

상기 복수의 스테이지 중 하나의 스테이지는 이전단의 스테이지에서 로우신호가 출력될 때 입력기간으로 동작되

는 주사구동회로.

청구항 19

제 12 항에 있어서,

상기 제 1 전압은 구동전원의 전압인 주사구동회로.

청구항 20

제 3 항에 있어서,

상기 제 2 전압은 접지인 주사구동회로.

청구항 21

복수의 화소에 의해 화상을 표현하는 화소부;

상기 화소부에 주사신호를 전달하는 주사구동회로; 및

상기 화소부에 데이터신호를 전달하는 데이터구동회로를 포함하며,

상기 주사구동회로는 순차적으로 발생하는 4 개의 클럭 중 3 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되,

상기 스테이지는,

제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터;

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 상기 제 1 트랜지스터의 온오프동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부; 및

상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 유기발광표시장치.

청구항 22

복수의 화소에 의해 화상을 표현하는 화소부;

상기 화소부에 주사신호를 전달하는 주사구동회로; 및

상기 화소부에 데이터신호를 전달하는 데이터구동부를 포함하며,

상기 주사구동회로는 순차적으로 발생하는 4 개의 클럭 중 3 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되,

상기 스테이지는,

제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터;

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압과 상기 출력단이 온 또는 오프 상태가 되도록 하는 스위치부; 및

상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 유기발광표시장치.

청구항 23

제 21 항 또는 제 22 항에 있어서,

상기 복수의 스테이지는 상기 저장부를 초기화 하고 하이상태의 전압을 출력하는 프리차지시간, 상기 스테이지에 상기 입력신호가 전달되며 상기 하이상태의 전압을 유지하는 입력기간 및 로우상태의 전압을 출력하는 평가

기간으로 구분되어 동작하는 유기발광표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 주사구동회로 및 이를 이용한 유기 발광표시장치에 관한 것으로, 더욱 상세히 설명하면, 소비전력이 줄어들도록 하는 주사구동회로 및 이를 이용한 유기발광표시장치에 관한 것이다.
- <18> 일반적으로 유기 전계발광 장치와 같은 액티브 매트릭스 표시장치는 데이터 선들과 주사선들과의 교차부들에 매트릭스 형태로 배열된 화소 어레이(array)를 구비한다.
- <19> 여기서, 상기 주사선들은 상기 매트릭스 화소부의 수평라인(로우라인)들을 구성하며, 이는 주사구동회로에 의해 순차적으로 소정의 신호 즉, 주사 신호를 상기 매트릭스 화소 어레이에 제공한다.
- <20> 도 1은 일반적인 주사구동회로의 구성을 나타내는 블록도이다. 도 1을 참조하면, 일반적인 주사구동회로는 스타트 펄스(SP) 입력 라인에 종속적으로 접속된 다수의 스테이지(ST1 내지 STn)으로 구성되며, 상기 다수의 스테이지들(ST1 내지 STn)은 스타트 펄스(SP)를 클럭 신호(C)에 따라 순차적으로 쉬프트시켜 출력신호(S01 내지 S0n)를 발생한다. 이 경우 제 2 내지 제 n 스테이지(ST2 내지 STn) 각각은 전단 출력 신호를 스타트 펄스로 입력받아 이를 쉬프트시키게 된다.
- <21> 이에 따라 상기 스테이지들은 상기 스타트 펄스가 순차적으로 쉬프트되는 형태의 출력신호(S01 내지 S0n)를 발생하여 이를 상기 매트릭스 화소 어레이에 제공하게 되는 것이다.
- <22> 도 2는 도 1에 도시된 주사구동회로에서 임의 스테이지의 회로도이고, 도 3는 도 2에 도시된 스테이지의 입/출력 신호 파형도이다.
- <23> 도 2 및 도 3을 참조하면, 종래의 경우 주사구동회로를 구성하는 각 스테이지는 마스터-슬레이브(Master-Slave) 형태의 플립플롭(flip/flop)을 사용한다. 이러한 플립플롭은 클럭(CLK)이 로우 레벨일 때 입력을 계속 받으며, 출력은 이전의 출력을 유지한다.
- <24> 반면에 상기 클럭(CLK)이 하이 레벨인 경우에는 상기 클럭(CLK)이 로우 레벨일 때 받은 입력(IN)을 유지하며 이를 출력으로 내보내고 더 이상의 입력을 받지 않는다.
- <25> 이와 같은 회로에 있어서, 상기 플립플롭 내부에 구비되는 인버터(inverter)의 경우 그 입력(in)이 로우 레벨일 때 스태틱 전류(static current)가 흐르는 문제가 있다. 또한, 상기 플립플롭 내부에서 하이 레벨 입력(in)을 받은 인버터와 로우 레벨 입력(in)을 받는 인버터의 수가 같으므로 상기 플립플롭 내부의 인버터 중 절반에서는 상기 스태틱 전류가 발생되어 소비전력이 크게 되는 단점이 있다.
- <26> 그리고, 도 2의 회로에서 출력 전압(OUT)의 하이 레벨은 공급전압(VDD)과 접지(GND) 사이를 연결하는 저항의 비에 의한 전압값으로 결정되며(ratioed logic), 출력 전압(OUT)의 로우 레벨은 접지(GND)보다 트랜지스터의 문턱 전압 만큼 높게 된다.
- <27> 즉, 트랜지스터의 특성 편차에 따라 각 스테이지마다 하이 레벨로 받아들이는 입력전압 레벨이 다르게 되기 때문에 이와 같은 회로를 채용할 경우 출력 전압의 하이 레벨에도 편차가 생겨 회로가 오동작할 수 있게 되는 단점이 있다.
- <28> 또한, 상기 출력 전압의 로우 레벨 편차는 도 2의 회로에 구비된 인버터의 입력 트랜지스터(T1)의 온(on) 저항의 편차로 반영되어 출력 전압의 하이 레벨 편차를 가중시킬 수 있다. 특히 유기 전계발광 장치 패널에서는 특성 편차가 큰 트랜지스터를 사용하므로 이러한 문제가 더욱 심각해 진다.
- <29> 또한, 상기 인버터는 입력 트랜지스터(T1)를 통해서 전류가 흘러 출력단(out)을 충전하며, 로드 트랜지스터(T2)를 통해서 전류가 흘러 출력단(out)을 방전하는데, 상기 출력단을 충전할 경우 상기 로드 트랜지스터(T2)의 소스-게이트 전압이 점점 줄어 방전 전류가 급격히 감소해 방전 효율이 떨어지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

<30> 따라서, 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 창출된 것으로, 본 발명의 목적은 주사구동회로가 PMOS 트랜지스터로 구현되도록 하며, 주사구동회로의 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭하도록 하는 주사구동회로 및 이를 이용한 유기발광 표시장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

<31> 상기 목적을 달성하기 위하여 본 발명의 제 1 측면은, 순차적으로 발생하는 4 개의 클럭 중 3 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 상기 제 1 트랜지스터의 온오프동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부 및 상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로를 제공하는 것이다.

<32> 본 발명의 제 2 측면은, 순차적으로 발생하는 4 개의 클럭 중 3 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압과 상기 출력단이 온 또는 오프 상태가 되도록 하는 스위치부 및 상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로를 제공하는 것이다.

<33> 본 발명의 제 3 측면은, 복수의 화소에 의해 화상을 표현하는 화소부, 상기 화소부에 주사신호를 전달하는 주사구동회로 및 상기 화소부에 데이터신호를 전달하는 데이터구동회로를 포함하며, 상기 주사구동회로는 순차적으로 발생하는 4 개의 클럭 중 3 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 상기 제 1 트랜지스터의 온오프동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부 및 상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 유기발광표시장치를 제공하는 것이다.

<34> 본 발명의 제 4 측면은, 복수의 화소에 의해 화상을 표현하는 화소부, 상기 화소부에 주사신호를 전달하는 주사구동회로 및 상기 화소부에 데이터신호를 전달하는 데이터구동부를 포함하며, 상기 주사구동회로는 순차적으로 발생하는 4 개의 클럭 중 3 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압과 상기 출력단이 온 또는 오프 상태가 되도록 하는 스위치부 및 상기 입력신호에 대응하여 선택적으로 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 유기발광표시장치를 제공하는 것이다.

<35> 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.

<36> 도 4는 본 발명에 따른 유기발광표시장치의 구조를 나타내는 구조도이다. 도 4를 참조하여 설명하면, 유기 발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(40)을 포함하는 화소부(30)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사구동회로(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동회로(20)와, 주사구동회로(10) 및 데이터 구동회로(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.

<37> 타이밍 제어부(50)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(50)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동회로(20)로 공

급되고, 주사 구동제어신호(SCS)는 주사구동회로(10)로 공급된다. 그리고, 타이밍 제어부(50)는 외부로부터 공급되는 데이터(Data)를 데이터 구동회로(20)로 공급한다.

- <38> 데이터 구동회로(20)는 타이밍 제어부(50)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동회로(20)는 데이터신호를 생성하고, 생성된 데이터신호를 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급한다.
- <39> 화소부(30)는 외부로부터 제 1 전원(ELVDD) 및 제 2 전원(ELVSS)을 공급받아 각각의 화소들(40)로 공급한다. 제 1 전원(ELVDD) 및 제 2 전원(ELVSS)을 공급받은 화소들(40) 각각은 데이터신호에 대응하여 제 1 전원(ELVDD)으로부터 발광소자를 경유하여 제 2 전원(ELVSS)으로 흐르는 전류를 제어함으로써 데이터신호에 대응되는 빛을 생성한다.
- <40> 또한, 주사구동회로(10)는 타이밍 제어부(50)로부터 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사구동회로(10)는 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.
- <41> 즉, 상기 주사구동회로(10)는 상기 복수의 화소들을 구동하기 위해 순차적으로 상기 주사신호를 생성하여 이를 화소부에 제공하는 역할을 수행한다.
- <42> 도 5는 본 발명에 따른 주사구동회로의 구조를 나타내는 구조도이다. 도 5를 참조하여 설명하면, 주사구동회로는 $m \times n$ 화소 어레이(Pixel Array)를 구동하기 위하여 스타트 펄스 입력 라인에 종속 접속되어진 n개의 스테이지들을 구비한다.
- <43> 이들 n개의 스테이지들의 출력라인들은 상기 화소 어레이에 포함된 n개의 로우라인들(ROW1 내지 ROWn)에 각각 접속된다. 제 1 스테이지에는 스타트 펄스(SP)가 공급되고 제 1 내지 제 n-1 스테이지들의 출력신호는 각각 후단의 스테이지들에 스타트 펄스로서 공급된다. 그리고, 상기 각 스테이지들은 제 1 클럭신호(CLK1)와 제 2 클럭신호(CLK2)와 제 3 클럭신호(CLK3) 또는 제 2 클럭신호(CLK2)와 제 3 클럭신호(CLK3)와 제 4 클럭신호(CLK4) 또는 제 4 클럭신호(CLK4)와 제 1 클럭신호(CLK1)와 제 2 클럭신호(CLK2)를 입력받아 동작하며 각 스테이지들은 제 1 클럭단자(CK1)와 제 2 클럭단자(CK2)와 제 3 클럭단자(CK3)를 구비한다. 여기서, 상기 스테이지가 4k-3 번째 인 경우에는 도시된 바와 같이 상기 제 1 클럭단자(CK1)에 제 1클럭(CLK1)이 공급되고, 제 2 클럭단자(CK2)에 제 2클럭(CLK2)이 공급되며, 제 3 클럭단자(CK3)에 제 3 클럭(CLK3)이 공급된다. 그리고, 상기 스테이지가 4k-2 번째인 경우에는 상기 제 1 클럭단자(CK1)에 제 2 클럭(CLK2)이 공급되고, 제 2 클럭단자(CK2)에 제 3 클럭(CLK3)이 공급되며, 제 3 클럭단자(CK3)에 제 4 클럭(CLK4)이 공급된다. 그리고, 상기 스테이지가 4k-1 번째인 경우에는 상기 제 1 클럭단자(CK1)에 제 3 클럭(CLK3)이 공급되고, 제 2 클럭단자(CK2)에 제 4 클럭(CLK4)이 공급되며, 제 3 클럭단자(CK3)에 제 1 클럭(CLK1)이 공급된다. 그리고, 상기 스테이지가 4k 번째인 경우에는 상기 제 1 클럭단자(CK1)에 제 4 클럭(CLK4)이 공급되고, 제 2 클럭단자(CK2)에 제 1 클럭(CLK1)이 공급되며, 제 3 클럭단자(CK3)에 제 2 클럭(CLK2)이 공급된다. 여기서 k는 자연수이다.
- <44> 즉, 각 스테이지는 제 1 내지 제 4 클럭(CLK1 내지 CLK4) 중 세 개의 클럭을 전달받아 동작하고, 나머지 하나의 클럭은 전달받지 않아 나머지 하나의 클럭에 대해 동작하지 않도록 한다.
- <45> 그리고, 제 1 스테이지가 제 1 클럭(CLK1)과 제 2 클럭(CLK2)과 제 3 클럭(CLK3)에 의해 신호를 출력할 때 제 2 스테이지는 제 2 클럭(CLK2)과 제 3 클럭(CLK3)과 제 4 클럭(CLK4)을 전달받아 동작을 하게 되고, 제 2 스테이지가 제 2 클럭(CLK2)과 제 3 클럭(CLK3)과 제 4 클럭(CLK4)에 의해 신호를 출력 할 때 제 3 스테이지는 제 3 클럭(CLK3)과 제 1 클럭(CLK1)과 제 2 클럭(CLK2)을 전달받아 동작을 하게 된다. 즉, 제 1 스테이지와 제 2 스테이지와 제 3 스테이지는 순차적으로 신호를 출력하게 되어 유기 발광표시장치의 화소부를 라인별로 순차 구동하게 되는 것이다.
- <46> 이와 같은 주사구동회로에 있어서의 입력 신호들, 즉 스타트 펄스(SP), 제 1 내지 제 4 클럭(CLK1 내지 CLK4)과, 공급전압(VDD) 등은 외부 제어회로로부터 공급된다.
- <47> 도 6은 본 발명에 의한 주사 구동회로 내의 임의 스테이지의 제 1 실시예를 나타내는 회로도이고, 도 7은 도 6에 도시된 스테이지의 입/출력 신호 파형의 제 1 실시예를 나타내는 타이밍도이다.
- <48> 도 6에 도시된 바와 같이 본 발명의 실시예의 경우 스테이지에 포함된 트랜지스터가 모두 PMOS 트랜지스터로 구성되어 있으며, 주사 구동회로를 통해 순차적으로 로우 레벨의 출력을 내보낸다. 즉, 본 발명에 의한 주사 구동회로에서는 유기 전계발광 장치와 같은 액티브 매트릭스 표시장치의 화소부에 도 6에 도시된 바와 같이 대부분

의 시간 동안 하이 레벨의 신호를 출력하고 여러 스테이지를 통해 순차적으로 로우 레벨의 펄스를 출력한다.

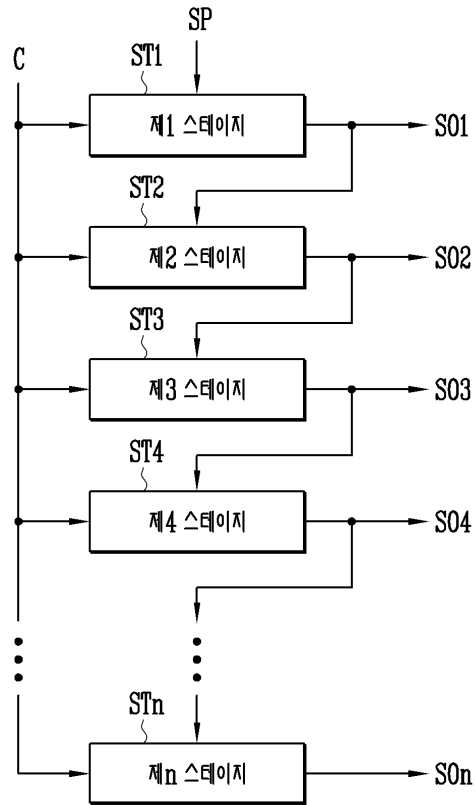
- <49> 도 6을 참조하면, 스테이지는, 이전단 출력전압(v_i) 또는 최초 스타트 펄스(SP)를 입력 받고 제 2 클럭단자(CK2)에 게이트가 접속되어 선택적으로 이전단 출력전압(v_i) 또는 최초 스타트 펄스(SP)를 제 1 노드(N1)로 전달하는 제 1 PMOS 트랜지스터(M1), 게이트가 제 1 노드(N1)에 연결되고 제 3 클럭단자(CK3)와 제 2 노드(N2) 사이에 접속되는 제 2 PMOS 트랜지스터(M2), 게이트에 제 1 클럭단자(CK1)가 연결되고 기저전압원과 제 3 노드(N3) 사이에 연결되는 제 3 PMOS 트랜지스터(M3), 게이트에 제 1 노드(N1)가 연결되고 제 1 클럭단자(CK1)와 제 3 노드(N3)사이에 연결되는 제 4 PMOS 트랜지스터(M4), 게이트가 제 3 노드(N3)에 연결되고 전원공급선(VDD) 및 출력 라인(OUT) 사이에 접속된 제 5 PMOS 트랜지스터(M5) 및 제 1 노드(N1)와 제 2 노드(N2) 사이에 연결되어 소정의 전압을 유지하는 캐패시터(C1)을 포함한다.
- <50> 상기 기저전압원(VSS)에는 별도의 음의 전원 또는 접지(GND) 되어 구성될 수도 있으며, 본 발명의 실시예에서는 상기 기저전압원이 접지(GND)로 구현되는 것이 도시되어 있다.
- <51> 이하, 도 6에 도시된 스테이지 중 $4k-3$ 번째 스테이지의 회로 구성을 통해 보다 구체적으로 스테이지의 동작을 설명하도록 한다.
- <52> 도 7을 참조하면, 상기 주사 구동회로의 각 스테이지는 제 1 클럭(CLK1), 제 2 클럭(CLK2), 제 3 클럭(CLK3) 및 제 4 클럭(CLK4)에 의해 한 주기를 프리차지기간, 입력기간, 평가기간 및 휴식기간으로 구분할 수 있다. 프리차지기간은 스테이지의 제 1 클럭단자(CK1)로 로우 신호가 입력되고 제 2 클럭단자(CK2)와 제 3 클럭단자(CK3)에 하이 신호가 입력되어 스테이지의 캐패시터(C1)를 프리차지하게 된다. 그리고, 입력기간은 제 2 클럭단자(CK2)로 로우신호가 입력되고 제 1 클럭단자(CK1)와 제 3 클럭단자(CK3)에 하이 신호가 입력되며 입력단(in)을 통해 스타트 펄스(SP) 또는 이전단의 주사신호(S_i)가 입력되어 저장된다. 평가기간은 제 3 클럭단자(CK3)에 로우신호가 입력되고 제 1 클럭단자(CK1)와 제 2 클럭단자(CK2)에 하이신호가 입력되어 소정의 구간내에서 로우신호를 출력한다. 스테이지의 입력단자를 통해 스타트 펄스(SP) 또는 이전 스테이지에서 출력된 주사신호(S_i)가 입력되도록 한다. 그리고, 평가기간은 제 3 클럭단자(CK3)로 로우신호가 입력되고 제 1 클럭단자(CK1)와 제 2 클럭단자(CK2)를 통해 하이 신호가 입력되어 로우 레벨의 펄스의 주사신호를 일정시간 동안 만큼 쉬프트 하여 출력하는 동작을 한다. 그리고, 휴식기간은 스테이지에 입력되지 않는 제 4 클럭(CLK4)가 로우신호로 동작할 때를 의미한다.
- <53> 먼저, 프리차지 구간에서, 제 1 클럭(CLK1)이 로우신호가 되면, 제 3 PMOS 트랜지스터(M3)가 온상태가 되어 제 3 노드(N3)의 전압이 접지전압으로 되어 제 5 PMOS 트랜지스터(M5)가 온상태가 되어 전원공급선(VDD)의 전압이 출력단자(out)를 통해 출력되어 출력단자(out)로는 하이의 전압이 출력된다. 즉, 주사신호가 하이신호로 출력되게 된다. 그리고, 입력기간에서는 제 2 클럭(CLK2)이 로우신호가 되면, 스타트 펄스(SP) 또는 이전단의 주사신호(S_i)가 제 1 PMOS 트랜지스터(M1)를 통해 제 1 노드(N1)에 전달되고, 캐패시터(C1)에 스타트 펄스(SP) 또는 이전단의 주사신호(S_i)가 저장된다. 이때, 스타트 펄스(SP) 또는 이전단의 주사신호(S_i)가 로우신호이므로, 제 2 PMOS 트랜지스터(M2)와 제 4 PMOS 트랜지스터(M4)가 온상태가 된다. 그리고, 제 1 클럭(CLK1)이 하이신호가 되어 제 3 PMOS 트랜지스터(M3)는 오프상태가 된다. 제 3 PMOS 트랜지스터(M3)가 오프 상태가 되고 제 4 PMOS 트랜지스터(M4)가 온상태가 되면 제 3 노드(N3)로 하이신호인 제 1 클럭(CLK1)이 전달되어 제 5 PMOS 트랜지스터(M5)가 오프 상태가 된다. 이때, 제 2 PMOS 트랜지스터(M2)는 온 상태가 되어 하이 신호인 제 3 클럭(CLK3)에 의해 출력단자는 하이신호를 출력한다. 그리고, 평가기간에서는 제 3 클럭(CLK3)이 로우신호가 되어 제 1 PMOS 트랜지스터(M1)가 플로팅상태가 되어 캐패시터(C1)는 로우전압을 유지하여 제 2 PMOS 트랜지스터(M2)와 제 4 PMOS 트랜지스터(M4)는 온 상태가 된다. 그리고, 제 3 PMOS 트랜지스터(M3) 및 제 5 PMOS 트랜지스터(M5)는 오프상태가 된다. 따라서, 출력단자(out)로는 로우신호의 제 3 클럭(CLK3)에 의해 로우의 신호가 출력되게 된다.
- <54> 즉, 프리차지기간에서는 출력단자(out)에서 전원공급선(VDD)에 의해 하이의 전압이 출력되고 입력기간에는 캐패시터(C1)에 의해 출력단자(out)에서 하이의 전압을 유지하게 된다. 그리고, 평가기간에는 로우신호의 제 3 클럭(CLK3)에 대응하는 전압을 출력하게 되며 제 3 클럭(CLK3)이 로우상태가 되면 출력단(out)의 전압이 떨어지게 되고 제 3 클럭(CLK3)이 하이상태가 되면 다시 출력단(out)의 전압은 하이상태가 된다. 따라서, 출력단(out)에서는 주사신호가 출력된다. 그리고, 휴식기간에는 제 1 클럭(CLK1) 제 2 클럭(CLK2) 제 3 클럭(CLK3)은 하이상태로 전달되고 로우 상태로 전달되는 제 4 클럭(CLK4)는 스테이지에 전달되지 않아 스테이지가 클럭에 의한 동작을 하지 않게 된다.
- <55> 그리고, 각각의 스테이지는 입력단(in)을 통해 로우신호가 입력되지 않으면 제 2 트랜지스터(M2)는 오프상태가

되어 출력단(out)은 하이신호를 유지하게 되어 각각의 스테이지는 스타트 펄스(SP) 또는 이전단의 스테이지에서 출력된 로우신호를 입력받은 경우에만 로우신호를 출력하게 되어 주사신호를 순차적으로 출력할 수 있게 된다.

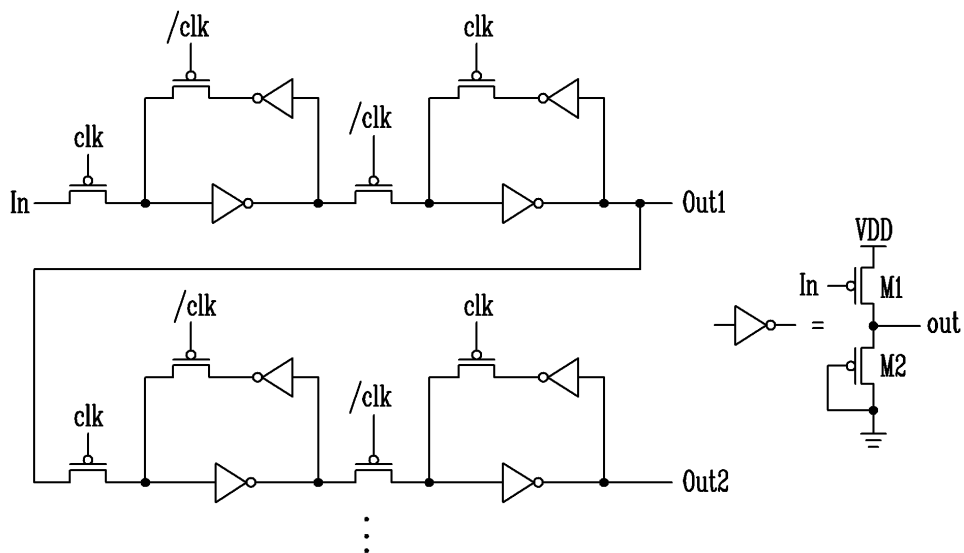
- <56> 도 8은 본 발명에 의한 주사 구동회로 내의 임의 스테이지의 제 2 실시예를 나타내는 회로도이다. 도 8을 참조하여 설명하면, 스테이지는 제 1 PMOS 트랜지스터(M1), 제 2 PMOS 트랜지스터(M2), 제 3 PMOS 트랜지스터(M3), 제 4 PMOS 트랜지스터(M4), 제 5 PMOS 트랜지스터(M5) 및 캐패시터(C1)를 구비한다.
- <57> 제 1 PMOS 트랜지스터(M1)는 제 2 클럭(CLK2)에 의해 입력신호를 제 1 노드(N1)에 전달하고, 제 2 PMOS 트랜지스터(M2)는 제 1 노드(N1)의 전압에 대응하여 제 3 클럭(CLK3)을 제 2 노드(N2)에 전달한다. 제 3 PMOS 트랜지스터(M3)는 제 1 클럭(CLK1)에 의해 접지전압을 제 5 PMOS 트랜지스터(M5)의 게이트에 전달하며, 제 4 PMOS 트랜지스터(M4)는 출력단(out)이 게이트와 연결되어 출력단(out)의 전압에 대응하여 제 1 클럭(CLK1)을 제 5 PMOS 트랜지스터(M5)의 게이트에 전달한다. 그리고, 제 5 PMOS 트랜지스터(M5)는 게이트의 전압에 대응하여 전원공급선(VDD)의 전압을 출력단에 전달한다. 그리고, 캐패시터(C1)는 제 1 노드(N1)와 제 2 노드(N2) 사이에 연결되어 소정의 전압을 유지한다.
- <58> 상기와 같이 구성된 스테이지는 도 7에 도시된 타이밍도와 같은 제 1 내지 제 3 클럭(CLK1 내지 CLK3)을 전달받아 동작하며, 프리차지 구간에서는 제 1 클럭(CLK1)에 의해 제 5 PMOS 트랜지스터(M5)가 온상태가 되어 전원공급선(VDD)의 전압에 의해 출력단(out)으로 하이의 신호가 출력되고, 입력구간에서는 제 2 클럭(CLK2)에 의해 캐패시터(C1)에 스타트 펄스(SP) 또는 이전단의 주사신호(Si)가 저장된 후, 평가기간에서는 캐패시터(C1)에 저장된 전압에 의해 제 3 클럭(CLK3)의 전압이 출력되도록 하여 출력단(out)의 전압이 로우레벨을 갖도록 한다. 이때, 제 4 PMOS 트랜지스터(M4)는 출력단의 전압이 로우레벨일 때 제 5 PMOS 트랜지스터(M5)의 게이트에 하이신호를 전달하여 전원공급선(VDD)의 전압이 출력단으로 전달되는 것을 방지한다.
- <59> 도 9는 본 발명에 의한 주사 구동회로 내의 임의 스테이지의 제 3 실시예를 나타내는 회로도이다. 도 9를 참조하여 설명하면, 스테이지는 도 6에 도시된 스테이지에서 제 4 PMOS 트랜지스터(M4)의 소스에 제 6 PMOS 트랜지스터(M6)가 연결되도록 하고 제 6 PMOS 트랜지스터(M6)의 소스에는 전원공급선(VDD)이 연결되고 게이트에는 제 3 클럭(CLK3)이 전달되도록 한다. 따라서, 제 3 클럭(CLK3)이 로우레벨을 갖는 경우 캐패시터(C1)에 저장된 전압에 의해 제 4 PMOS 트랜지스터(M4)가 온상태가 되어 전원공급선(VDD)의 전압이 제 3 노드(N3)로 전달되도록 하여 제 5 PMOS 트랜지스터(M5)가 오프상태가 되도록 한다. 즉, 클럭이 아닌 전원공급선(VDD)의 전압이 제 5 PMOS 트랜지스터(M5)의 게이트에 전달되도록 하여 제 5 PMOS 트랜지스터(M5)가 확실히 오프상태가 될 수 있도록 한다. 따라서, 제 3 클럭(CLK3)이 로우레벨일 경우 전원공급선의 전압이 제 5 PMOS 트랜지스터(M5)를 통해 출력단으로 전달되는 것을 방지하여 제 3 클럭(CLK3)이 로우레벨일 때 출력단의 전압이 확실히 로우레벨로 떨어질 수 있도록 한다.
- <60> 도 10은 본 발명에 의한 주사 구동회로 내의 임의 스테이지의 제 4 실시예를 나타내는 회로도이다. 도 10을 참조하여 설명하면, 도 9에 도시된 스테이지와의 차이점은 제 4 PMOS 트랜지스터(M4)의 게이트에 제 3 클럭(CLK3)이 전달되고 제 6 PMOS 트랜지스터(M6)의 게이트가 제 1 노드(N1)와 연결되도록 한 것으로, 제 3 클럭(CLK3)이 로우레벨일 때 제 3 노드(N3)로 전원공급선의 전압이 전달되도록 하는 것은 도 9와 동일하도록 한다.
- <61> 도 11은 본 발명에 의한 주사 구동회로 내의 임의 스테이지의 제 5 실시예를 나타내는 회로도이다. 도 11을 참조하여 설명하면, 도 8에 도시된 스테이지와 유사한 구성을 하며 차이점은 제 3 PMOS 트랜지스터(M3)의 소스와 게이트가 제 1 클럭(CLK1)을 전달받도록 한다. 따라서, 제 1 클럭(CLK1)이 로우레벨일 때 제 5 PMOS 트랜지스터(M5)가 온상태가 된다. 나머지 동작은 도 8에 도시된 스테이지와 동일한 동작을 한다.
- <62> 도 12는 도 6에 도시된 스테이지의 입/출력 신호 파형의 제 2 실시예를 나타내는 타이밍도이다. 도 12의 파형은 도 8, 도 9, 도 10 및 도 11에 도시된 스테이지에도 적용된다. 그리고, 제 1 클럭(CLK1), 제 2 클럭(CLK2), 제 3 클럭(CLK3) 및 제 4 클럭(CLK4)이 외부의 영향 등에 의해 일정부분 겹쳐지게 된 경우의 동작을 나타낸다.
- <63> 도 12를 살펴보면, 제 2 클럭(CLK2)과 제 3 클럭(CLK3)과 제 4 클럭(CLK4)의 오동작에 의해 제 1 클럭(CLK1)과 제 2 클럭(CLK2), 제 2 클럭(CLK2)과 제 3 클럭(CLK3), 제 3 클럭(CLK3)과 제 4 클럭(CLK4)이 겹쳐지게 된다. 이때, 스테이지의 네가지 동작인 프리차지기간, 입력기간, 평가기간 및 휴식기간 중 평가기간에서 주사신호는 제 3 클럭(CLK3)의 동작에 대응하여 동작한다. 이때, 스테이지에 제 4 클럭(CLK4)에 의한 휴식기간에는 제 4 클럭(CLK4)이 스테이지에 입력되지 않아 제 4 클럭(CLK4)은 스테이지의 동작에 영향을 끼치지 않는다. 따라서, 스테이지에서 출력되는 주사신호는 제 3 클럭(CLK3)의 파형을 따라 가게 되어 각 클럭이 일정부분 겹쳐지더라도 주사신호의 파형에 왜곡이 발생하지 않게 된다.

도면

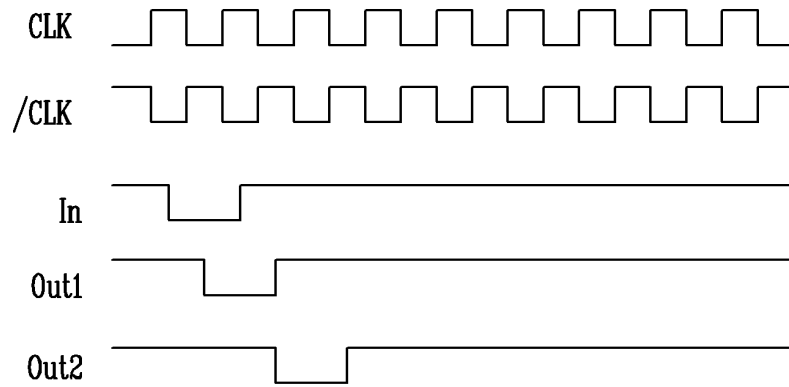
도면1



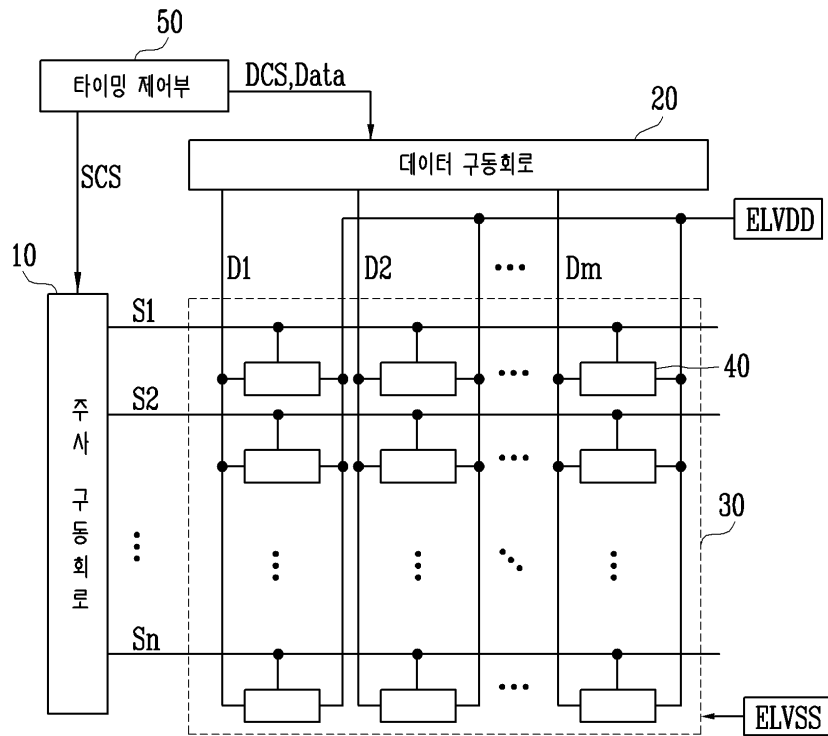
도면2



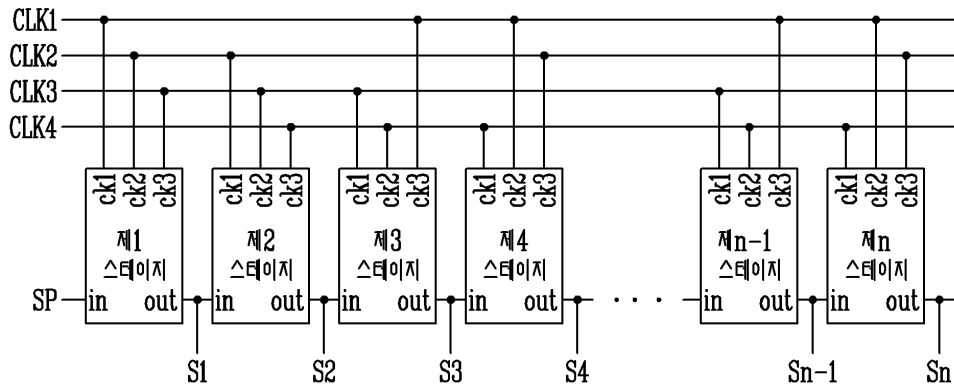
도면3



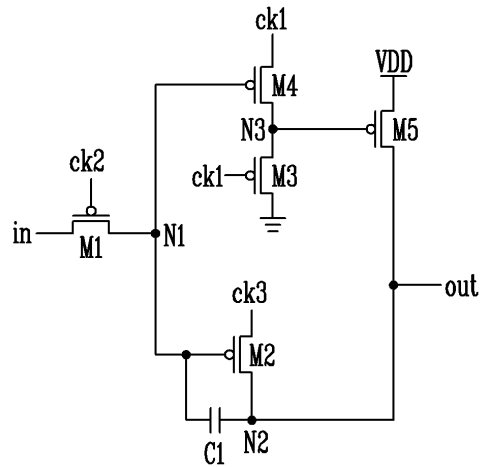
도면4



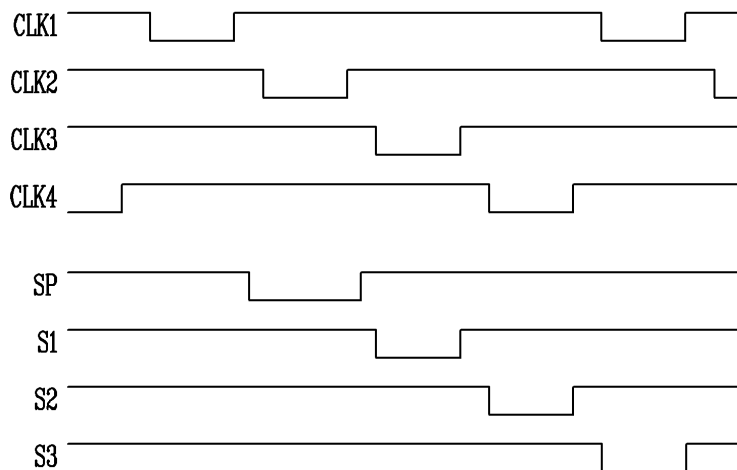
도면5



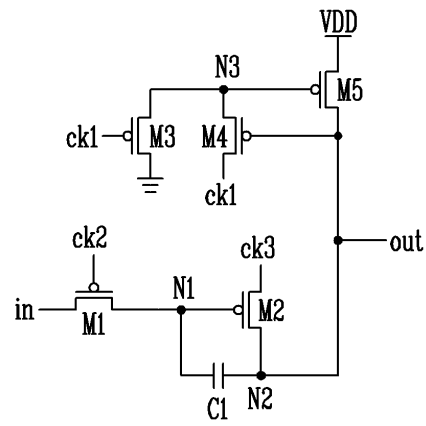
도면6



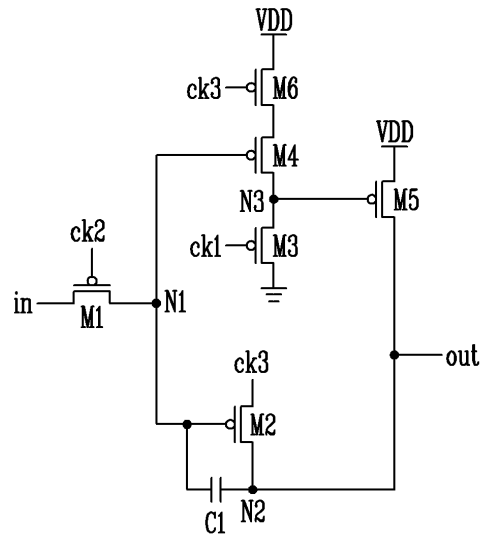
도면7



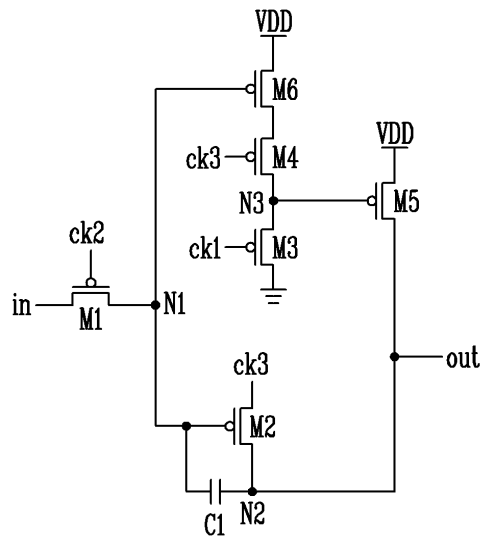
도면8



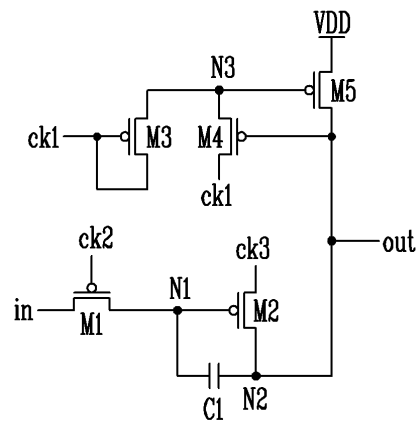
도면9



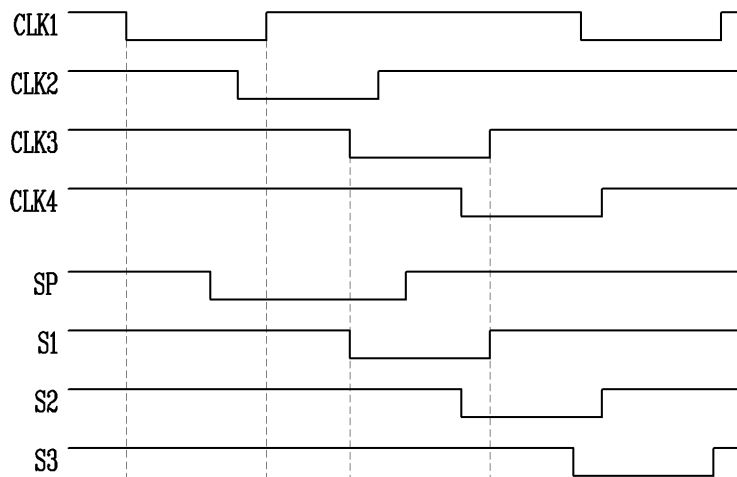
도면10



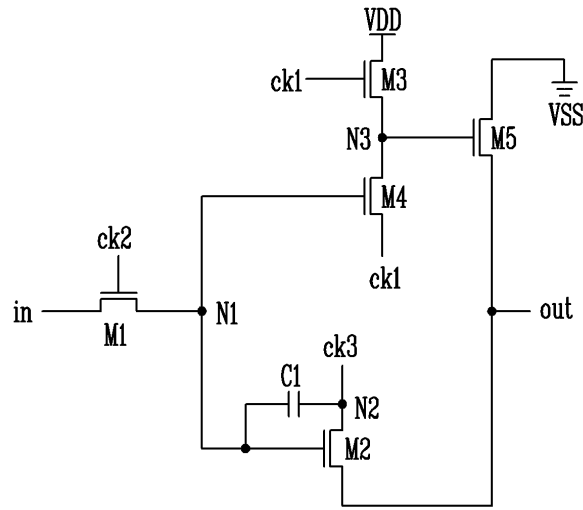
도면11



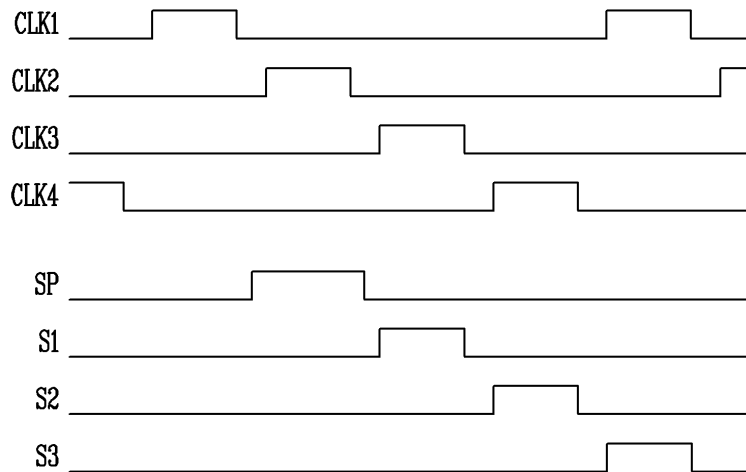
도면12



도면13



도면14



专利名称(译)	扫描驱动电路和使用其的有机发光显示器		
公开(公告)号	KR100776511B1	公开(公告)日	2007-11-16
申请号	KR1020060034960	申请日	2006-04-18
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DONGYONG SHIN 신동용		
发明人	신동용		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3266 G09G3/20 G09G3/3208 G09G2310/0286 G09G2330/021 G11C19/184		
代理人(译)	Sinyoungmu		
其他公开文献	KR1020070103183A		
外部链接	Espacenet		

摘要(译)

用途：提供扫描驱动器和使用该扫描驱动器的OLED（有机发光显示器）装置，以通过使用在估计周期之后形成的凹陷周期来防止扫描信号失真。组成：扫描驱动器，由接收驱动四个时钟的三个时钟，通过输入端（in）接收输入信号，并通过输出端（out）输出输出信号。多级输入端子中的每一个连接到前一级的输出端子。每个级包括晶体管，开关单元和存储单元。晶体管切换为与对应于第二时钟端子（ck2）中的时钟的输入端子连接。切换单元控制以根据通过第一时钟端子（ck1）接收的时钟和输入信号将第一电压传送到输出端子。存储单元将通过第三时钟端子（ck3）接收的时钟信号传送到输出端子。©KIPO 2007

