



대표도

도 2

특허청구의 범위

청구항 1.

적어도 하나의 박막 트랜지스터를 포함하는 기관과,

상기 기관과 상기 박막 트랜지스터 사이에 형성되는 제1 변형 방지층과,

상기 기관 하면에 형성되며, 상기 제1 변형 방지층 증착시 발생하는 압축응력보다 큰 응력을 갖으며, 상기 제1 변형 방지층보다 얇은 두께로 형성되는 제2 변형 방지층과,

상기 박막 트랜지스터 상에 형성되는 발광층을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 2.

제1 항에 있어서, 상기 제1 변형 방지층은 산화막으로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3.

제2 항에 있어서, 상기 제1 변형 방지층은 0.1 $\mu\text{m}$  내지 1 $\mu\text{m}$  두께 범위에서 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4.

제1 항에 있어서, 상기 제2 변형 방지층은 질화막으로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5.

삭제

청구항 6.

제4 항에 있어서, 상기 제2 변형 방지층은 0.001 $\mu\text{m}$  내지 0.5 $\mu\text{m}$  두께 범위에서 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7.

제4 항에 있어서, 상기 제2 변형 방지층은 상기 기관 상에 제1 변형 방지층 증착시 발생하는 압축 응력을 보상해주는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8.

제1 항에 있어서, 상기 기판은 금속, 스테인레스, 티타늄 또는 메탈포일로 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 9.**

제1 항에 있어서, 상기 박막 트랜지스터와 상기 발광층 사이에 평탄화층과 제1 전극층을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 10.**

제1 항에 있어서, 상기 발광층 상에 제2 전극층을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 11.**

삭제

**청구항 12.**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 유기 발광 표시 장치 및 그의 제조방법에 관한 것으로, 보다 구체적으로 기판 상부와 하부에 두께가 다른 변형 방지층을 형성함으로써 유기 발광 표시장치의 박막 트랜지스터 특성 저하 또는 변화를 최소화할 수 있는 유기 발광 표시 장치 및 그의 제조방법에 관한 것이다.

최근, 절연 표면을 갖는 기판 상에 형성되는 반도체 박막을 이용하여, 박막 트랜지스터를 구성하는 기술이 주목받고 있다. 박막 트랜지스터는 전자 디바이스에 넓게 응용되고, 특히, 유기 발광 표시 장치의 개발이 진행되고 있다. 전술한 박막 트랜지스터를 형성하기 위해, 유리 또는 석영 등이 사용되고 있지만, 이들은 깨지기 쉽고 상대적으로 무겁다는 단점이 있어 대형화가 곤란하고 부적합하여, 대량 생산이 용이하지 않다.

이러한 단점을 해소하기 위해, 상대적으로 두께가 얇은 기판, 예를 들면, 금속 박막 또는 플라스틱 필름 형태의 기판 상에 박막 트랜지스터를 포함하는 유기 발광 표시 장치가 제작될 수 있다. 상기 금속 박막 형태 또는 필름 형태의 기판은 두께가 얇고 경량이라는 것에 더해 가요성을 갖기 때문에 디스플레이나 쇼윈도우 등에도 이용할 수 있다.

그러나 플라스틱 필름 형태의 기판 상에 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 형성하는 경우 내열성이 약하고 온도 변화에 상당히 민감하기 때문에, 기존의 박막 트랜지스터 형성시 요구되는 온도에 비해 상대적으로 낮게 처리한다. 이에 따라, 플라스틱 필름 형태의 기판 상에 박막 트랜지스터를 형성하는 것은 유기 기판 사이에 박막 트랜지스터를 형성하는 경우에 비해, 박막 트랜지스터의 성능 향상에 유리하지 않다.

따라서, 이러한 문제점들을 해소하기 위해, 금속 박막 형태의 기판 사이에 박막 트랜지스터가 형성된 유기 발광 표시 장치를 제작하는 것이 제안되고 있다.

이하에서는 도면을 참조하여 종래의 유기 발광 표시 장치를 구체적으로 설명한다.

도 1은 종래 기술에 따른 유기 발광 표시 장치의 단면도이다.

도 1을 참조하면, 유기 발광 표시 장치(10)는 금속 기판(100) 상에 적어도 하나의 박막 트랜지스터(110)를 형성한다. 상기 박막 트랜지스터(110) 상에는 평탄화층(120)을 형성하고, 상기 평탄화층(120) 상에는 발광소자(130)를 형성한다.

그러나 이러한 종래 기술에 따른 유기 전계 발광 표시장치는 금속기판으로 부터 금속 이온 및 불순물 등이 반도체층으로 확산될 경우 박막 트랜지스터의 소자 특성을 저하시킬 수 있는 단점이 있다. 또한, 후속 공정 등에서 발생하는 열 또는 응력 등에 의한 변형 및 층들의 박리현상이 나타날 수 있다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 전술한 종래의 문제점들을 해소하기 위해 도출된 발명으로, 기판 상부와 하부에 두께가 다른 변형 방지층을 형성함으로써 박막 트랜지스터의 특성 저하 또는 변화를 최소화할 수 있는 유기 발광 표시 장치 및 그의 제조방법을 제공하는 것을 목적으로 한다.

### 발명의 구성

전술한 목적을 달성하기 위한, 본 발명의 일 측면에 따르면, 본 발명의 유기 발광 표시 장치는 적어도 하나의 박막 트랜지스터를 포함하는 기판과, 상기 기판과 상기 박막 트랜지스터 사이에 형성되는 제1 변형 방지층과, 상기 기판 하면에 형성되며, 상기 제1 변형 방지층 증착시 발생하는 압축응력보다 큰 응력을 갖으며, 상기 제1 변형 방지층보다 얇은 두께로 형성되는 제2 변형 방지층과, 상기 박막 트랜지스터 상에 형성되는 발광층을 포함한다.

바람직하게, 상기 제1 변형 방지층은 0.1 $\mu$ m 내지 1 $\mu$ m 두께 범위에서 형성되는 것을 특징으로 하며, 상기 제1 변형 방지층은 산화막으로 이루어지는 것을 특징으로 한다. 상기 제2 변형 방지층은 질화막으로 이루어지는 것을 특징으로 하며, 상기 제2 변형 방지층은 0.001 $\mu$ m 내지 0.5 $\mu$ m 두께 범위에서 형성되는 것을 특징으로 한다.

본 발명의 다른 측면에 따르면, 본 유기 발광 표시 장치의 제조방법은 기판 상에 제1 변형 방지층을 형성하는 단계와, 상기 기판 하면에 상기 제1 변형 방지층보다 얇은 두께의 제2 변형 방지층을 형성하는 단계와, 상기 제1 변형 방지층 상의 일 영역에 박막 트랜지스터를 형성하는 단계와, 상기 박막 트랜지스터 상에 발광층을 형성하는 단계를 포함한다.

바람직하게는, 상기 제1 변형 방지층과 상기 제2 변형 방지층은 CVD 또는 스퍼터링 등의 공정을 이용하여 형성된다.

이하에서는, 본 발명의 실시 예들을 도시한 도면을 참조하여, 본 발명을 보다 구체적으로 설명한다.

도 2는 본 발명에 따른 유기 발광 표시 장치의 단면도이다.

도 2를 참조하면, 유기 발광 표시 장치(20)는 기판(200)과, 상기 기판(200) 상에 형성되는 제1 변형 방지층(210)과, 상기 제1 변형 방지층(210) 상에 형성되는 박막 트랜지스터(230)와, 상기 기판(200) 하면에 형성되며, 상기 제1 변형 방지층(210) 증착시 발생하는 압축응력보다 큰 응력을 갖으며, 상기 제1 변형 방지층(210)보다 얇은 두께로 형성되는 제2 변형 방지층(220)과, 상기 박막 트랜지스터(230) 상에 형성된 평탄화층(240)과, 상기 평탄화층(240)의 일영역 상에 형성되며, 상기 박막 트랜지스터(230)의 소스 및 드레인 전극(235a, 235b) 중 어느 하나와 연결되도록 형성된 제1 전극층(150)과, 상기 제1 전극층(250) 상에 형성되며, 상기 제1 전극층(250)을 적어도 부분적으로 노출되도록 개구부(280)가 형성된 화소 정의막(260)과, 상기 화소정의막(260)의 일영역 및 상기 개구부(280) 상에 형성된 발광층(270)과, 상기 발광층(270) 상부에 형성되는 제2 전극층(290)을 포함한다.

상기 기판(200)은 일례로 스테인레스 스틸(SUS) 또는 티타늄(Ti) 등을 이용하여 형성되는데, 플렉서블 가능한 박막(Metal foil) 형태로 형성되는 것이 가장 바람직하다.

상기 제1 변형 방지층(210)은 상기 기판(200) 상에 형성되며, 산화막 계열의 실리콘 옥사이드로 이루어지며, 이들에 제한되지는 않는다. 상기 제1 변형 방지층(210)은 금속 이온 및 불순물 등이 반도체층(231)으로 확산되는 것을 방지할 수 있다. 이에 따라, 상기 제1 변형 방지층(210)은 상기 박막 트랜지스터(230)의 소자 특성 저하를 방지할 수 있다. 그러나 상기 제1 변형 방지층(210)을 형성할 경우, 상기 기판(200)과 상기 제1 변형 방지층(210) 사이에 압축 응력이 발생한다. 따라서, 상기 기판(200) 하부에 상기 압축응력을 보상할 수 있는 제2 변형 방지층(220)을 형성한다.

상기 제2 변형 방지층(220)은 상기 기판(200) 하부에 형성되며, 질화막 계열의 나이트 라이드,  $Al_2O_3$  또는  $TiO_3$  중 하나로 이루어지며, 이들에 제한되지는 않는다. 상기 제2 변형 방지층(220)은 상기 기판(200) 상에 상기 제1 변형 방지층(210) 증착시 발생하는 압축응력을 보상할 수 있다. 또한, 상기 제2 변형 방지층(220)의 물질은 상기 기판(200) 상에 제1 변형 방지층(210) 증착시 발생하는 압축 응력 보다 더 큰 응력을 갖는 물질로 이루어진다.

상기 박막 트랜지스터(230)는 상기 제1 변형 방지층(210) 상에 형성된다.

이하에서는 상기 박막 트랜지스터(230)를 보다 구체적으로 설명한다.

상기 박막 트랜지스터(230)의 반도체층(231)은 상기 기판(200) 상에 소정의 패턴으로 형성된다. 상기 반도체층(231)은 금속 기판(200) 상에 증착된 비정질 실리콘을 레이저 등을 이용하여 결정화한 폴리실리콘(LTPS: low temperature poly silicon)을 이용할 수 있다.

상기 박막 트랜지스터(230)의 게이트 절연층(232)은 상기 반도체층(231) 상에 형성되며, 상기 게이트 절연층(232)은 상기 게이트 전극(232)과 상기 소스/드레인 전극(235a, 235b) 사이를 절연 시키는 역할을 한다. 여기서, 상기 게이트 절연층(232)의 절연 물질은 산화막 또는 질화막으로 형성되며, 이들에 제한되지는 않는다.

상기 박막 트랜지스터(230)의 게이트 전극(233)은 상기 게이트 절연층(232) 상에 형성되며, 상기 게이트 전극(233)은 상기 반도체층(231)의 채널 영역의 상부에 소정의 패턴으로 형성된다. 상기 게이트 전극(233)은 도전성 금속 예컨대, 알루미늄(Al), MoW, 몰리브덴(Mo), 구리(Cu), 은(Ag), 은합금, 알루미늄 합금 또는 ITO 등과 같은 물질 중 하나로 이루어지며, 이들에 제한되지는 않는다.

상기 박막 트랜지스터(230)의 층간 절연층(234)은 상기 게이트 전극(233) 상에 형성되며, 상기 층간 절연층(234)의 절연 물질은 상기 게이트 절연층(232)과 동일한 물질로 형성될 수 있다.

상기 박막 트랜지스터(230)의 소스/드레인 전극(235a, 235b)은 상기 층간 절연층(234) 상에 형성되며, 상기 게이트 절연층(232)과 상기 층간 절연층(234)에 형성된 콘택트 홀을 통하여 상기 반도체층(231)의 양측에 각각 전기적으로 연결된다.

상기 평탄화층(240)은 상기 박막 트랜지스터(230) 상에 형성되며, 질화막, 산화막 중 하나로 이루어지며, 이들에 제한되지는 않는다. 상기 평탄화층(240) 상에는 상기 평탄화층(240)의 일 영역을 식각하여 형성된 비어홀(251a)을 형성한다.

상기 제1 전극층(250)은 상기 평탄화층(240) 상에 형성된 비어홀(251a)을 통해 상기 소스 및 드레인 전극(235a, 235b) 중 어느 하나와 전기적으로 연결되어 형성되며, 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, MoW, 몰리브덴(Mo), 구리(Cu) 또는 ITO, IZO 등과 같은 도전성 금속 산화물로 이루어지며, 이들에 제한되지는 않는다.

상기 화소정의막(260)은 상기 제1 전극층(250) 상에 형성되며, 상기 제1 전극층(250)을 적어도 부분적으로 노출시키는 개구부(280)를 형성한다.

상기 발광층(270)은 상기 화소정의막(260)의 일 영역 및 상기 개구부(280) 상에 형성되며, 상기 발광층(270)은 정공 주입층, 정공수송층, 전자수송층 및 전자 주입층 중 일부를 더 포함할 수 있다. 이러한 상기 발광층(270)은 상기 제1 전극(250)과 상기 제2 전극층(290)으로부터 주입된 정공 및 전자가 결합하면서 빛을 발생한다.

상기 제2 전극층(290)은 상기 발광층(270)과 상기 화소정의막(260) 상에 형성된다. 여기서, 상기 제2 전극층(290)은 상기 제1 전극층(250)과 동일한 금속으로 형성될 수 있으며, 상기 제2 전극층(290)을 투명한 전극층으로 형성할 경우 상기 발광층(270)을 양면 발광 장치로 이용할 수 있다.

또한, 도 3a 내지 도 3c는 본 발명에 따른 유기 발광 표시 장치 제조방법의 공정 순서도이다.

먼저, 도 3a에 도시된 바와 같이, 상기 기판(200) 상부에 상기 제1 변형 방지층(210)을 형성한다. 구체적으로, 상기 기판(200) 상에 산화막 계열의 실리콘 옥사이드를 스퍼터링 또는 화학 기상 증착법(CVD)에 의해 대략 0.1 $\mu$ m 내지 1 $\mu$ m 정도의 두께로 증착한다.

상기 제2 변환 방지층(220)은 상기 기판(200) 하부에 형성된다. 구체적으로, 상기 기판(200) 상에 질화막 계열의 나이트라이드,  $Al_2O_3$  또는  $TiO_3$  중 하나를 스퍼터링 또는 화학 기상 증착법(CVD)에 의해 대략 0.001 $\mu m$  내지 0.5 $\mu m$  정도의 두께로 증착한다. 상기 제2 변환 방지층(220)은 상기 기판(200)과 상기 제1 변환 방지층(210) 사이에 발생하는 압축 응력 보다 더 큰 응력을 갖는 물질로 이루어진다. 이에 따라, 상기 제2 변환 방지층(220)은 상기 제1 변환층(210) 보다 더욱 얇은 두께로 상기 제1 변환 방지층(210)과 상기 기판(200) 사이에 발생한 압축응력을 보상해줄 수 있다. 또한, 상기 제2 변환 방지층(220)은 제1 변환 방지층(210)의 두께 보다 더욱 얇게 형성됨으로써 공정시간을 현저히 감소시킬 수 있다.

이어서, 도 3b에 도시된 바와 같이, 상기 박막 트랜지스터(230)는 상기 제1 변형 방지층(210) 상에 형성된다.

상기 박막 트랜지스터(230)의 반도체층(231)은 상기 제1 변형 방지층(210) 상에 소정의 패턴으로 형성된다. 상기 반도체층(231)은, 실리콘 또는 유기 물질 중에서 선택된 적어도 하나를 예컨대 CVD(Chemical Vapor Deposition)에 의해 대략 300 $\text{\AA}$ ~2000 $\text{\AA}$  정도의 두께로 도포한 뒤, 이를 소정 형상, 예컨대 섬모양 형상으로 패터닝 한다. 이때, 상기 투명 반도체층(231)의 패터닝은, 포토레지스트(PR)의 도포, 노광 및 현상에 의한 식각 마스크를 이용하여 수행될 수 있다.

이어서 상기 박막 트랜지스터(230)의 게이트 절연층(232)은 상기 반도체층(231) 상에 형성된다. 상기 게이트 절연층(232)은 산화막 또는 질화막 중에서 선택된 적어도 하나를 PECVD(Plasma Enhanced Chemical Vapor Deposition)법으로 대략 700 $\text{\AA}$ ~1500 $\text{\AA}$  정도의 두께로 도포한다.

상기 박막 트랜지스터(230)의 게이트 전극(233)은 상기 게이트 절연층(232) 상에 형성된다. 구체적으로, 상기 게이트 절연층(232) 상에 도전성 금속, 예컨대 알루미늄(Al), MoW, 몰리브덴(Mo), 구리(Cu), 은(Ag), 알루미늄 합금, 은 합금 또는 ITO(indium tin oxide), IZO(indium zinc oxide) 및 반투명 메탈 중 하나를 스퍼터링에 의해 대략 2000 $\text{\AA}$ ~3000 $\text{\AA}$  정도의 두께로 증착한 뒤, 이를 소정형상으로 패터닝한다.

상기 박막 트랜지스터(230)의 층간 절연층(234)은 상기 게이트 전극(233)을 포함한 상기 게이트 절연층(232) 상에 형성된다. 상기 층간 절연층(234)은 상기 게이트 절연층(232)의 형성 방법과 동일한 방법으로 형성될 수 있다.

그 다음, 상기 박막 트랜지스터(230)의 소스/드레인 전극(235a,235b)은 상기 층간 절연층(234) 상에 형성되며, 상기 게이트 절연층(232)과 상기 층간 절연층(234)에 형성된 콘택 홀을 통하여 상기 반도체층(231)의 양측에 각각 전기적으로 연결되도록 형성된다. 상기 반도체층(230) 상에 형성된 소스/드레인 전극(250a,250b)은 금속층 상부에 포토레지스트를 도포한 후 소정 형태로 패터닝 하여 형성한다. 여기서, 상기 소스/드레인 전극(235a,235b)은 도전성 금속, 예컨대 알루미늄(Al), MoW, 몰리브덴(Mo), 구리(Cu), 은(Ag), 알루미늄 합금, 은 합금 또는 ITO(indium tin oxide), IZO(indium zinc oxide) 및 반투명 메탈 등으로 형성될 수 있으며, 이들에 제한되지는 않는다.

이어서, 도 3c에 도시된 바와 같이, 상기 평탄화층(240)은 상기 박막 트랜지스터(230) 상에 형성된다.

상기 제1 전극(250)은 상기 평탄화층(240)의 일영역을 에칭하여 상기 소스 및 드레인 전극(235a,235b) 중 어느 하나가 노출되도록 형성된 비어홀(251a)을 통하여, 상기 소스 및 드레인 전극(235a,235b) 중 어느 하나와 전기적으로 연결된다.

상기 화소정의막(260)은 상기 제1 전극층(250) 상에 형성되며, 상기 평탄화층(240) 상에 상기 제1 전극층(250)을 적어도 부분적으로 노출시키는 개구부(280)를 포함하며, 상기 화소정의막(260)은 500 $\text{\AA}$  내지 3000 $\text{\AA}$ 의 두께로 형성된다.

상기 발광층(270)은 상기 화소정의막(260)의 일영역 및 개구부(280) 상에 형성된다. 상기 발광층(270)은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층, 전자주입층 중 적어도 하나의 단층막 또는 복수의 다층막으로 구성될 수 있다.

상기 제2 전극층(290)은 상기 발광층(270) 상부에 형성된다.

이러한 구조의 유기 발광 장치(290)는 다음과 같은 발광원리에 의해 발광한다. 일단, 상기 제1 전극층(250)으로부터 주입된 정공과 상기 제2 전극층(290)으로부터 발생된 정공이 발광층(270)에서 결합하여 여기자를 생성하고, 이 여기자가 여기 상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광한다.

전술한 실시 예에서는, 탑게이트(코플라나)구조 및 그의 제조방법을 설명하였으나, 바텀게이트 구조에 적용될 수 있음은 물론이다.

이상 본 발명을 상세히 설명하였으나 본 발명은 이에 한정되지 않으며, 본 발명이 속하는 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 물론이다.

**발명의 효과**

이상과 같이, 본 발명에 의하면, 기관 상부와 하부에 두께가 다른 변형 방지층을 형성함으로써, 기관으로 부터 발생하는 금속 이온 또는 불순물 등에 의해 발생될 수 있는 박막 트랜지스터의 특성 저하를 방지할 수 있다. 또한, 후속공정을 거칠 경우에 발생하는 열 또는 응력 등에 의한 변형 및 층들의 박리현상을 방지할 수 있다.

이에 따라, 고해상도 및 고성능의 디스플레이를 구현할 수 있을 것이다.

**도면의 간단한 설명**

도 1은 종래 기술에 따른 유기 발광 표시 장치의 단면도.

도 2는 본 발명에 따른 유기 발광 표시 장치의 단면도.

도 3a 내지 도3c는 본 발명에 따른 유기 발광 표시 장치 제조방법의 공정 순서도.

♣ 도면의 주요 부분에 대한 부호의 설명 ♣

200 : 기관 210 : 제1 변형 방지층

220 : 제2 변형 방지층 230 : 박막 트랜지스터

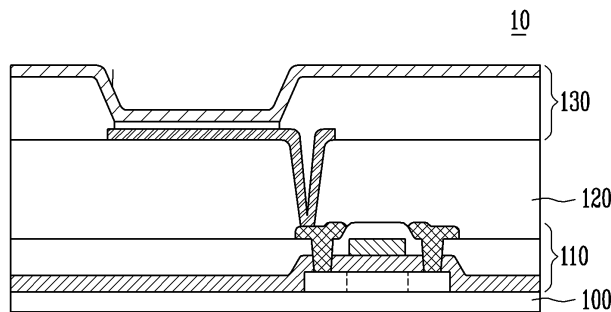
240: 평탄화층 250 : 제1 전극층

260 : 화소정의막 270: 발광층

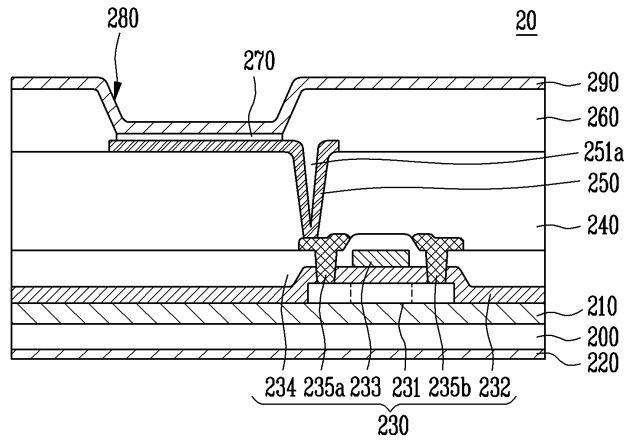
280 : 개구부 290 : 제2 전극층

**도면**

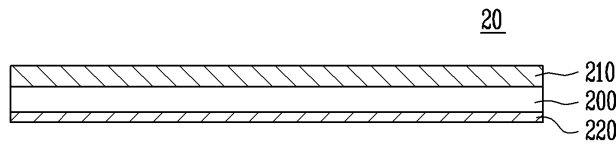
도면1



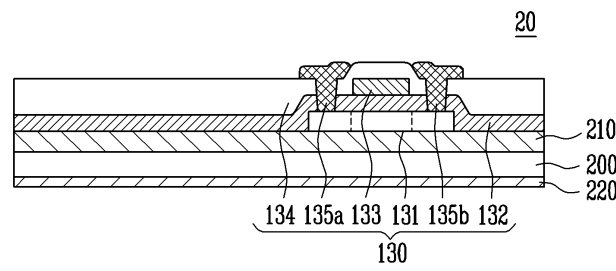
도면2



도면3a



도면3b



도면3c

