



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0100960  
(43) 공개일자 2010년09월15일

- |  |  |
|--|--|
| <p>(51) Int. Cl.<br/>G09G 3/30 (2006.01)</p> <p>(21) 출원번호 10-2010-7015263</p> <p>(22) 출원일자(국제출원일자) 2008년12월01일<br/>심사청구일자 없음</p> <p>(85) 번역문제출일자 2010년07월09일</p> <p>(86) 국제출원번호 PCT/US2008/013254</p> <p>(87) 국제공개번호 WO 2009/075740<br/>국제공개일자 2009년06월18일</p> <p>(30) 우선권주장<br/>JP-P-2007-318673 2007년12월10일 일본(JP)</p> | <p>(71) 출원인<br/>글로벌 오엘이디 테크놀로지 엘엘씨<br/>미국 텔라웨어 19801 월밍턴 1209 오렌지 스트리트</p> <p>(72) 발명자<br/>카와베 카즈요시<br/>일본 가나가와 222-0033 고호쿠쿠 요코하마 3-25-2 신요코하마</p> <p>(74) 대리인<br/>석혜선, 김용인</p> |
|--|--|

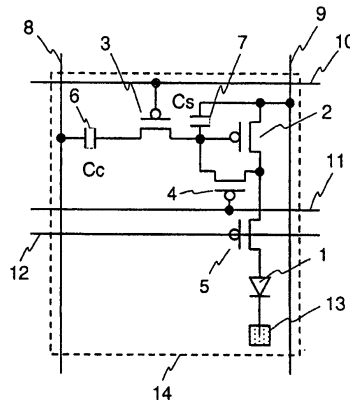
전체 청구항 수 : 총 3 항

(54) 픽셀 회로

(57) 요약

전계발광 소자용 구동 트랜지스터에 대한 역치 값 보상을 효율적으로 실행하기 위해, 제 1 저장 커패시터는 데이터 라인에 연결된 제 1 단자를 가진다. 스위칭 트랜지스터의 제 1 단자 및 리셋 트랜지스터의 제 1 단자는 제 1 저장 커패시터의 제 2 단자에 연결된다 제 1 저장 커패시터는 데이터 라인을 접치며 형성된다.

대표도 - 도3



**특허청구의 범위**

**청구항 1**

데이터 라인 및 전원;

데이터 라인에 연결된 제 1 단자를 가지는 제 1 저장 커패시터;

제 1 저장 커패시터에 연결된 제 1 단자를 가지며, 제어 단말기에 연결된 선택 라인에 의해 ON 및 OFF로 전환하는 스위칭 트랜지스터;

전원에 연결된 제 1 단자를 가지며 스위칭 트랜지스터의 제 2 단자에 연결된 제어 단자를 가지는 구동 트랜지스터;

발광 제어 트랜지스터를 통해 구동 트랜지스터의 제 2 단자에 연결되어 있는 유기 전계발광 소자 안의 발광 트랜지스터;

제 1 전원 측면 단자 및 구동 트랜지스터의 제어 단자를 연결하는 제 2 저장 커패시터; 및

제 1 저장 커패시터가 데이터 라인과 겹쳐 형성되는, 구동 트랜지스터 가까이 제 1 저장 커패시터의 측면 상에 구동 트랜지스터의 제어 단자 및 발광 제어 트랜지스터 가까이 측면 상에 구동 트랜지스터의 제 2 단자를 연결하는 리셋 트랜지스터를 포함하는 전계발광 소자용 픽셀 회로.

**청구항 2**

제 1 항에 있어서,

제 1 저장 커패시터는:

스위칭 트랜지스터 또는 리셋 트랜지스터를 구성하는 반도체 박막이 신장하하는 부분;

스위칭 트랜지스터 또는 리셋 트랜지스터의 게이트 절연막에 대한 것과 동일한 공정으로 형성된 절연막; 및

스위칭 트랜지스터 또는 리셋 트랜지스터의 게이트 전극에 대한 것과 동일한 공정으로 형성된 금속층을 포함하며; 금속 층 및 데이터 라인은 콘택에 의해 연결되는 전계발광 소자용 픽셀 회로.

**청구항 3**

제 1 항에 있어서,

구동 트랜지스터의 역치 전압에 대응하는 전압이 구동 트랜지스터의 게이트에 기록된 후, 스위칭 트랜지스터가 꺼지는 반면 리셋 트랜지스터 및 발광 제어 트랜지스터는 켜지고, 구동 트랜지스터의 유기 전계발광 소자 측면 단자의 전압에 대응하는 전압은 구동 트랜지스터에서의 전류 흐름에 의해 구동 트랜지스터의 게이트에서 설정되는 전계발광 소자용 픽셀 회로.

**명세서**

**기술분야**

[0001] 본 발명은 유기 EL 디스플레이 등의 픽셀 회로에 관한 것이다.

**배경기술**

[0002] 유기 EL 디스플레이가 자가-방출 유형이기 때문에, 자연 이미지(natural image)를 디스플레이하기 위한 텔레비전과 같은 동영상 제품에 적합하게 하는, 빠른 응답 및 높은 콘트라스트를 가진다. 일반적으로는, 유기 EL 소자는 트랜지스터와 같은 제어 소자를 사용하여 정전류로 구동되지만, 그러나 이 경우에 트랜지스터가 포화 영역에서 사용되기 때문에, 다른 전류는, 트랜지스터의  $V_{th}$ (역치 전압)에서의 변화 및 이동성(mobility) 특성 때문에, 픽셀에 공급된 동일한 계조(gradation) 전압(전압 단계)을 가지더라도, 각각의 픽셀에서 발생되고, 방출 밝기를 균일하게 유지할 수 없으며 이는 문제점이다. 이 문제를 해결하기 위해, 픽셀 내부에 제공된  $V_{th}$ 를 보상하기 위

한 회로를 가지는 구조는 WO 1998048403에 개시되어 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 내용에 포함되어 있음.

**과제의 해결 수단**

[0004] 도 7은 WO 1998048403에 개시된 픽셀 회로를 나타낸다. 도 7에서, 데이터 라인에 연결된 소스를 가지는 p-채널 스위칭 트랜지스터(P4)의 게이트는 게이트 라인에 연결되고, 얇은 트랜지스터(P4)의 드레인은 커패시터(Cc)를 통해 p-채널 구동 트랜지스터(P1)의 게이트에 연결된다. 구동 트랜지스터(P1)의 소스는 전원(VDD)에 연결되는 반면, 드레인은 음의 전원에 유기 EL 소자 OLED 및 p-채널 발광 제어 트랜지스터(P2)를 통해 연결된다. 또한, 커패시터(Cs)는 전원(VDD)와 구동 트랜지스터(P1)의 게이트 사이에 배열되고, 리셋 트랜지스터(P3)는 구동 트랜지스터(P1)의 게이트와 소스 사이에 배열되어 있다.

[0005] 이 구조를 이용해, 발광 제어 트랜지스터(P2)가 발광 제어 라인에 의해 꺼지는(turn off) 상태에서, 전원 전위(VDD)는 데이터 라인에 공급되고, 스위칭 트랜지스터(P4) 및 리셋 트랜지스터(P3)는 게이트 라인 및 리셋 라인에 의해 켜지고(turn on), Vth는 커패시터(Cc 및 Cs)에 기록된다. 다음으로, 리셋 트랜지스터(P3)는 커패시터(Cc)를 통해 구동 트랜지스터(P1)의 게이트에 데이터 라인 계조 신호 전압(Vsig)을 인가하기 위해 꺼지고, 게이트 전압  $Vg=Cc/(Cc+Cs) \times Vsig+Vth$ 는 구동 트랜지스터(P1)의 게이트 단자에 인가된다.

[0006] 이렇게 하여, 이 Vth가 항상 구동 트랜지스터의 게이트 단자에서 오프셋(offset)으로서 계조 신호 전압에 추가되기 때문에, Vth는 자동으로 정정된다. 그러나, 계조 신호 전압의 동적 범위가  $Cc/(Cc+Cs)$ 로 감소되기 때문에, 이를 피하기 위해 Cc를 Cs와 비교하여 충분히 크게 하는 것이 바람직하다. 그러나, Cc가 더 크게 된다면 픽셀 부분에서의 Cc에 의해 점유된 표면 영역은 증가하며, 개구 부분의 표면 영역을 불리하게 크게 만든다. 그 결과, 유기 EL 소자는 고 전류 밀도로 구동되고, 수명과 같은 신뢰성을 보장하는 것은 어렵다.

[0007] 또한 특허 문헌 1에 개시된 관련 기술의 Vth 정정 회로로 이동성을 정정하는 것은 어려우며, 픽셀들 사이의 이동성에서의 변화가 있는 경우 넓은 계조 범위에서 높은 밝기 균일성을 보장하는 것은 어렵다. 또한, 유기 EL 소자는 일반적으로 발광을 수반하는 방출 밝기를 감소시키지만, 그러나 관련 기술의 픽셀 회로로 발광 밝기의 하락을 정정하는 것은 어렵다.

[0008] 본 발명은 데이터 라인에 연결된 제 1 단자를 가지는 제 1 저장 커패시터, 선택 라인에 의해 ON 및 OFF 스위칭되고 이 제 1 저장 커패시터에 연결된 제 1 단자를 가지는 스위칭 트랜지스터, 전원에 연결된 제 1 단자를 가지고 스위칭 트랜지스터의 제 2 단자에 연결된 제어 단자를 가지는 구동 트랜지스터, 발광 제어 트랜지스터를 통해 구동 트랜지스터의 제 2 단자에 연결되어 있는 유기 전계발광 소자, 제 1 전원 측면 단자 및 구동 트랜지스터의 제어 단자를 연결하는 제 2 저장 커패시터, 및 발광 제어 트랜지스터 가까이의 측면 상의 구동 트랜지스터의 제 2 단자 및 구동 트랜지스터의 가까이에 제 1 저장 커패시터의 측면 또는 구동 트랜지스터의 제어 단자를 연결하는 리셋 트랜지스터를 포함하는 픽셀 회로로 지향되어 있으며, 제 1 저장 커패시터는 데이터 라인을 접치며 형성된다.

[0009] 또한 제 1 저장 커패시터가, 스위칭 트랜지스터 또는 리셋 트랜지스터를 구성하는 반도체 박막이 신장하하는 부분, 스위칭 트랜지스터 또는 리셋 트랜지스터의 게이트 절연막에 대한 것과 동일한 공정으로 형성된 절연막, 및 스위칭 트랜지스터 또는 리셋 트랜지스터의 게이트 전극에 대한 것과 동일한 공정으로 형성된 금속층을 포함하는 것이 가능하며, 금속 층 및 데이터 라인은 콘택에 의해 연결된다.

[0010] 또한, 구동 트랜지스터의 역치 전압에 대응하는 전압이 구동 트랜지스터의 게이트에 기록된 후, 리셋 트랜지스터 및 발광 제어 트랜지스터가 켜지는 반면 스위칭 트랜지스터를 끄는 것이 가능하고, 구동 트랜지스터 및 유기 전계발광 소자에 의한 전원 전압의 전압 분배에 의해 달성된 전압이 구동 트랜지스터에서의 전류 흐름에 의해 구동 트랜지스터의 게이트에 기록되는 것이 가능하다.

[0011] 이렇게 하여, 본 발명에 따르면, 데이터 라인과 접치는 저장 커패시터를 형성하는 것이 가능하다. 따라서, 큰 커패시턴스 저장 커패시터를 얻는 것은 쉽다. 이렇게 하여 구동 트랜지스터에 대한 역치 값 보상을 쉽게 수행할 수 있다.

**발명의 효과**

[0012] 본 발명의 내용에 포함되어 있음.

**도면의 간단한 설명**

- [0013] 도 1은 실시예들의 픽셀 회로에 관한 일 예의 구조를 나타내는 도면이다;
- 도 2a는 제 1 저장 커패시터의 구조를 나타내는 평면도이다;
- 도 2b는 제 1 저장 커패시터의 구조를 나타내는 단면도이다;
- 도 2c는 제 1 저장 커패시터의 또다른 구조 예를 나타내는 단면도이다;
- 도 3은 실시예들의 픽셀 회로에 대한 또다른 예의 구조를 나타내는 도면이다;
- 도 4는 각각의 라인의 상태의 예를 나타내는 타이밍도이다;
- 도 5는 각각의 라인의 상태의 또다른 예를 나타내는 타이밍도이다;
- 도 6은 각각의 라인의 상태의 또다른 예를 나타내는 타이밍도이다;
- 도 7은 관련 기술의 픽셀 회로의 구조를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 본 발명의 실시예들은 도면을 기초로 하여 이하 설명되어 있다. 이 실시예의 픽셀(14)에 대한 픽셀 회로는 도 1에 도시되어 있다. 유기 EL 소자(1)는 (VSS를 공급하기 위한) 모든 픽셀에 공통인 캐소드 전극(13)에 연결된 캐소드, 및 발광 제어 라인(12)에 연결된 게이트 단자를 가지는 발광 제어 트랜지스터(5)의 드레인 단자에 연결된 애노드를 가진다. 발광 제어 트랜지스터(5)의 소스 단자는 (VDD를 공급하기 위한) 모든 픽셀에 공통인 전원 라인(7)에 연결된 소스를 가지는 구동 트랜지스터(2)의 드레인 단자에 연결되어 있다.
- [0015] 리셋 라인(11)에 연결된 게이트 단자를 가지는 리셋 트랜지스터(4)의 소스 단자는 구동 트랜지스터(2) 및 발광 제어 트랜지스터(5)의 연결 포인트에 연결되어 있는 반면, 리셋 트랜지스터(4)의 드레인 단자는 데이터 라인(8)에 연결된 다른 단부를 가지는 제 1 저장 커패시터의 한 단부에 연결되고, 게이트 라인(10)에 연결된 게이트 단자를 가지는 스위칭 트랜지스터(3)의 드레인 단자에 연결된다. 스위칭 트랜지스터(3)의 소스 단자는 구동 트랜지스터(2)의 게이트 단자에 연결되고 전원 라인(9)에 연결된 다른 단부를 가지는 제 2 저장 커패시터(7)의 하나의 단부에 연결되어, 따라서 픽셀(14)을 구성한다.
- [0016] 제 1 저장 커패시터(6)는 커패시턴스 값( $C_c$ )을 가지고, 제 2 저장 커패시터(7)는 커패시턴스 값( $C_s$ )을 가진다. 데이터 라인(8)에 공급된 계조 신호 전압( $V_{sig}$ )의 동적 범위에서의 감소를 방지하는데 있어, 제 1 저장 커패시터의 커패시턴스 값( $C_c$ )을 제 2 저장 커패시터의 커패시턴스 값( $C_s$ )과 비교하여 크게 하는 것이 바람직하다는 사실은 이전에 설명하였다. 이 실시예로, 픽셀(14)은, 데이터 라인(8)과 결합함으로써 제 1 저장 커패시터(6)를 형성하는 것이 가능하기 때문에, 커패시턴스( $C_c$ )가 충분히 큰 것을 보장하는 것이 가능하도록 구성된다.
- [0017] 도 2a 및 2b는 데이터 라인(8)을 따라 형성된 제 1 저장 커패시터(6)의 예를 나타낸다. 제 1 저장 커패시터(6)의 하나의 단부는 데이터 라인(8)에 연결되는 반면, 다른 단부는 스위칭 트랜지스터(3) 및 리셋 트랜지스터(4)의 드레인 단자에 연결된다. 그러므로 불순물로 도핑된 폴리실리콘 박막을 가지는 커패시터를 형성하는 것이 편리하며, 데이터 라인으로서 제 1 저장 커패시터(6)의 하나의 단부를 사용하고 스위칭 트랜지스터(3) 및 리셋 트랜지스터(4)의 드레인 단자로서 다른 단부를 사용할 수 있다.
- [0018] 여기서, 도 2a 및 도 2b에 도시된 제 1 저장 커패시터(6)는 불순물로 도핑되어 있는 폴리실리콘 박막 및 게이트 소자를 가지고 게이트 절연막을 스위칭함으로써 형성되고, 게이트 절연막은 불순물로 도핑되어 있는 폴리실리콘 박막 위에 형성되며, 데이터 라인(8)의 금속은 게이트 금속을 거쳐 게이트 절연막 및 또다른 중간층 절연막 위에 형성된다. 이렇게 하여 제 1 저장 커패시터(6)는 일반적 폴리실리콘 공정에 기초하여 형성된다. 콘택을 거쳐 게이트 금속 및 데이터 라인(8)을 연결함으로써, 단면 A-A'에 도시된 바와 같이, 제 1 저장 커패시터의 하나의 단부는 데이터 라인(8)을 구성하며 다른 단부는 불순물로 도핑되어 있는 폴리실리콘 박막을 구성하고, 도 2a 및 2b에 도시된 제 1 저장 커패시터(6)는 도 1의 저장 커패시터(6)로서 기능한다.
- [0019] 불순물로 도핑되어 있는 폴리실리콘 박막은 스위칭 트랜지스터(3) 및 리셋 트랜지스터(4)의 드레인 단자를 신장

함으로써 형성되고, 제 1 저장 커패시터(6)의 게이트 금속은 트랜지스터의 게이트 전극과 동일한 공정에 의해 형성되지만, 그러나 이들은 전기적으로 절연되어 있다. 폴리실리콘 박막의 중심부는 기본적으로 불순물로 도핑되지 않은 채널 영역이고, 불순물로 도핑되어 있는 양 측에 드레인 영역 및 소스 영역이 존재하며, 게이트 절연막을 통해 채널 영역 위에 게이트 전극을 배열함으로써 트랜지스터가 형성된다.

- [0020] 이렇게 하여 픽셀 회로를 구성함으로써, 데이터 라인(8)과의 결합을 사용하여 제 1 저장 커패시터(6)를 형성하는 것이 가능하며, 이는 데이터 라인(8)을 따라 제 1 저장 커패시터(6)를 형성함으로써, 저장 커패시터(6)의 커패시턴스 값(Cc)을 충분히 크게 만드는 것이 가능함을 나타낸다.
- [0021] 저장 커패시터(6)는 또한 중간층 절연막을 거쳐, 뿐만 아니라 게이트 절연막을 거치고, 또한 불순물로 도핑된 폴리실리콘을 거쳐 형성될 수 있고, 저장 커패시터의 단자로서 기능하는 금속은 게이트 금속 등을 사용할 수 있다. 더 구체적으로는, 도 2b에 도시된 바와 같이 게이트 금속과 데이터 라인 사이의 접촉을 형성하지 않는 것에 의해, 그리고 스위칭 트랜지스터(3) 및 리셋 트랜지스터(4)에 대한 드레인 전극으로 사용되며 불순물로 도핑되어 있는 폴리실리콘 박막에 게이트 금속을 연결하는 것에 의해, 데이터 라인(8) 및 게이트 금속이 중간층 절연막을 통해 대향하는 영역은 저장 커패시터(6)로 기능한다.
- [0022] 예를 들어, 도 2c의 구성으로, 불순물로 도핑되어 있는 폴리실리콘 박막은 데이터 라인(8)에 연결된다. 불순물로 도핑되어 있는 이 폴리실리콘 박막은 스위칭 트랜지스터(3) 및 리셋 트랜지스터(4)의 드레인 단자로부터 절연되어 있다. 반면에, 게이트 금속은 접촉에 의해 스위칭 트랜지스터(3) 및 리셋 트랜지스터(4)의 드레인 단자에 연결되어 있다. 이 방식에서, 게이트 금속과 데이터 라인 사이, 그리고 게이트 금속과 불순물로 도핑된 폴리실리콘 박막 사이 모두는, 제 1 저장 커패시터(6)로 기능한다.
- [0023] 본 발명의 또다른 픽셀(14)의 예가 도 3에 도시되어 있다. 도 1로부터의 차이는 리셋 트랜지스터(4)의 드레인 단자가 구동 트랜지스터(2)의 게이트 단자, 전원 라인(9)에 연결되어 있지 않은 제 2 저장 커패시터(7)의 단부, 및 스위칭 트랜지스터(3)의 소스 단자에 연결되어 있다는 점이다. 이 픽셀(14)에서 또한, 이하 설명되어 있는 제어 방법을 사용함으로써, 구동 트랜지스터(2)의 Vth를 정정하는 것이 가능하다.
- [0024] 도 1 및 도 3의 픽셀(14)을 사용하여 구동 트랜지스터(2)의 Vth를 정정하기 위한 제어 방법이 도 4에 도시되어 있다. 도 4에 도시된 바와 같이, 수평 주기(horizontal period)는 리셋 주기 및 데이터 기록 주기로 나뉘지며, 픽셀(14)의 동작은 각 주기에서 다르다.
- [0025] 픽셀(14)의 라인이 선택되는 수평 주기에서, 게이트 라인(10)이 선택되지만, 초기 리셋 주기에서 리셋 라인(11)은 먼저 로우(Low)로 설정된다. 그 결과, 스위칭 트랜지스터(3) 및 리셋 트랜지스터(4)가 켜지고, 구동 트랜지스터(2)는 유기 EL 소자(1)에서 전류가 흐르도록 연결된 다이오드이다. 이후, 유기 EL 소자(1)에서 흐르고 있는 전류는 발광 제어 라인(12)을 하이(High)로 설정함으로써 제 1 및 제 2 저장 커패시터(6, 7)로 리셋 트랜지스터(4)를 통해 흐르도록 되어 있다. 이것이 일어나는 동안, 전원 라인(9) 위에서와 같이 동일한 전원 전압(VDD)은 데이터 라인(8)에 공급되고, 소정의 시간이 경과하고 전류가 더이상 흐르지 않는 시간만큼 Vth는 제 1 및 제 2 저장 커패시터(6, 7)에서 유지된다. 리셋 트랜지스터(4)가 이 시간에 리셋 트랜지스터(11)를 하이로 설정하는 것에 의해 꺼지기 때문에, 제 1 및 제 2 저장 커패시터(6, 7)에서 유지된 전위가 안정되며, 리셋 주기는 완료된다.
- [0026] 이후, 계조 제어 전압(Vsig)이 데이터 라인(8)에 공급된다면, 구동 트랜지스터(2)의 게이트 전압(Vg)은 제 1 결합 커패시터(6)와의 결합을 사용하여 Vth에 계조 신호 전압(Vsig)에 비례하는 전위를 추가함으로써  $Vg=Cc/(Cc+Cs)*Vsig+Vth$ 로 제어되고, 구동 트랜지스터(2)의 Vth는 정정된다. 그러나, 전술한 리셋 주기는 구동 트랜지스터(2)에서 실질적으로 어떠한 전류도 흐르지 않을 때까지 유지되어야 할 필요는 없으며, 수  $\mu s$ 에서 수십  $\mu s$ 와 같은 적절한 시간일 수 있다.
- [0027] 제 1 저장 커패시터(6)의 커패시턴스(Cc)는 제 1 저장 커패시터(7)의 커패시턴스(Cc)보다 충분히 크고, 이는  $Cc/(Cc+Cs)$ 가 실질적으로 1과 동일함을 나타내며, 계조 신호 전압(Vsig)의 동적 범위가 유지된다.
- [0028] 수평 주기가 일단 완료되면, 발광 제어 라인은 로우(Low)가 되며, 기록된 계조 신호 전압(Vsig)에 대응하는 전류는 발광 제어 트랜지스터(5)를 통해 유기 EL 소자(1)에 흐르며, 발광은 다음 픽셀(14)의 라인이 선택될 때까지 유지된다.
- [0029] Vth는 전술한 바와 같이 픽셀(14)을 제어함으로써 정정되지만, 그러나 구동 트랜지스터(2)의 이동성이 매 픽셀에 대해 다르다면, 유기 EL 소자(1)에서 흐르는 전류는 Vth만을 정정하는 것이 가능하더라도 변할 것이다. 그러므로, 전압 차는 픽셀 사이에서 일어나며, 밝기 균일성은 악화된다. 따라서, 이동성에서의 차에 기인한 밝기 변

화는 이하 설명되는 바와 같이 도 1의 픽셀(14)을 제어함으로써 정정된다.

- [0030] 도 5는  $V_{th}$  정정에 대하여 이동성 정정을 수행하기 위한 제어 방법을 도시하고 있다. 도 4로부터의 차이는, 수평 주기가 4 개로, 즉 리셋 주기, 제 1 데이터 기록 주기, 전류 차 추출 주기 및 제 2 데이터 기록 주기로 나뉜다. 도 4와 유사한, 리셋 주기에서, 픽셀(14)의 게이트 라인(10)이 선택되는 경우, 구동 트랜지스터(2)는 로우로 리셋 라인(11)을 설정함으로써 연결된 다이오드이며, 전류는 유기 EL 소자에 일시적으로 흐른다. 다음으로, 발광 제어 라인(12)을 하이로 설정함으로써, 유기 EL 소자(1)로의 전류 경로가 차단되고, 전류는 제 1 및 제 2 저장 커패시터(6, 7)로 계속하여 흐르며,  $V_{th}$ 는 기록된다(리셋 주기).
- [0031] 이후, 리셋 라인(11)이 하이로 설정된다면, 제 1 및 제 2 저장 커패시터(6, 7)에 기록된  $V_{th}$ 는 안정되며(settle), 데이터 라인(8)에 계조 신호 전압( $V_{sig}$ )을 공급함으로써,  $V_{th}$ 는 구동 트랜지스터(2)의 게이트 전압에서 정정되며, 반전된 계조 신호 전압( $V_{sig}$ )인 전위  $V_g = C_c / (C_c + C_s) + V_{th}$ 가 발생된다. 그러므로, 정정된  $V_{th}$ 를 가지는 전류는 로우(제 1 데이터 기록 주기)로 발광 제어 라인(12)을 설정함으로써 유기 EL 소자(1)에서 흐르게 된다.
- [0032] 여기서, 게이트 라인(10)이 하이로 일단 설정되면, 정정된  $V_{th}$ 를 가지는 전류는 선택해제되더라도 계속하여 흐른다. 리셋 라인(11)이 이때 로우로 설정된다면, 제 1 저장 커패시터(6)에 저장된 전위는 유기 EL 소자(1)에 흐르는 전류에 따라 변한다. 즉, 리셋 라인(11)이 로우로 설정된다면, 전류는 리셋 트랜지스터(4)를 통해 제 1 저장 커패시터(6)에서 유기 EL 소자(1)로 흐르며, 그러나 큰 전류가 유기 EL 소자(1)에서 흐르고 있다면(구동 트랜지스터(2)의 이동성이 높다면) 리셋 트랜지스터(4)의 소스 및 드레인에 걸친 전압은 제 1 저장 커패시터(6)로부터 방전된 전류가 작아지는 것을 나타내며 더 작아지고, 반면에 유기 EL 소자에서 흐르는 전류가 작다면(구동 트랜지스터(2)의 이동성이 낮다면) 리셋 트랜지스터(4)의 소스 및 드레인에 걸친 전압은 제 1 저장 커패시터(6)로부터 방전된 전류가 크도록 하며 높게 유지된다.
- [0033] 리셋 라인(11)이 로우가 되는 전류 차 추출 주기가 일단 경과하고 리셋 라인(11)이 하이로 설정되면, 제 1 저장 커패시터(6)의 리셋 트랜지스터 측면 단부 상의 전위는, 구동 트랜지스터(2)의 이동성이 높은 경우에 더 높은 전위가 되거나 또는 구동 트랜지스터(2)의 이동성이 낮은 경우에 낮은 전위가 되며, 구동 트랜지스터(2)의 이동성에 대응하는 전위는 제 1 저장 커패시터(6)에 반영된다(전류 차 추출 주기).
- [0034] 이러한 타입의 이동성 정정이 수행된다면, 게이트 라인(10)은 다시 선택되고, 제 1 저장 커패시터(6)에 반영된 전위는 제 2 저장 커패시터(7)에 기록된다(제 2 데이터 기록 주기). 이렇게 하여, 구동 트랜지스터(2)의 이동성이 높은 경우에, 더 높은 전위는 구동 트랜지스터의 전류를 억제하도록 제 2 저장 커패시터(7)에 기록되며, 반면에 이동성이 낮다면, 낮은 전위가 구동 트랜지스터(2)의 전류를 자극하기 위해 제 2 저장 커패시터(7)에 기록된다.
- [0035] 계조 신호 전압( $V_{sig}$ )이 리셋 주기를 제외하고 데이터 라인(8)에 계속하여 공급되기 때문에, 동일한 이동성 정정은 모든 계조에서 수행되지만, 그러나 리셋 트랜지스터(4)의 소스 드레인 전압이 전류 차 추출 주기에서 크게 되며 요구된 전류 또는 더 큰 전류가 낮은 계조의 경우에 제 1 저장 커패시터(6)로부터 흐르기 때문에, 전류 차 추출 주기가 너무 길지 않은 것이 바람직하다. 대안으로는, 리셋 라인(11)의 로우 레벨을 비교적 높게 하는 것이 가능하고, 리셋 트랜지스터(4)의 온 저항(on resistance)을 크게 하는 것이 가능하거나, 또는 리셋 트랜지스터(4)의 채널 길이를 연장하고 과전류 흐름을 예방하기 위해 온 저항을 증가시키는 것이 가능하다.
- [0036] 도 1의 픽셀(14)이 전술한 바와 같이 제어된다면,  $V_{th}$  뿐만 아니라 이동성을 정정하는 것이 가능하지만, 그러나 유기 EL 소자(1)가 악화되고 높은 저항이 된다면, 전류 차 추출 주기의 시간에서 리셋 트랜지스터(4)의 소스 드레인 전압은 유기 EL 소자(1)의 전압에서 발생에 의해 더 영향을 받으며, 이는 전술한 이동성 정정이 더이상 적절하게 기능하지 않음을 나타낸다. 그러므로 유기 EL 소자(1)에 대한 다음의 균일화(homogenization) 처리를 수행하는 것이 바람직하다.
- [0037] 도 6은 도 1의 픽셀(14)을 사용하여 유기 EL 소자(1)에 대한 균일화 처리를 수행하기 위한 제어 방법을 도시하고 있다. 균일화 처리의 절차는 수평 주기가 4 개의 주기, 즉 리셋 주기, 제 1 데이터 기록 주기, 전류 차 추출 주기 및 제 2 데이터 기록 주기로 나뉘는 점에 있어, 도 5에 대한 것과 동일하다. 도 4 및 도 5에서와 같은 동일한 리셋 주기가 완료되고  $V_{th}$ 가 제 1 및 제 2 저장 커패시터(6, 7)로 기록된다면, 캐소드 전위(VSS)는 데이터 라인(8)에 공급되고(또한 VSS에 대응하는 낮은 전압일 수 있으며), 제 2 저장 커패시터(7)에 기록함으로써 제 1 데이터 기록 주기는 완료된다. 이렇게 하여, 구동 트랜지스터(2)의 게이트 전압은 충분히 낮게 되며, 구동 트랜지스터(2)는 선형 영역에서 동작한다. 게이트 라인(10)이 전류 차 추출 주기에서 하이가 되며 선택되지 않

는다면, 제 2 저장 커패시터(7)는 제 1 저장 커패시터(6)로부터 절연되며 리셋 라인(11) 및 발광 제어 라인(12)을 로우로 설정함으로써 구동 트랜지스터(2)의 온 저항 및 유기 EL 소자(1)에 의해 나눠진 전압인 전위는 제 1 저장 커패시터(6)의 리셋 트랜지스터 측면 단자에 기록된다.

[0038] 유기 EL 소자(1)가 저하되고 이의 저항이 높아지게 되면, 전원 라인(9)으로부터 유기 EL 소자(1)로 흐르는 전류는 작아지게 되며 온 동작이 일어나는 동안 구동 트랜지스터(2)의 드레인 전위는 전압 하락 때문에 작아진다. 구동 트랜지스터(2)의 드레인 전위는 제 1 저장 커패시터(6)로 리셋 트랜지스터(4)를 통해 기록되며, 이는 유기 EL 소자(1)의 저하(degradation)가 제 1 저장 커패시터(6)에 반영되어 있음을 나타낸다. 대안으로는, 리셋 주기가 완료된 이후 제 1 데이터 기록 주기에서 데이터 라인(8)에 VDD 전위(또는 VDD 보다 높은 전위)를 공급하고, 그리고 구동 트랜지스터(2)를 신뢰성 있게 끄기 위해 제 2 저장 커패시터(7)에 기록함으로써, 제 1 저장 커패시터(6)에서 유기 EL 소자(1)의 저하를 반영하는 것이 가능하다. 즉, 리셋 트랜지스터(4) 및 발광 제어 트랜지스터(5)가 구동 트랜지스터(2)가 오프인 상태에서 켜진다면, 전류는 VDD에서 유지되는 데이터 라인(8)으로부터, 제 1 저장 커패시터(6), 리셋 트랜지스터(4) 및 발광 제어 트랜지스터(5)를 통해, 유기 EL 소자(1)로 흐르며, 이는 유기 EL 소자(1)의 애노드 전위가 제 1 저장 커패시터(6)의 하나의 단부에 반영되며, 저하의 범위에 대응하는 전위는 적절한 시간에서 리셋 트랜지스터(4)를 끄는 것에 의해 제 1 저장 커패시터(6)에 유지된다. 이 경우에 또한, 저하가 중요하다면 전류가 흐르기 어렵게 되며, 이는 유기 EL 소자(1)의 애노드 전위는 높아지며, 반면에 저하가 낮아지면 전류가 흐르기 쉽고 이는 애노드 전위가 낮아짐을 나타내고, 이 차이는 제 1 저장 커패시터(6)에 반영된다.

[0039] 제 2 데이터 기록 주기에서, 게이트 라인(10)은 다시 로우가 되고, 데이터 라인(8)에 공급된 계조 제어 신호(Vsig) 및 제 1 저장 커패시터(6)에 기록되어 있는 유기 EL 소자(1)의 구동 전위는 제 1 저장 커패시터(6)의 결합에 의해 제 2 저장 커패시터(7)에 기록되고, 제 1 유기 EL 소자(1)의 저하를 반영하는 전위는 구동 트랜지스터(2)의 게이트 단자에 유지된다. 즉, 상당한 저하를 가지는 픽셀에서 더 높은 게이트 전압이 존재하고, 약간의 저하를 가지는 픽셀에서 낮은 게이트 전압이 존재한다. 발광 제어 라인(12)을 낮게 설정함으로써, 저하의 범위에 따라 각각의 유기 EL 소자(1)에 대해 다른 균일화에 지배되는 전류는, 약간의 저하를 가지는 픽셀에서의 더 큰 전류 흐름 및 상당한 저하를 가지는 더 작은 픽셀에서의 더 작은 전류 흐름으로 흐르며, 따라서 저하의 균일성을 수행한다. 제 2 데이터 기록 주기에서 데이터 라인(8)에 공급된 계조 신호 전압(Vsig)이 균일화 처리의 시간에서 모든 픽셀에서 흐르는 전류를 결정한다는 사실은 임의적이며, 너무 많이 전류가 흐른다면 저하가 가속되기 때문에, 특정 전류가 흐르도록 설정하는 것이 바람직하다.

[0040] 이 균일화 처리는 평균 디스플레이를 달성하도록 예를 들어, 대략 60 Hz에서 수행된다. 매 프레임 주기에서 유기 EL 소자(1)의 저하의 상태는 전류 차 추출 주기에서 판독되고, 균일화된 전류에 반영되며, 이는 균일화된 전류가 자동으로 조절되는 것을 나타낸다. 구체적으로는, 균일화 처리의 결과로서, 가속화된 저하를 가지는 픽셀은 조정된 전류를 균일화하며, 궁극적으로는 동일한 전류가 모든 픽셀에 흐른다.

[0041] 균일화 처리는 평균의 이미지 디스플레이 주기로부터 개별 주기로 수행되는 것이 바람직하지만, 그러나 또한 복수의 서브프레임으로 프레임을 분할하는 것이 가능하고, 초기 서브프레임에서 평균 디스플레이를 수행하며, 이후 다음 서브프레임에서 균일화 처리를 수행한다. 이 경우에, 균일화 처리가 디스플레이에 영향을 미치지 않는 정도로 균일화 전류를 설정하는 것이 바람직하다.

[0042] 일반적으로는, 유기 EL 소자의 발광 강도에서의 저하는 전술한 저항 증가와 매우 관련되며, 이는 균일화 처리를 사용하여 구동 전압을 균등화하는 것뿐만 아니라 발광 강도에서의 저하의 균일화를 예상하는 것이 가능하고, 번-인(burn-in)을 예방하는 것이 가능하다.

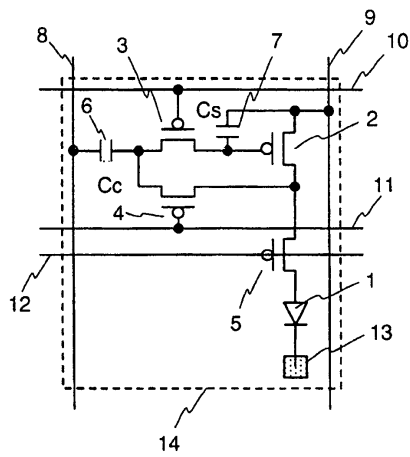
**부호의 설명**

- [0043] 1 유기 EL 소자
- 2 구동 트랜지스터
- 3 스위칭 트랜지스터
- 4 리셋 트랜지스터
- 5 발광 제어 트랜지스터
- 6 제 1 저장 커패시터

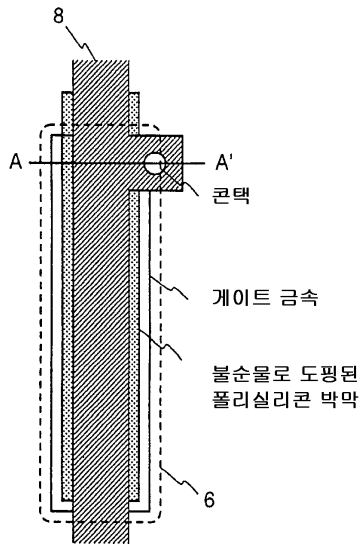
- 7 제 2 저장 커패시터
- 8 데이터 라인
- 9 전원 라인
- 10 게이트 라인
- 11 리셋 라인
- 12 발광 제어 라인
- 13 캐소드 전극
- 14 픽셀
- P1 구동 트랜지스터
- P2 p-채널 발광 제어 트랜지스터
- P3 리셋 트랜지스터
- P4 p-채널 스위칭 트랜지스터

**도면**

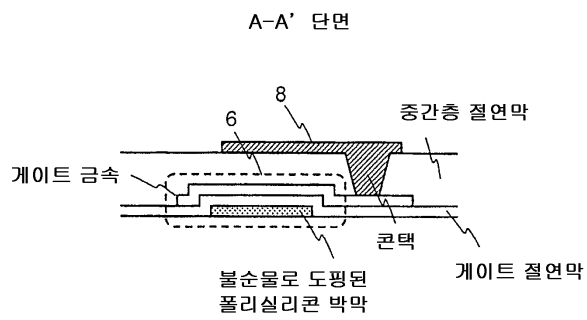
**도면1**



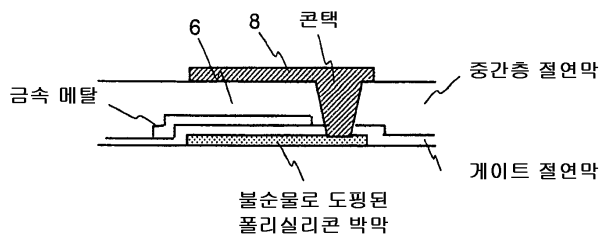
도면2a



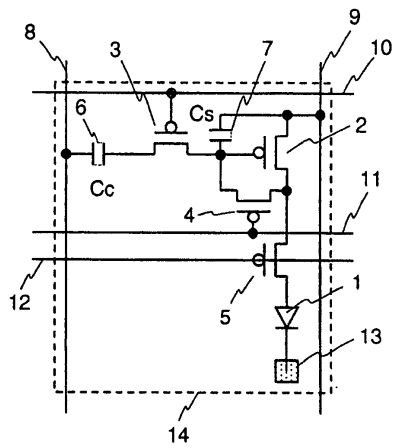
도면2b



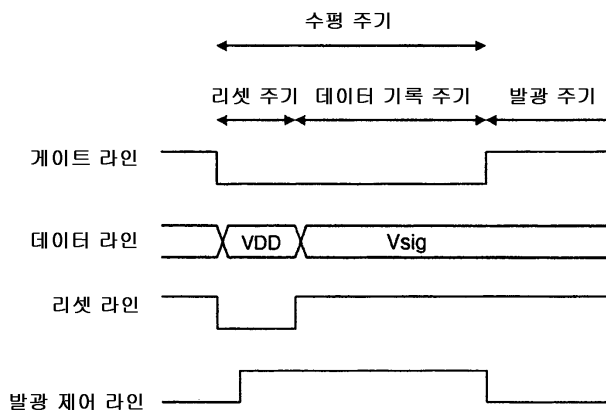
도면2c



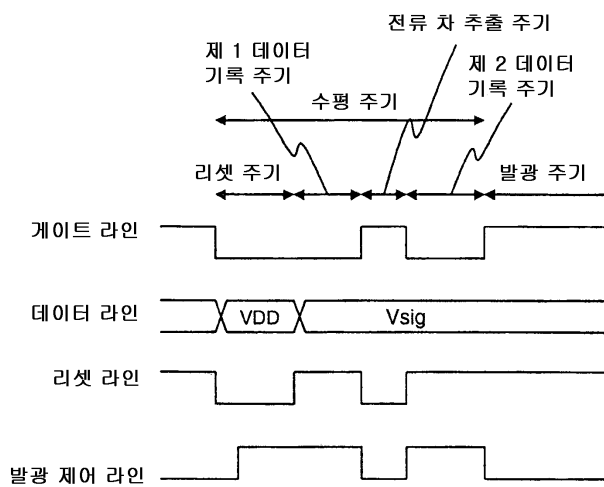
도면3



도면4



도면5





专利名称(译)	像素电路		
公开(公告)号	<a href="#">KR1020100100960A</a>	公开(公告)日	2010-09-15
申请号	KR1020107015263	申请日	2008-12-01
[标]申请(专利权)人(译)	全球OLED TECH		
申请(专利权)人(译)	글로벌오엘이디테크놀로지엘엘씨		
当前申请(专利权)人(译)	글로벌오엘이디테크놀로지엘엘씨		
[标]发明人	KAWABE KAZUYOSHI 카와베카즈요시		
发明人	카와베카즈요시		
IPC分类号	G09G3/30		
CPC分类号	G09G3/30 G09G3/32 G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0262 H01L27/3265		
代理人(译)	Gimyongin		
优先权	2007318673 2007-12-10 JP		
其他公开文献	KR101531629B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

为了有效地对电致发光元件的驱动晶体管进行阈值补偿，第一存储电容器具有连接到数据线的第一端子。开关晶体管的第一端和复位晶体管的第一端连接到第一存储电容的第二端，第一存储电容通过重叠数据线形成。

