



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0008253  
(43) 공개일자 2008년01월23일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<br/>G09G 3/30 (2006.01) G09G 3/32 (2006.01)<br/>G09G 3/20 (2006.01) H05B 33/12 (2006.01)</p> <p>(21) 출원번호 10-2007-0071047</p> <p>(22) 출원일자 2007년07월16일<br/>심사청구일자 없음</p> <p>(30) 우선권주장<br/>JP-P-2006-00196875 2006년07월19일 일본(JP)</p> | <p>(71) 출원인<br/>소니 가부시끼가이샤<br/>일본국 도쿄도 미나토쿠 코난 1-7-1</p> <p>(72) 발명자<br/>우치노 카츠히데<br/>일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼가이샤 내<br/>야마시타 준이치<br/>일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼가이샤 내<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>김학수, 문경진</p> |
|---|--|

전체 청구항 수 : 총 5 항

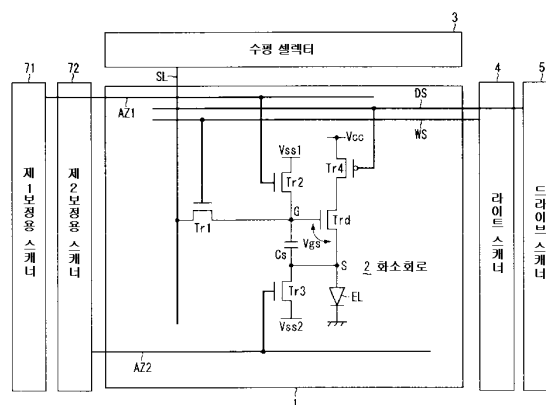
(54) 표시 장치 및 그 구동 방법과 전자 기기

(57) 요약

화소의 휘도 레벨에 대해서 적응적(適應的)으로 드라이브 트랜지스터의 이동도 보정을 행한다.

주사선 WS에 제어 신호 DS를 인가해서 샘플링 트랜지스터 Tr1을 온(on)하고 신호 전위 Vsig의 샘플링을 개시한 후, 제어 신호 DS가 주사선 DS에 인가되어 스위칭 트랜지스터 Tr4가 온하고 나서, 샘플링 트랜지스터 Tr1이 오프(off)할 때까지의 보정 기간 t에, 드라이브 트랜지스터 Trd의 이동도  $\mu$ 에 대한 보정을 화소 용량 Cs에 보존유지(保持)된 신호 전위 Vsig에 가한다. 그 때, 스캐너(4)는, 샘플링 트랜지스터 Tr1을 오프할 때, 제어 신호 WS의 하강 파형(立下波形; trailing waveform)에 경사를 부여함으로써, 신호 전위 Vsig가 높을 때 보정 기간 t가 짧아지는 반면(一方), 신호 전위 Vsig가 낮을 때 보정 기간이 길어지도록 자동적으로 조정한다. 스캐너(4)는, 샘플링 트랜지스터 Tr1의 임계 전압(threshold voltage) Vth(Tr1)의 레벨에 대응해서, 복수(複數)의 하강 파형을 구별하여 사용(使分; selectively use)한다.

대표도 - 도2



(72) 발명자

**토요무라 나오부미**

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼  
가이사 내

**카타오카 히데오**

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼  
가이사 내

---

## 특허청구의 범위

### 청구항 1

화소 어레이부와, 이것을 구동하는 구동부로 이루어지고,

상기 화소 어레이부는, 행모양(row)의 제1 주사선 및 제2 주사선과, 열모양(column)의 신호선과 이들이 교차하는 부분에 배치된 행렬모양(行列狀)의 화소와, 각 화소에 급전(給電)하는 전원 라인 및 접지 라인을 구비하고,

상기 구동부는, 각 제1 주사선에 순차 제1 제어 신호를 공급해서 화소를 행 단위로 선순차(線順次) 주사하는 제1 스캐너와, 그(該) 선순차 주사에 맞추어서 각 제2 주사선에 순차 제2 제어 신호를 공급하는 제2 스캐너와, 그 선순차 주사에 맞추어서 열모양의 신호선에 영상 신호를 공급하는 신호 셀렉터를 구비하고,

상기 화소는, 발광 소자와, 샘플링 트랜지스터와, 드라이브 트랜지스터와, 스위칭 트랜지스터와, 화소 용량을 포함하고,

상기 샘플링 트랜지스터는, 그의 게이트가 그 제1 주사선에 접속되고, 그의 소스가 그 신호선에 접속되고, 그의 드레인이 그 드라이브 트랜지스터의 게이트에 접속되며,

상기 드라이브 트랜지스터 및 상기 발광 소자는 그 전원 라인과 접지 라인 사이에 직렬로 접속되어 전류로(電流路)를 형성하고,

상기 스위칭 트랜지스터는 그 전류로에 삽입됨과 동시에, 그의 게이트가 그 제2 주사선에 접속되고,

상기 화소 용량은, 그 드라이브 트랜지스터의 소스와 게이트 사이에 접속되어 있는 표시 장치로서,

상기 샘플링 트랜지스터는, 그 제1 주사선으로부터 공급된 제1 제어 신호에 따라서 온(on)하고, 그 신호선으로부터 공급된 영상 신호의 신호 전위를 샘플링해서 그 화소 용량에 보존유지(保持)하고,

상기 스위칭 트랜지스터는, 그 제2 주사선으로부터 공급된 제2 제어 신호에 따라서 온해서 그 전류로를 도통 상태로 하고,

상기 드라이브 트랜지스터는, 그 화소 용량에 보존유지된 신호 전위에 따라서 구동 전류를 그 도통 상태로 놓여진 전류로를 통해서 그 발광 소자에게 흐르게 하고,

상기 구동부는, 그 제1 주사선에 그 제1 제어 신호를 인가해서 그 샘플링 트랜지스터를 온하고 신호 전위의 샘플링을 개시한 후, 그 제2 제어 신호가 그 제2 주사선에 인가되어 그 스위칭 트랜지스터가 온하는 제1 타이밍부터, 그 제1 주사선에 인가된 그 제1 제어 신호가 해제되어 그 샘플링 트랜지스터가 오프(off)하는 제2 타이밍까지의 보정 기간에, 그 드라이브 트랜지스터의 이동도에 대한 보정을 그 화소 용량에 보존유지된 그 신호 전위에 가하고,

그 때 상기 제1 스캐너는, 제2 타이밍에서 그 샘플링 트랜지스터를 오프할 때, 그 제1 제어 신호의 하강 파형(立下波形; trailing waveform)에 경사를 부여함으로써, 신호 전위가 높을 때 그 보정 기간이 짧아지는 반면(一方), 신호 전위가 낮을 때 그 보정 기간이 길어지도록 자동적으로 그 제2 타이밍을 조정함과 동시에,

그 샘플링 트랜지스터의 임계 전압의 레벨에 대응해서, 복수(複數)의 하강 파형을 구별하여 사용(使分; selectively use)하는 것을 특징으로 하는 표시 장치.

### 청구항 2

제1항에 있어서,

상기 제1 스캐너는, 그 샘플링 트랜지스터의 임계 전압이 표준 레벨인 경우, 처음에 제1 전위까지 경사를 급(急)하게 하고 계속해서 제2 전위로 향해서 경사를 완만하게 한 표준 하강 파형을 사용하고, 그 샘플링 트랜지스터의 임계 전압이 표준 레벨보다 낮은 경우, 표준 하강 파형에 비해서 제1 전위 및 제2 전위가 모두 낮은 하강 파형을 사용하고, 그 샘플링 트랜지스터의 임계 전압이 표준 레벨보다 높은 경우, 표준 하강 파형에 비해서 제2 전위만이 높은 하강 파형을 사용하는 것을 특징으로 하는 표시 장치.

### 청구항 3

제1항에 있어서,

각 화소는, 영상 신호의 샘플링에 앞서서 그 드라이브 트랜지스터의 게이트 전위 및 소스 전위를 리셋(reset)하는 추가의 스위칭 트랜지스터를 포함하고,

상기 제2 스캐너는, 영상 신호의 샘플링에 앞서서 그 제2 제어선을 거쳐서 그 스위칭 트랜지스터를 일시적으로 온하고, 이로써 리셋된 그 드라이브 트랜지스터에 구동 전류를 흐르게 해서 그 임계 전압에 상당(相當)하는 전압을 그 화소 용량에 보존유지해 두는 것을 특징으로 하는 표시 장치.

#### 청구항 4

화소 어레이부와 이것을 구동하는 구동부를 구비하고,

상기 화소 어레이부는, 행모양의 제1 주사선 및 제2 주사선과, 열모양의 신호선과, 이들이 교차하는 부분에 배치된 행렬모양의 화소와, 각 화소에 급전하는 전원 라인 및 접지 라인을 구비하고,

상기 구동부는, 각 제1 주사선에 순차 제1 제어 신호를 공급해서 화소를 행 단위로 선순차 주사하는 제1 스캐너와, 그 선순차 주사에 맞추어서 각 제2 주사선에 순차 제2 제어 신호를 공급하는 제2 스캐너와, 그 선순차 주사에 맞추어서 열모양의 신호선에 영상 신호를 공급하는 신호 셀렉터를 구비하고,

상기 화소는, 발광 소자와, 샘플링 트랜지스터와, 드라이브 트랜지스터와, 스위칭 트랜지스터와, 화소 용량을 구비하고,

상기 샘플링 트랜지스터는, 그의 게이트가 그 제1 주사선에 접속되고, 그의 소스가 그 신호선에 접속되고, 그의 드레인이 그 드라이브 트랜지스터의 게이트에 접속되고,

상기 드라이브 트랜지스터 및 상기 발광 소자는 그 전원 라인과 접지 라인 사이에 직렬로 접속되어 전류로를 형성하고,

상기 스위칭 트랜지스터는 그 전류로에 삽입됨과 동시에, 그의 게이트가 그 제2 주사선에 접속되고,

상기 화소 용량은, 그 드라이브 트랜지스터의 소스와 게이트 사이에 접속되어 있는 표시 장치의 구동 방법으로서,

그 제1 주사선으로부터 공급된 제1 제어 신호에 따라서 상기 샘플링 트랜지스터를 온하고, 그 신호선으로부터 공급된 영상 신호의 신호 전위를 샘플링해서 그 화소 용량에 보존유지하고,

그 제2 주사선으로부터 공급된 제2 제어 신호에 따라서 상기 스위칭 트랜지스터를 온해서 그 전류로를 도통(導通) 상태로 하고,

그 화소 용량에 보존유지된 신호 전위에 따라서 상기 드라이브 트랜지스터로부터 구동 전류를 그 도통 상태로 놓여진 전류로를 통해서 그 발광 소자에 흐르게 하고,

그 제1 주사선에 그 제1 제어 신호를 인가해서 그 샘플링 트랜지스터를 온하고 신호 전위의 샘플링을 개시한 후, 그 제2 제어 신호가 그 제2 주사선에 인가되어 그 스위칭 트랜지스터가 온하는 제1 타이밍부터, 그 제1 주사선에 인가된 그 제1 제어신호가 해제되어 그 샘플링 트랜지스터가 오프하는 제2 타이밍까지의 보정 기간에, 그 드라이브 트랜지스터의 이동도에 대한 보정을 그 화소 용량에 보존유지된 그 신호 전위에 가하고,

그 때 상기 제1 스캐너는, 제2 타이밍에 그 샘플링 트랜지스터를 오프할 때, 그 제1 제어 신호의 하강 파형에 경사를 부여함으로써, 신호 전위가 높을 때 그 보정 기간이 짧아지는 반면, 신호 전위가 낮을 때 그 보정 기간이 길어지도록 자동적으로 그 제2 타이밍을 조정함과 동시에,

그 샘플링 트랜지스터의 임계 전압의 레벨에 대응해서, 복수의 하강 파형을 구별하여 사용하는 것을 특징으로 하는 표시 장치의 구동 방법.

#### 청구항 5

제1항에 기재된 표시 장치를 구비한 전자 기기.

### 명세서

#### 발명의 상세한 설명

**기술분야**

<1> 본 발명은, 화소마다 배치한 발광 소자를 전류 구동해서 화상을 표시하는 표시 장치 및 그 구동방법에 관한 것이다. 자세하게는, 각 화소 회로 내에 설치한 절연 게이트형 전계 효과 트랜지스터에 의해서 유기 EL 등의 발광 소자에 통전하는 전류량을 제어하는, 이른바 액티브 매트릭스형의 표시 장치 및 그 구동 방법에 관한 것이다.

**배경기술**

<2> 화상 표시 장치, 예를 들면 액정 디스플레이 등에서는, 다수의 액정 화소를 매트릭스모양(狀)으로 배열하고, 표시해야 할 화상 정보에 따라서 화소마다 입사광의 투과 강도 또는 반사 강도를 제어하는 것에 의해서 화상을 표시한다. 이것은, 유기 EL 소자를 화소에 이용한 유기 EL 디스플레이 등에서도 마찬가지이지만, 액정 화소와 달리 유기 EL 소자는 자발광(自發光) 소자이다. 그 때문에, 유기 EL 디스플레이는 액정 디스플레이에 비해서 화상의 시인성(視認性; visibility)이 높고, 백 라이트가 불필요하며, 응답 속도가 높은 등의 이점을 가진다. 또, 각 발광 소자의 휘도 레벨(계조)은 그것에 흐르는 전류값에 의해서 제어가능하고, 이른바 전류 제어형이라고 하는 점에서 액정 디스플레이 등의 전압 제어형과는 크게 다르다.

<3> 유기 EL 디스플레이에서는, 액정 디스플레이와 마찬가지로, 그 구동 방식으로서 단순 매트릭스 방식과 액티브 매트릭스 방식이 있다. 전자(前者)는 구조가 단순하지만, 대형이고 또한 고정세(高精細; high definition)의 디스플레이의 실현이 어려운 등의 문제가 있기 때문에, 현재는 액티브 매트릭스 방식의 개발이 활발히 행해지고 있다. 이 방식은, 각 화소 회로 내부의 발광 소자에 흐르는 전류를, 화소 회로 내부에 설치한 능동 소자(일반적으로는, 박막 트랜지스터, TFT)에 의해서 제어하는 것이며, 이하의 특허 문헌에 기재가 있다.

<4> [특허 문헌 1] 일본 특개(特開) 제2003-255856호

<5> [특허 문헌 2] 일본 특개 제2003-271095호

<6> [특허 문헌 3] 일본 특개 제2004-133240호

<7> [특허 문헌 4] 일본 특개 제2004-029791호

<8> [특허 문헌 5] 일본 특개 제2004-093682호

**발명의 내용**

**해결하고자하는 과제**

<9> 종래의 화소 회로는, 제어 신호를 공급하는 행모양(row)의 주사선과 영상 신호를 공급하는 열모양(column)의 신호선이 교차하는 부분에 배치되고, 적어도 샘플링 트랜지스터와 화소 용량과 드라이브 트랜지스터와 발광 소자를 포함한다. 샘플링 트랜지스터는, 주사선으로부터 공급되는 제어 신호에 따라서 도통해서 신호선으로부터 공급된 영상 신호를 샘플링한다. 화소 용량은, 샘플링된 영상 신호의 신호 전위에 따른 입력 전압을 보존유지(保持)한다. 드라이브 트랜지스터는, 화소 용량에 보존유지된 입력 전압에 따라서 소정의 발광 기간에 출력 전류를 구동 전류로서 공급한다. 또한, 일반적으로, 출력 전류는 드라이브 트랜지스터의 채널 영역의 캐리어 이동도 및 임계 전압에 대해서 의존성을 가진다. 발광 소자는, 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 영상 신호에 따른 휘도로 발광한다.

<10> 드라이브 트랜지스터는, 화소 용량에 보존유지된 입력 전압을 게이트에 받아서 소스/드레인 사이에 출력 전류를 흐르게 하고, 발광 소자에 통전한다. 일반적으로, 발광 소자의 발광 휘도는 통전량에 비례하고 있다. 또, 드라이브 트랜지스터의 출력 전류 공급량은 게이트 전압 즉 화소 용량에 기입(書入; write; 써넣음)된 입력 전압에 의해서 제어된다. 종래의 화소 회로는, 드라이브 트랜지스터의 게이트에 인가되는 입력 전압을 입력 영상 신호에 따라서 변화시킴으로써, 발광 소자에 공급하는 전류량을 제어하고 있다.

<11> 여기서, 드라이브 트랜지스터의 동작 특성은 이하의 식 1로 나타내어진다.

<12> 
$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \text{식 1}$$

<13> 이 트랜지스터 특성식 1에서,  $I_{ds}$ 는 소스/드레인 사이에 흐르는 드레인 전류를 나타내고 있고, 화소 회로에서는 발광 소자에 공급되는 출력 전류이다.  $V_{gs}$ 는 소스를 기준으로 해서 게이트에 인가되는 게이트 전압을 나타내고

있고, 화소 회로에서는 상술한 입력 전압이다.  $V_{th}$ 는 트랜지스터의 임계 전압이다. 또,  $\mu$ 는 트랜지스터의 채널을 구성하는 반도체 박막의 이동도를 나타내고 있다. 그 밖에,  $W$ 는 채널폭을 나타내고,  $L$ 은 채널 길이를 나타내며,  $C_{ox}$ 는 게이트 용량을 나타내고 있다. 이 트랜지스터 특성식 1로부터 분명한 바와 같이, 박막 트랜지스터는 포화 영역에서 동작할 때, 게이트 전압  $V_{gs}$ 가 임계 전압  $V_{th}$ 를 넘어서 커지면, 온(on) 상태로 되어 드레인 전류  $I_{ds}$ 가 흐른다. 원리적으로 보면 상기의 트랜지스터 특성식 1이 나타내는 바와 같이, 게이트 전압  $V_{gs}$ 가 일정하면 항상 같은 양의 드레인 전류  $I_{ds}$ 가 발광 소자에 공급된다. 따라서, 화면을 구성하는 각 화소에 모두 동일한 레벨의 영상 신호를 공급하면, 전화소(全畫素)가 동일 휘도로 발광하며, 화면의 균일성(一様性)(유니포미티(uniformity))이 얻어질 것이다.

<14> 그렇지만 실제로는, 폴리실리콘 등의 반도체 박막으로 구성된 박막 트랜지스터(TFT)는, 개개의 디바이스 특성에 편차(variation)가 있다. 특히, 임계 전압  $V_{th}$ 는 일정하지는 않으며, 각 화소마다 편차가 있다. 전술한 트랜지스터 특성식 1로부터 분명한 바와 같이, 각 드라이브 트랜지스터의 임계 전압  $V_{th}$ 에 편차가 생기면, 게이트 전압  $V_{gs}$ 가 일정하더라도, 드레인 전류  $I_{ds}$ 에 편차가 생기고, 화소마다 휘도에 편차가 생겨 버리기 때문에, 화면의 유니포미티를 손상시킨다. 종래부터, 드라이브 트랜지스터의 임계 전압의 편차를 캔슬(없앰)하는 기능을 실장(組入)한 화소 회로가 개발되고 있으며, 예를 들면 상기의 특허 문헌 3에 개시가 있다.

<15> 그렇지만, 발광 소자에 대한 출력 전류의 편차 요인은, 드라이브 트랜지스터의 임계 전압  $V_{th}$ 만이 아니다. 상기의 트랜지스터 특성식 1로부터 분명한 바와 같이, 드라이브 트랜지스터의 이동도  $\mu$ 에 편차가 생긴 경우에도, 출력 전류  $I_{ds}$ 가 변동한다. 이 결과, 화면의 유니포미티가 손상된다. 이동도의 편차를 보정하는 것도, 해결해야 할 과제로 되어 있다.

<16> 상술한 종래 기술의 과제를 감안해서, 본 발명은 화소마다 드라이브 트랜지스터의 이동도 보정 기능을 구비한 표시 장치 및 그 구동 방법을 제공하는 것을 일반적인 목적으로 한다. 특히, 화소의 휘도 레벨에 대해서 적응적(適應的; adaptively)으로 이동도 보정을 행할 수 있는 표시 장치 및 그 구동 방법을 제공하는 것을 목적으로 한다.

### 과제 해결수단

<17> 이러한 목적을 달성하기 위해서 이하의 수단을 강구했다. 즉, 본 발명은, 화소 어레이부와 이것을 구동하는 구동부로 이루어지고, 상기 화소 어레이부는, 행모양의 제1 주사선 및 제2 주사선과, 열모양의 신호선과, 이들이 교차하는 부분에 배치된 행렬모양(行列狀)의 화소와, 각 화소에 급전(給電)하는 전원 라인 및 접지 라인을 구비하고, 상기 구동부는, 각 제1 주사선에 순차 제1 제어 신호를 공급해서 화소를 행단위로 선순차 주사하는 제1 스캐너와, 그 선순차 주사에 맞추어 각 제2 주사선에 순차 제2 제어 신호를 공급하는 제2 스캐너와, 그 선순차 주사에 맞추어 열모양의 신호선에 영상 신호를 공급하는 신호 셀렉터를 구비하고, 상기 화소는, 발광 소자와, 샘플링 트랜지스터와, 드라이브 트랜지스터와, 스위칭 트랜지스터와 화소 용량을 포함하고, 상기 샘플링 트랜지스터는, 그의 게이트가 그 제1 주사선에 접속되고, 그의 소스가 그 신호선에 접속되고, 그의 드레인이 그 드라이브 트랜지스터의 게이트에 접속되고, 상기 드라이브 트랜지스터 및 상기 발광 소자는 그 전원 라인과 접지 라인의 사이에서 직렬로 접속되어 전류로(電流路)를 형성하고, 상기 스위칭 트랜지스터는 그 전류로에 삽입됨과 동시에, 그 게이트가 그 제2 주사선에 접속되고, 상기 화소 용량은, 그 드라이브 트랜지스터의 소스와 게이트 사이에 접속되어 있는 표시 장치로서, 상기 샘플링 트랜지스터는, 그 제1 주사선으로부터 공급된 제1 제어 신호에 따라서 온하고, 그 신호선으로부터 공급된 영상 신호의 신호 전위를 샘플링해서 그 화소 용량으로 보존유지하고, 상기 스위칭 트랜지스터는, 그 제2 주사선으로부터 공급된 제2 제어 신호에 따라서 온해서 그 전류로를 도통 상태로 하고, 상기 드라이브 트랜지스터는, 그 화소 용량에 보존유지된 신호 전위에 따라서 구동 전류를 그 도통 상태로 놓여진 전류로를 통해서 그 발광 소자에 흐르게 한다. 상기 구동부는, 그 제1 주사선에 그 제1 제어 신호를 인가해서 그 샘플링 트랜지스터를 온하고 신호 전위의 샘플링을 개시한 후, 그 제2 제어 신호가 그 제2 주사선에 인가되어 그 스위칭 트랜지스터가 온하는 제1 타이밍부터, 그 제1 주사선에 인가된 그 제1 제어 신호가 해제되어 그 샘플링 트랜지스터가 오프(off)하는 제2 타이밍까지의 보정 기간에, 그 드라이브 트랜지스터의 이동도에 대한 보정을 그 화소 용량에 보존유지된 그 신호 전위에 가한다. 그 때 상기 제1 스캐너는, 제2 타이밍에 그 샘플링 트랜지스터를 오프할 때, 그 제1 제어 신호의 하강 파형(立下波形; trailing waveform)에 경사를 부여함으로써, 신호 전위가 높을 때 그 보정 기간이 짧아지는 반면, 신호 전위가 낮을 때 그 보정 기간이 길어지도록 자동적으로 그 제2 타이밍을 조정함과 동시에, 그 샘플링 트랜지스터의 임계 전압의 레벨에 대응해서, 복수(複數)의 하강 파형을 구별하여 사용(使分; selectively use)하는 것을 특징으로 한다.

<18> 구체적으로, 상기 제1 스캐너는, 그 샘플링 트랜지스터의 임계 전압이 표준 레벨인 경우, 처음에 제1 전위까지

경사를 급하게 하고 계속해서 제2 전위로 향해서 경사를 완만하게 한 표준 하강 파형을 사용하고, 그 샘플링 트랜지스터의 임계 전압이 표준 레벨보다 낮은 경우, 표준 하강 파형에 비해서 제1 전위 및 제2 전위가 모두 낮은 하강 파형을 사용하고, 그 샘플링 트랜지스터의 임계 전압이 표준 레벨보다 높은 경우, 표준 하강 파형에 비해서 제2 전위만이 높은 하강 파형을 사용한다. 또, 각 화소는, 영상 신호의 샘플링에 앞서서 그 드라이브 트랜지스터의 게이트 전위 및 소스 전위를 리셋(reset)하는 추가 스위칭 트랜지스터를 포함하고, 상기 제2 스캐너는, 영상 신호의 샘플링에 앞서서 그 제2 제어선을 거쳐서 그 스위칭 트랜지스터를 일시적으로 온하고, 이로써(以) 리셋된 그 드라이브 트랜지스터에 구동 전류를 흐르게 해서 그 임계 전압에 상당(相當)하는 전압을 그 화소 용량에 유지해 둔다.

**효 과**

<19> 본 발명에 따르면, 신호 전위를 화소 용량에 샘플링되어 있는 기간(샘플링 기간)의 일부를 이용해서, 드라이브 트랜지스터의 이동도 보정을 행하고 있다. 구체적으로는, 샘플링 기간의 후반에서, 스위칭 트랜지스터를 온해서 전류를 도통 상태로 하여, 드라이브 트랜지스터에 구동 전류를 흐르게 한다. 이 구동 전류는 샘플링된 신호 전위에 따른 크기이다. 이 단계에서는 발광 소자가 역바이어스 상태에 있고, 구동 전류는 발광 소자를 흐르지 않고 그의 기생 용량이나 화소 용량에 충전되어 간다. 이 후, 샘플링 펄스가 하강(立下; fall)하고, 드라이브 트랜지스터의 게이트가 신호선으로부터 분리(切離; cut off)된다. 이 스위칭 트랜지스터가 온하고 나서 샘플링 트랜지스터가 오프할 때까지의 보정 기간에, 화소 용량에 대해서 드라이브 트랜지스터로부터 구동 전류가 부귀환되고, 그 만큼(分; 그에 상당하는 양)이 화소 용량에 샘플링된 신호 전위로부터 공제(差引)된다. 이 부귀환량은 드라이브 트랜지스터의 이동도의 편차를 억제하는 방향으로 작용하므로, 화소마다의 이동도 보정을 행할 수 있다. 즉 드라이브 트랜지스터의 이동도가 크면 화소 용량에 대한 부귀환량이 커지고, 화소 용량에 보존 유지된 신호 전위가 크게 줄어들고(감소되고), 결과적으로 드라이브 트랜지스터의 출력 전류가 억제된다. 이것에 대해서, 드라이브 트랜지스터의 이동도가 작으면, 부귀환량도 작아지고, 화소 용량에 보존 유지된 신호 전위는 그다지 영향을 받지 않는다. 따라서, 드라이브 트랜지스터의 출력 전류도 그다지 내려가는(감소하는) 일이 없다. 여기서, 부귀환량은 신호선으로부터 직접 드라이브 트랜지스터의 게이트에 인가되는 신호 전위에 따른 레벨로 된다. 즉, 신호 전위가 높고 휘도가 커질 수록, 부귀환량은 커진다. 이와 같이, 이동도 보정은 휘도 레벨에 따라서 행해진다.

<20> 그렇지만, 휘도가 높은 경우와 휘도가 낮은 경우에서는, 반드시 최적의 보정 기간은 같지는 않다. 일반적으로, 휘도가 고레벨(흰색 레벨)일 때 최적 보정 기간은 비교적 짧고, 역으로 휘도가 중간 레벨(그레이(그레이) 레벨)일 때, 최적 보정 기간은 길어지는 경향에 있다. 본 발명은, 휘도 레벨에 따라서 보정 기간이 자동적으로 최적화되도록 하고 있다. 즉, 본 발명은 스위칭 트랜지스터가 온하는 제1 타이밍에 대해서, 샘플링 트랜지스터가 오프하는 제2 타이밍을 신호 전위에 따라서 자동적으로 조정하고 있다. 구체적으로는, 신호선으로부터 공급되는 영상 신호의 신호 전위가 높을 때 보정 기간이 짧아지는 반면, 신호선에 공급되는 영상 신호의 신호 전위가 낮을 때 보정 기간이 길어지도록, 적응 제어하고 있다. 구체적으로는, 샘플링 트랜지스터를 오프할 때에, 제어 신호의 하강(trailing end)에 경사를 부여함으로써, 전계조에 걸처서 최적의 이동도 보정 시간을 자동적으로 취하는 것이 가능하게 되며, 화면의 유니포미티는 현격(格段; drastically)히 향상된다.

<21> 그렇지만, 드라이브 트랜지스터의 임계 전압이나 이동도는 보정할 수 있더라도, 샘플링 트랜지스터 등의 특성 편차가 화질에 영향을 미치는 일이 있다. 화소마다 박막 트랜지스터를 집적 형성하는 TFT 프로세스에서, 반드시 매(每) 유동 로트(stream lot)마다 같은 특성의 트랜지스터가 집적 형성된다고는 할 수 없다. 제조 시기나 제조 장치 상태에 따라서, 샘플링 트랜지스터의 임계 전압 등의 특성이 표준값보다도 어긋나(shift) 버리는 경우가 있다. 샘플링 트랜지스터의 특성이 어긋난 경우, 상술한 제어 신호의 하강 파형을 이용하더라도, 최적 보정 시간이 어긋나 버리는 일이 있으며, 표시 화상에 불균일한 줄무늬(筋班; uneven streaks) 등이 발생해서 패넬의 수율(歩留; yield)이 내려간다. 그래서, 본 발명에서는, 샘플링 트랜지스터의 임계 전압의 레벨에 대응해서, 복수의 하강 파형을 구별하여 사용하도록 하고 있다. 샘플링 트랜지스터의 임계 전압이 표준값에 대해서 상하로 흔들림(振; deviation; 편차, 변동)이 생긴 경우, 각각의 레벨에 따른 하강 파형을 선택함으로써, 최적의 이동도 보정 기간을 자동 조정하는 것이 가능하게 된다. 예를 들면, 표준 파형에서 불균일한 줄무늬가 생기고 불합격품으로 된 패넬에서도, 다른 하강 파형을 선택함으로써 해당(當該) 패넬을 합격품으로 전환(轉換)하는 것이 가능하게 되고, 수율의 개선으로 이어진다(연결된다).

**발명의 실시를 위한 구체적인 내용**

<22> 이하, 도면을 참조해서 본 발명의 실시형태를 상세하게 설명한다. 도 1은, 본 발명에 관련된 표시 장치의 전체

구성을 도시하는 모식적인 블록도이다. 도시하는 바와 같이, 본(本) 화상 표시 장치는 기본적으로 화소 어레이부(1)와, 스캐너부 및 신호부를 포함하는 구동부로 구성되어 있다. 화소 어레이부(1)는, 행모양으로 배치된 주사선 WS, 주사선 AZ1, 주사선 AZ2 및 주사선 DS와, 열모양으로 배치된 신호선 SL과, 이들 주사선 WS, AZ1, AZ2, DS 및 신호선 SL에 접속한 행렬모양의 화소 회로(2)와, 각 화소 회로(2)의 동작에 필요한 제1 전위 Vss1, 제2 전위 Vss2 및 제3 전위 Vcc를 공급하는 복수의 전원선으로 이루어진다. 신호부는 수평 셀렉터(3)로 이루어지고, 신호선 SL에 영상 신호를 공급한다. 스캐너부는, 라이트 스캐너(4), 드라이브 스캐너(5), 제1 보정용 스캐너(71) 및 제2 보정용 스캐너(72)로 이루어지고, 각각 주사선 WS, 주사선 DS, 주사선 AZ1 및 주사선 AZ2에 제어 신호를 공급해서 순차 행마다 화소 회로를 주사한다.

<23> 여기서, 라이트 스캐너(4)는 시프트 레지스터로 구성되어 있고, 외부로부터 공급되는 클럭 신호 WCK에 따라서 동작하고, 마찬가지로 외부로부터 공급되는 스타트 신호 WSST를 순차 전송(轉送)해서 각 주사선 WS에 출력하고 있다. 그 때, 마찬가지로 외부로부터 공급되는 전원 펄스 WSP를 이용해서, 제어 신호 WS의 하강 파형을 생성하고 있다. 드라이브 스캐너(5)도 시프트 레지스터로 이루어지고, 외부로부터 공급되는 클럭 신호 DCK에 따라서 동작하고, 마찬가지로 외부로부터 공급되는 스타트 신호 DSST를 순차 전송함으로써, 제어 신호 DS를 각 주사선 DS에 순차 출력하고 있다.

<24> 도 2는, 도 1에 도시한 화상 표시 장치에 실장되는 화소 회로의 구성예를 도시하는 회로도이다. 도시하는 바와 같이 화소 회로(2)는, 샘플링 트랜지스터 Tr1과, 드라이브 트랜지스터 Trd와, 제1 스위칭 트랜지스터 Tr2와, 제2 스위칭 트랜지스터 Tr3과, 제3 스위칭 트랜지스터 Tr4와, 화소 용량 Cs와, 발광 소자 EL을 포함한다. 샘플링 트랜지스터 Tr1은, 소정의 샘플링 기간에 주사선 WS로부터 공급되는 제어 신호에 따라서 도통해서 신호선 SL로부터 공급된 영상 신호의 신호 전위를 화소 용량 Cs에 샘플링한다. 화소 용량 Cs는, 샘플링된 영상 신호의 신호 전위에 따라서 드라이브 트랜지스터 Trd의 게이트 G에 입력 전압 Vgs를 인가한다. 드라이브 트랜지스터 Trd는, 입력 전압 Vgs에 따른 출력 전류 Ids를 발광 소자 EL에 공급한다. 발광 소자 EL은, 소정의 발광 기간 중에 드라이브 트랜지스터 Trd로부터 공급되는 출력 전류 Ids에 의해 영상 신호의 신호 전위에 따른 휘도로 발광한다.

<25> 제1 스위칭 트랜지스터 Tr2는, 샘플링 기간에 앞서서 주사선 AZ1로부터 공급되는 제어 신호에 따라서 도통해서 드라이브 트랜지스터 Trd의 게이트 G를 제1 전위 Vss1로 설정한다. 제2 스위칭 트랜지스터 Tr3은, 샘플링 기간에 앞서서 주사선 AZ2로부터 공급되는 제어 신호에 따라서 도통해서 드라이브 트랜지스터 Trd의 소스 S를 제2 전위 Vss2로 설정한다. 제3 스위칭 트랜지스터 Tr4는, 샘플링 기간에 앞서서 주사선 DS로부터 공급되는 제어 신호에 따라서 도통해서 드라이브 트랜지스터 Trd를 제3 전위 Vcc에 접속하고, 이로써 드라이브 트랜지스터 Trd의 임계 전압 Vth에 상당하는 전압을 화소 용량 Cs에 보존유지시켜서 임계 전압 Vth의 영향을 보정한다. 또, 이 제3 스위칭 트랜지스터 Tr4는, 발광 기간에 다시 주사선 DS로부터 공급되는 제어 신호에 따라서 도통해서 드라이브 트랜지스터 Trd를 제3 전위 Vcc에 접속해서 출력 전류 Ids를 발광 소자 EL에 흐르게 한다.

<26> 이상의 설명으로부터 분명한 바와 같이, 본 화소 회로(2)는, 5개의 트랜지스터 Tr1 내지 Tr4 및 Trd와 1개의 화소 용량 Cs와 1개의 발광 소자 EL로 구성되어 있다. 트랜지스터 Tr1~Tr3과 Trd는 N채널형의 폴리실리콘 TFT이다. 트랜지스터 Tr4만 P채널형의 폴리 실리콘 TFT이다. 단, 본 발명은 이것에 한정되는 것이 아니라, N채널형과 P채널형의 TFT를 적당히 혼재시킬 수가 있다. 발광 소자 EL은 예를 들면 애노드 및 캐소드를 구비한 다이오드형의 유기 EL 디바이스이다. 단, 본 발명은 이것에 한정되는 것이 아니며, 발광 소자는 일반적으로 전류 구동으로 발광하는 모든 디바이스를 포함한다.

<27> 도 3은, 도 2에 도시한 화상 표시 장치로부터 화소 회로(2) 부분만을 취출(取出; take out)한 모식도이다. 이해를 용이하게 하기 위해서, 샘플링 트랜지스터 Tr1에 의해서 샘플링되는 영상 신호의 신호 전위 Vsig나, 드라이브 트랜지스터 Trd의 입력 전압 Vgs 및 출력 전류 Ids, 나아가서는 발광 소자 EL이 가지는 용량 성분 Coled 등을 추가기입(書加; additional write; 더 써넣음)하고 있다. 이하, 도 3에 의거해서, 본 발명에 관련된 화소 회로(2)의 동작을 설명한다.

<28> 도 4는, 도 3에 도시한 화소 회로의 타이밍 차트이다. 도 4를 참조해서, 도 3에 도시한 본 발명에 관련된 화소 회로의 동작을 구체적으로 설명한다. 도 4는, 시간축 T를 따라서 각 주사선 WS, AZ1, AZ2 및 DS에 인가되는 제어 신호의 파형을 도시하고 있다. 표기를 간략화하기 위해서, 제어 신호도 대응하는 주사선의 부호와 같은 부호로 나타내고 있다. 트랜지스터 Tr1, Tr2, Tr3은 N채널형이므로, 주사선 WS, AZ1, AZ2가 각각 하이레벨일 때 온하고, 로 레벨일 때 오프한다. 한편, 트랜지스터 Tr4는 P채널형이므로, 주사선 DS가 하이레벨일 때 오프하고, 로우레벨일 때 온한다. 또한, 이 타이밍차트에는, 각 제어 신호 WS, AZ1, AZ2, DS의 파형과 함께,

드라이브 트랜지스터 Trd의 게이트 G의 전위 변화 및 소스 S의 전위 변화도 도시하고 있다.

- <29> 도 4의 타이밍 차트에서는 타이밍 T1~T8까지를 1필드(1f)로 하고 있다. 1필드 동안에 화소 어레이의 각 행이 1회 순차 주사된다. 타이밍차트에는, 1행분의 화소에 인가되는 각 제어 신호 WS, AZ1, AZ2, DS의 파형을 도시하고 있다.
- <30> 해당 필드가 시작되기 전의 타이밍 T0에서, 모든 제어 신호 WS, AZ1, AZ2, DS가 로우 레벨에 있다. 따라서, N 채널형의 트랜지스터 Tr1, Tr2, Tr3은 오프 상태에 있는 반면, P채널형의 트랜지스터 Tr4만 온 상태이다. 따라서, 드라이브 트랜지스터 Trd는 온 상태의 트랜지스터 Tr4를 거쳐서 전원 Vcc에 접속되어 있으므로, 소정의 입력 전압 Vgs에 따라서 출력 전류 Ids를 발광 소자 EL에 공급하고 있다. 따라서, 타이밍 T0에서 발광 소자 EL은 발광하고 있다. 이 때, 드라이브 트랜지스터 Trd에 인가되는 입력 전압 Vgs는, 게이트 전위(G)와 소스 전위(S)의 차(差)로 나타내어진다.
- <31> 해당 필드가 시작되는 타이밍 T1에서, 제어 신호 DS가 로우 레벨에서 하이 레벨로 바뀐다(切替; switch; 전환된다). 이것에 의해, 트랜지스터 Tr4가 오프하고, 드라이브 트랜지스터 Trd는 전원 Vcc로부터 분리되므로, 발광이 정지하고 비발광 기간에 접어든다(들어간다). 따라서, 타이밍 T1에 들어가면, 모든 트랜지스터 Tr1~Tr4가 오프 상태로 된다.
- <32> 타이밍 T1 후(後) 타이밍 T2에서 제어 신호 AZ2가 상승(立上; rise)하고, 스위칭 트랜지스터 Tr3이 온한다. 이것에 의해, 드라이브 트랜지스터 Trd의 소스(S)는 소정의 전위 Vss2로 초기화된다. 계속해서, 타이밍 T2에서 제어 신호 AZ1이 상승하고, 스위칭 트랜지스터 Tr2가 온한다. 이것에 의해, 드라이브 트랜지스터 Trd의 게이트 전위(G)가 소정의 전위 Vss1로 초기화된다. 이 결과, 드라이브 트랜지스터 Trd의 게이트 G가 기준 전위 Vss1에 접속되고, 소스 S가 기준 전위 Vss2에 접속된다. 여기서,  $Vss1-Vss2 > Vth$ 를 만족시키고 있으며,  $Vss1-Vss2=Vgs > Vth$ 로 함으로써, 그 후 타이밍 T3에서 행해지는 Vth 보정의 준비를 행한다. 바꾸어말하면 기간 T2-T3은, 드라이브 트랜지스터 Trd의 리셋 기간에 상당한다. 또, 발광 소자 EL의 임계 전압을 VthEL로 하면,  $VthEL > Vss2$ 로 설정되어 있다. 이것에 의해, 발광 소자 EL에는 마이너스 바이어스가 인가되고, 이른바 역바이어스 상태로 된다. 이 역바이어스 상태는, 나중에 행할 Vth 보정 동작 및 이동도 보정 동작을 정상적으로 행하기 위해서 필요하다.
- <33> 타이밍 T3에서는 제어 신호 AZ2를 로우 레벨로 한 후, 제어 신호 DS를 로우 레벨로 하고 있다. 이것에 의해, 트랜지스터 Tr3이 오프하는 반면 트랜지스터 Tr4가 온한다. 이 결과, 드레인 전류 Ids가 화소 용량 Cs에 흘러 들어가고, Vth 보정 동작을 개시한다. 이 때, 드라이브 트랜지스터 Trd의 게이트 G는 Vss1로 보존유지되고 있으며, 드라이브 트랜지스터 Trd가 컷오프(cut off)할 때까지 전류 Ids가 흐른다. 컷오프하면 드라이브 트랜지스터 Trd의 소스 전위(S)는  $Vss1-Vth$ 로 된다. 드레인 전류가 컷오프한 후의 타이밍 T4에서 제어 신호 DS를 다시 하이레벨로 되돌리고(戻; return), 스위칭 트랜지스터 Tr4를 오프한다. 또, 제어 신호 AZ1도 로우 레벨에 되돌리고, 스위칭 트랜지스터 Tr2도 오프한다. 이 결과, 화소 용량 Cs에 Vth가 보존유지 고정된다. 이와 같이, 타이밍 T3-T4는 드라이브 트랜지스터 Trd의 임계 전압 Vth를 검출하는 기간이다. 여기에서는, 이 검출 기간 T3-T4를 Vth 보정 기간이라고 부르고 있다.
- <34> 이와 같이, Vth 보정을 행한 후 타이밍 T5에서 제어 신호 WS를 하이레벨로 바꾸고(전환하고), 샘플링 트랜지스터 Tr1을 온해서 영상 신호의 신호 전위 Vsig를 화소 용량 Cs에 기입한다. 발광 소자 EL의 등가 용량 Coled에 비해서 화소 용량 Cs는 충분히 작다. 이 결과, 영상 신호의 신호 전위 Vsig의 거의 대부분이 화소 용량 Cs에 기입된다. 정확하게는, Vss1에 대한 Vsig의 차분  $Vsig-Vss1$ 이 화소 용량 Cs에 기입된다. 따라서, 드라이브 트랜지스터 Trd의 게이트 G와 소스 S 사이의 전압 Vgs는, 앞서 검출 보존유지된 Vth와 이번(今回)에 샘플링된  $Vsig-Vss1$ 을 더한(加算한) 레벨( $Vsig-Vss1+Vth$ )로 된다. 이후(以降) 설명의 간이화를 위해서  $Vss1=0V$ 로 하면, 게이트/소스간 전압 Vgs는 도 4의 타이밍차트에 도시하는 바와 같이  $Vsig+Vth$ 로 된다. 이러한 영상 신호의 신호 전위 Vsig의 샘플링은 제어 신호 WS가 로우 레벨로 되돌아가는 타이밍 T7까지 행해진다. 즉, 타이밍 T5-T7이 샘플링 기간에 상당한다.
- <35> 샘플링 기간이 종료하는 타이밍 T7보다 이전(前)의 타이밍 T6에서 제어 신호 DS가 로우 레벨로 되고 스위칭 트랜지스터 Tr4가 온한다. 이것에 의해, 드라이브 트랜지스터 Trd가 전원 Vcc에 접속되므로, 화소 회로는 비발광 기간에서 발광 기간으로 진행한다. 이와 같이, 샘플링 트랜지스터 Tr1이 아직 온 상태이고 또한 스위칭 트랜지스터 Tr4가 온 상태로 들어간 기간 T6-T7에서, 드라이브 트랜지스터 Trd의 이동도 보정을 행한다. 즉, 본 발명에서는, 샘플링 기간의 뒷부분과 발광 기간의 선두 부분이 겹치는 기간 T6-T7에서 이동도 보정을 행하고 있다. 또한, 이 이동도 보정을 행하는 발광 기간의 선두에서는, 발광 소자 EL은 실제로는 역바이어스 상태에 있으므로

발광하는 일은 없다. 이 이동도 보정 기간 T6-T7에서는, 드라이브 트랜지스터 Trd의 게이트 G가 영상 신호의 신호 전위 Vsig의 레벨에 고정된 상태에서, 드라이브 트랜지스터 Trd에 드레인 전류 Ids가 흐른다. 여기서,  $V_{ss1}-V_{th}<V_{thEL}$ 로 설정해 줌으로써, 발광 소자 EL은 역바이어스 상태에 있기 때문에, 다이오드 특성이 아니라 단순한 용량 특성을 나타내도록 된다. 따라서, 드라이브 트랜지스터 Trd에 흐르는 전류 Ids는 화소 용량 Cs와 발광 소자 EL의 등가 용량 Coled의 양자(兩者)를 결합한 용량  $C=C_s+Coled$ 에 기입되어 있다. 이것에 의해, 드라이브 트랜지스터 Trd의 소스 전위(S)는 상승(上昇; rise)해 간다. 도 4의 타이밍차트에서는 이 상승분(上昇分)을  $\Delta V$ 로 나타내고 있다. 이 상승분  $\Delta V$ 는 결국 화소 용량 Cs에 보존유지된 게이트/소스간 전압 Vgs에서 공제되게 되므로, 부귀환을 건 것으로 된다. 이와 같이, 드라이브 트랜지스터 Trd의 출력 전류 Ids를 마찬가지로(상술한 바와 같이) 드라이브 트랜지스터 Trd의 입력 전압 Vgs에 부귀환함으로써, 이동도  $\mu$ 를 보정하는 것이 가능하다. 또한, 부귀환량  $\Delta V$ 는 이동도 보정 기간 T6-T7의 시간폭 t를 조정함으로써 최적화 가능하다. 이 목적에서 제어 신호 WS의 하강에 경사가 부여되어 있다.

<36> 타이밍 T7에서는 제어 신호 WS가 로우 레벨로 되고 샘플링 트랜지스터 Tr1이 오프한다. 이 결과, 드라이브 트랜지스터 Trd의 게이트 G는 신호선 SL로부터 분리된다. 영상 신호의 신호 전위 Vsig의 인가가 해제되므로, 드라이브 트랜지스터 Trd의 게이트 전위(G)는 상승 가능하게 되며, 소스 전위(S)와 함께 상승해 간다. 그 동안, 화소 용량 Cs에 보존유지된 게이트/소스간 전압 Vgs는  $(V_{sig}-\Delta V+V_{th})$ 의 값을 유지한다. 소스 전위(S)의 상승에 수반해서, 발광 소자 EL의 역바이어스 상태는 해소되므로, 출력 전류 Ids의 유입에 의해 발광 소자 EL은 실제로 발광을 개시한다. 이 때의 드레인 전류 Ids대(對) 게이트 전압 Vgs의 관계는, 앞서의(전술한) 트랜지스터 특성식 1의 Vgs에  $V_{sig}-\Delta V+V_{th}$ 를 대입함으로써, 이하의 식 2와 같이 주어진다.

<37>  $I_{ds}=k\mu(V_{gs}-V_{th})^2=k\mu(V_{sig}-\Delta V)^2 \dots$ 식 2

<38> 상기 식 2에서,  $k=(1/2)(W/L)Cox$ 이다. 이 특성식 2로부터 Vth의 항(項)이 캔슬되어 있고, 발광 소자 EL에 공급되는 출력 전류 Ids는 드라이브 트랜지스터 Trd의 임계 전압 Vth에 의존하지 않는다는 것을 알 수 있다. 기본적으로, 드레인 전류 Ids는 영상 신호의 신호 전위 Vsig에 의해서 결정된다. 바꾸어말하면, 발광 소자 EL은 영상 신호의 신호 전위 Vsig에 따른 휘도로 발광하게 된다. 그 때, Vsig는 귀환량  $\Delta V$ 로 보정되어 있다. 이 보정량  $\Delta V$ 는 정확히(丁度) 특성식 2의 계수부에 위치하는 이동도  $\mu$ 의 효과를 소거(打消; cancel out)하도록 작용한다. 따라서, 드레인 전류 Ids는 실질적으로 영상 신호의 신호 전위 Vsig에만 의존하게 된다.

<39> 최후에, 타이밍 T8에 이르면 제어 신호 DS가 하이레벨로 되어 스위칭 트랜지스터 Tr4가 오프하고, 발광이 종료함과 동시에 해당 필드가 끝(終)난다. 이 후, 다음 필드로 옮겨서 다시 Vth 보정 동작, 신호 전위의 샘플링 동작, 이동도 보정 동작 및 발광 동작이 되풀이(반복)되게 된다.

<40> 도 5는, 이동도 보정 기간 T6-T7에서의 화소 회로(2) 상태를 도시하는 회로도이다. 도시하는 바와같이, 이동도 보정 기간 T6-T7에서는, 샘플링 트랜지스터 Tr1 및 스위칭 트랜지스터 Tr4가 온 하고 있는 반면, 나머지 스위칭 트랜지스터 Tr2 및 Tr3이 오프하고 있다. 이 상태에서 드라이브 트랜지스터 Tr4의 소스 전위(S)는  $V_{ss1}-V_{th}$ 이다. 이 소스 전위(S)는 발광 소자 EL의 애노드 전위이기도 하다. 전술한 바와 같이,  $V_{ss1}-V_{th}<V_{thEL}$ 로 설정해 줌으로써, 발광 소자 EL은 역바이어스 상태에 놓여지고, 다이오드 특성이 아니라 단순한 용량 특성을 나타내게 된다. 따라서, 드라이브 트랜지스터 Trd에 흐르는 전류 Ids는 화소 용량 Cs와 발광 소자 EL의 등가 용량 Coled와의 합성 용량  $C=C_s+Coled$ 에 흘러들어가게 된다. 바꾸어말하면, 드레인 전류 Ids의 일부가 화소 용량 Cs에 부귀환되고, 이동도의 보정이 행해진다.

<41> 도 6은 상술한 트랜지스터 특성식 2를 그래프화한 것이며, 종축에 Ids를 취하고 횡축에 Vsig를 취하고 있다. 이 그래프의 아래쪽에 특성식 2도 아울러(역시) 도시되어 있다. 도 6의 그래프는, 화소1과 화소2를 비교한 상태에서 특성 커브를 묘사하고 있다. 화소1의 드라이브 트랜지스터의 이동도  $\mu$ 는 상대적으로 크다. 역으로, 화소2에 포함되는 드라이브 트랜지스터의 이동도  $\mu$ 는 상대적으로 작다. 이와 같이, 드라이브 트랜지스터를 폴리실리콘 박막 트랜지스터 등으로 구성한 경우, 화소 사이에서 이동도  $\mu$ 에 편차가 생기는 것은 피할 수 없다. 예를 들면, 양(兩) 화소1, 2에 같은(同) 레벨의 영상 신호의 신호 전위 Vsig를 기입한 경우, 어떠한 이동도의 보정을 행하지 않으면 이동도  $\mu$ 가 큰 화소1에 흐르는 출력 전류 Ids1'는, 이동도  $\mu$ 가 작은 화소2에 흐르는 출력 전류 Ids2'에 비해서 큰 차가 생겨 버린다. 이와 같이, 이동도  $\mu$ 의 편차에 기인해서 출력 전류 Ids 사이에 큰 차가 생기므로, 불균일한 줄무늬가 발생하고 화면의 유니포미티를 손상시키게 된다.

<42> 그래서, 본 발명에서는 출력 전류를 입력 전압측으로 부귀환시킴으로써 이동도의 편차를 캔슬시키고 있다. 앞서의 트랜지스터 특성식 1로부터 분명한 바와 같이, 이동도가 크면 드레인 전류 Ids가 커진다. 따라서, 부귀환량  $\Delta V$ 는 이동도가 클수록 커진다. 도 6의 그래프에 도시하는 바와 같이, 이동도  $\mu$ 가 큰 화소1의 부귀환량  $\Delta$

V1은 이동도가 작은 화소2의 부귀환량 ΔV2에 비해서 크다. 따라서, 이동도 μ가 클수록 부귀환이 크게 걸리는 것으로 되어, 편차를 억제하는 것이 가능하다. 도시하는 바와 같이, 이동도 μ가 큰 화소1에서 ΔV1의 보정을 가하면, 출력 전류는 Ids1'로부터 Ids1까지 크게 하강한다. 한편, 이동도 μ가 작은 화소 2의 보정량 ΔV2는 작으므로, 출력 전류 Ids2'는 Ids2까지 그다지 크게 하강하지 않는다. 결과적으로, Ids1과 Ids2는 대략 똑같이 되고, 이동도의 편차가 캔슬된다. 이 이동도의 편차의 캔슬은 검은색(黑; black) 레벨로부터 흰색(白; white) 레벨까지 Vsig의 전범위에서 행해지므로, 화면의 유니포미티는 지극히(매우) 높아진다. 이상을 정리하면, 이동도가 다른 화소1과 2가 있었던 경우, 이동도가 큰 화소1의 보정량 ΔV1은 이동도가 작은 화소2의 보정량 ΔV2에 대해서 작아진다. 다시말해, 이동도가 클수록 ΔV가 크고 Ids의 감소값은 커진다. 이것에 의해, 이동도가 다른 화소 전류값은 균일화되고, 이동도의 편차를 보정할 수가 있다.

<43> 이하, 참고를 위해서, 상술한 이동도 보정의 수치 해석을 행한다. 도 5에 도시한 바와 같이, 트랜지스터 Tr1 및 Tr4가 온한 상태에서, 드라이브 트랜지스터 Trd의 소스 전위를 변수 V로 취해서 해석을 행한다. 드라이브 트랜지스터 Trd의 소스 전위(S)를 V로 하면, 드라이브 트랜지스터 Trd를 흐르는 드레인 전류 Ids는 이하의 식 3에 나타내는 바와 같다.

<44> [수학식 1]

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{식 3}$$

<45>

<46> 또, 드레인 전류 Ids와 용량 C(=Cs+Coled)의 관계에 의해, 이하의 식 4에 나타내는 바와 같이 Ids=dQ/dt=CdV/dt가 성립된다.

<47> [수학식 2]

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{よ} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{식 4}$$

$$\begin{aligned} \Leftrightarrow \int_0^t \frac{1}{C} dt &= \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\ \Leftrightarrow \frac{k\mu}{C} t &= \left[ \frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\ \Leftrightarrow V_{sig} - V_{th} - V &= \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \end{aligned}$$

<48>

<49> 식 4에 식 3을 대입해서 양변을 적분한다. 여기서, 소스 전압 V 초기 상태는 -Vth이며, 이동도 편차 보정 시간 (T6 - T7)을 t로 한다. 이 미분 방정식을 풀면, 이동도 보정 시간 t에 대한 화소 전류가 이하의 식 5와 같이 주어진다.

<50> [수학식 3]

$$I_{ds} = k\mu \left( \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{식 5}$$

<51>

<52> 그런데, 최적인 이동도 보정 시간 t는 화소의 휘도 레벨(영상 신호의 신호 전위 Vsig)에 따라서 다른 경향이 있다. 이 점에 대해서, 도 7을 참조하여 설명한다. 도 7의 그래프는, 횡축에 이동도 보정 시간 t(T7-T6)를 취하고, 종축에 휘도(신호 전위)를 취하고 있다. 고휘도(화이트 계조)인 경우, 이동도 대(移動度大)의 드라이브 트랜지스터와 이동도 소(移動度小)의 드라이브 트랜지스터에서, 이동도 보정 시간을 t1로 취했을 때, 정확히 휘도 레벨이 똑같아진다. 즉, 입력 신호 전위가 화이트 계조일 때는, 이동도 보정 시간 t1이 최적 보정 시간으로 된다. 한편, 신호 전위가 중간 휘도(그레이 계조)일 때, 이동도 보정 시간 t1에서는 이동도 대의 트랜지스터와 이동도 소의 트랜지스터에서 휘도에 차가 있으며, 완전한 보정은 할 수 없다. t1보다 긴 보정 시간 t2를 확보하면, 정확히 이동도 대와 이동도 소의 트랜지스터에서 휘도가 같은 레벨로 된다. 따라서, 신호 전위가 그레이 계조일 때, 최적 보정 시간 t2는 화이트 계조일 때의 최적 보정 시간 t1보다도 길어진다.

- <53> 가령 휘도 레벨에 의존하지 않고 이동도 보정 시간  $t$ 를 고정시키면, 전계조에서 완전하게 이동도 보정을 행할 수 없게 되며, 불균일한 줄무늬가 생긴다. 예를 들면, 이동도 보정 시간  $t$ 를 흰색 계조의 최적 보정 기간  $t_1$ 에 맞추면(고정시키면), 입력 영상 신호가 그레이 계조일 때 줄무늬가 화면에 남는다. 역으로, 그레이 계조의 최적 보정 기간  $t_2$ 에 고정시키면, 영상 신호가 흰색 계조일 때 화면에 불균일한 줄무늬가 나타난다(출현한다). 즉, 이동도 보정 시간  $t$ 를 고정시키면, 흰색부터 그레이 계조까지 모든 계조에 걸쳐서 이동도 편차를 동시에 보정할 수는 없다.
- <54> 그래서, 본 발명은 입력 영상 신호의 레벨에 따라서 이동도 보정 기간을 최적으로 자동 조정 가능하게 하고 있다. 이 점에 대해서, 도 8을 참조하여 상세하게 설명한다. 도 8에는 스위칭 트랜지스터 Tr4의 게이트에 인가되는 제어 신호 DS의 하강 파형을 도시하고 있다. 본 실시형태의 경우, 스위칭 트랜지스터 Tr4는 P채널형이므로, 제어 신호 DS가 하강한 시점(T6)에서 트랜지스터 Tr4는 온한다. 이 타이밍 T6이 전술한 바와 같이 이동도 보정 기간의 개시 시기로 된다. 제어 신호 DS와 아울러(함께) 제어 신호 WS의 하강 파형도 도시되어 있다. 이 제어 신호 WS는 샘플링 트랜지스터 Tr1의 게이트에 인가된다. 전술한 바와 같이, 본 실시형태에서는 샘플링 트랜지스터 Tr1이 N채널형이므로, 제어 신호 WS가 하강한 시점 T7에서 샘플링 트랜지스터 Tr1이 오프하고 이동도 보정 기간이 끝난다.
- <55> 본 발명의 특징 사항으로서 제어 신호 WS의 파형을 오프할 때에, 최초 적당한 전위까지 급준(急峻; rapidly)하게 파형을 떨어뜨리고, 그곳으로부터 최종 전위까지 완만하게 펄스를 떨어뜨리고 있다. 이것에 의해, 소망의 전위로 정해지는 계조를 경계로 해서 2이상의 이동도 보정 기간을 설치할 수가 있다. 설명의 편의상, 급준하게 떨어뜨린 최초의 전압을 1st 전압, 완만하게(무디어지게 해서) 떨어뜨린 최종 전위를 2nd 전압이라고 부르기로 한다. 여기서, 모델로서, 제어 신호 WS의 파형을, 1st 전압=8V, 2nd 전압=4V로 해서 동작을 생각한다. 또, 샘플링 트랜지스터 Tr1의 임계 전압을  $V_{th}(Tr1)=2V$ 로 한다.
- <56> 흰색 계조  $V_{sig1}=8V$ 를 기입한 경우, 샘플링 트랜지스터 Tr1은 제어신호 WS가  $V_{sig1}+V_{th}(Tr1)=10V$ 까지 내린간 시점 T7에서 컷오프한다. 즉, 샘플링 트랜지스터 Tr1의 소스에 대해서 신호선으로부터  $V_{sig}=8V$ 가 인가되었을 때, 샘플링 트랜지스터 Tr1의 게이트 전위가 소스 전위보다 임계 전압 2V만큼 높은 곳에서, 샘플링 트랜지스터 Tr1은 컷오프한다. 이와 같이 해서 흰색 계조의 경우, 제어 신호 DS 온 타이밍(on timing) T6으로부터 제어 신호 WS가 1st 전압까지 급준하게 하강할 때까지의 포인트 T7까지에서, 이동도 보정 시간  $t_1=T7-T6$ 이 결정된다.
- <57> 한편, 그레이 계조  $V_{sig2}=4V$ 를 기입한 경우, 샘플링 트랜지스터 Tr1의 컷오프 전압은  $V_{sig2}+V_{th}(Tr1)=6V$ 로 된다. 제어 신호 WS가 컷오프 전압의 6V까지 내려가는 시점은 타이밍 T7' 이다. 그레이 계조의 경우, 제어 신호 DS의 온 타이밍 T6으로부터, WS파형 오프의 1st 전압으로부터 2nd 전압까지의 사이의 완만하게 하강하고 있는 포인트 T7' 로 보정 시간  $t_2$ 가 결정된다. 즉, 흰색 계조시의 보정 시간  $t_1$ 보다도 그레이 계조시의 보정 시간  $t_2$ 는 길게 취할 수 있게 된다.
- <58> 또, 저계조, 예를 들면  $V_{sig}=3V$ 로 했을 때, 마찬가지로 샘플링 트랜지스터 Tr1의 컷오프 전압은 5V로 되고, 파형이 완만하게 되어(무디어져) 있기 때문에 컷오프 타이밍 T7' 는 더욱더 후방(後方)으로 어긋나고, 이동도 보정 시간이 길어진다. 이와 같이, 저계조로 될 수록 이동도 보정 시간  $t$ 를 보다 길게 취할 수 있는 구동 방식이다.
- <59> 이와 같이, 흰색 계조의 최적 보정 시간  $t_1$ 에 맞추어서 제어 신호 DS의 온으로부터 제어 신호 WS의 오프의 최초의 급준하게 1st 전압으로 떨어뜨릴 때까지의 시간 T7을 설정하고, 이로써 흰색 계조의 보정 시간을 최적화하고 있다. 흰색 계조에서 확실하게 급준한 포인트로 샘플링 트랜지스터 Tr1이 컷오프하도록 그의 임계 전압  $V_{th}(Tr1)$ 을 고려해서, 1st 전압을 설정하면 좋다. 또, 저계조에 관해서는 각 계조에서 최적인 보정 시간  $t_2$ 를 찾아내고, 그것에 맞추어서 2nd 전압을 설정함과 동시에 제어 신호 WS의 하강 파형의 완만함 상태를 결정함으로써, 대응할 수 있다. 이와 같이 해서, 고계조부터 저계조까지 각각의 레벨에 맞는 최적 보정 시간  $t$ 를 자동적으로 조정하며, 이것에 의해 이동도의 편차를 캔슬함으로써 전계조에서 불균일한 줄무늬를 없애는 것이 가능하게 된다.
- <60> 상술한 구동 방법에 의해서, 기본적으로는 전계조에서 최적인 이동도 보정 시간을 자동 조정할 수 있으며, 패널의 검사 수율이 현격히 향상한다. 그렇지만, TFT 프로세스에서는 반드시 매유동 로트에서 같은 특성의 트랜지스터가 형성된다고는 할 수 없으며, 제조 시기나 제조 장치 상태에 따라서 트랜지스터 특성이 표준값으로부터 어긋나 버리는 일도 있다. 트랜지스터 특성이 어긋났을 때에, 단 하나의 하강 파형만에서는, 최적 보정 기간을 보증할 수 없고, 불합격품이 증가해 버리게 된다. 이것을 개선하기 위해서, 본 발명은 트랜지스터 특성의 어긋남에 맞추어서 제어 신호의 하강 파형을 복수개 구분하여 사용할 것을 제안한다. 하강 파형에 영향을 미치는

샘플링 트랜지스터 특성의 변동은, 주로 그의 임계 전압  $V_{th}(Tr1)$  어긋남을 들 수 있다. 여기서, 설명의 편의상, 표준적인 샘플링 트랜지스터 특성의 패널에 적합한 하강 파형을, 표준 파형이라고 부르는 경우가 있다.

- <61> 이하, 표준 패널에 대해서  $V_{th}(Tr1)$ 이 어긋난 패널이 생산되고, 표준 파형에서 불균일한 줄무늬 검사 불합격으로 된 패널을, 합격품으로 전환하기 위한 파형에 대해서, 구체적으로 설명한다. 도 9는, 표준품보다도  $V_{th}(Tr1)$ 이 낮은 패널이 생산된 경우이다. 흰색 계조의 보정에 관해서,  $V_{sig}+V_{th}(Tr1)$ 로 결정되는 컷오프 전압이 표준 파형의 1st 전압보다도 내려가 버리고, 보정 기간  $t$ 는 하강 파형이 급준하게 떨어지는 포인트  $t1$ 이 아니라, 완만하게(무디어지게 해서) 떨어뜨리고 있는 포인트  $t1'$ 에서 컷오프하게 되고, 보정 기간  $t1'$ 가 최적인 보정 기간  $t1$ 에 비해서 대폭 어긋나서 길게 되어 버린다. 이 대책으로서, 흰색 계조에 관해서, 1st 전압을 표준보다도 내린 파형을 이용함으로써,  $V_{th}(Tr1)$ 이 내려간 경우에서도 급준한 포인트로 보정 시간  $t1$ 을 결정할 수 있다.
- <62> 도 10은 마찬가지로 표준품의  $V_{th}(Tr1)$ 보다도 낮은  $V_{th}'(Tr1)$ 을 가지는 패널이 생산된 경우이며, 그레이 계조인 경우이다. 그레이에 관해서도,  $V_{th}(Tr1)$ 의 저하에 의해 보정 시간  $t2'$ 가 최적인 보정 시간  $t2$ 보다도 길게 되어 버린다. 대책으로서 그레이 계조에 관해서는, 2nd 전압을 표준보다도 내림으로써, 완만함 상태를 약간 급준하게 하고, 보정 시간을 최적인 시간  $t2$ 에 맞출 수가 있다.
- <63> 도 11은, 표준품의  $V_{th}(Tr1)$ 보다도 높은  $V_{th}'(Tr1)$ 의 패널이 생산된 경우이고, 또한 흰색 계조의 보정을 행하는 경우를 도시하고 있다.  $V_{sig}+V_{th}'(Tr1)$ 로 결정되는 컷오프 전압은 표준품보다도 높아지고, 1st 전압의 급준 포인트에서 확실하게 컷오프되기 때문에, 1st 전압은 표준값 그대로라도 최적인 보정 시간  $t1$ 이 유지된다.
- <64> 한편, 그레이 계조에 관해서는, 도 12에 도시하는 바와 같이 컷오프 전압이 올라가기(상승하기) 때문에, 보정 시간  $t2'$ 는 최적값  $t2$ 보다도 짧게 되어 버린다. 이 대책으로서 2nd 전압을 표준 파형보다도 높게 함으로써, 보정 시간을 최적값  $t2$ 에 맞출 수가 있다.
- <65> 도 13은, 이상의 결과를 정리한 파형도이다. 파형1은 표준 파형이고, 파형2는  $V_{th}(Tr1)$ 이 낮은 경우에 선택하고, 파형3은  $V_{th}(Tr1)$ 이 표준보다도 높은 경우에 선택되는 파형이다.  $V_{th}(Tr1)$ 가 표준값에 대해서 낮은 경우에는 파형2를 선택하고, 1st 전압 및 2nd 전압을 모두 내림으로써, 흰색 계조 및 그레이 계조 모두 최적인 보정 시간  $t1$ ,  $t2$ 를 유지할 수가 있다. 또,  $V_{th}(Tr1)$ 이 표준보다 높은 경우에 관해서는, 파형3을 선택하고 2nd 전압만을 올림으로써 그레이 계조에서 최적인 보정 시간  $t2$ 를 유지할 수 있다. 따라서  $V_{th}(Tr1)$ 이 표준값에 대해서 상하로 치우침이 생긴 경우에, 각각의 레벨에 따른 파형2, 3을 선택해서 검사를 행하는 것에 의해, 표준 파형에서 불균일한 줄무늬 불합격품으로 된 패널을 합격품으로 전환할 수 있으며, 패널의 제조 수율의 개선으로 이어진다.
- <66> 도 14는, 본 발명에 관련된 패널의 전체 구성을 도시하는 모식도이다. 본 실시예에 관련된 표시 장치는, 유리판 등으로 이루어지는 패널 0으로 구성되어 있다. 이 패널 0의 중앙에 화소 어레이부(1)가 집적 형성되어 있다. 패널 0 주변에는 구동부의 일부로 되는 라이트 스캐너(4), 드라이브 스캐너(5), 보정용 스캐너(7) 등이 형성되어 있다. 또한, 수평 셀렉터는 도시하고 있지 않지만, 스캐너류와 마찬가지로 패널 0 위에 탑재할 수가 있다. 흑(或)은, 패널 0과는 별도로(따로) 외부부착(外付; external) 수평 셀렉터를 이용해도 좋다.
- <67> 도 15는, 도 14에 도시한 라이트 스캐너(4)의 1단분(一段分)을 도시하는 모식적인 회로도이다. 이 일단분은 화소 어레이부(1)에 형성된 주사선의 1행분에 대응하고 있다. 단, 도 15의 예는, 실시예가 아니라 참고예로서, 종래와 같이 구형(矩形; rectangular; 직사각형)의 제어 펄스 WS를 출력하는 경우이다. 도시하는 바와 같이, 라이트 스캐너(4)의 일단분은, 시프트 레지스터 S/R, 2개의 중간 버퍼, 레벨 시프터 L/V 및, 1개의 출력 버퍼의 직렬 접속으로 이루어진다. 최종의 출력 버퍼에는 라이트 스캐너(4)의 전원 전압 WSVdd(18V)가 공급되고 있다. 이 라이트 스캐너는, 전단(前段)으로부터 전송되어 온 입력 파형 IN을 시프트 레지스터로에서 일단분만큼 지연(遲延)시킨 후, 중간 버퍼를 거쳐서 레벨 시프터 L/V에 공급하고, 최종의 출력 버퍼를 구동하는데 적합한 전압 레벨로 변환한다. 이 출력 버퍼는 입력 파형 IN을 반전한 출력 파형 OUT를 생성하고, 대응하는 주사선 WS에 공급한다. 이 출력 파형은 구형파(矩形波; rectangular wave)이며, 고레벨이 WSVdd로 되고 기준 레벨이 WSVss로 되어 있다. 이 출력 파형 OUT는, 하강(trailing end)이 수직이기 때문에, 이동도 보정 기간은 고정으로 된다.
- <68> 도 16에는, 본 실시예의 라이트 스캐너의 일단분을 도시하고 있다. 이해를 용이하게 하기 위해서, 도 15에 도시한 참고예의 라이트 스캐너와 대응하는 부분에는 대응하는 참조 번호를 붙이고 있다. 다른 점은, 본 실시예가 최종 출력 버퍼에 공급하는 전원 전압 WSVdd를 예를 들면 18V에서 5V로 변화하는 펄스 파형으로 하고 있는

것이다. 이 전원 펄스 WSP는 외부의 디스크리트(discrete) 회로로부터 패널 0의 라이트 스캐너(4)에 공급된다. 그 때, 전원 펄스 WSP는 미리 라이트 스캐너(4)의 동작과 동기(同期)를 취할 수 있도록, 위상 조정되고 있다.

<69> 도시하는 바와 같이, 전단으로부터 구형 펄스 IN이 해당 단(段)에 입력되면, 시프트 레지스터 S/R, 2개의 중간 버퍼 및 레벨 시프트 L/V를 통해서, 출력 버퍼의 게이트에 인가된다. 이것에 의해, 출력 버퍼가 열리고, 출력 파형 OUT가 대응하는 주사선에 공급된다. 그 때, 출력 버퍼가 온한 후 전원전압 라인 WSVdd에 전원 펄스 WSP가 인가되기 때문에, 출력 파형이 18V에서 5V로 향해서 소정의 커브로 하강한다. 그 후, 출력 버퍼가 닫히고, 출력 파형은 WSVss 레벨로 된다.

<70> 도 17은, 도 16에 도시한 라이트 스캐너의 최종 출력 버퍼의 구성예를 도시하는 모식적인 회로도이다. 도시하는 바와 같이, 이 출력 버퍼부는 한쌍의 P채널형 트랜지스터 TrP와 N채널형 트랜지스터 TrN으로 이루어지고, 전원 라인 WSVdd와 접지 라인 WSVss 사이에 직렬 접속되어 있다. 트랜지스터 TrP, TrN의 각 게이트에는 입력 파형 IN이 인가된다. 이 입력 파형에 대해서 미리 위상 조정된 전원 펄스 WSP가 WSVdd에 인가된다. 입력 파형 IN의 인가에 의해 트랜지스터 TrP가 도통한 후 전원 펄스 WSP의 하강 파형이 트랜지스터 TrP에 의해서 취입(取入; take in)되고, 출력 파형 OUT로서 화소2 측의 주사선 WS에 공급된다. 또한, 경우에 따라서는, 동작 타이밍의 관계로(관계상), 전원 펄스 WSP의 상승 파형(立上波形; rising waveform)이 트랜지스터 TrP를 통과해 버리는 것이 생각된다. 이 때에는, 최종 버퍼의 출력단에 마스크 신호를 인가해서, 전원 펄스 WSP의 뒤쪽측(後側) 상승을 컷(cut)하도록 하면 좋다.

<71> 도 18은, 본 실시예에 관련된 표시 장치의 전체 구성을 도시하는 모식적인 블록도이다. 패널(0)은 도 14에 도시한 구성으로 되어 있으며, 화소 어레이부 이외에, 구동부의 일부로 되는 각종 스캐너를 내장(內藏)하고 있다. 이것에 대해, 구동부의 나머지 부분으로 되는 외부부착 구동 기관(8)과 디스크리트 회로(9)가 패널(0)에 접속되어 있다. 구동 기관(8)은 PLD로 이루어지고, 패널(0)에 탑재된 스캐너의 동작에 필요한 클럭 신호 WCK, DSCK 나 스타트 펄스 WSST, DSST 등을 공급한다. 디스크리트 회로(9)는 구동 기관(8)과 패널(0) 사이에 삽입되고, 필요한 전원 펄스를 생성한다. 구체적으로는, 구동 기관(8) 측으로부터 입력 파형 IN의 공급을 받고, 이것을 파형 처리해서 출력 파형 OUT를 생성하며, 패널(0) 측에 공급한다. 이 디스크리트 회로(9)는 트랜지스터, 저항, 용량 등의 디스크리트 소자로 구성되고, 전원 펄스 WSP를 라이트 스캐너의 전원 라인에 공급한다. 이와 같이, 디스크리트 회로(9)에서 전원 펄스 WSP를 생성하고, 패널(0) 측의 라이트 스캐너의 전원 라인에 넣는다(입력한다). 패널(0)과는 분리한 외부부착 디스크리트 회로(9)에서 전원 펄스 파형을 생성함으로써, 패널(0)의 개체별로 최적인 파형이나 타이밍을 만드는 것이 가능하게 되며, 패널(0)의 불균일한 줄무늬 검사에서의 수율 향상에 기여한다.

<72> 여기서, 디스크리트 회로(9)는 패널(0)측의 트랜지스터 특성에 맞추어서, 전원 펄스 WSP의 파형을 선택할 수가 있다. 즉, 패널(0)에 집적 형성된 트랜지스터의 임계 전압이 표준보다 낮은 경우, 디스크리트 회로(9)는 도 13에 도시한 파형2를 선택해서 패널(0) 측에 공급한다. 역으로, 패널(0) 측에 형성된 트랜지스터의 임계 전압이 표준보다도 높은 경우, 도 13에 도시한 파형3을 선택해서 패널(0) 측에 공급한다.

<73> 이상 설명한 바와 같이, 본 발명에 관련된 표시 장치는, 기본적으로 화소 어레이부(1)와 이것을 구동하는 구동부로 이루어진다. 화소 어레이부(1)는, 행모양의 제1 주사선 WS 및 제2 주사선 DS와, 열모양의 신호선 SL과, 이들이 교차하는 부분에 배치된 행렬모양의 화소2와 각 화소2에 급전하는 전원 라인 Vcc 및 접지 라인을 구비하고 있다. 구동부는, 각 제1 주사선 WS에 순차 제1 제어 신호 WS를 공급해서 화소2를 행 단위로 선순차 주사하는 제1 스캐너(4)와, 이 선순차 주사에 맞추어서 각 제2 주사선 DS에 순차 제2 제어 신호 DS를 공급하는 제2 스캐너(5)와, 이 선순차 주사에 맞추어서 열모양의 신호선 SL에 영상 신호를 공급하는 신호 셀렉터(3)를 구비하고 있다. 화소2는, 발광 소자 EL와 샘플링 트랜지스터 Tr1과, 드라이브 트랜지스터 Trd와, 스위칭 트랜지스터 Tr4와, 화소 용량 Cs를 포함한다. 샘플링 트랜지스터 Tr1은, 그의 게이트가 제1 주사선 WS에 접속되고, 그의 소스가 신호선 SL에 접속되며, 그의 드레인이 드라이브 트랜지스터 Trd의 게이트 G에 접속되어 있다. 드라이브 트랜지스터 Trd 및 발광 소자 EL은 전원 라인 Vcc와 접지 라인 사이에 직렬로 접속되어 전류로를 형성한다. 스위칭 트랜지스터 Tr4는 이 전류로에 삽입됨과 동시에, 그의 게이트가 제2 주사선 DS에 접속되어 있다. 화소 용량 Cs는, 드라이브 트랜지스터 Trd의 소스 S와 게이트 G 사이에 접속되어 있다.

<74> 이러한 구성에서, 샘플링 트랜지스터 Tr1은, 제1 주사선 WS로부터 공급된 제1 제어 신호 WS에 따라서 온하고, 신호선 SL로부터 공급된 영상 신호의 신호 전위 Vsig를 샘플링해서 화소 용량 Cs에 보존유지한다. 스위칭 트랜지스터 Tr4는, 제2 주사선 DS로부터 공급된 제2 제어 신호 DS에 따라서 온해서 전류로를 도통 상태로 한다. 드라이브 트랜지스터 Trd는, 화소 용량 Cs에 보존유지된 신호 전위 Vsig에 따라서 구동 전류 Ids를 도통 상태로

놓여진 전류로를 통해서 발광 소자 EL에 흐르게 한다.

- <75> 라이트 스캐너(4)나 드라이브 스캐너(5)를 포함하는 구동부는, 제1 주사선 WS에 제1 제어 신호 WS를 인가해서 샘플링 트랜지스터 Tr1을 온하고 신호 전위 Vsig의 샘플링을 개시한 후, 제2 제어 신호 DS가 제2 주사선 DS에 인가되어 스위칭 트랜지스터 Tr4가 온하는 제1 타이밍 T6으로부터, 제1 주사선 WS에 인가된 제1 제어 신호 WS가 해제되어 샘플링 트랜지스터 Tr1이 오프하는 제2 타이밍 T7까지의 보정 기간 t에, 드라이브 트랜지스터 Trd의 이동도  $\mu$ 에 대한 보정을 화소 용량 Cs에 보존유지된 신호 전위 Vsig에 인가한다. 그 때, 제1 스캐너(4)는, 제2 타이밍 T7에서 샘플링 트랜지스터 Tr1을 오프할 때, 제1 제어 신호 WS의 하강 파형에 경사를 부여함으로써, 신호 전위 Vsig가 높을 때 보정 기간 t가 짧아지는 반면, 신호 전위 Vsig가 낮을 때 보정 기간 t가 길어지도록 자동적으로 제2 타이밍 T7을 조정한다. 특징 사항으로서 제1 스캐너(4)는, 샘플링 트랜지스터 Tr1의 임계 전압  $V_{th}(Tr1)$ 의 레벨에 대응해서, 복수의 하강 파형을 구분하여 사용한다. 구체적으로는, 제1 스캐너(4)는, 샘플링 트랜지스터 Tr1의 임계 전압  $V_{th}(Tr1)$ 이 표준 레벨인 경우, 처음에 제1 전위(1st 전위)까지 경사를 급(急)하게 하고 계속해서 제2 전위(2nd 전위)로 향해서 경사를 완만하게 한 표준 하강 파형(파형1)을 사용하고, 샘플링 트랜지스터 Tr1의 임계 전압  $V_{th}(Tr1)$ 이 표준 레벨보다 낮은 경우, 표준 하강 파형(파형1)에 비해서 제1 전위(1st 전위) 및 제2 전위(2nd 전위)가 모두 낮은 하강 파형(파형2)을 사용하고, 샘플링 트랜지스터 Tr1의 임계 전압  $V_{th}(Tr1)$ 이 표준 레벨보다 높은 경우, 표준 하강 파형(파형1)에 비해서 제2 전위(2nd 전위)만이 높은 하강 파형(파형3)을 사용하는 것을 특징으로 한다.
- <76> 또한, 각 화소2는, 영상 신호의 샘플링에 앞서서 드라이브 트랜지스터 Trd의 게이트 전위(G) 및 소스 전위(S)를 리셋하는 추가의 스위칭 트랜지스터 Tr2, Tr3을 포함하고 있다. 제2 스캐너(5)는, 영상 신호의 샘플링에 앞서서 제2 제어선 DS를 거쳐서 스위칭 트랜지스터 Tr4를 일시적으로 온하고, 이로써 리셋된 드라이브 트랜지스터 Trd에 구동 전류 Ids를 흐르게 해서 그 임계 전압  $V_{th}$ 에 상당하는 전압을 화소 용량 Cs에 보존유지해 둔다.
- <77> 본 발명에 관련된 표시 장치는, 도 19에 도시하는 바와 같은 박막 디바이스 구성을 가진다. 본 도면은, 절연성 기판에 형성된 화소의 모식적인 단면 구조를 도시하고 있다. 도시하는 바와 같이, 화소는, 복수의 박막 트랜지스터를 포함하는 트랜지스터부(도면에서는 1개의 TFT를 예시), 보존유지 용량 등의 용량부 및 유기 EL 소자 등의 발광부를 포함한다. 기판 위에 TFT 프로세스로 트랜지스터부나 용량부가 형성되고, 그 위에 유기 EL 소자 등의 발광부가 적층되어 있다. 그 위에 접착제를 거쳐서 투명한 대향 기판을 붙여서(貼付; 접착해서) 플랫 패널로 하고 있다.
- <78> 본 발명에 관련된 표시 장치는, 도 20에 도시하는 바와 같이 플랫폼 모듈 형상(形狀)의 것을 포함한다. 예를 들면, 절연성 기판 위에, 유기 EL 소자, 박막 트랜지스터, 박막 용량 등으로 이루어지는 화소를 매트릭스 모양으로 집적 형성한 화소 어레이부를 설치한다. 이 화소 어레이부(화소 매트릭스부)를 둘러싸도록 접착제를 배치하고, 유리 등의 대향 기판을 붙여서(접착해서) 표시 모듈로 한다. 이 투명한 대향 기판에는 필요에 따라서, 컬러 필터, 보호막, 차광막 등을 설치해도 좋다. 표시 모듈에는, 외부로부터 화소 어레이부에의 신호 등을 입출력하기 위한 커넥터로서 예를 들면 FPC(플렉시블 프린트 서킷)를 설치해도 좋다.
- <79> 이상 설명한 본 발명에서의 표시 장치는, 플랫 패널 형상을 가지고, 여러가지 전자 기기, 예를 들면 디지털 카메라, 노트북형 퍼스널 컴퓨터, 휴대 전화, 비디오 카메라 등, 전자 기기에 입력된, 혹은 전자 기기내에서 생성한 영상 신호를 화상 혹은 영상으로서 표시하는 모든 분야의 전자 기기의 디스플레이에 적용하는 것이 가능하다. 이하, 이와 같은 표시 장치가 적용된 전자 기기의 예를 나타낸다(설명한다).
- <80> 도 21은 본 발명이 적용된 텔레비전이며, 프런트 패널(12), 필터 유리(filter glass)(13) 등으로 구성되는 영상 표시 화면(11)을 포함하고, 본 발명의 표시 장치를 그 영상 표시 화면(11)에 이용하는 것에 의해 제작된다.
- <81> 도 22는 본 발명이 적용된 디지털 카메라이며, 위가 정면도이고 아래가 배면도이다. 이 디지털 카메라는, 촬상 렌즈, 플래시용 발광부(15), 표시부(16), 컨트롤 스위치, 메뉴 스위치, 셔터(19) 등을 포함하고, 본 발명의 표시 장치를 그 표시부(16)에 이용하는 것에 의해 제작된다.
- <82> 도 23은 본 발명이 적용된 노트북형 퍼스널 컴퓨터이며, 본체(20)에는 문자 등을 입력할 때 조작되는 키보드(21)를 포함하고, 본체 커버에는 화상을 표시하는 표시부(22)를 포함하고, 본 발명의 표시 장치를 그 표시부(22)에 이용하는 것에 의해 제작된다.
- <83> 도 24는 본 발명이 적용된 휴대 단말 장치이며, 왼쪽이 열린 상태를 나타내고, 오른쪽이 닫힌 상태를 나타내고 있다. 이 휴대 단말 장치는, 상측(上側) 새시(筐體; chassis)(23), 하측(下側) 케이스(24), 연결부(여기서는 힌지부)(25), 디스플레이(26), 서브 디스플레이(27), 픽처 라이트(picture light)(28), 카메라(29) 등을 포함

하고, 본 발명의 표시 장치를 그 디스플레이(26)나 서브 디스플레이(27)에 이용하는 것에 의해 제작된다.

<84> 도 25는 본 발명이 적용된 비디오 카메라이며, 본체부(30), 전방(前方)을 향한 측면에 피사체 촬영용 렌즈(34), 촬영시의 스타트/스톱 스위치(35), 모니터(36) 등을 포함하고, 본 발명의 표시 장치를 그 모니터(36)에 이용하는 것에 의해 제작된다.

**도면의 간단한 설명**

<85> 도 1은 본 발명에 관련된 표시 장치의 주요부를 도시하는 모식적인 블록도,

<86> 도 2는 본 발명에 관련된 표시 장치의 화소 구성을 도시하는 회로도,

<87> 도 3은 본 발명에 관련된 표시 장치의 동작 설명에 이바지하는(제공되는) 모식도,

<88> 도 4는 본 발명에 관련된 표시 장치의 동작 설명에 이바지하는 타이밍차트,

<89> 도 5는 본 발명에 관련된 표시 장치의 동작 설명에 이바지하는 모식적인 회로도,

<90> 도 6은 본 발명에 관련된 표시 장치의 동작 설명에 이바지하는 그래프,

<91> 도 7은 본 발명에 관련된 표시 장치의 동작 설명에 이바지하는 그래프,

<92> 도 8은 본 발명에 관련된 표시 장치의 동작 설명에 이바지하는 파형도,

<93> 도 9는 본 발명에 관련된 제어 신호의 하강 파형을 도시하는 파형도,

<94> 도 10은 마찬가지로(본 발명에 관련된 제어 신호의) 하강 파형을 도시하는 파형도,

<95> 도 11은 마찬가지로(본 발명에 관련된 제어 신호의) 하강 파형을 도시하는 파형도,

<96> 도 12는 마찬가지로(본 발명에 관련된 제어 신호의) 하강 파형을 도시하는 파형도,

<97> 도 13은 마찬가지로(본 발명에 관련된 제어 신호의) 하강 파형을 도시하는 파형도,

<98> 도 14는 본 발명에 관련된 표시 장치의 실시예의 전체 구성을 도시하는 모식도,

<99> 도 15는 도 14에 도시한 패널에 포함되는 라이트 스캐너의 참고예를 도시하는 모식도,

<100> 도 16은 마찬가지로(도 14에 도시한 패널에 포함되는) 라이트 스캐너의 실시예를 도시하는 모식도,

<101> 도 17은 라이트 스캐너의 실시예의 출력단을 도시하는 회로도,

<102> 도 18은 실시예의 전체 구성을 도시하는 블록도,

<103> 도 19는 본 발명에 관련된 표시 장치의 디바이스 구성을 도시하는 단면도,

<104> 도 20은 본 발명에 관련된 표시 장치의 모듈 구성을 도시하는 평면도,

<105> 도 21은 본 발명에 관련된 표시 장치를 구비한 텔레비전 세트를 도시하는 사시도,

<106> 도 22는 본 발명에 관련된 표시 장치를 구비한 디지털 카메라를 도시하는 사시도,

<107> 도 23은 본 발명에 관련된 표시 장치를 구비한 노트북형(laptop) 퍼스널 컴퓨터를 도시하는 사시도,

<108> 도 24는 본 발명에 관련된 표시 장치를 구비한 휴대 단말 장치를 도시하는 모식도,

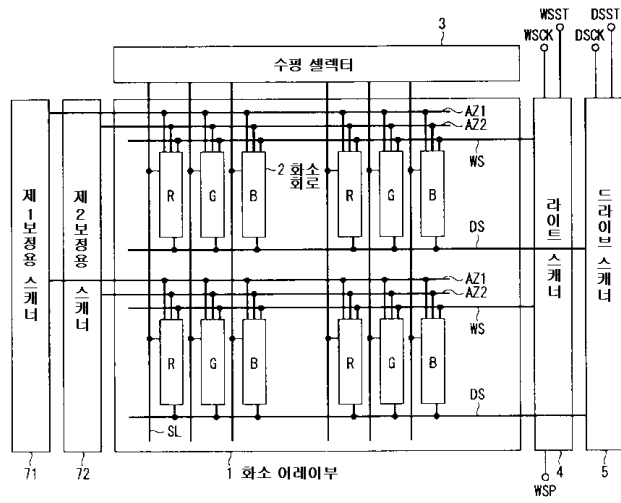
<109> 도 25는 본 발명에 관련된 표시 장치를 구비한 비디오 카메라를 도시하는 사시도이다.

<110> [부호의 설명]

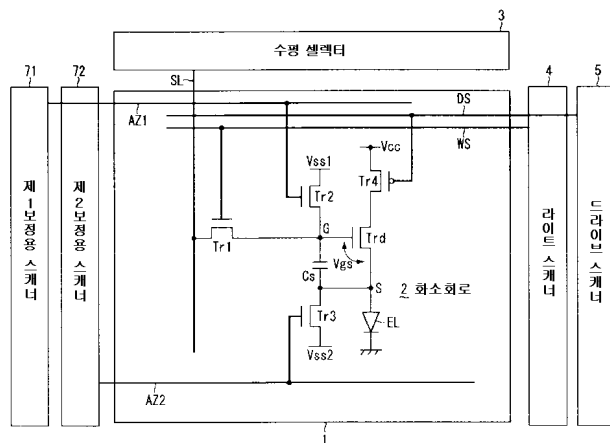
<111> 0: 패널, 1: 화소 어레이부, 2: 화소, 3: 수평 셀렉터, 4: 라이트 스캐너, 5: 드라이브 스캐너, 8: 구동 기관, 9: 디스크리트 회로.

도면

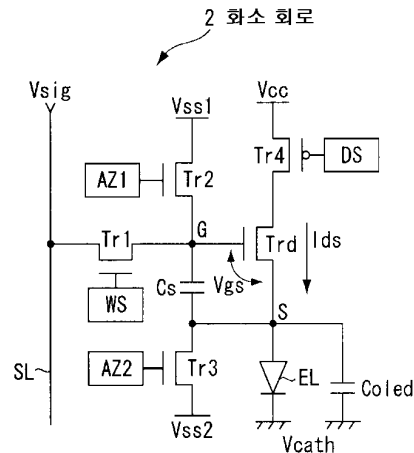
도면1



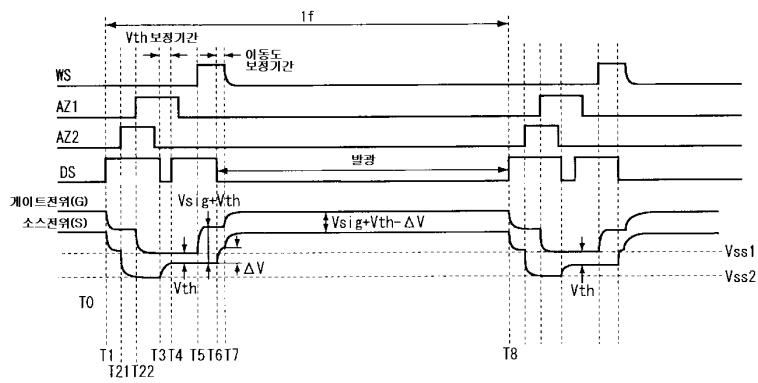
도면2



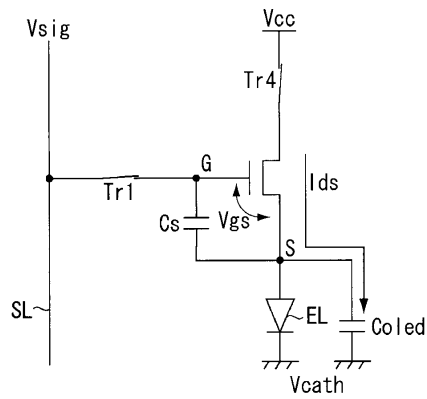
도면3



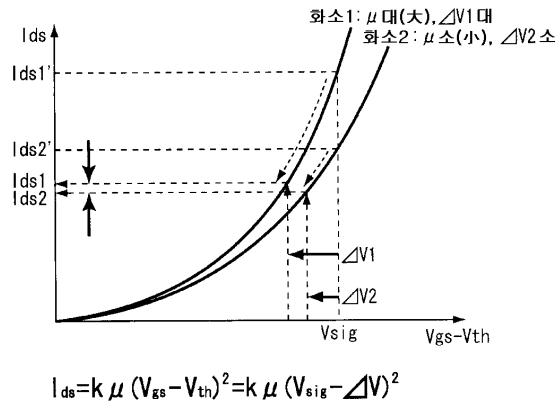
도면4



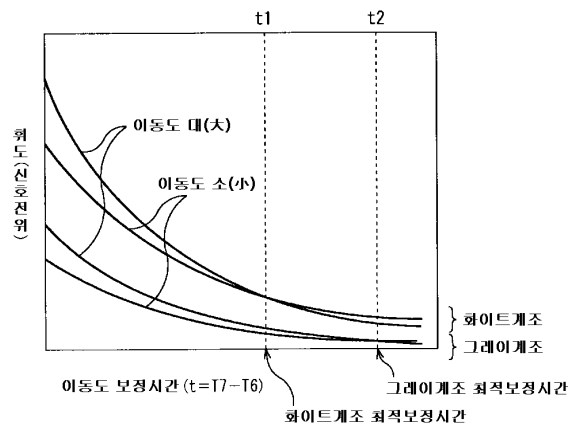
도면5



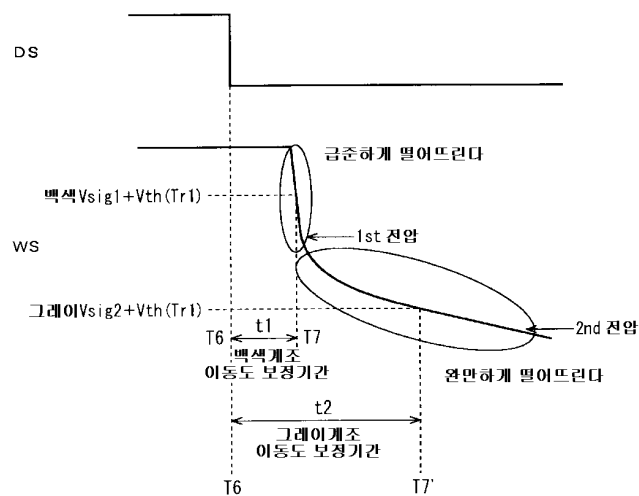
도면6



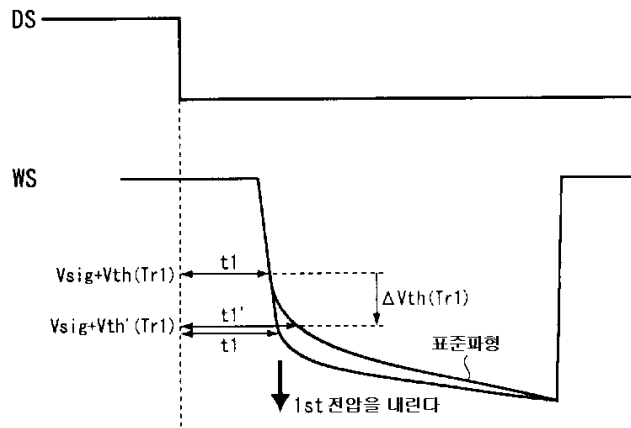
도면7



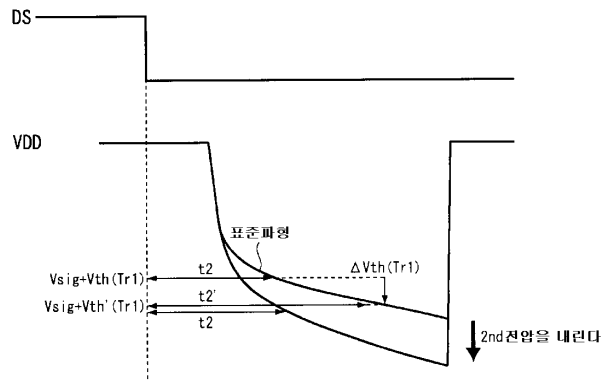
도면8



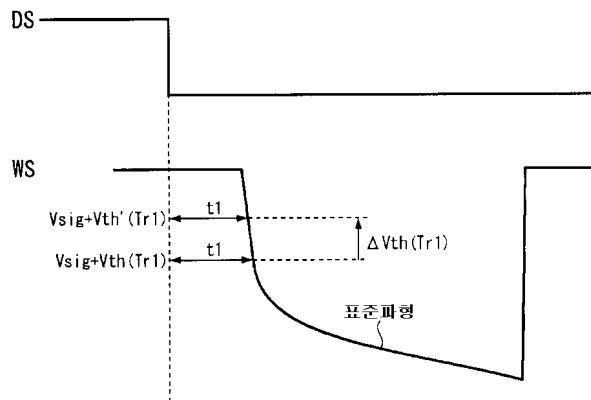
도면9



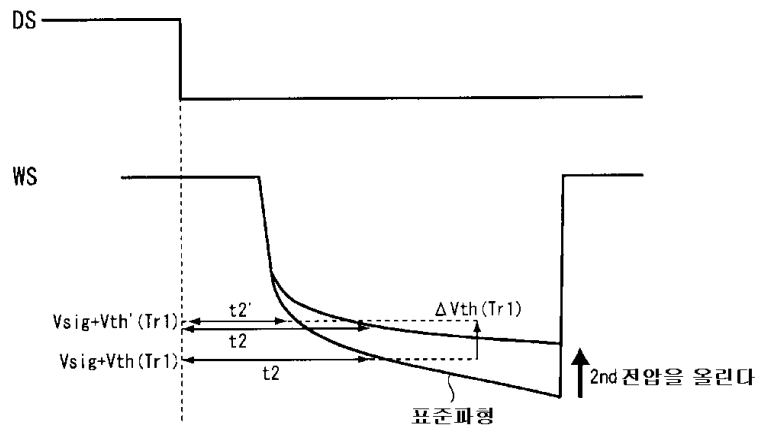
도면10



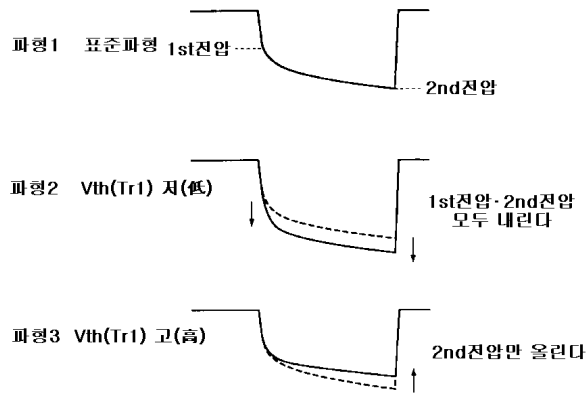
도면11



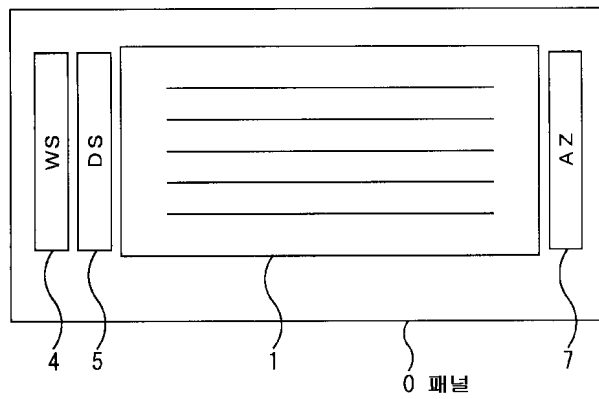
도면12



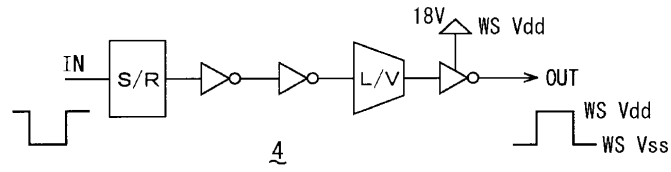
도면13



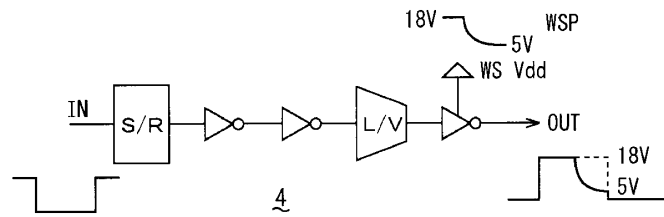
도면14



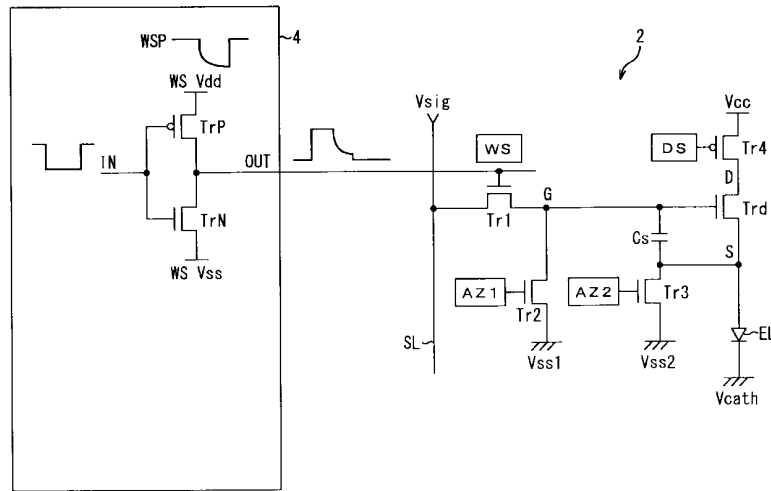
도면15



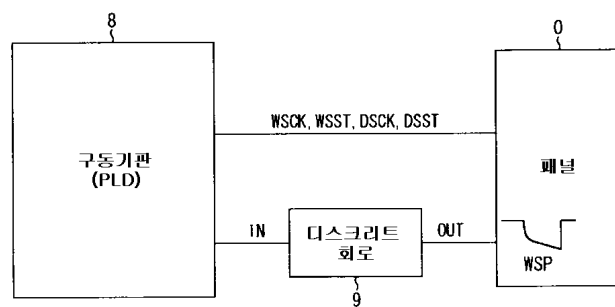
도면16



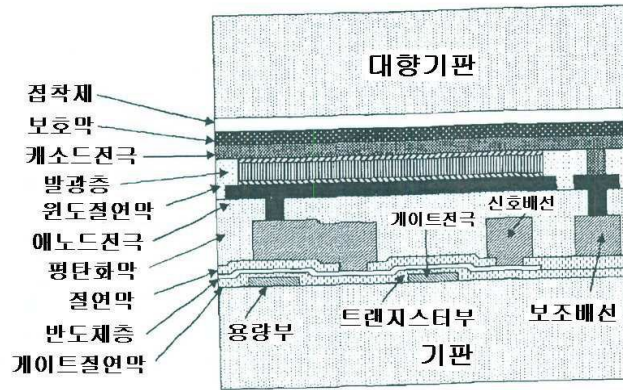
도면17



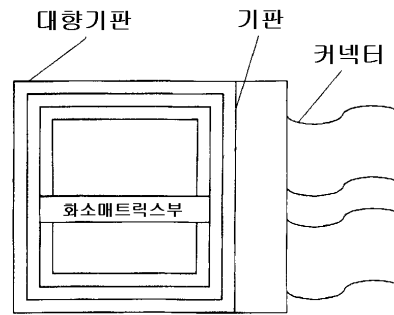
도면18



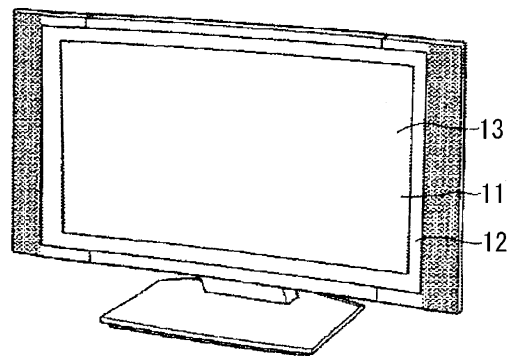
도면19



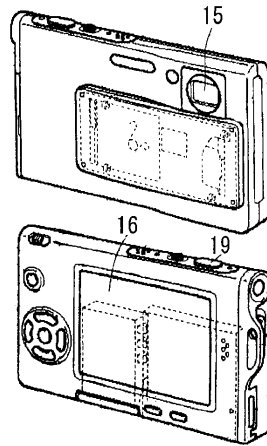
도면20



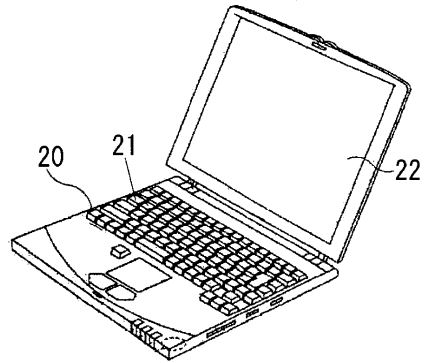
도면21



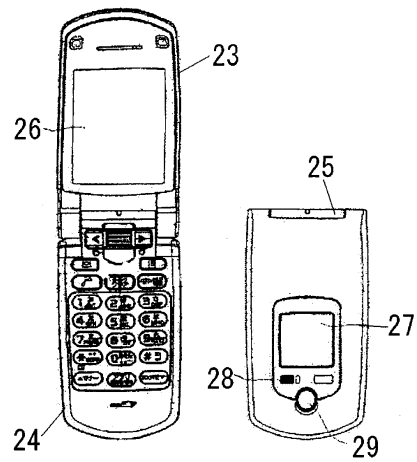
도면22



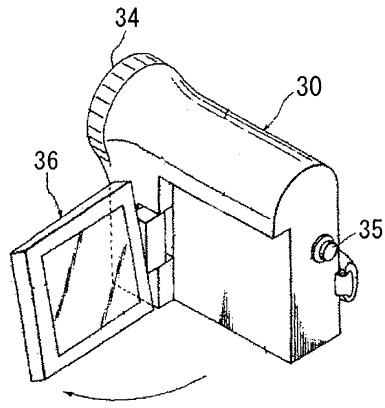
도면23



도면24



도면25



专利名称(译)	显示装置，其驱动方法，		
公开(公告)号	<a href="#">KR1020080008253A</a>	公开(公告)日	2008-01-23
申请号	KR1020070071047	申请日	2007-07-16
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼sikki有限公司		
当前申请(专利权)人(译)	索尼sikki有限公司		
[标]发明人	UCHINO KATSUHIDE 우치노카츠히데 YAMASHITA JUNICHI 야마시타준이치 TOYOMURA NAOBUMI 토요무라나오부미 KATAOKA HIDEO 카타오카히데오		
发明人	우치노카츠히데 야마시타준이치 토요무라나오부미 카타오카히데오		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G2320/043 G09G3/3233 G09G2310/066 G09G2300/0819 G09G2330/02 G09G2310/0289 G09G2310/0256 G09G3/3266		
代理人(译)	MOON, KYOUNG 金 KIM, HAK SOO		
优先权	2006196875 2006-07-19 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供显示装置，其驱动方法和电子设备，以通过使用一部分采样周期来校正驱动晶体管的移动性。像素电路(2)包括采样晶体管(Tr1)，驱动晶体管(Trd)，第一开关晶体管(Tr2)，第二开关晶体管(Tr3)，第三开关晶体管(Tr4)，像素电容(Cs)和发光元件(EL)。采样晶体管根据在预定采样周期期间从扫描线(WS)提供的控制信号变为导通，并且从像素电容采样从信号线(SL)提供的视频信号的信号电位。像素电容根据已经采样的视频信号的信号电位将输入电压(Vgs)施加到驱动晶体管的栅极(G)。驱动晶体管向发光元件提供与输入电压对应的输出电流。发光元件通过在预定发光时段期间从驱动晶体管提供的输出电流以与视频信号的信号电位对应的亮度发光。

