

## (19) 대한민국특허청(KR)

### (12) 공개특허공보(A)

(51) Int. Cl.

*H05B 33/22* (2006.01)

(11) 공개번호 10-2006-0051388

*H05B 33/04* (2006.01)

(43) 공개일자 2006년05월19일

*H05B 33/10* (2006.01)

(21) 출원번호 10-2005-0086858

(22) 출원일자 2005년09월16일

(30) 우선권주장 JP-P-2004-00272628 2004년09월17일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와肯 아쓰기시 하세 398(72) 발명자 무라카미, 사토시  
일본국 가나가와-肯 243-0036, 아쓰기-시, 하세, 398, 가부시키가이샤  
한도오따이 에네루기 켄큐쇼 내  
오우타니, 히사시  
일본국 가나가와-肯 243-0036, 아쓰기-시, 하세, 398, 가부시키가이샤  
한도오따이 에네루기 켄큐쇼 내  
야마자키, 스페이  
일본국 가나가와-肯 243-0036, 아쓰기-시, 하세, 398, 가부시키가이샤  
한도오따이 에네루기 켄큐쇼 내(74) 대리인 정상구  
신현문  
이범래

심사청구 : 없음

## (54) 표시장치, 및 표시장치의 제조방법

**요약**

본 발명에서는 신뢰성이 높은 표시장치를 저렴한 비용으로 수율 좋게 제조할 수 있는 기술을 제공하는 것을 목적으로 한다. 본 발명은 화소전극상에 스페이서를 형성하고, 전계발광층 형성 시의 마스터로부터 화소전극층을 보호한다. 또한, 투수성을 갖는 유기재료를 포함하는 층을 표시장치의 속에 시일(seal)재로 밀봉하고, 또한 시일재와 유기재료를 포함하는 층이 접하지 않기 때문에, 발광소자의 물 등의 오염물질에 의한 열화를 막을 수 있게 된다. 시일재는 표시장치의 구동회로 영역의 일부에 형성되기 때문에 표시장치의 협액연화(狹額緣化)도 달성할 수 있다.

**대표도**

도 1

**색인어**

표시장치, 협액연화, 화소전극층, 전계발광층, 시일재

명세서

도면의 간단한 설명

도 1은 본 발명의 표시장치를 설명하는 도면.

도 2는 본 발명의 표시장치의 제조방법을 설명하는 도면.

도 3은 본 발명의 표시장치의 제조방법을 설명하는 도면.

도 4는 본 발명의 표시장치의 제조방법을 설명하는 도면.

도 5는 본 발명의 표시장치의 제조방법을 설명하는 도면.

도 6은 본 발명의 표시장치의 제조방법을 설명하는 도면.

도 7은 본 발명의 표시장치의 제조방법을 설명하는 도면.

도 8은 본 발명의 표시장치를 설명하는 도면.

도 9는 본 발명의 표시장치를 설명하는 도면.

도 10은 본 발명의 표시장치를 설명하는 도면.

도 11은 본 발명의 표시장치를 설명하는 도면.

도 12는 본 발명의 표시장치를 설명하는 도면.

도 13은 본 발명에 적용할 수 있는 발광소자의 구성을 설명하는 도면.

도 14는 도 15에서 설명하는 EL 표시장치의 등가회로도.

도 15는 본 발명의 표시장치를 설명하는 상면도.

도 16은 본 발명의 표시장치의 상면도.

도 17은 본 발명의 표시장치의 상면도.

도 18은 본 발명의 표시장치의 상면도.

도 19는 본 발명에 적용할 수 있는 적하 주입법을 설명하는 도면.

도 20은 본 발명이 적용되는 전자기기를 도시하는 도면.

도 21은 본 발명이 적용되는 전자기기를 도시하는 도면.

도 22는 본 발명의 표시장치를 설명하는 도면.

도 23은 본 발명의 표시장치를 설명하는 도면.

\* 도면의 주요 부분에 대한 부호의 설명 \*

103: 반도체층 107: 게이트 절연층

108: 제 1 도전막 109: 제 2 도전막

121: 제 1 게이트 전극층 123: 도전층

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

##### 기술분야

본 발명은 표시장치, 및 표시장치의 제조방법에 관한 것이다.

##### 배경기술

EL 소자는 일정 기간 구동하면, 발광 휘도, 발광의 균일성 등의 발광 특성이 초기에 비하여 현저하게 열화하는 문제가 있다. 이렇게 신뢰성이 낮은 것은 실용화의 용도가 한정되고 있는 요인이다.

신뢰성을 악화시키는 요인의 하나로, 외부로부터 EL 소자에 침입하는 수분이나 산소 등을 들 수 있다.

EL 소자의 열화를 막는 구조를 갖는 표시장치의 개발이 이루어지고 있다. 또한, EL 소자가 형성된 절연체의 위에 시일재를 형성하고, 시일재를 사용하여 커버재 및 시일재로 둘러싸인 밀폐공간을 수지 등으로 이루어지는 충전재로 충전하고, 외부로부터 차단하는 방법도 있다(예를 들면, 특허문현 1 참조).

##### 특허문현 1

일본 공개특허공보 2001-203076호

#### 발명이 이루고자 하는 기술적 과제

본 발명에서는 공정, 장치를 복잡화하지 않고서, 높은 신뢰성이나 우수한 전기 특성을 갖는 표시장치를 저렴한 비용으로 수율 좋게 제조할 수 있는 기술을 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

##### 과제를 해결하기 위한 수단

본 발명은 콘택트에 있어서의 개구의 단차를 절연층에 의해서 피복하여, 단차를 경감시키고, 완만한 형상으로 가공한다. 그 절연층에 접하여 배선 등은 형성되기 때문에, 배선의 피복성이 향상한다. 또한, 투수성을 갖는(수분을 투과할 수 있는) 유기재료를 포함하는 층을 표시장치 중에 시일재로 밀봉하고, 또한 시일재와 유기재료를 포함하는 층이 접하지 않기 때문에, 발광소자의 물 등의 오염물질에 의한 열화를 막을 수 있다. 시일재는 표시장치의 구동회로 영역의 일부에 형성되기 때문에, 표시장치의 협액연화도 달성할 수 있다.

본 발명을 사용할 수 있는 표시장치로는 일렉트로루미네선스(이하 「EL」 이라고도 한다.)라고 불리는 발광을 발현하는 유기물, 또는 유기물과 무기물의 혼합물을 포함하는 층을, 전극간에 개재시킨 발광소자와 TFT가 접속된 발광표시장치가 있다.

본 발명의 표시장치의 하나는 화소 영역, 접속영역을 갖고, 화소 영역에 불순물 영역을 포함하는 반도체층을 갖고, 반도체층상에는 게이트 절연층을 갖고, 게이트 절연층상에는 게이트 전극층을 갖고, 게이트 전극층상에는 제 1 층간 절연층을 갖고, 게이트 절연층 및 제 1 층간 절연층은 불순물 영역에 도달하는 제 1 개구를 갖고, 개구에 소스 전극층 또는 드레인 전극

층을 갖고, 소스 전극층 또는 드레인 전극층은 제 1 층간 절연층을 개재하여 게이트 전극층의 일부를 덮고 있고, 소스 전극층 또는 드레인 전극층 및 제 1 층간 절연층상에 제 2 층간 절연층을 갖고, 제 2 층간 절연층은 소스 전극층 또는 드레인 전극층에 도달하는 제 2 개구를 갖고, 제 2 개구는 제 1 층간 절연층을 개재하여 게이트 전극층의 일부를 덮고 있는 소스 전극층 또는 드레인 전극층에 설치되고, 제 2 개구에 스페이서를 갖는 제 1 전극층을 갖고, 접속영역에 제 1 층간 절연층상에 설치된 배선층을 갖고, 배선층상에, 배선층에 도달하는 제 3 개구가 설치된 제 2 층간 절연층을 갖고, 제 3 개구의 상단부는 절연층에 덮여져 있고, 제 3 개구에, 상기 절연층에 접하여 제 2 전극층을 갖는다.

본 발명의 표시장치의 하나는 화소 영역, 접속영역을 갖고, 화소 영역에 불순물 영역을 포함하는 반도체층을 갖고, 반도체층상에는 게이트 절연층을 갖고, 게이트 절연층상에는 게이트 전극층을 갖고, 게이트 전극층상에는 제 1 층간 절연층을 갖고, 게이트 절연층 및 제 1 층간 절연층은 불순물 영역에 도달하는 제 1 개구를 갖고, 개구에 소스 전극층 또는 드레인 전극층을 갖고, 소스 전극층 또는 드레인 전극층은, 제 1 층간 절연층을 개재하여 게이트 전극층의 일부를 덮고 있고, 소스 전극층 또는 드레인 전극층 및 제 1 층간 절연층상에 제 2 층간 절연층을 갖고, 제 2 층간 절연층은 소스 전극층 또는 드레인 전극층에 도달하는 제 2 개구를 갖고, 제 2 개구는 제 1 층간 절연층을 개재하여 게이트 전극층의 일부를 덮고 있는 소스 전극층 또는 드레인 전극층에 설치되고, 제 2 개구에 스페이서를 갖는 제 1 전극층을 갖고, 접속영역에 제 1 층간 절연층상에 설치된 배선층을 갖고, 배선층상에, 배선층에 도달하는 제 3 개구가 설치된 제 2 층간 절연층을 갖고, 제 3 개구의 상단부는 절연층에 덮여져 있고, 제 3 개구에, 절연층에 접하여 제 2 전극층을 갖고, 제 1 층간 절연층상에 시일재를 갖고, 시일재는 절연층과 접하지 않는다.

상기 구성에 있어서, 스페이서와 절연층은 도 18과 같이 분리되어 있어도 좋고, 도 22와 같이, 연속적으로 연결되어도 좋다. 스페이서는 화소전극층으로서 기능하는 제 1 전극층상에 전계발광층을 형성할 때, 사용하는 마스크에 대한 스페이서로 될 뿐만 아니라, 전계발광층을 형성하고, 밀봉 기판에 의해 밀봉하여 표시장치로서 완성한 후도, 표시장치가 외부로부터의 압력이나 충격에 의해, 손상, 변형하는 것을 막는 스페이서로서 기능한다.

본 발명의 표시장치의 하나는, 화소 영역, 접속영역을 갖고, 화소 영역에 불순물 영역을 포함하는 반도체층을 갖고, 반도체층상에는 게이트 절연층을 갖고, 게이트 절연층상에는 게이트 전극층을 갖고, 게이트 전극층상에는 제 1 층간 절연층을 갖고, 게이트 절연층 및 제 1 층간 절연층은 불순물 영역에 도달하는 제 1 개구를 갖고, 개구에 소스 전극층 또는 드레인 전극층을 갖고, 소스 전극층 또는 드레인 전극층은 제 1 층간 절연층을 개재하여 게이트 전극층의 일부를 덮고 있고, 소스 전극층 또는 드레인 전극층 및 제 1 층간 절연층상에 제 2 층간 절연층을 갖고, 제 2 층간 절연층은 소스 전극층 또는 드레인 전극층에 도달하는 제 2 개구를 갖고, 제 2 개구는 제 1 층간 절연층을 개재하여 게이트 전극층의 일부를 덮고 있는 소스 전극층 또는 드레인 전극층에 설치되고, 제 2 개구에 제 1 전극층을 갖고, 접속영역에 제 1 층간 절연층상에 설치된 배선층을 갖고, 배선층상에, 배선층에 도달하는 제 3 개구가 설치된 제 2 층간 절연층을 갖고, 제 3 개구의 상단부는, 절연층으로 덮여져 있고, 제 3 개구에, 절연층에 접하고 제 2 전극층을 갖고, 제 1 층간 절연층상에 시일재를 갖고, 시일재는 절연층과 접하지 않는다.

본 발명의 표시장치의 제조방법의 하나는 화소 영역에 불순물 영역을 갖는 반도체층을 형성하고, 접속영역 및 반도체층상에 게이트 절연층을 형성하고, 게이트 절연층상에 게이트 전극층 및 도전층을 형성하고, 게이트 전극층상 및 도전층상에 제 1 층간 절연층을 형성하고, 게이트 절연층 및 제 1 층간 절연층은 불순물 영역에 도달하는 제 1 개구를 갖고, 제 1 개구, 및 게이트 전극층의 일부를 덮어 소스 전극층 또는 드레인 전극층을 형성하고, 제 1 층간 절연층상에 도전층을 덮어 배선층을 형성하고, 제 1 층간 절연층, 배선층, 소스 전극층 및 드레인 전극층상에 제 2 층간 절연층을 형성하고, 제 2 층간 절연층에 소스 전극층 또는 드레인 전극층에 도달하는 제 2 개구, 및 배선층에 도달하는 제 3 개구를 형성하고, 제 2 개구에 제 1 전극층을 형성하고, 제 2 층간 절연층의 제 3 개구의 상단부 및 제 1 전극층의 일부를 덮어 절연층을 형성하고, 제 1 전극층상에 스페이서를 형성하고, 제 3 개구에, 절연층에 접하여 제 2 전극층을 형성한다.

본 발명의 표시장치의 제조방법의 하나는 화소 영역에 불순물 영역을 갖는 반도체층을 형성하고, 접속영역 및 반도체층상에 게이트 절연층을 형성하고, 게이트 절연층상에 게이트 전극층 및 도전층을 형성하고, 게이트 전극층상 및 도전층상에 제 1 층간 절연층을 형성하고, 게이트 절연층 및 제 1 층간 절연층은 불순물 영역에 도달하는 제 1 개구를 갖고, 제 1 개구, 및 게이트 전극층의 일부를 덮어 소스 전극층 또는 드레인 전극층을 형성하고, 제 1 층간 절연층상에 도전층을 덮어 배선층을 형성하고, 제 1 층간 절연층, 배선층, 소스 전극층 및 드레인 전극층상에 제 2 층간 절연층을 형성하고, 제 2 층간 절연층에 소스 전극층 또는 드레인 전극층에 도달하는 제 2 개구, 및 배선층에 도달하는 제 3 개구를 형성하고, 제 2 개구에 제 1 전극층을 형성하고, 제 2 층간 절연층의 제 3 개구의 상단부 및 제 1 전극층의 일부를 덮어 절연층을 형성하고, 제 1 전극층상에 스페이서를 형성하고, 제 3 개구에, 절연층에 접하여 제 2 전극층을 형성하고, 제 1 층간 절연층상에, 절연층에 접하지 않고서 시일재를 형성한다.

본 발명의 표시장치의 제조방법의 하나는 화소 영역에 불순물 영역을 갖는 반도체층을 형성하고, 접속영역 및 반도체층상에 게이트 절연층을 형성하고, 게이트 절연층상에 게이트 전극층 및 도전층을 형성하고, 게이트 전극층상 및 도전층상에 제 1 층간 절연층을 형성하고, 게이트 절연층 및 제 1 층간 절연층은 불순물 영역에 도달하는 제 1 개구를 갖고, 제 1 개구, 및 게이트 전극층의 일부를 덮어 소스 전극층 또는 드레인 전극층을 형성하고, 제 1 층간 절연층상에 도전층을 덮어 배선층을 형성하고, 제 1 층간 절연층, 배선층, 소스 전극층 및 드레인 전극층상에 제 2 층간 절연층을 형성하고, 제 2 층간 절연층에 소스 전극층 또는 드레인 전극층에 도달하는 제 2 개구, 및 배선층에 도달하는 제 3 개구를 형성하고, 제 2 개구에 제 1 전극층을 형성하고, 제 2 층간 절연층의 제 3 개구의 상단부 및 제 1 전극층의 일부를 덮어 절연층을 형성하고, 제 3 개구에, 절연층에 접하여 제 2 전극층을 형성하고, 제 1 층간 절연층상에, 절연층에 접하지 않고서 시일재를 형성한다.

상기 구성에 있어서, 스페이서와 절연층은 별도 공정에서 형성하여도 좋고, 동일 재료를 사용하여, 동일 공정에서 형성하여도 좋다.

### 발명의 효과

본 발명을 사용하면, 신뢰성이 높은 표시장치를 간략화한 공정에서 제작할 수 있다. 따라서, 고세밀, 고화질인 표시장치를 저렴한 비용으로 수율 좋게 제조할 수 있다.

### 발명을 실시하기 위한 양호한 실시예

본 발명의 실시예에 대하여, 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고서 그 형태 및 상세를 여러가지로 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 제시하는 실시예의 기재 내용에 한정하여 해석되는 것은 아니다. 또, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 동일 기능을 갖는 부분에는 동일한 부호를 다른 도면간에서 공통하여 사용하고, 반복되는 설명은 생략한다.

#### (실시예 1)

본 실시예에 있어서의 박막 트랜지스터의 제작방법을, 도 1 내지 도 3을 사용하여 상세하게 설명한다.

도 16a는 본 발명에 따른 표시패널의 구성을 도시하는 상면도이고, 절연표면을 갖는 기판(2700)상에 화소(2702)를 매트릭스상에 배열시킨 화소부(2701), 주사선측 입력단자(2703), 신호선측 입력단자(2704)가 형성되어 있다. 화소수는 여러 가지 규격에 따라서 설치하면 되고, XGA이면  $1024 \times 768 \times 3$ (RGB), UXGA 이면  $1600 \times 1200 \times 3$ (RGB), 풀스펙트라이브 전에 대응시키는 것이라면  $1920 \times 1080 \times 3$ (RGB)로 하면 좋다.

화소(2702)는 주사선측 입력단자(2703)로부터 연장되는 주사선과, 신호선측 입력단자(2704)로부터 연장하는 신호선이 교차함으로써, 매트릭스상(狀)으로 배치된다. 화소(2702)의 각각은 스위칭 소자와 그것에 접속하는 화소전극층이 구비되어 있다. 스위칭 소자의 대표적인 일 예는 TFT이고, TFT의 게이트 전극층측이 주사선과, 소스 혹은 드레인측이 신호선과 접속됨으로써, 개개의 화소를 외부로부터 입력하는 신호에 의해서 독립하여 제어 가능하게 되어 있다.

TFT의 주요한 구성 요소로서, 반도체층, 게이트 절연층 및 게이트 전극층을 들 수 있고, 반도체층에 형성되는 소스 및 드레인 영역에 접속하는 배선층이 그것에 부수한다. 구조적으로는 기판측으로부터 반도체층, 게이트 절연층 및 게이트 전극층을 배치한 톱게이트형과, 기판측으로부터 게이트 전극층, 게이트 절연층 및 반도체층을 배치한 보텀게이트형 등이 대표적으로 알려져 있지만, 본 발명에 있어서는 그러한 구조의 어떠한 것을 사용하여도 좋다.

도 16a는 주사선 및 신호선으로 입력하는 신호를, 외장의 구동회로에 의해 제어하는 표시패널의 구성을 도시하고 있지만, 도 17a에 도시하는 바와 같이, COG(Chip on Glass) 방식에 의해 드라이버 IC(2751)를 기판(2700)상에 실장하여도 좋다. 또한 다른 실장형태로서, 도 17b에 도시하는 바와 같은 TAB(Tape Automated Bonding) 방식을 사용하여도 좋다. 드라이버 IC는 단결정 반도체기판에 형성된 것이라도 좋고, 유리기판상에 TFT로 회로를 형성한 것이라도 좋다. 도 17에 있어서, 드라이버 IC(2751)는 FPC(Flexible printed circuit; 2750)와 접속하고 있다.

또한, 화소에 설치하는 TFT를 결정성을 갖는 반도체로 형성하는 경우에는, 도 16b에 도시하는 바와 같이 주사선측 구동회로(3702)를 기판(3700)상에 형성하여 일체화할 수도 있다. 도 16b에 있어서, 화소부(3701)는 신호선측 입력단자

(3704)와 접속한 도 16a와 같이 외장의 구동회로에 의해 제어한다. 화소에 설치하는 TFT를 이동도가 높은, 다결정(미결정) 반도체, 단결정 반도체 등으로 형성하는 경우는, 도 16c는 화소부(4701), 주사선 구동회로(4702)와, 신호선 구동회로(4704)를 기판(4700)상에 일체로 형성할 수도 있다.

도 2에 도시하는 바와 같이, 절연표면을 갖는 기판(100)의 위에 하지막으로서, 스퍼터링법, PVD법(Physical Vapor Deposition), 감압 CVD법(LPCVD법), 또는 플라즈마 CVD법 등의 CVD법(Chemical Vapor Deposition) 등에 의해 질화산화규소막(SiNO)을 사용하여 하지막(101a)을 10 내지 200nm(바람직하게는 50 내지 100nm) 형성하고, 산화질화규소막(SiON)을 사용하여 하지막(101b)을 50 내지 200nm(바람직하게는 100 내지 150nm) 적층한다. 본 실시예에서는 플라즈마CVD법을 사용하여 하지막(101a), 하지막(101b)을 형성한다. 기판(100)으로서는 유리기판, 석영기판이나 실리콘기판, SUS 기판 등의 금속기판, 또는 스텐리스 기판의 표면에 절연막을 형성한 것을 사용하여 좋다. 또한, 본 실시예의 처리온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판을 사용하여도 좋고, 필름과 같은 가교성 기판을 사용하여도 좋다. 플라스틱 기판으로서는 PET(폴리에틸렌텔레프탈레이트), PEN(폴리에틸엔나프탈레이트), PES(폴리에테르설파이드)로 이루어지는 기판, 가요성 기판으로서는 아크릴 등의 합성 수지를 사용할 수 있다.

하지막으로서는 산화규소, 질화규소, 산화질화규소, 질화산화규소 등을 사용할 수 있고, 단층이나 2층, 3층과 같은 적층구조라도 좋다. 또 본 명세서 중에 있어서 산화질화규소란 산소의 조성비가 질소의 조성비보다 큰 물질이고, 질소를 포함하는 산화규소라고도 할 수 있다. 마찬가지로, 질화산화규소란 질소의 조성비가 산소의 조성비보다 큰 물질이고, 산소를 포함하는 질화규소라고도 할 수 있다. 본 실시예에서는 기판상에 SiH<sub>4</sub>, NH<sub>3</sub>, N<sub>2</sub>O, N<sub>2</sub> 및 H<sub>2</sub>를 반응가스로서 질화산화규소막을 막두께 50nm 형성하고, SiH<sub>4</sub> 및 N<sub>2</sub>O를 반응가스로서 산화질화규소막을 막두께 100nm로 형성한다. 또한 질화산화규소막의 막두께를 140nm, 적층하는 산화질화규소막의 막두께를 100nm로 하여도 좋다.

이어서, 하지막상에 반도체막을 형성한다. 반도체막은 25 내지 200nm(바람직하게는 30 내지 150nm)의 두께로 공지의 수단(스퍼터법, LPCVD법, 또는 플라즈마 CVD법 등)에 의해 성막하면 좋다. 본 실시예에서는 비정질 반도체막을, 레이저 결정화하여, 결정성 반도체막으로 하는 것을 사용하는 것이 바람직하다.

반도체막을 형성하는 재료는 실란이나 게르만으로 대표되는 반도체재료가스를 사용하여 기상성장법이나 스퍼터링법으로 제작되는 비정질 반도체(이하 「AS」라고도 한다.), 상기 비정질 반도체를 빛에너지나 열에너지를 이용하여 결정화시키는 다결정 반도체, 또는 세미아모르피스(미결정이라고도 불린다. 이하 「SAS」라고도 한다.) 반도체 등을 사용할 수 있다.

SAS는 비정질과 결정구조(단결정, 다결정을 포함한다)의 중간적인 구조를 갖고, 자유에너지적으로 안정된 제 3 상태를 갖는 반도체이며, 단거리질서를 갖고 격자 일그러짐을 갖는 결정질인 영역을 포함하고 있다. 적어도 막 중의 일부의 영역에는 0.5 내지 20nm의 결정영역을 관측할 수 있고, 규소를 주성분으로 하는 경우에는 라만 스펙트럼이 520cm<sup>-1</sup>보다도 저파수측으로 시프트하고 있다. X선 회절에서는 규소 결정 격자에 유래하는 것으로 되는 (111), (220)의 회절 피크가 관측된다. 미결합수(랭글링 본드)를 종단화시키기 위해서 수소 또는 할로겐을 적어도 1원자% 또는 그 이상 포함시키고 있다. SAS는 규화물 기체를 글로 방전 분해(플라즈마 CVD)하여 형성한다. 규화물 기체로서는 SiH<sub>4</sub>, 그 외에도 Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용하는 것이 가능하다. 또한 F<sub>2</sub>, GeF<sub>4</sub>를 혼합시켜도 좋다. 이 규화물 기체를 H<sub>2</sub>, 또는, H<sub>2</sub>와 He, Ar, Kr, Ne로부터 선택된 일종 또는 복수종의 희(稀)가스 원소로 희석하여도 좋다. 희석율은 2 내지 1000배의 범위, 압력은 대략 0.1Pa 내지 133Pa의 범위, 전원주파수는 1MHz 내지 120MHz, 바람직하게는 13MHz 내지 60MHz이다. 기판 가열 온도는 300°C 이하가 바람직하고, 100 내지 200°C의 기판 가열 온도라도 형성 가능하다. 여기에서, 주로 성막 시에 넣는 불순물 원소로서, 산소, 질소, 탄소 등의 대기성분에 유래하는 불순물은 1×10<sup>20</sup>cm<sup>-3</sup> 이하로 하는 것이 바람직하고, 특히, 산소 농도는 5×10<sup>19</sup>cm<sup>-3</sup> 이하, 바람직하게는 1×10<sup>19</sup>cm<sup>-3</sup> 이하가 되도록 하는 것이 바람직하다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희가스원소를 포함하여 격자 일그러짐을 더욱 조장시킴으로써 안정성이 증가하여 양호한 SAS가 얻어진다. 또한 반도체막으로서 불소를 포함하는 규화물 기체로 형성되는 SAS 층에 수소를 포함하는 규화물 기체로 형성되는 SAS층을 적층하여도 좋다.

비정질 반도체로서는 대표적으로는 수소화 아모르피스실리콘, 결정성 반도체로서는 대표적으로는 폴리실리콘 등을 들 수 있다. 폴리실리콘(다결정실리콘)에는, 800°C 이상의 프로세스 온도를 거쳐서 형성되는 폴리실리콘을 주재료로서 사용한 소위 고온 폴리실리콘이나, 600°C 이하의 프로세스 온도로 형성되는 폴리실리콘을 주재료로서 사용한 소위 저온 폴리실리콘, 또한 결정화를 촉진하는 원소 등을 첨가하여 결정화시킨 폴리실리콘 등을 포함하고 있다. 물론, 상술한 바와 같이, 세미아모르피스 반도체 또는 반도체막의 일부에 결정상을 포함하는 반도체를 사용할 수도 있다.

반도체막에, 결정성 반도체막을 사용하는 경우, 그 결정성 반도체막의 제작방법은 공지방법(레이저결정화법, 열결정화법, 또는 니켈 등의 결정화를 조장하는 원소를 사용한 열결정화법 등)을 사용하면 좋다. 또한, SAS인 미결정 반도체를 레이저 조사하여 결정화하여, 결정성을 높일 수도 있다. 결정화를 조장하는 원소를 도입하지 않는 경우는 비정질 반도체막에 레이저광을 조사하기 전에, 질소분위기하 500°C에서 1시간 가열함으로써 비정질 반도체막의 함유 수소 농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하로까지 방출시킨다. 이것은 수소를 많이 포함한 비정질 반도체막에 레이저광을 조사하면 비정질 반도체막이 파괴되어 버리기 때문이다. 결정화를 위한 가열처리는, 가열로(加熱爐), 레이저 조사, 또는 램프로부터 발하는 빛의 조사(램프어널이라고도 한다) 등을 사용할 수 있다. 가열방법으로서 GRTA(Gas Rapid Thermal Anneal)법, LRTA(Lamp Rapid Thermal Anneal)법, 등의 RTA법이 있다.

비정질 반도체막으로의 금속원소의 도입의 방법으로서는, 상기 금속원소를 비정질 반도체막의 표면 또는 그 내부에 존재 시킬 수 있는 수법이라면 특히 한정되지 않으며, 예를들면 스팍터법, CVD법, 플라즈마 처리법(플라즈마 CVD법도 포함한다), 흡착법, 금속염의 용액을 도포하는 방법을 사용할 수 있다. 이 중 용액을 사용하는 방법은 간편하고, 금속원소의 농도 조정이 용이하다는 점에서 유용하다. 또한, 이 때 비정질 반도체막의 표면의 젖음성을 개선하고, 비정질 반도체막의 표면 전체에 수용액을 널리 퍼지게 하기 위해서, 산소 분위기 중에서의 UV 광의 조사, 열산화법, 하이드록시 라디칼을 포함하는 오존수 또는 과산화수소에 의한 처리 등에 의해, 산화막을 성막하는 것이 바람직하다.

연속 발진이 가능한 고체 레이저를 사용하여, 기본파의 제 2 고조파 내지 제 4 고조파의 레이저광을 조사함으로써, 대입자 직경의 결정을 얻을 수 있다. 예를들면, 대표적으로는, Nd:YVO<sub>4</sub> 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 사용하는 것이 바람직하다. 구체적으로는, 연속발진의 YVO<sub>4</sub> 레이저로부터 사출된 레이저광을 비선형 광학소자에 의해 고조파로 변환하고, 출력수 W 이상의 레이저광을 얻는다. 그리고, 바람직하게는 광학계에 의해 조사면에서 직사각형상 또는 타원형상의 레이저광으로 성형하고, 반도체막에 조사한다. 이 때의 에너지 밀도는 0.001 내지 100MW/cm<sup>2</sup> 정도(바람직하게는 0.1 내지 10MW/cm<sup>2</sup>)가 필요하다. 그리고, 주사 속도를 0.5 내지 2000cm/sec 정도(바람직하게는 10 내지 200cm/sec)로 하여, 조사한다.

레이저의 빔 형상은 선형상으로 하면 바람직하다. 그 결과, 스루풋을 항상시킬 수 있다. 또한 레이저는 반도체막에 대하여 입사각θ(0<θ<90도)를 갖게 하여 조사시키면 좋다. 레이저의 간섭을 방지할 수 있기 때문이다.

이러한 레이저와, 반도체막을 상대적으로 주사함으로써, 레이저 조사를 할 수 있다. 또한 레이저 조사에 있어서, 빔을 정밀도 좋게 겹치거나, 레이저 조사 개시 위치나 레이저 조사 종료 위치를 제어하기 위해서, 마커를 형성할 수도 있다. 마커는 비정질 반도체막과 동시에, 기판상에 형성하면 좋다.

또 레이저는 연속 발진 또는 펄스 발진의 기체 레이저, 고체 레이저, 동중기 레이저 또는 금증기 레이저 등을 사용할 수 있다. 기체 레이저로서, 엑시머 레이저, Ar 레이저, Kr 레이저, He-Cd 레이저 등이 있고, 고체 레이저로서, YAG 레이저, YVO<sub>4</sub> 레이저, YLF 레이저, YAlO<sub>3</sub> 레이저, Y<sub>2</sub>O<sub>3</sub> 레이저, 유리 레이저, 루비 레이저, 알렉산드라이드 레이저, Ti: 사파이어 레이저 등을 들 수 있다.

또한, 펄스 발진의 레이저광의 발진 주파수를 0.5MHz 이상으로 하고 통상 사용되고 있는 수십 Hz 내지 수백 Hz의 주파수 대보다도 현저하게 높은 주파수대를 사용하여 레이저 결정화를 하여도 좋다. 펄스 발진으로 레이저광을 반도체막에 조사하고 나서 반도체막이 완전히 고화하기까지의 시간은 수십 nsec 내지 수백 nsec로 되고 있다. 따라서 상기 주파수대를 사용함으로써, 반도체막이 레이저광에 의해서 용융하고 나서 고화할 때까지, 다음의 펄스의 레이저광을 조사할 수 있다. 따라서, 반도체막 중에 있어서 고액계면을 연속적으로 이동시킬 수 있기 때문에, 주사방향으로 향하여 연속적으로 성장한 결정립을 갖는 반도체막이 형성된다. 구체적으로는, 포함되는 결정립의 주사방향에서의 폭이 10 내지 30μm, 주사방향에 대하여 수직인 방향에서의 폭이 1 내지 5μm 정도의 결정립의 집합을 형성할 수 있다. 상기 주사방향에 따라서 길게 연장된 단 결정의 결정립을 형성함으로써, 적어도 박막 트랜지스터의 채널방향에는 결정립계가 거의 존재하지 않는 반도체막의 형성이 가능해진다.

또한, 희가스나 질소 등의 불활성 가스 분위기 중에서 레이저광을 조사하도록 하여도 좋다. 이로써, 레이저광의 조사에 의해 반도체 표면의 거칠기를 억제할 수 있고, 계면 준위 밀도의 불균일함에 의해서 생기는 임계치의 불균일함을 억제할 수 있다.

비정질 반도체막의 결정화는 열처리와 레이저광 조사에 의한 결정화를 조합하여도 좋고, 열처리나 레이저광 조사를 단독으로, 복수회 행하여도 좋다.

본 실시예에서는 하지막(101b)상에, 비정질 반도체막을 형성하고, 비정질 반도체막을 결정화시킴으로써 결정성 반도체막을 형성한다. 비정질 반도체막으로서는, SiH<sub>4</sub>, H<sub>2</sub>의 반응가스에 의해 형성하는 비정질규소를 사용한다. 본 실시예에 있어서, 하지막(101a), 하지막(101b), 비정질 반도체막은 동챔버 내에서 진공을 파괴하지 않고서(진공 상태를 유지한 채로) 330°C의 동일 온도하에서, 반응가스를 전환하면서 연속적으로 형성한다.

비정질 반도체막상에 형성된 산화막을 제거한 후, 산소분위기중에서의 UV 광의 조사, 열산화법, 하이드록시 라디칼을 포함하는 오존수 또는 과산화수소에 의한 처리 등에 의해, 산화막을 10 내지 50Å 형성한다. 본 실시예에서는 결정화를 조장하는 원소로서 Ni를 사용한다. Ni 아세트산염 10ppm을 함유한 수용액을 스펀 코팅법에 의해 도포한다.

본 실시예에서는 열처리를 RTA 법에 의해 650°C에서 6분간 행한 후, 반도체막상에 형성되는 산화막을 제거하여, 레이저광을 조사한다. 비정질 반도체막은 이상의 결정화처리에 의해, 결정성 반도체막으로서 형성된다.

금속원소를 사용한 결정화를 한 경우, 금속원소를 저감, 또는 제거하기 위해서 게터링 공정을 실시한다. 본 실시예에서는 비정질 반도체막을 게터링 싱크로서 금속원소를 포획한다. 우선, 결정성 반도체막상에 산소분위기중에서의 UV 광의 조사, 열산화법, 하이드록시 라디칼을 포함하는 오존수 또는 과산화수소에 의한 처리 등에 의해, 산화막을 형성한다. 산화막은 가열처리에 의해서 후막화하는 것이 바람직하다. 본 실시예에서는 산화막 형성 후에, RTA 법에 의해 650°C에서 6분간 열처리를 함으로써, 산화막의 후막화를 한다. 이어서 플라즈마 CVD법(본 실시예에 있어서의 조건 350W, 35Pa)을 사용하여, 비정질 반도체막을 30nm의 막두께로 형성한다.

그 후, RTA 법에 의해 650°C에서 6분간 열처리를 하여, 금속원소를 저감, 또는 제거한다. 열처리는 질소분위기하에서 행하여도 좋다. 그리고, 게터링 싱크로 되어 있는 비정질 반도체막, 및 비정질 반도체막상에 형성된 산화막을 불산 등에 의해 제거하고, 금속원소가 저감, 또는 제거된 결정성 반도체막(102)을 얻을 수 있다(도 2a 참조.). 본 실시예에서는 게터링 싱크로 된 비정질 반도체막의 제거를 TMAH(Tetramethyl ammonium hydroxide)를 사용하여 행한다.

이렇게 하여 얻어진 반도체막에 대하여, 박막 트랜지스터의 임계치전압을 제어하기 위해서 미량인 불순물 원소(붕소 또는 인)의 도핑을 하여도 좋다. 이 불순물 원소의 도핑은 결정화공정 전의 비정질 반도체막에 행하여도 좋다. 비정질 반도체막의 상태에서 불순물 원소를 도핑하면, 그 후의 결정화를 위한 가열처리에 의해서, 불순물의 활성화도 할 수 있다. 또한, 도핑 시에 생기는 결함 등도 개선할 수 있다.

다음에 결정성 반도체막(102)을 마스크를 사용하여 패터닝한다. 본 실시예에서는 결정성 반도체막(102)상에 형성된 산화막을 제거한 후, 새롭게 산화막을 형성한다. 그리고, 포토마스크를 제작하여, 포토리소그래피법을 사용한 패터닝처리에 의해, 반도체층(103), 반도체층(104), 반도체층(105), 및 반도체층(106)을 형성한다.

패터닝 시의 에칭가공은 플라즈마 에칭(드라이 에칭) 또는 웨트 에칭의 어느 쪽을 채용하여도 좋지만, 대면적 기판을 처리하기 위해서는 플라즈마 에칭이 적합하다. 에칭가스로서는 CF<sub>4</sub>, NF<sub>3</sub> 등의 불소를 포함하는 가스, Cl<sub>2</sub>, BCl<sub>3</sub> 등의 염소를 포함하는 가스를 사용하여, He나 Ar 등의 불활성가스를 적절하게 가하여도 좋다. 또한, 대기압 방전의 에칭 가공을 적용하면, 국소적인 방전 가공도 가능하고, 기판의 전체면에 마스크층을 형성할 필요는 없다.

본 발명에 있어서, 배선층 또는 배선층 또는 전극층을 형성하는 도전층이나, 소정의 패턴을 형성하기 위한 마스크층 등을, 액적토출법과 같은 선택적으로 패턴을 형성할 수 있는 방법에 의해 형성하여도 좋다. 액적토출(분출)법(그 방식에 따라서는, 잉크젯법이라고도 불린다.)은 특정한 목적으로 조합된 조성물의 액적을 선택적으로 토출(분출)하여 소정의 패턴(도전층이나 절연층 등)을 형성할 수 있다. 이 때, 괴형성 영역에 젖음성이나 밀착성을 제어하는 처리를 하여도 좋다. 또한, 패턴이 전사, 또는 묘사할 수 있는 방법, 예를 들면 인쇄법(스크린 인쇄나 오프셋 인쇄 등 패턴이 형성되는 방법) 등도 사용할 수 있다.

본 실시예에 있어서, 사용하는 마스크는 에폭시수지, 아크릴수지, 폐놀수지, 노볼락수지, 멜라민수지, 우레탄수지 등의 수지재료를 사용한다. 또한, 벤조사이클로부텐, 파릴렌, 플레이(flare), 투파성을 갖는 폴리아미드 등의 유기재료, 실록산 중합체 등의 중합에 의해서 생성된 화합물 재료, 수용성 호모중합체(Homopolymer)와 수용성 공중합체를 포함하는 조성물 재료 등을 사용할 수도 있다. 또는, 감광제를 포함하는 시판의 레지스트 재료를 사용하여도 좋고, 예를 들면, 대표적인 포

지티브형 레지스트인, 노볼락 수지와 감광제인 나프토퀴논 디아지드 화합물을 포함하는 레지스트, 네거티브형 레지스트이다, 베이스 수지, 디페닐실란디올 및 산발생제 등을 포함하는 레지스트를 사용하여도 좋다. 액적토출법을 사용하는 경우, 어느 재료를 사용한다고 해도, 그 표면 장력과 점도는 용매의 농도를 조정하거나, 계면활성제 등을 가하기도 하여 적절하게 조정한다.

반도체층상의 산화막을 제거하여, 반도체층(103), 반도체층(104), 반도체층(105), 및 반도체층(106)을 덮는 게이트 절연층(107)을 형성한다. 게이트 절연층(107)은 플라즈마 CVD법 또는 스퍼터법 등을 사용하여, 두께를 10 내지 150nm로서 규소를 포함하는 절연막으로 형성한다. 게이트 절연층(107)으로서는 질화규소, 산화규소, 산화질화규소, 질화산화규소로 대표되는 규소의 산화물재료 또는 질화물재료 등의 공지의 재료로 형성하면 좋고, 적층이나 단층이라도 좋다. 본 실시예에서는 게이트 절연층은 질화규소막, 산화규소막, 질화규소막의 3층의 적층을 사용한다. 또한 그것들이나, 산화질화규소막의 단층, 2층으로 이루어지는 적층이라도 좋다. 적합하게는, 치밀한 막질을 갖는 질화규소막을 사용하면 좋다. 또한 반도체층과 게이트 절연층의 사이에, 막두께 1 내지 100nm, 바람직하게는 1 내지 10nm, 더욱 바람직하게는 2 내지 5nm인 막 두께가 얇은 산화규소막을 형성하여도 좋다. 얇은 산화규소막의 형성방법으로서는 GRTA법, LRTA 법 등을 사용하여 반도체 영역 표면을 산화하여, 열산화막을 형성함으로써, 막두께가 얇은 산화규소막을 형성할 수 있다. 또한, 낮은 성막 온도로 게이트 누설(leak) 전류가 적은 치밀한 절연막을 형성하기 위해서는, 아르곤 등의 희가스원소를 반응가스에 포함하여, 형성되는 절연막 중에 혼입시키면 좋다.

이어서, 게이트 절연층(107)상에 게이트 전극층으로서 사용하는 막두께 20 내지 100nm의 제 1 도전막(108)과, 막두께 100 내지 400nm의 제 2 도전막(109)을 적층하여 형성한다(도 2b 참조.). 제 1 도전막(108) 및 제 2 도전막(109)은 스퍼터링법, 증착법, CVD법 등의 공지의 수법에 의해 형성할 수 있다. 제 1 도전막(108) 및 제 2 도전막(109)은 탄탈륨(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr), 네오듐(Nd)으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 또는 화합물 재료로 형성하면 좋다. 또한, 제 1 도전막(108) 및 제 2 도전막(109)으로서 인 등의 불순물 원소를 도핑한 다결정실리콘막으로 대표되는 반도체막이나, AgPdCu 합금을 사용하여도 좋다. 또한, 2층 구조에 한정되지 않고, 예를 들면, 제 1 도전막으로서 막두께 50nm의 텅스텐막, 제 2 도전막으로서 막두께 500nm의 알루미늄과 실리콘의 합금(Al-Si)막, 제 3 도전막으로서 막두께 30nm의 질화티타늄막을 순차 적층한 3층 구조로 하여도 좋다. 또한, 3층 구조로 하는 경우, 제 1 도전막의 텅스텐 대신에 질화텅스텐을 사용하여도 좋고, 제 2 도전막의 알루미늄과 실리콘의 합금(Al-Si)막 대신에 알루미늄과 티타늄의 합금막(Al-Ti)을 사용하여도 좋고, 제 3 도전막의 질화티타늄막 대신에 티타늄막을 사용하여도 좋다. 또한, 단층구조라도 좋다. 본 실시예에서는 제 1 도전막(106)으로서 질화타탈륨(TaN)를 막 두께 30nm 형성하고, 제 2 도전막(107)으로서 텅스텐(W)을 막두께 370nm 형성한다.

다음에, 포토리소그래피법을 사용하여 레지스트로 이루어지는 마스크(110a), 마스크(110b), 마스크(110c), 마스크(110d), 및 마스크(110f)를 형성하고, 제 1 도전막(108) 및 제 2 도전막(109)을 패터닝하여, 제 1 게이트 전극층(121), 제 1 게이트 전극층(122), 도전층(123), 제 1 게이트 전극층(124), 제 1 게이트 전극층(125), 및 제 1 게이트 전극층(126), 및 도전층(111), 도전층(112), 도전층(113), 도전층(114), 도전층(115), 및 도전층(116)을 형성한다(도 2c 참조.). ICP (Inductively Coupled Plasma 유도결합형 플라즈마) 에칭법을 사용하여, 에칭 조건(코일형의 전극층에 인가되는 전력량, 기판측의 전극층에 인가되는 전력량, 기판측의 전극 온도 등)을 적절하게 조절함으로써, 제 1 게이트 전극층(121), 제 1 게이트 전극층(122), 도전층(123), 제 1 게이트 전극층(124), 제 1 게이트 전극층(125), 및 제 1 게이트 전극층(126), 및 도전층(111), 도전층(112), 도전층(113), 도전층(114), 도전층(115), 및 도전층(116)을 소망의 테이퍼 형상을 갖도록 에칭 할 수 있다. 또한, 테이퍼 형상은 마스크(110a), 마스크(110b), 마스크(110c), 마스크(110d), 및 마스크(110f)의 형상에 의해서도 각도 등을 제어할 수 있다. 또, 에칭용 가스로서는, Cl<sub>2</sub>, BCl<sub>3</sub>, SiCl<sub>4</sub> 또는 CCl<sub>4</sub> 등을 대표로 하는 염소계가스, CF<sub>4</sub>, CF<sub>5</sub>, SF<sub>6</sub> 또는 NF<sub>3</sub> 등을 대표로 하는 불소계가스 또는 O<sub>2</sub>를 적절하게 사용할 수 있다. 본 실시예에서는 CF<sub>5</sub>, Cl<sub>2</sub>, O<sub>2</sub>로 이루어지는 에칭용 가스를 사용하여 제 2 도전막(109)의 에칭을 하여, 연속하여 CF<sub>5</sub>, Cl<sub>2</sub>로 이루어지는 에칭용 가스를 사용하여 제 1 도전막(108)을 에칭한다.

다음에, 마스크(110a), 마스크(110b), 마스크(110c), 마스크(110d), 및 마스크(110f)를 사용하여, 도전층(111), 도전층(112), 도전층(113), 도전층(114), 도전층(115), 및 도전층(116)을 패터닝한다. 이 때, 도전층을 형성하는 제 2 도전막(109)과, 제 1 게이트 전극층을 형성하는 제 1 도전막(108)과의 선택비가 높은 에칭 조건으로, 도전층을 에칭한다. 이 에칭에 의해서, 도전층(111), 도전층(112), 도전층(113), 도전층(114), 도전층(115), 및 도전층(116)을 에칭하고, 제 2 게이트 전극층(131), 제 2 게이트 전극층(132), 도전층(133), 제 2 게이트 전극층(134), 제 2 게이트 전극층(135), 및 제 2 게이트 전극층(136)을 형성한다. 본 실시예에서는 제 3 도전층도 테이퍼 형상을 갖고 있지만, 그 테이퍼 각도는 제 1 게이트 전극층(121), 제 1 게이트 전극층(122), 도전층(123), 제 1 게이트 전극층(124), 제 1 게이트 전극층(125), 및 제 1 게이트

전극층(126)이 갖는 테이퍼 각도보다 크다. 또 테이퍼 각도란 제 1 게이트 전극층, 제 2 게이트 전극층, 도전층 표면에 대한 측면의 각도이다. 따라서, 테이퍼 각도를 크게 하여, 90도의 경우 도전층은 수직인 측면을 갖고 있고, 테이퍼 형상을 갖지 않게 된다. 본 실시예에서는 제 2 게이트 전극층을 형성하기 위한 에칭용 가스로서 Cl<sub>2</sub>, SF<sub>6</sub>, O<sub>2</sub>를 사용한다.

본 실시예에서는 제 1 게이트 전극층, 도전층, 및 제 2 게이트 전극층을, 테이퍼 형상을 갖도록 형성하기 때문에, 2층의 게이트 전극층 양쪽이 테이퍼 형상을 갖고 있다. 그러나, 본 발명은 그것에 한정되지 않고, 게이트 전극층의 일층만이 테이퍼 형상을 갖고, 다른쪽은 이방성 에칭에 의해서 수직인 측면을 갖고 있어도 좋다. 본 실시예와 같이, 테이퍼 각도도 적층하는 게이트 전극층간에서 다르거나, 동일하여도 좋다. 테이퍼 형상을 가짐으로써, 그 위에 적층하는 막의 피복성이 향상하여, 결합이 경감되기 때문에 신뢰성이 향상한다.

이상의 공정에 의해서, 주변 구동회로 영역(204)에 제 1 게이트 전극층(121) 및 제 2 게이트 전극층(131)으로 이루어지는 게이트 전극층(117), 제 1 게이트 전극층(122) 및 제 2 게이트 전극층(132)으로 이루어지는 게이트 전극층(118), 화소 영역(206)에 제 1 게이트 전극층(124) 및 제 2 게이트 전극층(134)으로 이루어지는 게이트 전극층(127), 제 1 게이트 전극층(125) 및 제 2 게이트 전극층(135)으로 이루어지는 게이트 전극층(128), 제 1 게이트 전극층(126) 및 제 2 게이트 전극층(136)으로 이루어지는 게이트 전극층(129), 접속영역(205)에 도전층(123) 및 도전층(133)으로 이루어지는 도전층(130)을 형성할 수 있다(도 2d 참조.). 본 실시예에서는 게이트 전극층의 형성을 드라이에칭으로 하지만 웨트에칭이라도 좋다.

게이트 전극층을 형성할 때의 에칭 공정에 의해서, 게이트 절연층(107)은 다소 에칭되고, 막두께가 감소되는(얇아짐, 소위 막감소) 경우가 있다.

게이트 전극층을 형성할 때, 게이트 전극층의 폭을 가늘게 함으로써, 고속 동작이 가능한 박막 트랜지스터를 형성할 수 있다. 게이트 전극층을 채널방향의 폭을 가늘게 형성하는 2가지의 방법을 이하에 제시한다.

제 1 방법은 게이트 전극층의 마스크를 형성한 후, 마스크를 폭 방향으로 에칭, 애싱 등에 의해 슬리밍하여, 더욱 폭이 가는 마스크를 형성한다. 미리 폭이 가는 형상으로 형성된 마스크를 사용함으로써, 게이트 전극층도 폭이 가는 형상으로 형성할 수 있다.

다음에, 제 2 방법은 통상의 마스크를 형성하고, 그 마스크를 사용하여 게이트 전극층을 형성한다. 다음에 언어진 게이트 전극층을 폭 방향으로 더욱 사이드 에칭하여 가늘어지게 한다. 따라서 최종적으로 폭이 가는 게이트 전극층을 형성할 수 있다. 이상의 공정을 거침으로써, 나중에 채널길이가 짧은 박막 트랜지스터를 형성하는 것이 가능하고, 고속도 동작이 가능한 박막 트랜지스터를 제작하는 것이 가능하다.

다음에, 게이트 전극층(117), 게이트 전극층(118), 게이트 전극층(127), 게이트 전극층(128), 게이트 전극층(129), 도전층(130)을 마스크로 하여, n형을 부여하는 불순물 원소(151)를 첨가하고, 제 1 n형 불순물 영역(140a), 제 1 n형 불순물 영역(140b), 제 1 n형 불순물 영역(141a), 제 1 n형 불순물 영역(141b), 제 1 n형 불순물 영역(142a), 제 1 n형 불순물 영역(142b), 제 1 n형 불순물 영역(142c), 제 1 n형 불순물 영역(143a), 제 1 n형 불순물 영역(143b)를 형성한다(도 3a 참조.). 본 실시예에서는 불순물 원소를 포함하는 도핑가스로서 포스핀(PH<sub>3</sub>; P의 조성비율은 5%)을 사용하여, 가스 유량

80sccm, 빔 전류 54μA/cm, 가속전압 50kV, 첨가하는 도즈량  $7.0 \times 10^{13}$  ions/cm<sup>2</sup>의 조건하에서 도핑을 한다. 여기에서는, 제 1 n형 불순물 영역(140a), 제 1 n형 불순물 영역(140b), 제 1 n형 불순물 영역(141a), 제 1 n형 불순물 영역(141b), 제 1 n형 불순물 영역(142a), 제 1 n형 불순물 영역(142b), 제 1 n형 불순물 영역(142c), 제 1 n형 불순물 영역(143a), 제 1 n형 불순물 영역(143b)에, n형을 부여하는 불순물 원소가  $1 \times 10^{17}$  내지  $5 \times 10^{18}/\text{cm}^2$  정도의 농도로 포함되도록 첨가한다. 본 실시예에서는 n형을 부여하는 불순물 원소로서 인(P)을 사용한다.

본 실시예에서는 불순물 영역이 게이트 절연층을 개재하여 게이트 전극층과 겹치는 영역을 Lov 영역으로 나타내고, 불순물 영역이 게이트 절연층을 개재하여 게이트 전극층과 겹치지 않은 영역을 Loff 영역으로 나타낸다. 도 3에서는 불순물 영역에서 빛금과 흰바탕으로 나타내고 있지만, 이것은 흰바탕 부분에 불순물 원소가 첨가되어 있지 않다는 것을 나타내는 것은 아니며, 이 영역의 불순물 원소의 농도 분포가 마스크나 도핑 조건을 반영하고 있는 것을 직감적으로 이해할 수 있도록 하였기 때문이다. 또, 이것은 본 명세서의 다른 도면에 있어서도 동일하다.

다음에 반도체층(103), 반도체층(105)의 일부, 반도체층(106)을 덮는 마스크(153a), 마스크(153b), 마스크(153c), 및 마스크(153d)를 형성한다. 마스크(153a), 마스크(153b), 마스크(153c), 마스크(153d), 제 2 게이트 전극층(132)을 마스크

로 하여 n형을 부여하는 불순물 원소(152)를 첨가하고, 제 2 n형 불순물 영역(144a), 제 2 n형 불순물 영역(144b), 제 3 n형 불순물 영역(145a), 제 3 n형 불순물 영역(145b), 제 2 n형 불순물 영역(147a), 제 2 n형 불순물 영역(147b), 제 2 n형 불순물 영역(147c), 제 3 n형 불순물 영역(148a), 제 3 n형 불순물 영역(148b), 제 3 n형 불순물 영역(148c), 제 3 n형 불순물 영역(148d)이 형성된다. 본 실시예에서는 불순물 원소를 포함하는 도핑가스로서 PH<sub>3</sub>(P의 조성비율은 5%)를 사용하여, 가스 유량 80sccm, 빔 전류 540μA/cm, 가속전압 70kV, 첨가하는 도즈량  $5.0 \times 10^{15}$  ions/cm<sup>2</sup>의 조건하에서 도핑을 한다. 여기에서는, 제 2 n형 불순물 영역(144a), 제 2 n형 불순물 영역(144b)에 n형을 부여하는 불순물 원소가  $5 \times 10^{19}$  내지  $5 \times 10^{20}$ /cm<sup>2</sup> 정도의 농도로 포함되도록 첨가한다. 제 3 불순물 영역(145a), 제 3 불순물 영역(145b)은 제 3 n형 불순물 영역(148a), 제 3 n형 불순물 영역(148b), 제 3 n형 불순물 영역(148c), 제 3 n형 불순물 영역(148d)과 동일 정도, 또는 조금 높은 쪽의 농도로 n형을 부여하는 불순물 원소를 포함하도록 형성된다. 또한, 반도체층(104)에 채널 형성 영역(146), 반도체층(105)에 채널 형성 영역(149a) 및 채널 형성 영역(149b)이 형성된다.

제 2 n형 불순물 영역(144a), 제 2 n형 불순물 영역(144b), 제 2 n형 불순물 영역(147a), 제 2 n형 불순물 영역(147b), 제 2 n형 불순물 영역(147c)은 고농도 n형 불순물 영역이고, 소스, 드레인으로서 기능한다. 한편, 제 3 n형 불순물 영역(145a), 제 3 n형 불순물 영역(145b), 제 3 n형 불순물 영역(148a), 제 3 n형 불순물 영역(148b), 제 3 n형 불순물 영역(148c), 제 3 n형 불순물 영역(148d)은 저농도 불순물 영역이고, LDD(Lightly Doped Drain) 영역으로 된다. n형 불순물 영역(145a), n형 불순물 영역(145b)은, 게이트 절연층(107)을 개재하여, 제 1 게이트 전극층(122)에 덮여지고 있기 때문에 Lov 영역이고, 드레인 근방의 전계를 완화하고, 핫캐리어에 의한 온전류의 열화를 억제하는 것이 가능하다. 이 결과, 고속 동작이 가능한 박막 트랜지스터를 형성할 수 있다. 한편, 제 3 n형 불순물 영역(148a), 제 3 n형 불순물 영역(148b), 제 3 n형 불순물 영역(148c), 제 3 n형 불순물 영역(148d)은 게이트 전극층(127), 게이트 전극층(128)에 덮여지고 있지 않은 Loff 영역에 형성되기 때문에, 드레인 근방의 전계를 완화하여 핫캐리어 주입에 의한 열화를 막는 동시에, 오프 전류를 저감하는 효과가 있다. 이 결과, 신뢰성이 높고, 저소비 전력의 반도체 장치를 제작하는 것이 가능하다.

다음에, 마스크(153a), 마스크(153b), 마스크(153c) 및 마스크(153d)를 제거하고, 반도체층(103), 반도체층(105)을 덮는 마스크(155a), 마스크(155b)를 형성한다. 마스크(155a), 마스크(155b), 게이트 전극층(117) 및 게이트 전극층(129)을 마스크로 하여 p형을 부여하는 불순물 원소(154)를 첨가하고, 제 1 p형 불순물 영역(160a), 제 1 p형 불순물 영역(160b), 제 1 p형 불순물 영역(163a), 제 1 p형 불순물 영역(163b), 제 2 p형 불순물 영역(161a), 제 2 p형 불순물 영역(161b), 제 2 p형 불순물 영역(164a), 제 2 p형 불순물 영역(164b)이 형성된다. 본 실시예에서는 불순물 원소로서 붕소(B)를 사용하기 때문에, 불순물 원소를 포함하는 도핑가스로서 디보란(B<sub>2</sub>H<sub>b</sub>; B의 조성비율은 15%)을 사용하고, 가스 유량 70sccm, 빔 전류 180μA/cm, 가속전압 80kV, 첨가하는 도즈량  $2.0 \times 10^{15}$  ions/cm<sup>2</sup>의 조건하에서 도핑을 한다. 여기에서는 제 1 p형 불순물 영역(160a), 제 1 p형 불순물 영역(160b), 제 1 p형 불순물 영역(163a), 제 1 p형 불순물 영역(163b), 제 2 p형 불순물 영역(161a), 제 2 p형 불순물 영역(161b), 제 2 p형 불순물 영역(164a), 제 2 p형 불순물 영역(164b)에 p형을 부여하는 불순물 원소가  $1 \times 10^{20}$  내지  $5 \times 10^{21}$ /cm<sup>2</sup> 정도의 농도로 포함되도록 첨가한다. 본 실시예에서는 제 2 p형 불순물 영역(161a), 제 2 p형 불순물 영역(161b), 제 2 p형 불순물 영역(164a), 제 2 p형 불순물 영역(164b)은 게이트 전극층(117) 및 게이트 전극층(129)의 형상을 반영하고, 자기정합적으로 제 1 p형 불순물 영역(160a), 제 1 p형 불순물 영역(160b), 제 1 p형 불순물 영역(163a), 제 1 p형 불순물 영역(163b)보다 저농도가 되도록 형성한다. 또한, 반도체층(103)에 채널 형성 영역(162), 반도체층(106)에 채널 형성 영역(165)이 형성된다.

제 2 n형 불순물 영역(144a), 제 2 n형 불순물 영역(144b), 제 2 n형 불순물 영역(147a), 제 2 n형 불순물 영역(147b), 제 2 n형 불순물 영역(147c)은 고농도 n형 불순물 영역이고, 소스, 드레인으로서 기능한다. 한편, 제 2 p형 불순물 영역(161a), 제 2 p형 불순물 영역(161b), 제 2 p형 불순물 영역(164a), 제 2 p형 불순물 영역(164b)은 저농도 불순물 영역이고, LDD(Lightly Doped Drain) 영역으로 된다. 제 2 p형 불순물 영역(161a), 제 2 p형 불순물 영역(161b), 제 2 p형 불순물 영역(164a), 제 2 p형 불순물 영역(164b)은 게이트 절연층(107)을 개재하여, 제 1 게이트 전극층(121), 제 1 게이트 전극층(126)에 덮여지고 있기 때문에 Lov 영역이고, 드레인 근방의 전계를 완화하고, 핫캐리어에 의한 온전류의 열화를 억제하는 것이 가능하다.

마스크(155a), 마스크(155b)를 O<sub>2</sub> 애싱이나 레지스트 박리액에 의해 제거하고, 산화막도 제거한다. 그 후, 게이트 전극층의 측면을 덮도록, 절연막, 소위 사이드월(sidewall)을 형성하여도 좋다. 사이드월은 플라즈마 CVD법이나 감압 CVD(LPCVD)법을 사용하여, 규소를 갖는 절연막에 의해 형성할 수 있다.

불순물 원소를 활성화하기 위해서 가열처리, 강광의 조사, 또는 레이저광의 조사를 하여도 좋다. 활성화와 동시에 게이트 절연층으로의 플라즈마 대미지나 게이트 절연층과 반도체층과의 계면으로의 플라즈마 대미지를 회복할 수 있다.

이어서, 게이트 전극층, 게이트 절연층을 덮는 층간 절연층을 형성한다. 본 실시예에서는 절연막(167)과 절연막(168)의 적층 구조로 한다(도 4a 참조.). 절연막(167)으로서 질화산화규소막을 막두께 200nm 형성하고, 절연막(168)으로서 산화질화절연막을 막두께 800nm 형성하고, 적층구조로 한다. 또한, 게이트 전극층, 게이트 절연층을 덮고, 산화질화규소막을 막두께 30nm 형성하고, 질화산화규소막을 막두께 140nm 형성하고, 산화질화규소막을 막두께 800nm 형성하고, 3층의 적층구조로 하여도 좋다. 본 실시예에서는 절연막(167) 및 절연막(168)을 하지막과 동일하게 플라즈마 CVD법을 사용하여 연속적으로 형성한다. 절연막(108)은 질화규소막에 한정되지 않으며, 스퍼터법, 또는 플라즈마 CVD를 사용한 질화산화규소막, 산화질화규소막, 산화규소막이라도 좋고, 다른 규소를 포함하는 절연막을 단층 또는 3층 이상의 적층 구조로 하여도 좋다.

또한, 질소분위기중에서, 300 내지 550°C에서 1 내지 12시간의 열처리를 하고, 반도체층을 수소화하는 공정을 한다. 바람직하게는 400 내지 500 °C에서 행한다. 이 공정은 층간 절연층인 절연막(167)에 포함되는 수소에 의해 반도체층의 맹글링본드를 종단하는 공정이다. 본 실시예에서는 410도(°C)에서 가열처리를 한다.

절연막(167), 절연막(168)으로서는 그 외에 질화알루미늄(AlN), 산화질화알루미늄(AlON), 질소함유량이 산소함유량보다도 많은 질화산화알루미늄(AlNO) 또는 산화알루미늄, 다이아몬드라이크카본(DLC), 질소함유탄소막(CN) 그 밖의 무기절연성 재료를 포함하는 물질로부터 선택된 재료로 형성할 수 있다. 또한, 실록산수지를 사용하여도 좋다. 또, 실록산수지란, Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산은 실리콘(Si)과 산소(O)의 결합으로 골격구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면 알킬기, 방향족 탄화수소)가 사용된다. 치환기로서, 플루오로기를 사용하여도 좋다. 또는 치환기로서, 적어도 수소를 포함하는 유기기와, 플루오로기를 사용하여도 좋다. 또한, 유기절연성 재료를 사용하여도 좋고, 유기재료로서는 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는 벤조사이클로부텐, 폴리실라잔을 사용할 수 있다. 평탄성이 좋은 도포법에 의해서 형성되는 도포막을 사용하여도 좋다.

이어서, 레지스트로 이루어지는 마스크를 사용하여 절연막(167), 절연막(168), 게이트 절연층(107)에 반도체층에 도달하는 콘택트홀(개구)를 형성한다. 에칭은 사용하는 재료의 선택비에 의해서, 1회로 행하거나 복수회 행하여도 좋다. 본 실시예에서는 산화질화규소막인 절연막(168)과, 질화산화규소막인 절연막(167) 및 게이트 절연층(107)과 선택비가 얻어지는 조건으로, 제 1 에칭을 하고, 절연막(168)을 제거한다. 다음에 제 2 에칭에 의해서, 절연막(167) 및 게이트 절연층(107)을 제거하고, 소스 영역 또는 드레인 영역인 제 1 p형 불순물 영역(160a), 제 1 p형 불순물 영역(160b), 제 1 p형 불순물 영역(163a), 제 1 p형 불순물 영역(163b), 제 2 n형 불순물 영역(144a), 제 2 n형 불순물 영역(144b), 제 2 n형 불순물 영역(147a), 제 2 n형 불순물 영역(147b)에 도달하는 개구(개구부라고도 한다)를 형성한다. 본 실시예에서는 제 1 에칭을 웨트에칭에 의해서 행하고, 제 2 에칭을 드라이에칭에 의해서 행한다. 웨트에칭의 에센트는 불소수소암모늄 및 플루오르화암모늄을 포함하는 혼합용액과 같은 불산계의 용액을 사용하면 좋다. 에칭용 가스로서는, Cl<sub>2</sub>, BCl<sub>3</sub>, SiCl<sub>4</sub> 또는 CCl<sub>4</sub> 등을 대표로 하는 염소를 포함하는 가스, CF<sub>4</sub>, SF<sub>6</sub> 또는 NF<sub>3</sub> 등을 대표로 하는 불소를 포함하는 가스 또는 O<sub>2</sub>를 적절하게 사용할 수 있다. 또한 사용하는 에칭용 가스에 불활성 기체를 첨가하여도 좋다. 첨가하는 불활성 원소로서는 He, Ne, Ar, Kr, Xe로부터 선택된 일종 또는 복수종의 원소를 사용할 수 있다.

개구부를 덮도록 도전막을 형성하고, 도전막을 에칭하여 각 소스 영역 또는 드레인 영역의 일부와 각각 전기적으로 접속하는 소스 전극층 또는 드레인 전극층(169a), 소스 전극층 또는 드레인 전극층(169b), 소스 전극층 또는 드레인 전극층(170a), 소스 전극층 또는 드레인 전극층(170b), 소스 전극층 또는 드레인 전극층(171a), 소스 전극층 또는 드레인 전극층(171b), 소스 전극층 또는 드레인 전극층(172a), 소스 전극층 또는 드레인 전극층(172b), 배선(156)을 형성한다. 소스 전극층 또는 드레인 전극층은 PVD법, CVD법, 증착법 등에 의해 도전막을 성막한 후, 소망의 형상으로 에칭하여 형성할 수 있다. 또한, 액적토출법, 인쇄법, 전계도금법 등에 의해, 소정의 장소에 선택적으로 도전층을 형성할 수 있다. 또한 리플로법, 다마신(Damascene)법을 사용하여도 좋다. 소스 전극층 또는 드레인 전극층의 재료는, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Si, Ge, Zr, Ba 등의 금속 또는 그 합금, 또는 그 금속 질화물을 사용하여 형성한다. 또한, 이들로부터 선택된 재료의 적층구조로 하여도 좋다. 본 실시예에서는 티타늄(Ti)을 막두께 100nm 형성하고, 알루미늄과 실리콘의 합금(Al-Si)을 막두께 700nm 형성하고, 티타늄(Ti)을 막두께 200nm 형성하고, 소망의 형상으로 패터닝한다.

이상의 공정에서 주변 구동회로 영역(204)에 Lov 영역에 p형 불순물 영역을 갖는 p 채널형 박막 트랜지스터(173), Lov 영역에 n 채널형 불순물 영역을 갖는 n 채널형 박막 트랜지스터(174)를, 접속영역에, 도전층(177)을, 화소 영역(206)에 Loff 영역에 n형 불순물 영역을 갖는 멀티채널형의 n 채널형 박막 트랜지스터(175), Lov 영역에 p형 불순물 영역을 갖는 p 채널형 박막 트랜지스터(176)를 갖는 액티브 매트릭스 기판을 제작할 수 있다(도 4b 참조.).

그리고, 액티브 매트릭스기판은 자발광소자를 갖는 발광장치, 액정소자를 갖는 액정표시장치, 그 밖의 표시장치에 사용할 수 있다. 또한 CPU(중앙연산처리장치)로 대표되는 각종 프로세서나 ID 칩을 탑재한 카드 등의 반도체장치에 사용할 수 있다.

본 실시예에 한정되지 않고, 박막 트랜지스터는 채널형성 영역이 1개 형성되는 싱글 게이트 구조이거나, 2개 형성되는 더블 게이트 구조 또는 3개 형성되는 트리플 게이트 구조라도 좋다. 또한, 주변 구동회로 영역의 박막 트랜지스터도, 싱글 게이트 구조, 더블 게이트 구조 또는 트리플 게이트 구조라도 좋다.

또, 본 실시예에서 제시된 박막 트랜지스터의 제작방법에 한정되지 않고, 톱게이트형(플래너형), 보텀게이트형(역스태거형), 또는 채널영역의 상하에 게이트 절연막을 개재하여 배치된 2개의 게이트 전극층을 갖는, 듀얼 게이트형이나 그 밖의 구조에 있어서도 적용할 수 있다.

다음에 제 2 층간 절연층으로서 절연막(180) 및 절연막(181)을 형성한다(도 5a 참조.). 도 5는 표시장치의 제작 공정을 도시하고, 스크라이브에 의한 분리를 위한 분리 영역(201), FPC의 접착부인 외부단자 접속영역(202), 주변부의 끌어넣음(引力) 배선영역인 배선영역(203), 주변 구동회로 영역(204), 접속영역(205), 화소 영역(206)이다. 배선영역(203)에는 배선(179a), 배선(179b)이 설치되고, 외부단자 접속영역(202)에는 외부단자와 접속하는 단자전극층(178)이 설치되어 있다.

절연막(180), 절연막(181)으로서는 산화규소, 질화규소, 산화질화규소, 질화산화규소, 질화알루미늄(AlN), 산화질화알루미늄(AlON), 질소함유량이 산소함유량보다도 많은 질화산화알루미늄(AlNO) 또는 산화알루미늄, 다이아몬드라이크카본(DLC), 질소함유탄소막(CN), PSG(인글라스, BPSG(인봉소글라스, 알루미나막, 그 밖의 무기절연성 재료를 포함하는 물질로부터 선택된 재료로 형성할 수 있다. 또한, 실록산수지를 사용하여도 좋다. 또한, 유기절연성 재료를 사용하여도 좋고, 유기재료로서는 감광성, 비감광성 어느 것이나 좋고, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는 벤조사이클로부텐, 폴리실라잔, 저유전율인 Low k재료를 사용할 수 있다.

본 실시예에서는 절연막(180)으로서 CVD법을 사용하여 산화질화규소막을 막두께 200nm 형성한다. 평탄화를 위해 설치하는 층간 절연층으로서는, 내열성 및 절연성이 높고, 또한, 평탄화율이 높은 것이 요구되기 때문에, 절연막(181)의 형성방법으로서는 스펀 도포법으로 대표되는 도포법을 사용하면 바람직하다.

본 실시예에서는 절연막(181)의 재료로서는, 실록산 수지재료를 사용한 도포막을 사용한다. 소성한 후의 막은 알킬기를 포함하는 산화규소막(SiO<sub>x</sub>)(x, y= 1, 2...)이라고 부를 수 있다. 이 알킬기를 포함하는 산화규소막은, 300°C 이상의 가열처리에도 견딜 수 있는 것이다.

절연막(180), 절연막(181)은 디프, 스프레이 도포, 닉터 나이프, 롤피복기, 커텐 피복기, 나이프 피복기, CVD법, 증착법 등을 채용하여 형성할 수 있다. 액적토출법에 의해 절연막(180), 절연막(181)을 형성하여도 좋다. 액적토출법을 사용한 경우에는 재료액을 절약할 수 있다. 또한, 액적토출법과 같이 패턴을 전사, 또는 묘사할 수 있는 방법, 예를 들면 인쇄법(스크린인쇄나 오프셋 인쇄 등 패턴이 형성되는 방법) 등도 사용할 수 있다.

다음에, 도 5b에 도시한 바와 같이, 제 2 층간 절연층인 절연막(180) 및 절연막(181)에 개구부를 형성한다. 절연막(180) 및 절연막(181)은 접속영역(205), 배선영역(203), 외부단자 접속영역(202), 분리 영역(201) 등에서는 광면적으로 에칭 할 필요가 있다. 그러나, 화소 영역(206)에 있어서는 개구 면적이, 접속영역(205) 등의 개구 면적과 비교하여 대단히 작고, 미세한 것으로 된다. 따라서, 화소 영역의 개구부 형성용의 포토리소그래피 공정과, 접속영역의 개구부 형성용의 포토리소그래피 공정을 설치함으로써, 에칭 조건의 마진을 보다 확장할 수 있다. 그 결과, 수율을 향상시킬 수 있다. 또한 에칭 조건의 마진이 넓어짐으로써, 화소 영역에 형성되는 콘택트홀을 고정밀도로 형성할 수 있다.

구체적으로는 접속영역(205), 배선영역(203), 외부단자 접속영역(202), 분리 영역(201), 주변 구동회로 영역(204)의 일부에 설치된 절연막(180) 및 절연막(181)에 광면적인 개구부를 형성한다. 그 때문에, 화소 영역(206), 접속영역(205)의 일부, 및 주변 구동회로 영역(204)의 일부의 절연막(180) 및 절연막(181)을 덮도록 마스크를 형성한다. 에칭은 병행평판 RIE 장치나 ICP 에칭장치를 사용할 수 있다. 또 에칭시간은 배선층이나 제 1 층간 절연층이 오버 에칭되는 정도로 하면 좋다. 이와 같이 오버 에칭되는 정도로 설정하면, 기판 내의 막두께 불균일함과, 에칭 레이트의 불균일함을 저감시킬 수 있다. 이렇게 하여 접속영역(205)에는 개구부(182)가, 외부단자 접속영역(202)에는 개구부(183)가 각각 형성된다.

그 후 도 5b에 도시하는 바와 같이, 화소 영역(206)의 절연막(180) 및 절연막(181)에 미세한 개구부, 즉 콘택트홀을 형성한다(도 5c 참조.). 이 때, 화소 영역(206), 접속영역(205)의 일부, 및 주변 구동회로 영역(204), 화소 영역(206)을 덮도록 마스크를 형성한다. 마스크는 화소 영역(206)의 개구부 형성용의 마스크이고, 소정의 개소에 미세한 개구부가 설치되어 있다. 이러한 마스크로서는 예를 들면 레지스트 마스크를 사용할 수 있다.

그리고, 병행평판 RIE 장치를 사용하여, 절연막(180) 및 절연막(181)을 에칭한다. 또 에칭시간은 배선층이나 제 1 층간 절연층이 오버 에칭되는 정도로 하면 좋다. 이와 같이 오버 에칭되는 정도로 하면, 기판 내의 막두께 불균일함과, 에칭 레이트의 불균일함을 저감시킬 수 있다.

또한 에칭장치에 ICP 장치를 사용하여도 좋다. 이상의 공정에서, 화소 영역(206)에 소스 전극 또는 드레인 전극(172a)에 도달하는 개구부(184)를 형성한다. 본 발명에 있어서, 소스 전극 또는 드레인 전극(172a)은 박막 트랜지스터(176)에 있어서 박막이 많이 적층하고 있어 총 막두께가 큰 경우인 게이트 전극층(126)을, 절연막(167) 및 절연막(168)을 개재하여 덮도록 형성되어 있다. 따라서 개구부(184)를 막 두께 깊게 개구할 필요가 없기 때문에, 개구 공정을 단축할 수 있고, 제어성도 향상한다. 또한, 개구부에 형성되는 전극층도, 각도가 큰 개구부를 넓게 피복할 필요가 없기 때문에, 피복성 좋게 형성할 수 있고, 신뢰성도 향상한다.

본 실시예에서는 접속영역(205), 배선영역(203), 외부단자 접속영역(202), 분리 영역(201), 주변 구동회로 영역(204)의 일부를 덮고, 화소 영역(206)에 소정의 개구부가 설치된 마스크로, 절연막(180) 및 절연막(181)을 에칭하는 경우를 설명하였지만, 본 발명은 이것에 한정되지 않는다. 예를 들면, 접속영역(204)의 개구부는 광(廣)면적이기 때문에, 에칭하는 양이 많다. 이러한 광면적인 개구부는 복수회에 에칭하여도 좋다. 또한, 그 밖의 개구부와 비교하여, 깊은 개구부를 형성하는 경우, 마찬가지로 복수회에 에칭하여도 좋다. 그 때문에, 배선영역(203), 외부단자 접속영역(202), 분리 영역(201), 주변 구동회로 영역(204)의 일부의 절연막(180) 및 절연막(181)만 덮고, 접속영역(205) 및 화소 영역(206)에는 소정의 개구부가 설치된 마스크를 사용하여, 절연막(180) 및 절연막(181)을 에칭하여도 좋다. 이러한 마스크를 사용하여, 에칭하는 경우, 접속영역(205)에 있어서의, 절연막(180) 및 절연막(181)은 깊이가 증가하도록 에칭되고, 절연막(168)이 노출할 때까지 에칭한다.

또한, 본 실시예에서는 절연막(180) 및 절연막(181)으로의 개구부의 형성을 도 5b, 도 5c로 도시하는 바와 같이 복수회로 나눠 행하지만, 1회의 에칭 공정에 의해서 형성하여도 좋다. 이 경우, ICP 장치를 사용하여, ICP 파워 7000W, 바이어스파워 1000W, 압력 0.8파스칼(Pa), 에칭가스로서 CF<sub>4</sub>를 240sccm, O<sub>2</sub>를 160sccm로서 에칭한다. 바이어스 파워는 1000 내지 4000W가 바람직하다. 1회의 에칭 공정에서 개구부를 형성할 수 있기 때문에 공정이 간략화되는 이점이 있다.

다음에, 소스 전극층 또는 드레인 전극층(172a)과 접하도록, 제 1 전극층(185; 화소전극층이라고도 한다.)을 형성한다. 제 1 전극층은 양극, 또는 음극으로서 기능하고, Ti, Ni, W, Cr, Pt, Zn, Sn, In, 또는 Mo로부터 선택된 원소, TiN, TiSi<sub>X</sub>N<sub>Y</sub>, WSi<sub>X</sub>, WN<sub>X</sub>, WSi<sub>X</sub>N<sub>Y</sub>, NbN, 또는 상기 원소를 주성분으로 하는 합금재료 또는 화합물재료를 주성분으로 하는 막 또는 그 적층막을 총 막두께 100nm 내지 800nm의 범위에서 사용하면 좋다.

본 실시예에서는 표시소자로서 발광소자를 사용하여, 발광소자로부터의 빛을 제 1 전극층(185)측으로부터 추출하는 구조이므로, 제 1 전극층(185)이 투광성을 갖는다. 제 1 전극층(185)으로서, 투명도전막을 형성하고, 소망의 형상으로 에칭함으로써 제 1 전극층(185)을 형성한다. 본 발명에서 사용하는 제 1 전극층(185)으로서, 산화규소를 포함하는 산화인듐주석(산화규소를 포함하는 인듐주석산화물이라고도 한다, 이하, 「ITSO」라고 한다.), 산화아연, 산화주석, 산화인듐 등을 사용하여도 좋다. 그 외에, 산화인듐에 2 내지 20%의 산화아연(ZnO)을 혼합한 산화인듐산화아연합금 등의 투명도전막을 사용할 수 있다. 제 1 전극층(185)으로서 상기 투명도전막의 외에, 질화티타늄막 또는 티타늄막을 사용하여도 좋다. 이 경우, 투명도전막을 성막한 후에, 질화티타늄막 또는 티타늄막을, 빛이 투과하는 정도의 막두께(바람직하게는, 5nm 내지 30nm 정도)로 성막한다. 본 실시예에서는 제 1 전극층(185)으로서, 산화인듐주석과 산화규소를 사용한 ITSO를 사용한다. 본 실시예에서는 ITSO막을, 인듐주석산화물에 1 내지 10[%]의 산화규소(SiO<sub>2</sub>)를 혼합한 타깃을 사용하고, Ar 가스 유량을 120sccm, O<sub>2</sub> 가스 유량을 5sccm, 압력을 0.25Pa, 전력 3.2kW의 조건하에서 스퍼터법에 의해 막두께 185nm로 성막한다. 제 1 전극층(185)은 그 표면이 평탄화되도록, CMP법, 폴리비닐알콜계의 다공질체로 식정(拭淨)하여, 연마하여도 좋다. 또한 CMP 법을 사용한 연마 후에, 제 1 전극층(185)의 표면에 자외선 조사, 산소 플라즈마 처리 등을 하여도 좋다.

제 1 전극층(185)을 형성한 후, 가열처리를 하여도 좋다. 이 가열처리에 의해, 제 1 전극층(185)중에 포함되는 수분은 방출된다. 따라서, 제 1 전극층(185)은 탈가스 등을 발생하지 않기 때문에, 제 1 전극층상에 수분에 의해서 열화하기 쉬운 발

광재료를 형성하더라도, 발광재료는 열화하지 않고, 신뢰성이 높은 표시장치를 제작할 수 있다. 본 실시예에서는 제 1 전극층(185)에 ITSO를 사용하고 있기 때문에, 베이킹을 하더라도 ITO(산화인듐산화주석합금)과 같이 결정화 하지 않고서, 아모르페스 상태인 채로 있다. 따라서, ITSO는 ITO보다도 평탄성이 높고, 유기 화합물을 포함하는 층이 얇아도 음극과의 단락(short)이 생기기 어렵다.

다음에, 제 1 전극층(185)의 말단부, 소스 전극층 또는 드레인 전극층을 덮는 절연물(절연층; 186; 뱅크, 격벽, 장벽, 제방 등이라고 불린다)을 형성한다(도 6b 참조.). 또한 동 공정에서 외부단자 접속영역(202)에 절연물(187a), 절연물(187b)을 형성한다.

풀컬러 표시를 하기 위해서는, 제 1 전극층상에 전계발광층을 형성할 때, RGB의 발광을 하는 전계발광층을 각각 나누어 제조하지 않으면 안 된다. 따라서, 타색의 전계발광층을 형성할 때는, 그 화소전극층(제 1 전극층)은 마스크에 의해서 덮여 있다. 마스크는 금속재료 등으로 이루어지는 막상의 형태를 사용할 수 있다. 이 때, 마스크는 격벽으로 되는 절연물(186)상에 설치되고, 지지되지만, 휘어짐이나 비틀림에 의해서, 화소전극층에 접할 가능성이 있고, 화소전극층에 상처를 내어버린다. 화소전극층에 상처 등에 의해 형상불량이 생기면, 발광 불량이나, 표시불량 등을 야기하여, 화질의 저하를 초래한다. 따라서 신뢰성도 성능도 저하하여 버린다.

본 발명에 있어서는 화소전극층인 제 1 전극층(185)상에 절연물(186)과 동등한 막두께로 스페이서(199)를 형성한다. 이 스페이서(199)에 의해 마스크는 지지되기 때문에, 제 1 전극층에 접촉하지 않게 된다. 따라서, 마스크에 의한 제 1 전극층으로의 형상 불량은 방지되고, 제 1 전극층은 발광 불량, 표시 불량을 야기하지 않고서, 신뢰성이 높은 고화질인 표시장치로 할 수 있다. 스페이서는 화소전극층으로서 기능하는 제 1 전극층상에 전계발광층을 형성할 때, 사용하는 마스크에 대한 스페이서로 될 뿐만 아니라, 전계발광층을 형성하고, 밀봉 기판에 의해 밀봉하여 표시장치로서 완성한 후도, 표시장치가 외부로부터의 압력이나 충격에 의해, 손상, 변형하는 것을 막는 스페이서로서 기능한다.

본 실시예에서는 스페이서(199)는 격벽인 절연물(186)과 동재료, 동공정에서 형성되지만, 다른 공정에서 형성되어도 좋다. 스페이서의 형상이나 크기는 한정되지 않고, 화소 영역의 크기나, 개구율 등을 고려하여 설정하면 좋다. 본 실시예에서는 도 6b로 도시하는 바와 같은 주상이며 상부가 반구와 같이 둥근 형상으로 되어 있고, 크기는  $1\mu\text{m}$  내지  $2\mu\text{m}$ (바람직하게는  $1.5\mu\text{m}$  이상  $2\mu\text{m}$  이하)이다.

스페이서의 형상의 예를 도 22를 사용하여 설명한다. 도 22a1, 도 22b1, 도 22c1은 화소 영역의 상면도이고, 도 22a2, 도 22b2, 도 22c2는 도 22a1, 도 22b1, 도 22c1에 있어서의 선 X1-Y1, X2-Y2, X3-Y3의 단면도이다. 도 22a1 및 도 22a2에 있어서, 기판(600), 하지막(601a), 하지막(601b), 게이트 절연층(602), 절연막(603), 절연막(604), 절연막(605), 절연막(606)상에 화소전극층인 제 1 전극층(607)이 형성되어 있다. 제 1 전극층(607)의 말단부를 덮도록 하여 격벽인 절연물(608)이 형성되고, 절연물(608)과 동재료, 동공정에서 스페이서(609)가 형성되어 있다. 스페이서는 도 22와 같이, 격벽이 되는 절연층과 이어져서 형성되어 있어도 좋다.

도 22a1 및 도 22a2에 있어서, 스페이서(609)는 절연물(608)과 접하도록 형성되고, 제 1 전극층상을, 제 1 전극층(609)을 대각선상으로 가로지르도록 연속하여 형성되어 있다. 이와 같이 연속적으로 스페이서(609)를 형성하면, 마스크는 이동 중도 언제나 스페이서(609)에 지지되기 때문에, 제 1 전극층(607)에 접하고, 제 1 전극층(607)의 형상 불량을 야기하는 것을 방지할 수 있다.

도 22b1 및 도 22b2에 있어서, 기판(610), 하지막(611a), 하지막(611b), 게이트 절연층(612), 절연막(613), 절연막(614), 절연막(615), 절연막(616)상에 화소전극층인 제 1 전극층(617)이 형성되어 있다. 제 1 전극층(617)의 말단부를 덮도록 하여 격벽인 절연물(618)이 형성되고, 절연물(608)과 동재료, 동공정에서 스페이서(619)가 형성되어 있다.

도 22b1 및 도 22b2에 있어서, 스페이서(619)는 절연물(618)과 접하도록 형성되고, 제 1 전극층상을, 제 1 전극층(619)의 단변방향으로 가로지르도록 연속하여, 2개소에서 형성되어 있다. 이와 같이 복수 개소에 연속적으로 스페이서(619)를 형성하면, 마스크는 이동 중에도 언제나 스페이서(619)에 지지되기 때문에, 제 1 전극층(617)에 접하여, 제 1 전극층(617)의 형상 불량을 야기하는 것을 방지할 수 있다.

도 22c1 및 도 22c2에 있어서, 기판(620), 하지막(621a), 하지막(621b), 게이트 절연층(622), 절연막(623), 절연막(624), 절연막(625), 절연막(626)상에 화소전극층인 제 1 전극층(627)이 형성되어 있다. 제 1 전극층(627)의 말단부를 덮도록 하여 격벽인 절연물(628)이 형성되고, 절연물(628)과 동재료, 동공정에서 스페이서(629)가 형성되어 있다.

도 22c1 및 도 22c2에 있어서, 스페이서(629)는, 절연물(628)과 접하도록 형성되고, 제 1 전극층상을, 제 1 전극층(629)의 장변방향 및 단변방향으로 가로지르도록 연속하고, 격자형상으로 형성되어 있다. 이와 같이 스페이서(629)를 격자형상으로 연속적으로 형성하면, 마스크는 이동 중도 언제나 스페이서(629)에 지지되기 때문에, 제 1 전극층(627)에 접하고, 제 1 전극층(627)의 형상 불량을 야기하는 것을 방지할 수 있다. 도 22c2에 도시하는 바와 같이, 스페이서(629)는 테이퍼를 갖는 형상을 하고 있다. 이와 같이 스페이서는 도 22a2와 같이 대략 직방체라도 좋고, 원주, 각기등, 테이퍼 형상을 갖고 있는 것 등 여러 가지의 형상인 것을 사용할 수 있다.

도 22에 있어서, 스페이서는 격벽이 되는 절연물과 접하여 형성되어 있지만, 접하지 않고, 떨어져 형성되어 있어도 좋다.

스페이서는 산화규소, 질화규소, 산화질화규소, 산화알루미늄, 질화알루미늄, 산질화알루미늄 그 밖의 무기절연성 재료, 또는 아크릴산, 메타크릴산 및 이들의 유도체, 또는 폴리이미드(polyimide), 방향족폴리아미드, 폴리벤조이미다졸(polybenzimidazole) 등의 내열성 고분자, 또는 실록산수지를 사용하여 형성할 수 있다. 본 실시예에서는 스페이서(199)에 아크릴을 사용한다.

본 실시예에서는 절연물(186)에 아크릴을 사용한다. 또한 절연물(186)에 절연막(181)과 동재료를 사용하여, 동공정에서 형성하면, 제조 비용을 삭감할 수 있다. 또한, 도포 성막 장치나 에칭장치 등의 장치의 공통화에 의한 비용 절감을 도모할 수 있다.

절연물(186)은 산화규소, 질화규소, 산화질화규소, 산화알루미늄, 질화알루미늄, 산질화알루미늄 그 밖의 무기절연성 재료, 또는 아크릴산, 메타크릴산 및 이들의 유도체, 또는 폴리이미드, 방향족 폴리아미드, 폴리벤조이미다졸 등의 내열성 고분자, 또는 실록산수지를 사용하여 형성할 수 있다. 아크릴, 폴리이미드 등의 감광성, 비감광성의 재료를 사용하여 형성하여도 좋다. 절연물(186)은 곡율반경이 연속적으로 변화하는 형상이 바람직하고, 위에 형성되는 전계발광층(188), 제 2 전극층(189)의 피복성이 향상한다.

접속영역(205)에 있어서, 절연물(186)은, 개구부(182)의 측면의 절연막(180) 및 절연막(181)의 말단부를 덮도록 형성되어 있다. 패터닝에 의해서 단차를 갖도록 가공된 절연막(180) 및 절연막(181)의 말단부는, 그 급격한 단차 때문에, 그 위에 적층하는 제 2 전극층(189)의 피복성이 나쁘다. 따라서 본 발명과 같이, 개구부 주변의 단차를 절연물(186)에 의해서 덮고, 단차를 완만한 모양으로 함으로써, 적층하는 제 2 전극층(189)의 피복성을 향상시킬 수 있다. 접속영역(205)에 있어서, 제 2 전극층과 동공정, 동재료로 형성되는 배선층은 배선층(156)과 전기적으로 접속한다. 본 실시예에서는 제 2 전극층(189)은 배선층(156)과 직접 접하여 전기적으로 접속되어 있지만, 다른 배선을 통하여 전기적으로 접속되어도 좋다.

또한, 더욱 신뢰성을 향상시키기 위해서, 전계발광층(유기 화합물을 포함하는 층; 188)의 형성전에 진공가열을 하여 탈기를 하는 것이 바람직하다. 예를 들면, 유기 화합물재료의 증착을 하기 전에, 기판에 포함되는 가스를 제거하기 위해서 감압분위기나 불활성분위기에서 200 내지 400°C, 바람직하게는 250 내지 350°C에서 가열처리를 하는 것이 바람직하다. 또한 그대로 대기에 노출하지 않고서 전계발광층(188)을 진공증착법이나, 감압하의 액적토출법으로 형성하는 것이 바람직하다. 이 열처리에서, 제 1 전극층으로 되는 도전막이나 절연층(격벽)에 함유, 부착하고 있는 수분을 병출할 수 있다. 이 가열처리는 진공을 과괴하지 않고서, 진공의 캠버 내를 기판이 수송할 수 있는 것이면, 전번의 가열공정과 겹칠 수도 있고, 전번의 가열공정을 절연층(격벽) 형성 후에, 1번 행하면 좋다. 여기에서는, 층간절연막과 절연물(격벽)을 고내열성을 갖는 물질로 형성하면 신뢰성 향상을 위한 가열처리 공정을 충분하게 할 수 있다.

제 1 전극층(185)의 위에는 전계발광층(188)이 형성된다. 또, 도 1에서는 1화소밖에 도시하고 있지 않지만, 본 실시예에서는 R(적색), G(녹색), B(청색)의 각 색에 대응한 전계전극층을 나누어 제조하고 있다. 본 실시예에서는 전계발광층(188)으로서, 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료를, 각각 증착 마스크를 사용한 증착법 등에 의해서 선택적으로 형성하는 모양을 도 23에 도시한다.

도 23에 있어서, 박막 트랜지스터(651a), 박막 트랜지스터(651b), 박막 트랜지스터(651c)는 화소전극층인 제 1 전극층(652a), 제 1 전극층(652b), 제 1 전극층(652c)과 접속하고 있다. 제 1 전극층의 말단부는 각각, 격벽으로서 기능하는 절연물(653a), 절연물(653b), 절연물(654c), 절연물(653d)에 덮여 있고, 제 1 전극층상에는, 스페이서(654a), 스페이서(654b), 스페이서(654c)가 형성되어 있다. 마스크(656)는 제 1 전극층(652a), 제 1 전극층(652b), 제 1 전극층(652c)에 전계발광층을 형성한 후, 화살표 655의 방향으로 이동하면서 각 제 1 전극층상에 전계발광층을 형성한다. 마스크(656)는 제 1 전극층(652a), 제 1 전극층(652b), 제 1 전극층(652c)상에서는 스페이서(654a), 스페이서(654b), 스페이서(654c)에 지지되기 때문에, 휘어짐이나 비틀림 등에 의해서, 제 1 전극층에 접하여, 제 1 전극층에 형상 불량을 야기하는 문제가 없다. 따라서, 제 1 전극층은 발광 불량, 표시 불량을 야기하지 않고서, 신뢰성이 높은 고화질의 표시장치를 제작할 수 있다.

적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료는 액적토출법에 의해 형성할 수도 있다(저분자 또는 고분자 재료 등).

다음에, 전계발광층(188)의 위에 도전막으로 이루어지는 제 2 전극층(189)이 설치된다. 제 2 전극층(189)으로서는, 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금이나 화합물, MgAg, MgIn, AlLi, CaF<sub>2</sub>, 또는 CaN)를 사용하면 좋다. 이렇게 하여 제 1 전극층(185), 전계발광층(188) 및 제 2 전극층(189)으로 이루어지는 발광소자(190)가 형성된다.

도 1에 도시한 본 실시예의 표시장치에 있어서, 발광소자(190)로부터 발한 빛은 제 1 전극층(185)측에서, 도 1중의 화살표의 방향으로 투과하여 출사된다.

제 2 전극층(189)을 덮도록 하여 패시베이션막(191)을 설치하는 것은 유효하다. 패시베이션막(191)으로서는 질화규소, 산화규소, 산화질화규소(SiON), 질화산화규소(SiNO), 질화알루미늄(AlN), 산화질화알루미늄(AlON), 질소함유량이 산소함유량보다도 많은 질화산화알루미늄(AlNO) 또는 산화알루미늄, 다이아몬드라이크카본(DLC), 질소함유탄소막(CN)을 포함하는 절연막으로 이루어지고, 상기 절연막을 단층 또는 조합한 적층을 사용할 수 있다. 또한, 실리콘(Si)과 산소(O)와의 결합으로 골격구조가 구성되고, 치환기에 적어도 수소를 포함하는 재료, 또는 치환기에 불소, 알킬기, 또는 방향족 탄화수소 중 적어도 1종을 갖는 재료를 사용하여도 좋다.

이 때, 커버리지가 좋은 막을 패시베이션막으로서 사용하는 것이 바람직하고, 탄소막, 특히 DLC 막을 사용하는 것은 유효하다. DLC 막은 실온으로부터 100°C 이하의 온도 범위에서 성막 가능하기 때문에, 내열성이 낮은 전계발광층(188)의 상방에도 용이하게 성막할 수 있다. DLC 막은 플라즈마 CVD법(대표적으로는 RF 플라즈마 CVD법, 마이크로파 CVD법, 전자 사이클로톤 공명(ECR) CVD법, 열필라멘트 CVD법 등), 연소염법, 스퍼터법, 이온빔 증착법, 레이저 증착법 등으로 형성할 수 있다. 성막에 사용하는 반응ガ스는 수소가스와, 탄화수소계의 가스(예를 들면 CH<sub>4</sub>, C<sub>2</sub>H<sub>2</sub>, C<sub>6</sub>H<sub>6</sub> 등)를 사용하여, 글로 방전에 의해 이온화하고, 부(負)의 자기바이어스가 걸린 캐소드에 이온을 가속 충돌시켜 성막한다. 또한, CN 막은 반응ガ스로서 C<sub>2</sub>H<sub>4</sub> 가스와 N<sub>2</sub> 가스를 사용하여 형성하면 좋다. DLC 막은 산소에 대한 블로킹 효과가 높고, 전계발광층(188)의 산화를 억제하는 것이 가능하다. 그 때문에, 이 후에 계속되는 밀봉 공정을 행하는 동안에 전계발광층(188)이 산화하는 문제를 방지할 수 있다.

본 실시예에서 제작한 표시장치의 화소 영역의 상면도를 도 18에 도시한다. 도 18에 있어서, 화소(2702)는 박막 트랜지스터(501), 박막 트랜지스터(502), 용량(504), 발광소자(190), 게이트 배선층(506), 소스 및 드레인 배선층(505), 전원선(507)으로 구성되어 있다. 도 18에 있어서, 제 1 전극층상에 스페이서(199)가 복수 설치되어 있다. 스페이서는 단수이거나 복수라도 좋고, 복수인 경우, 동일한 형상일 필요도 없다. 또한, 스페이서(199)와 같이 절연층(186; 도 18에서는 점선으로 도시하고 있다)과 접촉하지 않고서, 분리하여 형성되어도 좋다.

이와 같이 발광소자(190)가 형성된 기판(100)과, 밀봉 기판(195)을 시일재(192)에 의해서 고착하여, 발광소자를 밀봉한다(도 1 참조.). 본 발명의 표시장치에 있어서는 시일재(192)와 절연물(186)을 접하지 않도록 분리하여 형성한다. 이와 같이 시일재와, 절연물(186)을 분리하여 형성하면, 절연물(186)에 흡습성이 높은 유기재료를 사용한 절연재료를 사용하더라도, 수분이 침입하기 어렵고, 발광소자의 열화를 방지할 수 있고, 표시장치의 신뢰성이 향상된다. 시일재(192)로서는 대표적으로는 가시광 경화성, 자외선 경화성 또는 열경화성의 수지를 사용하는 것이 바람직하다. 예를 들면, 비스페놀 A형 액상수지, 비스페놀 A형 고형수지, 브롬 함유 에폭시수지, 비스페놀 F형 수지, 비스페놀 AD형 수지, 폐놀형 수지, 크레졸형 수지, 노볼락형 수지, 환상지방족에폭시 수지, 에피비스형 에폭시수지, 글리시딜에스테르수지, 글리시딜아민계수지, 복소환식 에폭시수지, 변성에폭시수지등의 에폭시수지를 사용할 수 있다. 또, 시일재로 둘러싸인 영역에는 충전재(193)를 충전하여도 좋고, 질소분위기하에서 밀봉함으로써, 질소 등을 봉입하여도 좋다. 본 실시예는, 하면 출사형이므로, 충전재(193)는 투광성을 가질 필요는 없지만, 충전재(193)를 투과하여 빛을 추출하는 구조의 경우는, 투광성을 가질 필요가 있다. 대표적으로는 가시광경화, 자외선경화 또는 열경화의 에폭시수지를 사용하면 좋다. 이상의 공정에서, 본 실시예에 있어서의, 발광소자를 사용한 표시기능을 갖는 표시장치가 완성된다. 또한 충전재는 액상의 상태로 적하하여, 표시장치 내에 충전할 수도 있다.

디스펜서(dispenser) 방식을 채용한 적하주입법을 도 19를 사용하여 설명한다. 도 19의 적하주입법은 제어장치(40), 콜상수단(42), 헤드(43), 충전재(33), 마커(35), 마커(45)는 배리어층(34), 시일재(32), TFT 기판(30), 대향기판(20)으로 이루어진다. 시일재(32)로 폐쇄 루프를 형성하고, 그 속에 헤드(43)로부터 충전재(33)를 1회 또는 복수회 적하한다. 충전재의 점성이 높은 경우는, 연속적으로 토출되고, 연결된 채로 괴형성 영역에 부착한다. 한편, 충전재재료의 점성이 낮은 경우에는 도 19와 같이 간헐적으로 토출되어 충전재가 적하된다. 그 때, 시일재(32)와 충전재(33)가 반응하는 것을 막기 위해

서, 배리어층(34)을 설치하여도 좋다. 계속해서, 진공중에서 기판을 접합하고, 그 후 자외선경화를 하여, 충전재가 충전된 상태로 한다. 이 충전제로서, 건조제 등의 흡습성을 포함하는 물질을 사용하면, 한층 더 흡수효과가 얻어져, 소자의 열화를 막을 수 있다.

EL 표시패널 내에는 소자의 수분에 의한 열화를 막기 위해서, 건조제가 설치된다. 본 실시예에서는 건조제는, 화소 영역을 둘러싸도록 밀봉 기판에 형성된 오목부에 설치되고, 박형화를 방해하지 않는 구성으로 한다. 또한, 게이트배선층에 대응하는 영역에도 건조제를 형성하고, 흡수 면적을 넓게 잡고 있기 때문에, 흡수 효과가 높다. 또한, 직접 발광하지 않는 게이트 배선층 상에 건조제를 형성하고 있기 때문에, 광추출 효율을 저하시키는 일도 없다.

또, 본 실시예에서는 유리기판으로 밀봉소자를 밀봉한 경우를 제시하지만, 밀봉 처리란 밀봉소자를 수분으로부터 보호하기 위한 처리이고, 커버재로 기계적으로 봉입하는 방법, 열경화성수지 또는 자외광경화성수지로 봉입하는 방법, 금속산화물이나 질화물 등의 배리어 능력이 높은 박막에 의해 밀봉하는 방법의 어느 하나를 사용한다. 커버재로서는 유리, 세라믹, 플라스틱 또는 금속을 사용할 수 있지만, 커버재측에 빛을 방사시키는 경우는 투광성이 아니면 안 된다. 또한, 커버재와 상기 밀봉소자가 형성된 기판은 열경화성수지 또는 자외광경화성수지 등의 시일재를 사용하여 접합되고, 열처리 또는 자외광 조사처리에 의해서 수지를 경화시켜 밀폐공간을 형성한다. 이 밀폐공간의 속에 산화바륨으로 대표되는 흡습재를 설치하는 것도 유효하다. 이 흡습재는 시일재의 위에 접하여 설치하더라도 좋고, 밀봉소자로부터의 빛을 방해하지 않는, 격벽의 위나 주변부에 설치하여도 좋다. 더욱이, 커버재와 밀봉소자의 형성된 기판과의 공간을 열경화성수지 혹은 자외광 경화성수지로 충전하는 것도 가능하다. 이 경우, 열경화성수지 또는 자외광 경화성수지의 속에 산화바륨으로 대표되는 흡습재를 첨가하여 두는 것은 유효하다.

본 실시예에서는 외부단자 접속영역(202)에 있어서, 단자전극층(178)에 이방성 도전층(196)에 의해서 FPC(194)를 접속하고, 외부와 전기적으로 접속하는 구조로 한다. 또한 표시장치의 상면도인 도 1a로 도시하는 바와 같이, 본 실시예에 있어서 제작되는 표시장치는 신호선 구동회로를 갖는 주변 구동회로 영역(204)의 이외에, 주사선 구동회로를 갖는 주변 구동회로 영역(207a), 주변 구동회로 영역(207b)이 설치되어 있다.

본 실시예에서는 상기와 같은 회로에서 형성하지만, 본 발명은 이것에 한정되지 않고, 주변 구동회로로서 IC 칩을 상술한 COG 방식이나 TAB 방식에 의해서 실장한 것이라도 좋다. 또한, 게이트선 구동회로, 소스선 구동회로는 복수이거나 단수라도 좋다.

또한, 본 발명의 표시장치에 있어서, 화면표시의 구동방법은 특히 한정되지 않고, 예를 들면, 점순차 구동방법이나 선순차 구동방법이나 면순차 구동방법 등을 사용하면 좋다. 대표적으로는, 선순차 구동방법으로 하고, 시분할계조 구동방법이나 면적계조 구동방법을 적절하게 사용하면 좋다. 또한, 표시장치의 소스선에 입력하는 영상신호는, 아날로그 신호라도 좋고, 디지털 신호라도 좋고, 적절하게, 영상신호에 맞추어서 구동회로 등을 설계하면 좋다.

또한, 비디오 신호가 디지털의 표시장치에 있어서, 화소에 입력되는 비디오신호가 정전압(CV)인 것과, 정전류(CC)인 것이다. 비디오신호가 정전압인 것(CV)에는, 밀봉소자에 인가되는 전압이 일정한 것(CVCV)과, 밀봉소자에 인가되는 전류가 일정한 것(CVCC)이 있다. 또한, 비디오신호가 정전류인 것(CC)에는, 밀봉소자에 인가되는 전압이 일정한 것(CCCV)과, 밀봉소자에 인가되는 전류가 일정한 것(CCCC)이 있다.

본 발명을 사용하면, 신뢰성이 높은 표시장치를 간략화한 공정에서 제작할 수 있다. 따라서, 고세밀, 고화질인 표시장치를 저렴한 비용으로 수율 좋게 제조할 수 있다.

## (실시예 2)

본 발명의 실시예를, 도 7 내지 도 9를 사용하여 설명한다. 본 실시예는 실시예 1에서 제작한 표시장치에 있어서, 제 2 층 간 절연층을 형성하지 않은 예를 도시한다. 따라서, 동일 부분 또는 동일 기능을 갖는 부분의 반복 설명은 생략한다.

실시예 1에서 제시한 바와 같이, 기판(100)상에 박막 트랜지스터(173), 박막 트랜지스터(174), 박막 트랜지스터(175), 박막 트랜지스터(176), 도전층(177)을 형성하고, 절연막(168), 절연막(168)을 형성한다. 각 박막 트랜지스터에는 반도체층의 소스 영역 또는 드레인 영역에 접속하는 소스 전극층 또는 드레인 전극층이 형성되어 있다. 화소 영역(206)에 설치된 박막 트랜지스터(176)에 있어서의 소스 전극층 또는 드레인 전극층(172b)에 접하여 제 1 전극층(395)을 형성한다(도 7a 참조.).

제 1 전극층(395)은 화소전극으로서 기능하며, 실시예 1에서의 제 1 전극층(185)과 동일 재료와 공정에서 형성하면 좋다. 본 실시예에서도 실시예 1과 마찬가지로 제 1 전극층 중을 빛을 통과시켜 추출하기 때문에, 투명도전막인 ITSO를 제 1 전극층(395)에 사용하여 패터닝하여 형성한다.

제 1 전극층(395)의 말단부 및 박막 트랜지스터를 덮도록 절연물(186)을 형성한다(도 7b 참조.). 절연물(186)에는 본 실시예에서는 아크릴을 사용한다. 제 1 전극층상에 전계발광층(188)을 형성하고, 제 2 전극층(189)을 적층함으로써 발광소자(190)를 형성한다. 제 2 전극층(189)은 접속영역(205)에 있어서 배선층(156)과 전기적으로 접속하고, 외부단자 접속영역(202)에 있어서는 단자전극층(178)을 이방성 도전층(196)을 개재하여 FPC(194)가 접착된다. 제 2 전극층(189)을 덮도록 패시베이션막(191)을 형성한다. 기판(100)은 시일재(192)에 의해서 밀봉 기판(195)과 펴지게 하고, 표시장치 내에는 충전재(193)가 충전되어 있다(도 8 참조.). 본 발명의 표시장치에 있어서는 시일재(192)와 절연물(186)을 접하지 않도록 분리하여 형성한다. 이와 같이 시일재와, 절연물(186)을 분리하여 형성하면, 절연물(186)에 흡습성이 높은 유기재료를 사용한 절연재료를 사용하더라도, 수분이 침입하기 어렵고, 발광소자의 열화를 방지할 수 있고, 표시장치의 신뢰성이 향상된다.

또한 도 9에 있어서의 표시장치는 제 1 전극층(395)을, 박막 트랜지스터(176)와 접속하는 소스 전극층 또는 드레인 전극층(172b)의 형성전에, 절연막(168)상에 선택적으로 형성할 수도 있다. 이 경우, 본 실시예란 소스 전극층 또는 드레인 전극층(172b)과, 제 1 전극층(395)의 접속구조가, 제 1 전극층(395)의 위에 소스 전극층 또는 드레인 전극층(172b)이 적층하는 구조로 된다. 제 1 전극층(395)을 소스 전극층 또는 드레인 전극층(172b)보다 먼저 형성하면, 평탄한 형성 영역에 형성할 수 있기 때문에, 피복성, 성막성이 좋고, CMP 등의 연마처리도 충분하게 할 수 있기 때문에 평탄성 좋게 형성할 수 있는 이점이 있다.

본 발명을 사용하면, 신뢰성이 높은 표시장치를 간략화한 공정에서 제작할 수 있다. 따라서, 고세밀, 고화질인 표시장치를 저렴한 비용으로 수율 좋게 제조할 수 있다.

(실시예 3)

본 발명의 실시예를, 도 10을 사용하여 설명한다. 본 실시예는 실시예 1에서 제작한 표시장치에 있어서, 박막 트랜지스터의 게이트 전극층의 구조의 다른 예를 제시한다. 따라서, 동일 부분 또는 동일한 기능을 갖는 부분의 반복의 설명은 생략한다.

도 10a 내지 도 10c는 제작공정에 있는 표시장치이고, 실시예 1에서 도시한 도 4b의 표시장치와 대응하고 있다.

도 10a에 있어서, 주변 구동회로 영역(214)에 박막 트랜지스터(273) 및 박막 트랜지스터(274)가, 접속영역(215)에 도전층(277)이, 화소 영역(216)에 박막 트랜지스터(275) 및 박막 트랜지스터(276)가 설치되어 있다. 도 10a에 있어서의 박막 트랜지스터의 게이트 전극층은 2층의 도전막의 적층으로 구성되고, 상층의 게이트 전극층이 하층의 게이트 전극층보다 폭이 가늘게 패터닝되어 있다. 하층의 게이트 전극층은 테이퍼 형상을 갖고 있지만, 상층의 게이트 전극층은 테이퍼 형상을 갖고 있지 않다. 이와 같이, 게이트 전극층은 테이퍼 형상을 갖고 있어도 좋고, 측면의 각도가 수직에 가까운 형상, 소위 테이퍼 형상을 갖지 않는 형상이라도 좋다.

도 10b에 있어서, 주변 구동회로 영역(214)에 박막 트랜지스터(373) 및 박막 트랜지스터(374)가, 접속영역(215)에 도전층(377)이, 화소 영역(216)에 박막 트랜지스터(375) 및 박막 트랜지스터(376)가 설치되어 있다. 도 10b에 있어서의 박막 트랜지스터의 게이트 전극층도 2층의 도전막의 적층으로 구성되어 있지만, 상층의 게이트 전극층과 하층의 게이트 전극층은 연속적인 테이퍼 형상을 갖고 있다.

도 10c에 있어서, 주변 구동회로 영역(214)에 박막 트랜지스터(473) 및 박막 트랜지스터(474)가, 접속영역(215)에 도전층(477)이, 화소 영역(216)에 박막 트랜지스터(475) 및 박막 트랜지스터(476)가 설치되어 있다. 도 10c에 있어서의 박막 트랜지스터의 게이트 전극층은 단층구조이고 테이퍼 형상을 갖고 있다. 이와 같이 게이트 전극층은 단층구조라도 좋다.

이상과 같이, 게이트 전극층은 그 구성과 형상에 의해서 여러 가지의 구조를 취할 수 있다. 따라서 제작되는 표시장치도 여러 가지의 구조를 나타낸다. 반도체층 중의 불순물 영역은 게이트 전극층을 마스크로서 자기정합적으로 형성되는 경우, 게이트 전극층의 구조에 의해서 그 불순물 영역의 구조나 농도 분포가 변화한다. 이상의 사실도 고려하여 설계를 하면 소망의 기능을 갖는 박막 트랜지스터를 제작할 수 있다.

본 실시예는 실시예 1 및 실시예 2와 각각 조합하여 사용하는 것이 가능하다.

(실시예 4)

본 발명을 적용하여 발광소자를 갖는 표시장치를 형성할 수 있지만, 상기 발광소자로부터 발생하는 빛은, 하면방사, 상면방사, 양면방사의 어느 하나를 행한다. 본 실시예에서는 양면출사형, 상면출사형의 예를 도 11 및 도 12를 사용하여 설명한다.

도 12에 도시하는 표시장치는, 소자기판(1300), 박막 트랜지스터(1355), 박막 트랜지스터(1365), 박막 트랜지스터(1375), 제 1 전극층(1317), 전계발광층(1319), 제 2 전극층(1320), 투명도전막(1321), 충전재(1322), 시일재(1325), 게이트 절연층(1310), 절연막(1311), 절연막(1312), 절연막(1313), 절연막(1309), 절연물(1314), 밀봉 기판(1323), 배선층(1308), 단자전극층(1381), 이방성 도전층(1382), FPC(1383), 스페이서(1330), 발광소자(1305)에 의해서 구성되어 있다. 표시장치는 분리 영역(221), 외부단자 접속영역(222), 배선영역(223), 주변 구동회로 영역(224), 화소 영역(226)을 갖고 있다. 충전재(1322)는 도 19의 적하법과 같이, 액상의 조성물, 적하법에 의해서 형성할 수 있다. 적하법에 의해서 충전제가 형성된 소자기판(1300)과 밀봉 기판(1323)을 펴고 발광표시장치를 밀봉한다.

도 12의 표시장치는 양면출사형이고, 화살표의 방향으로 소자기판(1300)측으로부터도, 밀봉 기판(1323)측으로부터도 빛을 출사하는 구조이다. 또 본 실시예에서는 투명도전막을 성막하고, 소망의 형상으로 에칭함으로써 제 1 전극층(1317)을 형성한다. 제 1 전극층(1317)으로서 투명도전막을 사용할 수 있다. 제 1 전극층(1317)으로서 상기 투명도전막의 외에, 질화티타늄막 또는 티타늄막을 사용하여도 좋다. 이 경우, 투명도전막을 성막한 후에, 질화티타늄막 또는 티타늄막을, 빛이 투과할 정도의 막두께(바람직하게는 5nm 내지 30nm 정도)로 성막한다. 본 실시예에서는 제 1 전극층(1317)으로서 ITSO를 사용하고 있다.

다음에, 전계발광층(1319)의 위에는 도전막으로 이루어지는 제 2 전극층(1320)이 설치된다. 제 2 전극층(1320)으로서는, 일함수가 작은 재료(A1, Ag, Li, Ca, 또는 이들의 합금이나 화합물, MgAg, MgIn, AlLi, CaF<sub>2</sub>, 또는 CaN)를 사용하면 좋다. 도 6의 표시장치에서는, 발광이 투과하도록, 제 2 전극층(1320)으로서 막두께를 얇게 한 금속박막(MgAg: 막두께 10nm)과, 투명도전막(1321)으로서, 막두께 100nm의 ITSO와의 적층을 사용한다. 투명도전막(1321)으로서 상술한 제 1 전극층(1317)과 동일한 것을 사용할 수 있다.

도 11의 표시장치는 편면 출사형이고, 화살표의 방향으로 상면 출사하는 구조이다. 도 11에 도시하는 표시장치는, 소자기판(1600), 박막 트랜지스터(1655), 박막 트랜지스터(1665), 박막 트랜지스터(1675), 반사성을 갖는 금속층(1624), 제 1 전극층(1617), 전계발광층(1619), 제 2 전극층(1620), 투명도전막(1621), 충전재(1622), 시일재(1625), 게이트 절연층(1610), 절연막(1611), 절연막(1612), 절연막(1613), 절연막(1609), 절연물(1614), 밀봉 기판(1623), 배선층(1608), 단자전극층(1681), 이방성 도전층(1682), FPC(1683), 스페이서(1630), 발광소자(1605)에 의해서 구성되어 있다. 도 11에 있어서의 표시장치에 있어서, 단자전극층(1681)에 적층하고 있는 절연층은 에칭에 의해서 제거되어 있다. 이와 같이 단자전극층의 주위에 투수성을 갖는(수분을 투과할 수 있는) 절연층을 설치하지 않은 구조이면 신뢰성이 보다 향상한다. 또한, 표시장치는 분리 영역(231), 외부단자 접속영역(232), 배선영역(233), 주변 구동회로 영역(234), 화소 영역(236)을 갖고 있다. 이 경우, 상술한 도 12에서 도시한 양면 출사형의 표시장치에 있어서, 제 1 전극층(1317)의 하에, 반사성을 갖는 금속층(1624)을 형성한다. 반사성을 갖는 금속층(1624)의 위에 양극으로서 기능하는 투명도전막인 제 1 전극층(1617)을 형성한다. 금속층(1624)으로서는, 반사성을 가지면 좋기 때문에, Ta, W, Ti, Mo, Al, Cu 등을 사용하면 좋다. 바람직하게는 가시광의 영역에서 반사성이 높은 물질을 사용하는 것이 좋고, 본 실시예에서는 TiN 막을 사용한다.

전계발광층(1619)의 위에는 도전막으로 이루어지는 제 2 전극층(1620)이 설치된다. 제 2 전극층(1620)으로서는 음극으로서 기능시키기 때문에 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금이나 화합물, MgAg, MgIn, AlLi, CaF<sub>2</sub>, 또는 CaN)를 사용하면 좋다. 본 실시예에서는 발광이 투과하도록, 제 2 전극층(1620)으로서 막두께를 얇게 한 금속박막(MgAg: 막두께 10nm)과, 투명도전막(1621)으로서, 막두께 110nm의 ITSO와의 적층을 사용한다.

본 실시예에 있어서 적용할 수 있는 발광소자의 형태를 도 13에 도시한다. 발광소자는 전계발광층(860)을 제 1 전극층(870)과 제 2 전극층(850)으로 끼워진 구조으로 되어 있다. 제 1 전극층 및 제 2 전극층은 일함수를 고려하여 재료를 선택할 필요가 있고, 그리고 제 1 전극층 및 제 2 전극층은, 화소 구성에 의해 모두 양극, 또는 음극이 될 수 있다. 본 실시예에서는 구동용 TFT의 극성이 p 채널형인 경우, 제 1 전극층을 양극, 제 2 전극층을 음극으로 하면 좋다. 또한, 구동용 TFT의 극성이 N 채널형인 경우에, 제 1 전극층을 음극, 제 2 전극층을 양극으로 하면 바람직하다.

도 13a 및 도 13b는 제 1 전극층(870)이 양극이고, 제 2 전극층(850)이 음극인 경우이고, 전계발광층(860)은 제 1 전극층(870)측으로부터, HIL(홀주입층) HTL(홀수송층; 804), EML(발광층; 803), ETL(전자수송층) EIL(전자주입층; 802), 제 2 전극층(850)의 순차로 적층하는 것이 바람직하다. 도 13a는 제 1 전극층(870)으로부터 빛을 방사하는 구성이고, 제 1 전극층(870)은 투광성을 갖는 산화물 도전성 재료로 이루어지는 전극층(805)으로 구성하고, 제 2 전극층은 전계발광층(860)측으로부터, LiF나 MgAg 등 알칼리금속 또는 알칼리토류 금속을 포함하는 전극층(801)과 알루미늄 등의 금속재료로 형성하는 전극층(800)으로 구성되어 있다. 도 13b는 제 2 전극층(850)으로부터 빛을 방사하는 구성이고, 제 1 전극층은 알루미늄, 티타늄 등의 금속, 또는 상기 금속과 화학양론적 조성비 이하의 농도로 질소를 포함하는 금속 재료로 형성하는 전극층(807)과, 산화규소를 1 내지 15원자%의 농도로 포함하는 산화물 도전성 재료로 형성하는 제 2 전극층(806)으로 구성되어 있다. 제 2 전극층은 제 2 전극층은 전계발광층(860)측으로부터, LiF나 MgAg 등 알칼리금속 또는 알칼리토류 금속을 포함하는 전극층(801)과 알루미늄 등의 금속재료로 형성하는 전극층(800)으로 구성되어 있지만 어느 층도 100nm 이하의 두께로서 빛을 투과 가능한 상태로 해둠으로써, 제 2 전극층(850)으로부터 빛을 방사하는 것이 가능해진다.

도 13c 및 도 13d는 제 1 전극층(870)이 음극이고, 제 2 전극층(850)이 양극인 경우이며, 전계발광층(860)은 음극측으로부터 EIL(전자주입층) ETL(전자수송층; 802), EML(발광층; 803), HTL(홀수송층) HIL(홀주입층; 804), 양극인 제 2 전극층(850)의 순차로 적층하는 것이 바람직하다. 도 13c는 제 1 전극층(870)으로부터 빛을 방사하는 구성이고, 제 1 전극층(870)은 전계발광층(860)측으로부터, LiF나 MgAg 등 알칼리금속 또는 알칼리토류 금속을 포함하는 전극층(801)과 알루미늄등의 금속재료로 형성하는 전극층(800)으로 구성되어 있지만 어느 층도 100nm 이하의 두께로서 빛을 투과 가능한 상태로서 해둠으로써, 제 1 전극층(870)으로부터 빛을 방사하는 것이 가능해진다. 제 2 전극층은, 전계발광층(860)측으로부터, 산화규소를 1 내지 15원자%의 농도로 포함하는 산화물 도전성 재료로 형성하는 제 2 전극층(806), 알루미늄, 티타늄 등의 금속, 또는 상기 금속과 화학양론적 조성비 이하의 농도로 질소를 포함하는 금속재료로 형성하는 전극층(807)으로 구성되어 있다. 도 13d는 제 2 전극층(850)으로부터 빛을 방사하는 구성이고, 제 1 전극층(870)은 전계발광층(860)측으로부터, LiF나 MgAg 등 알칼리금속 또는 알칼리토류 금속을 포함하는 전극층(801)과 알루미늄 등의 금속재료로 형성하는 전극층(800)으로 구성되어 있고, 막두께는 전계발광층(860)으로 발광한 빛을 반사 가능한 정도로 두껍게 형성하고 있다. 제 2 전극층(850)은 투광성을 갖는 산화물 도전성 재료로 이루어지는 전극층(805)으로 구성되어 있다. 또 전계발광층은 적층구조이외로 단층구조, 또는 혼합구조를 취할 수 있다.

또한, 전계발광층으로서, 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료를, 각각 중착 마스크를 사용한 중착법 등에 의해서 선택적으로 형성한다. 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료는 컬러필터와 마찬가지로 액적토출법에 의해 형성할 수도 있고(저분자 또는 고분자 재료 등), 이 경우 마스크를 사용하지 않더라도, RGB를 나누어 도포할 수 있기 때문에 바람직하다.

또한 상면 방사형의 경우에, 제 2 전극층에 투광성을 갖는 ITO나 ITSO를 사용하는 경우, 벤조옥사졸 유도체(BzOs)에 Li를 첨가한 BzOs-Li 등을 사용할 수 있다. 또한 예를 들면 EML은, R, G, B의 각각의 발광색에 대응한 도편트(R의 경우 DCM등, G의 경우 DMQD 등)를 도프한 Alq<sub>3</sub>을 사용하면 좋다.

또, 전계발광층은 상기 재료에 한정되지 않는다. 예를 들면, CuPc이나 PEDOT 대신에 산화몰리브덴(MoO<sub>x</sub>:x= 2 내지 3) 등의 산화물과 α-NPD나 루블렌을 공중착하여 형성하고, 홀주입성을 향상시킬 수도 있다. 또한 전계발광층의 재료는 유기재료(저분자 또는 고분자를 포함한다), 또는 유기재료와 무기재료의 복합재료로서 사용할 수 있다. 이하 발광소자를 형성하는 재료에 관하여 상세하게 기술한다.

전하주입 수송물질 중, 특히 전자수송성이 높은 물질로서는, 예를 들면 트리스(8-퀴놀리놀라트)알루미늄(약칭: Alq<sub>3</sub>), 트리스(5-메틸-8-퀴놀리놀라트)알루미늄(약칭: Almq<sub>3</sub>), 비스(10-하이드록시벤조[h]-퀴놀리나트)베릴륨(약칭: BeBq<sub>2</sub>), 비스(2-메틸-8-퀴놀리놀라트)-4-페닐페놀라트-알루미늄(약칭: BALq) 등, 퀴놀린골격 또는 벤조퀴놀린 골격을 갖는 금속착체 등을 들 수 있다. 또한 정공 수송성이 높은 물질로서는 예를 들면 4,4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(약칭:a-NPD)이나 4,4'-비스[N-(3-메틸페닐)-N-페닐-아미노]-비페닐(약칭: TPD)이나 4,4',4''-트리스(N,N-디페닐-아미노)-트리페닐아민(약칭: TDATA), 4,4',4''-트리스[N-(3-메틸페닐)-N-페닐-아미노]-트리페닐아민(약칭: MTADATA) 등의 방향족 아민계(즉, 벤젠환-질소의 결합을 갖는다)의 화합물을 들 수 있다.

또한, 전하주입 수송물질 중, 특히 전자주입성이 높은 물질로서는, 플루오르화리튬(LiF), 플루오르화세슘(CsF), 플루오르화칼슘(CaF<sub>2</sub>) 등과 같은 알칼리금속 또는 알칼리토류 금속의 화합물을 들 수 있다. 또한, 이 밖에, Alq<sub>3</sub> 같은 전자수송성이 높은 물질과 마그네슘(Mg)과 같은 알칼리토류 금속과의 혼합물이라도 좋다.

전하주입 수송물질 중, 정공주입성이 높은 물질로서는, 예를 들면, 몰리브덴산화물(MO<sub>0</sub>x)이나 바나듐 산화물(VO<sub>x</sub>), 루테늄 산화물(RuO<sub>x</sub>), 텉스텐 산화물(WO<sub>x</sub>), 망간 산화물(MnO<sub>x</sub>) 등의 금속산화물을 들 수 있다. 또한, 이 밖에, 프탈로시아닌(약칭: H<sub>2</sub>Pc)이나 동프탈로시아닌(CuPc) 등의 프탈로시아닌계의 화합물을 들 수 있다.

발광층은 발광파장대가 다른 발광층을 화소마다 형성하고, 컬러표시를 하는 구성으로 하여도 좋다. 전형적으로는 R(적색), G(녹색), B(청색)의 각 색에 대응한 발광층을 형성한다. 이 경우에도, 화소의 광방사측에 그 발광파장대의 빛을 투과하는 필터를 설치한 구성으로 함으로써, 색 순도의 향상이나, 화소부의 경면화(비쳐들어감)의 방지를 도모할 수 있다. 필터를 설치함으로써, 종래 필요하다고 되어 있던 원편광판 등을 생략하는 것이 가능해져서, 발광층으로부터 방사되는 빛의 손실을 없앨 수 있다. 게다가, 사방으로부터 화소부(표시화면)를 본 경우에 일어나는 색조의 변화를 저감시킬 수 있다.

발광재료에는 여러 가지 재료가 있다. 저분자 유기발광재료로서는, 4-디시아노메틸렌-2-메틸-6-[2-(1,1,7,7-테트라메틸-9-듀로리딜)에테닐]-4H-필란(약칭: DCJT), 4-디시아노메틸렌-2-t-부틸-6-[2-(1,1,7,7-테트라메텔듀롤리딘-9-일)에테닐]-4H-필란(약칭: DCJTB), 폐리플란텐, 2,5-디지시아노-1,4-비스[2-(10-메톡시-1,1,7,7-테트라메틸듀로리딘-9-일)에테닐]벤젠, N,N'-디메틸퀴나크리돈(약칭: DMQd), 쿠마린6, 쿠마린545T, 트리스(8-퀴놀리놀라트)알루미늄(약칭: Alq3), 9,9'-비안트릴, 9,10-디페닐안트라센(약칭: DPA)이나 9,10-비스(2-나프틸)안트라센(약칭: DNA) 등을 사용할 수 있다. 또한, 그 외의 물질이라도 좋다.

한편, 고분자계 유기발광재료는 저분자계에 비하여 물리적 강도가 높고, 소자의 내구성이 높다. 또한 도포에 의해 성막하는 것이 가능하기 때문에, 소자의 제작이 비교적 용이하다. 고분자계 유기발광재료를 사용한 발광소자의 구조는 저분자계 유기발광재료를 사용하였을 때와 기본적으로는 같고, 순차로 음극, 유기발광층, 양극으로 된다. 그러나, 고분자계 유기발광재료를 사용한 발광층을 형성할 때는, 저분자계 유기발광재료를 사용하였을 때와 같은 적층구조를 형성시키는 것은 어렵고, 많은 경우 2층 구조가 된다. 구체적으로는, 순차로 음극, 발광층, 정공 수송층, 양극과 같은 적층구조이다.

발광색은 발광층을 형성하는 재료로 결정되기 때문에, 이들을 선택 함으로써 소망의 발광을 나타내는 발광소자를 형성할 수 있다. 발광층의 형성에 사용할 수 있는 고분자계의 전계발광재료는, 폴리파라페닐렌비닐렌계, 폴리파라페닐렌계, 폴리티오펜계, 폴리플루오렌계를 들 수 있다.

폴리파라페닐렌비닐렌계로는 폴리(파라페닐렌비닐렌)[PPV]의 유도체, 폴리(2,5-디알콕시-1,4-페닐렌비닐렌)[RO-PPV], 폴리(2-(21-에틸-헥소시)-5-메톡시-1,4-페닐렌비닐렌)[MEH-PPV], 폴리(2-(디알콕시페닐)-1,4-페닐렌)[ROPh-PPV] 등을 들 수 있다. 폴리파라페닐렌계로는 폴리파라페닐렌[PPP]의 유도체, 폴리(2,5-디알콕시-1,4-페닐렌)[RO-PPP], 폴리(2,5-디헥소시-1,4-페닐렌) 등을 들 수 있다. 폴리티오펜계로는 폴리티오펜[PT]의 유도체, 폴리(3-알킬티오펜)[PAT], 폴리(3-헥실티오펜)[PHT], 폴리(3-사이클로헥실티오펜)[PCHT], 폴리(3-사이클로헥실-4-메틸티오펜)[PCHMT], 폴리(3,4-디사이클로헥실티오펜)[PDCHT], 폴리[3-(4-옥틸페닐)-티오펜][POPT], 폴리[3-(4-옥틸페닐)-2,2비티오펜][PTOPT] 등을 들 수 있다. 폴리플루오렌계로는 폴리플루오렌[PF]의 유도체, 폴리(9,9-디알킬플루오렌)[PDAF], 폴리(9,9-디옥틸플루오렌)[PDOF] 등을 들 수 있다.

또, 정공 수송성의 고분자계 유기발광재료를, 양극과 발광성의 고분자계 유기발광재료의 사이에 끼워 형성하면, 양극으로부터의 정공 주입성을 향상시킬 수 있다. 일반적으로 억셉터 재료와 함께 물에 용해시킨 것을 스핀 도포법 등으로 도포한다. 또한, 유기용매에는 불용이기 때문에, 상술한 발광성의 유기발광재료와의 적층이 가능하다. 정공 수송성의 고분자계 유기발광재료로서는, PEDOT과 억셉터 재료로서의 장뇌(camphor)설폰산(CSA)의 혼합물, 폴리아닐린[PANI]과 억셉터 재료로서의 폴리스티렌설폰산[PSS]의 혼합물 등을 들 수 있다.

또한, 발광층은 단색 또는 백색의 발광을 나타내는 구성으로 할 수 있다. 백색발광재료를 사용하는 경우에는 화소의 광방사측에 특정한 파장의 빛을 투과하는 필터(착색층)를 설치한 구성으로서 컬러표시를 가능하게 할 수 있다.

백색으로 발광하는 발광층을 형성하기 위해서는, 예를 들면, Alq<sub>3</sub>, 부분적으로 적색발광색소인 나일레드를 도프한 Alq<sub>3</sub>, Alq<sub>3</sub>, p-EtTAZ, TPD(방향족 디아민)을 증착법에 의해 순차 적층함으로써 백색을 얻을 수 있다. 또한, 스핀 도포를 사용한 도포법에 의해 EL을 형성하는 경우에는, 도포한 후, 진공가열로 소성하는 것이 바람직하다. 예를 들면, 정공 주입층으로서 작용하는 폴리(에틸렌디옥시티오펜)/폴리(스티렌설폰산) 수용액(PEDOT/PSS)을 전체면에 도포, 소성하고, 그 후, 발광층으로서 작용하는 발광중심색소(1,1,4,4-테트라페닐-1,3-부타디엔(TPB), 4-디시아노메틸렌-2-메틸-6-(p-디메틸아미노스티릴)-4H-필란(DCN41), 나일레드, 쿠마린6 등) 도프한 폴리비닐카바졸(PVK) 용액을 전체면에 도포, 소성하면 좋다.

발광층은 단층으로 형성할 수도 있고, 홀수층성의 폴리비닐카바졸(PVK)에 전자수송성의 1,3,4-옥사디아졸 유도체(PBD)를 분산시켜도 좋다. 또한, 30중량%의 PBD를 전자수송제로서 분산하고, 4종류의 색소(TPB, 쿠마린6, DCM1, 나일레드)를 적당량 분산함으로써 백색발광이 얻어진다. 여기에서 나타낸 백색발광이 얻어지는 발광소자의 외에도, 발광층의 재료를 적절히 선택함으로써, 적색발광, 녹색발광, 또는 청색발광이 얻어지는 발광소자를 제작할 수 있다.

또한, 발광층은 1중항 여기 발광재료 외에, 금속 착체 등을 포함하는 3중항 여기재료를 하여도 좋다. 예를 들면, 적색의 발광성의 화소, 녹색의 발광성의 화소 및 청색의 발광성의 화소 중, 휘도 반감시간이 비교적 짧은 적색의 발광성의 화소를 3중항 여기 발광재료로 형성하고, 다른 것을 1중항 여기 발광재료로 형성한다. 3중항 여기 발광재료는 발광 효율이 좋기 때문에, 동일한 휘도를 얻는 데 소비전력이 적어도 충분하다는 특징이 있다. 즉, 적색화소에 적용한 경우, 발광소자에 흘리는 전류량이 적어도 충분하기 때문에, 신뢰성을 향상시킬 수 있다. 저소비 전력화로서, 적색의 발광성의 화소와 녹색의 발광성의 화소를 3중항 여기 발광재료로 형성하고, 청색의 발광성의 화소를 1중항 여기 발광재료로 형성하여도 좋다. 사람의 시감도가 높은 녹색의 발광소자도 3중항 여기 발광재료로 형성함으로써, 보다 저소비 전력화를 도모할 수 있다.

3중항 여기 발광재료의 일예로서는 금속착체를 도편트로서 사용한 것이 있고, 제 3 천이계열 원소인 백금을 중심금속으로 하는 금속착체, 이리듐을 중심금속으로 하는 금속착체 등이 알려져 있다. 3중항 여기 발광재료로서는 이들의 화합물에 한정되지 않고서, 상기 구조를 갖고, 또한 중심금속에 주기표의 8 내지 10 중에 속하는 원소를 갖는 화합물을 사용하는 것도 가능하다.

이상으로 예를 들면 발광층을 형성하는 물질은 일 예이고, 정공주입수송층, 정공수송층, 전자주입수송층, 전자수송층, 발광층, 전자블록층, 정공 블록층 등의 기능성의 각 층을 적절하게 적층함으로써 발광소자를 형성할 수 있다. 또한, 이들의 각 층을 합친 혼합층 또는 혼합접합을 형성하여도 좋다. 발광층의 층구조는 변화할 수 있는 것이며, 특정한 전자주입영역이나 발광영역을 구비하고 있지 않는 대신에, 오로지 이 목적용의 전극층을 구비하거나, 발광성의 재료를 분산시켜 구비하기도 하는 변형은, 본 발명의 취지를 일탈하지 않은 범위에 있어서 허용될 수 있는 것이다.

상기와 같은 재료로 형성한 발광소자는 순방향으로 바이어스함으로써 발광한다. 발광소자를 사용하여 형성하는 표시장치의 화소는, 단순 매트릭스 방식, 혹은 액티브 매트릭스 방식으로 구동할 수 있다. 어떻든 간에, 개개의 화소는, 어떤 특정한 타이밍으로 순방향 바이어스를 인가하여 발광시키는 것으로 되지만, 어떤 일정 기간은 비발광상태로 되어 있다. 이 비발광 시간에 역방향의 바이어스를 인가함으로써 발광소자의 신뢰성을 향상시킬 수 있다. 발광소자로서는, 일정구동조건하에서 발광강도가 저하하는 열화나, 화소 내에서 비발광 영역이 확대하여 외관상 휘도가 저하하는 열화모드가 있지만, 순방향 및 역방향으로 바이어스를 인가하는 교류적인 구동을 함으로써, 열화의 진행을 느리게 할 수 있고, 발광장치의 신뢰성을 향상시킬 수 있다. 또한, 디지털 구동, 아날로그 구동 모두 적용 가능하다.

따라서, 밀봉 기판에 컬러 필터(착색층)를 형성하여도 좋다. 컬러 필터(착색층)는 증착법이나 액적토출법에 의해서 형성할 수 있고, 컬러 필터(착색층)를 사용하면, 고세밀의 표시를 할 수도 있다. 컬러 필터(착색층)에 의해, 각 RGB의 발광 스펙트럼에 있어서 브로드한(broad) 피크를 예리한 피크가 되도록 보정할 수 있기 때문이다.

이상, 각 RGB의 발광을 나타내는 재료를 형성하는 경우를 설명하였지만, 단색의 발광을 나타내는 재료를 형성하고, 컬러 필터나 색변환층을 조합함으로써 풀컬러 표시를 할 수 있다. 컬러 필터(착색층)이나 색변환층은 예를 들면 제 2 기판(밀봉 기판)에 형성하고, 기판으로 펴면 좋다.

물론 단색발광의 표시를 하여도 좋다. 예를 들면, 단색발광을 사용하여 에어리어 컬러타입의 표시장치를 형성하여도 좋다. 에어리어 컬러타입은 패시브 매트릭스형의 표시부가 적합하고, 주로 문자나 기호를 표시할 수 있다.

상기 구성에 있어서, 음극으로서는, 일함수가 작은 재료를 사용하는 것이 가능하고, 예를 들면, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 전계발광층은 단층형, 적층형, 또한 층의 계면이 없는 혼합형의 어떠한 것이라도 좋다. 또한 싱글레트 재료, 트리플렛 재료, 또는 그것들을 조합한 재료, 유기 화합물 또는 무기화합물을 포함하는 전하주입 수송물질 및 발광재료로 형성하고, 그 문자수로부터 저분자계 유기 화합물, 중분자계 유기화합물(승화성을 갖지 않고, 또한 문자수가 20 이하, 또는 연쇄하는 문자의 길이가  $10\mu\text{m}$  이하의 유기 화합물을 가리킨다고 한다), 고분자계 유기 화합물로부터 선택된 일종 또는 복수종의 층을 포함하여, 전자주입수송성 또는 정공주입 수송성의 무기화합물과 조합하여도 좋다. 제 1 전극층은 빛을 투과하는 투명도전막을 사용하여 형성하고, 예를 들면 ITO, ITSO의 외에, 산화인듐에 2 내지 20%의 산화아연(ZnO)을 혼합한 투명도전막을 사용한다. 또, 제 1 전극층을 형성하기 전에, 산소분위기중에서의 플라즈마처리나 진공분위기하에서의 가열처리를 하면 좋다. 격벽(제방이라고도 한다)은 규소를 포함하는 재료, 유기재료 및 화합물재료를 사용하여 형성한다.

또한, 다공질막을 하여도 좋다. 단지, 아크릴, 폴리이미드 등의 감광성, 비감광성의 재료를 사용하여 형성하면, 그 측면은 곡율 반경이 연속적으로 변화하는 형상으로 되고, 상층의 박막이 끊기지 않고서(찢어지지 않고서) 형성되기 때문에 바람직하다. 본 실시예는 상기 의 실시예와 자유롭게 조합하는 것이 가능하다.

본 발명을 사용하면, 신뢰성이 높은 표시장치를 간략화한 공정에서 제작할 수 있다. 따라서, 고세밀, 고화질의 표시장치를 저렴한 비용으로 수율 좋게 제조할 수 있다.

본 실시예는 실시예 1 내지 실시예 3의 각각과 조합하여 사용하는 것이 가능하다.

#### (실시예 5)

주사선측 입력단자부와 신호선측 입력단자부과 보호 다이오드를 설치한 일 형태에 대하여 도 15를 참조하여 설명한다. 도 15에 있어서 화소(2702)에는 TFT(501), TFT(502), 용량소자(504), 발광소자(503)가 설치되어 있다. 이 TFT는 실시예 1과 동일한 구성을 갖고 있다.

신호선측 입력단자부에는 보호 다이오드(561)와 보호 다이오드(562)가 설치되어 있다. 이 보호 다이오드는 TFT(501) 또는 TFT(502)과 동일한 공정에서 제작되고, 게이트와 드레인 또는 소스의 한쪽을 접속함으로써 다이오드로서 동작시키고 있다. 도 15에서 도시하는 상면도의 등가회로도를 도 14에 도시하고 있다.

보호 다이오드(561)는 게이트 전극층, 반도체층, 배선층으로 이루어지고 있다. 보호 다이오드(562)도 동일한 구조이다. 이 보호 다이오드와 접속하는 공통전위선(554), 공통전위선(555)은 게이트 전극층과 동일 층으로 형성하고 있다. 따라서, 배선층과 전기적으로 접속하기 위해서는, 절연층에 콘택트홀을 형성할 필요가 있다.

절연층으로의 콘택트홀은 마스크층을 형성하고, 에칭 가공하면 좋다. 이 경우, 대기압 방전의 에칭 가공을 적용하면, 국소적인 방전 가공도 가능하고, 기판의 전체면에 마스크층을 형성할 필요는 없다.

신호배선층은 TFT(501)에 있어서의 소스 및 드레인 배선층(505)과 동일한 층으로 형성되고, 그것에 접속하고 있는 신호 배선층과 소스 또는 드레인측이 접속하는 구조로 되어 있다.

주사신호선측의 입력단자부도 동일한 구조이다. 보호 다이오드(563)는 게이트 전극층, 반도체층, 배선층으로 이루어지고 있다. 보호 다이오드(564)도 동일한 구조이다. 이 보호 다이오드와 접속하는 공통전위선(556), 공통전위선(557)은 소스 및 드레인 배선층과 동일한 층으로 형성하고 있다. 입력단에 설치되는 보호 다이오드를 동시에 형성할 수 있다. 또, 보호 다이오드를 삽입하는 위치는, 본 실시예만에 한정되지 않고, 구동회로와 화소와의 사이에 설치할 수도 있다.

#### (실시예 6)

본 발명에 의해서 형성되는 표시장치에 의해서, 텔레비전 장치를 완성시킬 수 있다. 표시패널에는 도 16a로 도시하는 바와 같은 구성으로서 화소부만이 형성되어 주사선측 구동회로와 신호선측 구동회로가, 도 17b와 같은 TAB 방식에 의해 실장되는 경우와, 도 17a와 같은 COG 방식에 의해 실장되는 경우와, 도 16b에 도시하는 바와 같이 SAS로 TFT를 형성하고, 화소부와 주사선측 구동회로를 기판상에 일체로 형성하여 신호선측 구동회로를 별도 드라이버 IC로서 실장하는 경우, 또한 도 16c와 같이 화소부와 신호선측 구동회로와 주사선측 구동회로를 기판상에 일체로 형성하는 경우 등이 있지만, 어떠한 형태로 하여도 좋다.

그 밖의 외부회로의 구성으로서, 영상신호의 입력측으로서는 튜너에서 수신한 신호 중, 영상신호를 증폭하는 영상신호 증폭회로와, 그것으로부터 출력되는 신호를 적색, 녹색, 청색의 각 색에 대응한 색신호로 변환하는 영상신호처리회로와, 그 영상신호를 드라이버 IC의 입력사양으로 변환하기 위한 컨트롤티어회로 등으로 이루어져 있다. 컨트롤티어회로는 주사선측과 신호선측에 각각 신호가 출력한다. 디지털 구동하는 경우에는 신호선측에 신호분할회로를 설치하고, 입력 디지털 신호를 m 개로 분할하여 공급하는 구성으로 하여도 좋다.

튜너로 수신한 신호 중, 음성신호는, 음성신호 증폭회로에 보내지고, 그 출력은 음성신호 처리회로를 거쳐서 스피커에 공급된다. 제어회로는 수신국(수신주파수)나 음량의 제어정보를 입력부에서 받고, 튜너나 음성신호 처리회로에 신호를 송출한다.

표시모듈을, 도 20a, 도 20b에 도시하는 바와 같이, 케이스에 장착되고, 텔레비전 장치를 완성시킬 수 있다. FPC까지 장착된 도 1과 같은 표시패널의 것을 일반적으로는 EL 표시모듈이라고도 한다. 따라서 도 1과 같은 EL 표시모듈을 사용하면, EL 텔레비전 장치를 완성할 수 있다. 표시모듈에 의해 주화면(2003)이 형성되고, 그 외 부속설비로서 스피커부(2009), 조작스위치 등이 구비되어 있다. 이와 같이, 본 발명에 의해 텔레비전 장치를 완성시킬 수 있다.

또한, 위상차판이나 편광판을 사용하여, 외부로부터 입사하는 빛의 반사광을 차단하도록 하여도 좋다. 또한 상면 방사형의 표시장치이면, 격벽이 되는 절연층을 착색하여 블랙 매트릭스로서 사용하여도 좋다. 이 격벽은 액적 토출법 등에 의해서도 형성할 수 있고, 안료계의 흑색수지나, 폴리이미드 등의 수지재료에, 카본 블랙 등을 혼합시켜도 좋고, 그 적층이라도 좋다. 액적토출법에 의해서, 다른 재료를 동영역에 복수회 토출하고, 격벽을 형성하여도 좋다. 위상차판, 위상차판으로서는  $\lambda/4$ 판,  $\lambda/2$ 판을 사용하여, 빛을 제어할 수 있도록 설계하면 좋다. 구성으로서는 순차로 TFT 소자기판, 발광소자, 밀봉 기판(밀봉재), 위상차판, 위상차판( $\lambda/4$ 판,  $\lambda/2$ 판), 편광판이 되고, 발광소자로부터 방사된 빛은 이들을 통하여 편광판측으로부터 외부로 방사된다. 이 위상차판이나 편광판은 빛이 방사되는 측에 설치하면 좋고, 양면방사되는 양면방사형의 표시장치이면 양쪽에 설치할 수도 있다. 또한, 편광판의 외측에 반사방지막을 갖고 있어도 좋다. 이로써, 보다 매우 섬세하고 정밀한 화상을 표시할 수 있다.

도 20a에 도시하는 바와 같이, 케이스(2001)에 표시소자를 이용한 표시용 패널(2002)이 장착되고, 수신기(2005)에 의해 일반의 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자간끼리)의 정보통신을 할 수도 있다. 텔레비전장치의 조작은 케이스에 장착된 스위치 또는 별체의 리모콘 조작기(2006)에 의해 행할 수 있고, 이 리모콘장치에도 출력하는 정보를 표시하는 표시부(2007)가 설치되어 있어도 좋다.

또한, 텔레비전 장치에도, 주화면(2003) 외에 서브화면(2008)을 제 2 표시용 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어 있어도 좋다. 이 구성에 있어서, 주화면(2003)을 시야각이 우수한 EL 표시용 패널로 형성하고, 서브화면을 저소비전력으로 표시 가능한 액정표시용 패널로 형성하여도 좋다. 또한, 저소비 전력화를 우선시키기 위해서는 주화면(2003)을 액정표시용 패널로 형성하고, 서브화면을 EL 표시용 패널로 형성하고, 서브화면은 점멸 가능하게 하는 구성으로 하여도 좋다. 본 발명을 사용하면, 이러한 대형기판을 사용하여, 많은 TFT이나 전자부품을 사용하더라도, 신뢰성이 높은 표시장치로 할 수 있다.

도 20b는 예를 들면 20 내지 80인치의 대형의 표시부를 갖는 텔레비전장치로서, 케이스(2010), 조작부인 키보드부(2012), 표시부(2011), 스피커부(2013) 등을 포함한다. 본 발명은 표시부(2011)의 제작에 적용된다. 도 20b의 표시부는, 만곡 가능한 물질을 사용하고 있기 때문에, 표시부가 만곡한 텔레비전 장치로 되어 있다. 이와 같이 표시부의 형상을 자유롭게 설계할 수 있기 때문에, 소망의 형상의 텔레비전 장치를 제작할 수 있다.

본 발명에 의해, 간략한 공정에서 표시장치를 형성할 수 있기 때문에, 비용 절감도 달성할 수 있다. 따라서 본 발명을 사용한 텔레비전 장치에서는 대화면의 표시부를 갖더라도 저렴한 비용으로 형성할 수 있다. 따라서 고성능, 고신뢰성의 텔레비전장치를 수율 좋게 제작할 수 있다.

물론, 본 발명은 텔레비전장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등에 있어서의 정보 표시판이나, 가두에서의 광고 표시판 등 대면적의 표시매체로서도 여러 가지 용도에 적용할 수 있다.

#### (실시예 7)

본 발명을 적용하여, 여러 가지의 표시장치를 제작할 수 있다. 즉, 그 표시장치를 표시부에 장착한 여러 가지 전자기기에 본 발명을 적용할 수 있다.

그러한 전자기기로서는, 비디오카메라, 디지털카메라 등의 카메라, 프로젝터, 헤드 마운트디스플레이(고글형 디스플레이), 카네비게이션, 카스테레오, 퍼스널 컴퓨터, 게임기기, 휴대정보단말(모바일컴퓨터, 휴대전화 또는 전자서적 등), 기록매체를 구비한 화상재생장치(구체적으로는 Digital Versatile Disc(DVD) 등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다. 그 예를 도 21에 도시한다.

도 21a는 컴퓨터이고, 본체(2101), 케이스(2102), 표시부(2103), 키보드(2104), 외부접속 포트(2105), 포인팅 마우스(2106) 등을 포함한다. 본 발명을 사용하면, 소형화하여, 화소가 미세화하더라도, 신뢰성이 높고, 고화질인 화상을 표시하는 컴퓨터를 완성시킬 수 있다.

도 21b는 기록매체를 구비한 화상재생장치(구체적으로는 DVD 재생장치)이고, 본체(2201), 케이스(2202), 표시부A(2203), 표시부B(2204), 기록매체(DVD 등) 관독부(2205), 조작키(2206), 스피커부(2207) 등을 포함한다. 표시부A(2203)는 주로 화상정보를 표시하고, 표시부B(2204)는 주로 문자정보를 표시한다. 본 발명을 사용하면, 소형화하여, 화소가 미세화하더라도, 신뢰성이 높고, 고화질인 화상을 표시하는 화상재생장치를 완성시킬 수 있다.

도 21c는 휴대전화이고, 본체(2301), 음성 출력부(2302), 음성 입력부(2303), 표시부(2304), 조작스위치(2305), 안테나(2306) 등을 포함한다. 본 발명을 사용하면, 소형화하여, 화소가 미세화하더라도, 신뢰성이 높고, 고화질인 화상을 표시하는 휴대전화를 완성할 수 있다.

도 21d는 비디오카메라이고, 본체(2401), 표시부(2402), 케이스(2403), 외부접속 포트(2404), 리모콘 수신부(2405), 수상부(2406), 배터리(2407), 음성 입력부(2408), 접안부(2409), 조작키(2410) 등을 포함한다. 본 발명을 사용하면, 소형화하여, 화소가 미세화하더라도, 신뢰성이 높고, 고화질인 화상을 표시할 수 있는 비디오카메라를 완성할 수 있다. 본 실시예는 상기 실시예와 자유롭게 조합할 수 있다.

### 발명의 효과

본 발명을 사용하면, 신뢰성이 높은 표시장치를 간략화한 공정에서 제작할 수 있다. 따라서, 고세밀, 고화질인 표시장치를 저렴한 비용으로 수율 좋게 제조할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

화소 영역;

접속영역;

상기 화소 영역에 불순물 영역을 포함하는 반도체층;

상기 반도체층상의 게이트 절연층;

상기 게이트 절연층상의 게이트 전극;

상기 게이트 전극상의 제 1 절연층;

상기 게이트 절연층 및 상기 제 1 절연층 중에 있는 상기 불순물 영역에 도달하는 제 1 개구;

상기 제 1 개구를 통하여 상기 불순물 영역과 접속하는 소스 전극 또는 드레인 전극;

상기 소스 전극 또는 상기 드레인 전극 및 상기 제 1 절연층상의 제 2 절연층;

상기 제 2 절연층 중에 있는 상기 소스 전극 또는 상기 드레인 전극에 도달하는 제 2 개구;

상기 제 2 개구를 통하여 상기 소스 전극 또는 상기 드레인 전극과 접속하는 제 1 전극;

상기 제 1 전극상의 스페이서;

상기 접속영역에, 상기 제 1 절연층상에 설치된 배선;

상기 제 2 절연층에 설치된 상기 배선에 도달하는 제 3 개구;

상기 제 3 개구의 상단부를 덮는 제 3 절연층; 및

상기 제 3 개구를 통하여 상기 배선과 접속하고, 상기 제 3 절연층에 접하는 제 2 전극을 갖고,

상기 소스 전극 또는 상기 드레인 전극은, 상기 제 1 절연층을 개재하여 상기 게이트 전극의 일부를 덮고 있고,

상기 배선에 도달하는 제 3 개구가 설치된 상기 제 2 절연층은 상기 배선상에 있는 것을 특징으로 하는, 표시장치.

## 청구항 2.

화소 영역;

접속영역;

상기 화소 영역에 불순물 영역을 포함하는 반도체층;

상기 반도체층상의 게이트 절연층;

상기 게이트 절연층상의 게이트 전극;

상기 게이트 전극상의 제 1 절연층;

상기 게이트 절연층 및 상기 제 1 절연층 중에 있는 상기 불순물 영역에 도달하는 제 1 개구;

상기 제 1 개구를 통하여 상기 불순물 영역과 접하는 소스 전극 또는 드레인 전극;

상기 소스 전극 또는 상기 드레인 전극 및 상기 제 1 절연층상의 제 2 절연층;

상기 제 2 절연층 중에 있는 상기 소스 전극 또는 상기 드레인 전극에 도달하는 제 2 개구;

상기 제 2 개구를 통하여 상기 소스 전극 또는 상기 드레인 전극과 접속하는 제 1 전극;

상기 제 1 전극상의 스페이서;

상기 접속영역에, 상기 제 1 절연층상에 설치된 배선;

상기 제 2 절연층에 설치된 상기 배선에 도달하는 제 3 개구;

상기 제 3 개구의 상단부를 덮는 제 3 절연층;

상기 제 3 개구를 통하여 상기 배선과 접속하고, 상기 제 3 절연층에 접하는 제 2 전극; 및

상기 제 1 절연층상에 시일재를 갖고,

상기 소스 전극 또는 상기 드레인 전극은, 상기 제 1 절연층을 개재하여 상기 게이트 전극의 일부를 덮고 있고,

상기 배선에 도달하는 제 3 개구가 설치된 상기 제 2 절연층은 상기 배선상에 있고,

상기 시일재는 상기 제 3 절연층과 접하지 않는 것을 특징으로 하는, 표시장치.

### 청구항 3.

제 1 항에 있어서,

상기 스페이서는 주상(柱狀)인 것을 특징으로 하는, 표시장치.

### 청구항 4.

제 2 항에 있어서,

상기 스페이서는 주상인 것을 특징으로 하는, 표시장치.

### 청구항 5.

제 1 항에 있어서,

상기 스페이서와 상기 제 3 절연층은 분리되어 있는 것을 특징으로 하는, 표시장치.

### 청구항 6.

제 2 항에 있어서,

상기 스페이서와 상기 제 3 절연층은 분리되어 있는 것을 특징으로 하는, 표시장치.

### 청구항 7.

제 1 항에 있어서,

상기 스페이서와 상기 제 3 절연층은 연결되어 있는 것을 특징으로 하는, 표시장치.

### 청구항 8.

제 2 항에 있어서,

상기 스페이서와 상기 제 3 절연층은 연결되어 있는 것을 특징으로 하는, 표시장치.

### 청구항 9.

화소 영역;

접속영역;

상기 화소 영역에 불순물 영역을 포함하는 반도체층;

상기 반도체층상의 게이트 절연층;

상기 게이트 절연층상의 게이트 전극;

상기 게이트 전극상의 제 1 절연층;

상기 게이트 절연층 및 상기 제 1 절연층 중에 있는 상기 불순물 영역에 도달하는 제 1 개구;

상기 개구를 통하여 상기 불순물 영역과 접하는 소스 전극 또는 드레인 전극;

상기 소스 전극 또는 상기 드레인 전극 및 상기 제 1 절연층상의 제 2 절연층;

상기 제 2 절연층 중에 있는 상기 소스 전극 또는 상기 드레인 전극에 도달하는 제 2 개구;

상기 제 2 개구를 통하여 상기 소스 전극 또는 상기 드레인 전극과 접속하는 제 1 전극;

상기 접속영역에 상기 제 1 절연층상에 설치된 배선;

상기 제 2 절연층에 설치된 상기 배선에 도달하는 제 3 개구;

상기 제 3 개구의 상단부를 덮는 제 3 절연층;

상기 제 3 개구를 통하여 상기 배선과 접속하고, 상기 제 3 절연층에 접하는 제 2 전극; 및

상기 제 1 절연층상에 시일재를 갖고,

상기 소스 전극 또는 상기 드레인 전극은, 상기 제 1 절연층을 개재하여 상기 게이트 전극층의 일부를 덮고 있고,

상기 배선에 도달하는 제 3 개구가 설치된 상기 제 2 절연층은 상기 배선상에 있고,

상기 시일재는 상기 제 3 절연층과 접하지 않는 것을 특징으로 하는, 표시장치.

## 청구항 10.

제 1 항에 있어서,

상기 제 1 절연층은 무기절연성 재료이고, 상기 제 2 절연층은 유기절연성 재료인 것을 특징으로 하는, 표시장치.

## 청구항 11.

제 2 항에 있어서,

상기 제 1 절연층은 무기절연성 재료이고, 상기 제 2 절연층은 유기절연성 재료인 것을 특징으로 하는, 표시장치.

## 청구항 12.

제 9 항에 있어서,

상기 제 1 절연층은 무기절연성 재료이고, 상기 제 2 절연층은 유기절연성 재료인 것을 특징으로 하는, 표시장치.

### 청구항 13.

제 1 항에 있어서,

상기 제 2 절연층은 2층의 적층구조인 것을 특징으로 하는, 표시장치.

### 청구항 14.

제 2 항에 있어서,

상기 제 2 절연층은 2층의 적층구조인 것을 특징으로 하는, 표시장치.

### 청구항 15.

제 9 항에 있어서,

상기 제 2 절연층은 2층의 적층구조인 것을 특징으로 하는, 표시장치.

### 청구항 16.

제 1 항에 있어서,

상기 제 2 절연층은 무기절연성 재료와 유기절연성 재료의 2층의 적층구조인 것을 특징으로 하는, 표시장치.

### 청구항 17.

제 2 항에 있어서,

상기 제 2 절연층은 무기절연성 재료와 유기절연성 재료의 2층의 적층구조인 것을 특징으로 하는, 표시장치.

### 청구항 18.

제 9 항에 있어서,

상기 제 2 절연층은 무기절연성 재료와 유기절연성 재료의 2층의 적층구조인 것을 특징으로 하는, 표시장치.

### 청구항 19.

화소 영역에 불순물 영역을 갖는 반도체층을 형성;

접속영역 및 상기 반도체층상에 게이트 절연층을 형성;

상기 게이트 절연층상에 게이트 전극 및 도전층을 형성;

상기 게이트 전극상 및 상기 도전층상에 제 1 절연층을 형성;

상기 게이트 절연층 및 상기 제 1 절연층에 상기 불순물 영역에 도달하는 제 1 개구를 형성;

상기 제 1 개구, 및 상기 게이트 전극의 일부를 덮어 소스 전극 또는 드레인 전극을 형성;

상기 제 1 절연층상에 상기 도전층을 덮어 배선을 형성;

상기 제 1 절연층, 상기 배선, 상기 소스 전극 및 상기 드레인 전극상에 제 2 절연층을 형성;

상기 제 2 절연층에 상기 소스 전극 또는 상기 드레인 전극에 도달하는 제 2 개구, 및 상기 배선에 도달하는 제 3 개구를 형성;

상기 제 2 개구에 제 1 전극을 형성;

상기 제 2 절연층의 상기 제 3 개구의 상단부 및 상기 제 1 전극의 일부를 덮어 제 3 절연층을 형성;

상기 제 1 전극상에 스페이서를 형성; 및

상기 제 3 개구에, 상기 제 3 절연층에 접하여 제 2 전극을 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

## 청구항 20.

화소 영역에 불순물 영역을 갖는 반도체층을 형성;

접속영역 및 상기 반도체층상에 게이트 절연층을 형성;

상기 게이트 절연층상에 게이트 전극 및 도전층을 형성;

상기 게이트 전극상 및 상기 도전층상에 제 1 절연층을 형성;

상기 게이트 절연층 및 상기 제 1 절연층에 상기 불순물 영역에 도달하는 제 1 개구를 형성;

상기 제 1 개구, 및 상기 게이트 전극의 일부를 덮어 소스 전극 또는 드레인 전극을 형성;

상기 제 1 절연층상에 상기 도전층을 덮어 배선을 형성;

상기 제 1 절연층, 상기 배선, 상기 소스 전극 및 상기 드레인 전극상에 제 2 절연층을 형성;

상기 제 2 절연층에 상기 소스 전극 또는 상기 드레인 전극에 도달하는 제 2 개구, 및 상기 배선에 도달하는 제 3 개구를 형성;

상기 제 2 개구에 제 1 전극을 형성;

상기 제 2 절연층의 상기 제 3 개구의 상단부 및 상기 제 1 전극의 일부를 덮어 제 3 절연층을 형성;

상기 제 1 전극상에 스페이서를 형성;

상기 제 3 개구에, 상기 제 3 절연층에 접하여 제 2 전극을 형성; 및

상기 제 1 절연층상에, 상기 제 3 절연층에 접하지 않고서 시일재를 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 21.

제 19 항에 있어서,

상기 스페이서와 상기 제 3 절연층은 동일 재료를 사용하여 동일 공정으로 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 22.

제 20 항에 있어서,

상기 스페이서와 상기 제 3 절연층은 동일 재료를 사용하여 동일 공정으로 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 23.

화소 영역에 불순물 영역을 갖는 반도체층을 형성;

접속영역 및 상기 반도체층상에 게이트 절연층을 형성;

상기 게이트 절연층상에 게이트 전극 및 도전층을 형성;

상기 게이트 전극상 및 상기 도전층상에 제 1 절연층을 형성;

상기 게이트 절연층 및 상기 제 1 절연층에 상기 불순물 영역에 도달하는 제 1 개구를 형성;

상기 제 1 개구, 및 상기 게이트 전극의 일부를 덮어 소스 전극 또는 드레인 전극을 형성;

상기 제 1 절연층상에 상기 도전층을 덮어 배선을 형성;

상기 제 1 절연층, 상기 배선, 상기 소스 전극 및 상기 드레인 전극상에 제 2 절연층을 형성;

상기 제 2 절연층에 상기 소스 전극 또는 상기 드레인 전극에 도달하는 제 2 개구, 및 상기 배선에 도달하는 제 3 개구를 형성;

상기 제 2 개구에 제 1 전극을 형성;

상기 제 2 절연층의 상기 제 3 개구의 상단부 및 상기 제 1 전극의 일부를 덮어 제 3 절연층을 형성;

상기 제 3 개구에, 상기 제 3 절연층에 접하여 제 2 전극을 형성; 및

상기 제 1 절연층상에, 상기 제 3 절연층에 접하지 않고서 시일재를 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 24.

제 19 항에 있어서,

상기 제 1 절연층을 형성한 후, 가열처리를 하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 25.

제 20 항에 있어서,

상기 제 1 절연층을 형성한 후, 가열처리를 하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 26.

제 23 항에 있어서,

상기 제 1 절연층을 형성한 후, 가열처리를 하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 27.

제 19 항에 있어서,

상기 제 1 절연층은 무기절연재료를 사용하여 형성하고, 상기 제 2 절연층은 유기절연성 재료를 도포법을 사용하여 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 28.

제 20 항에 있어서,

상기 제 1 절연층은 무기절연재료를 사용하여 형성하고, 상기 제 2 절연층은 유기절연성 재료를 도포법을 사용하여 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 29.

제 23 항에 있어서,

상기 제 1 절연층은 무기절연재료를 사용하여 형성하고, 상기 제 2 절연층은 유기절연성 재료를 도포법을 사용하여 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 30.

제 19 항에 있어서,

상기 제 2 절연층은 2층의 적층구조이고, 산화질화규소막을 형성한 후, 알킬기를 갖는 산화규소막을 도포법에 의해 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 31.

제 20 항에 있어서,

상기 제 2 절연층은 2층의 적층구조이고, 산화질화규소막을 형성한 후, 알킬기를 갖는 산화규소막을 도포법에 의해 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 32.

제 23 항에 있어서,

상기 제 2 절연층은 2층의 적층구조이고, 산화질화규소막을 형성한 후, 알킬기를 갖는 산화규소막을 도포법에 의해 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 33.

제 19 항에 있어서,

상기 제 1 절연층은 2층의 적층구조이고, 질화산화규소막을 형성하고 연속적으로 산화질화규소막을 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 34.

제 20 항에 있어서,

상기 제 1 절연층은 2층의 적층구조이고, 질화산화규소막을 형성하고, 연속적으로 산화질화규소막을 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 35.

제 23 항에 있어서,

상기 제 1 절연층은 2층의 적층구조이고, 질화산화규소막을 형성하고, 연속적으로 산화질화규소막을 형성하는 것을 특징으로 하는, 표시장치의 제조방법.

### 청구항 36.

제 1 기판;

상기 제 1 기판상에 있는 소스 영역, 드레인 영역, 및 채널영역을 갖는 박막트랜지스터;

상기 박막 트랜지스터상의 제 1 절연층;

상기 제 1 절연층상의 제 1 전극;

상기 제 1 전극상에 있고, 상기 제 1 전극에 도달하는 개구를 갖는 제 2 절연막;

상기 제 1 전극상 또한 상기 개구의 내측에 있는 제 3 절연층;

상기 제 1 전극상의 전계발광층;

상기 전계발광층상의 제 2 전극; 및

상기 제 2 전극상의 제 2 기판을 갖는, 표시장치.

### 청구항 37.

제 1 기판;

상기 제 1 기판상에 있는 소스 영역, 드레인 영역, 및 채널영역을 갖는 박막 트랜지스터;

상기 박막 트랜지스터상의 제 1 절연층;

상기 제 1 절연층상의 제 1 전극;

상기 제 1 전극상에 있고, 상기 제 1 전극에 도달하는 개구를 갖는 제 2 절연층;

상기 제 1 전극상 또한 상기 개구의 내측에 있는 제 3 절연층;

상기 제 1 전극상의 전계발광층;

상기 전계발광층상의 제 2 전극; 및

상기 제 2 전극상의 제 2 기판을 갖고

상기 제 3 절연층은 상기 제 2 절연층과 동일한 재료를 포함하는 것을 특징으로 하는, 표시장치.

### 청구항 38.

제 1 기판;

상기 제 1 기판상에 있는 소스 영역, 드레인 영역, 및 채널영역을 갖는 박막 트랜지스터;

상기 박막 트랜지스터상의 제 1 절연층;

상기 제 1 절연층상의 제 1 전극;

상기 제 1 전극상에 있고, 상기 제 1 전극에 도달하는 개구를 갖는 제 2 절연막;

상기 전극상의 전계발광층;

상기 전계발광층상의 제 2 전극;

상기 제 2 전극상의 제 2 기판; 및

상기 제 1 기판과 상기 제 2 기판간의 시일재를 갖고,

상기 시일재는 상기 제 2 절연막과 접하지 않는 것을 특징으로 하는, 표시장치.

### 청구항 39.

제 36 항에 있어서,

상기 제 3 절연층은 주상인 것을 특징으로 하는, 표시장치.

#### 청구항 40.

제 37 항에 있어서,

상기 제 3 절연층은 주상인 것을 특징으로 하는, 표시장치.

#### 청구항 41.

제 36 항에 있어서,

상기 제 3 절연층과 상기 제 2 절연층은 분리되어 있는 것을 특징으로 하는, 표시장치.

#### 청구항 42.

제 37 항에 있어서,

상기 제 3 절연층과 상기 제 2 절연층은 분리되어 있는 것을 특징으로 하는, 표시장치.

#### 청구항 43.

제 36 항에 있어서,

상기 제 3 절연층과 상기 제 2 절연층은 연결되어 있는 것을 특징으로 하는, 표시장치.

#### 청구항 44.

제 37 항에 있어서,

상기 제 3 절연층과 상기 제 2 절연층은 연결되어 있는 것을 특징으로 하는, 표시장치.

#### 청구항 45.

제 38 항에 있어서,

상기 제 1 절연층은 유기절연성 재료를 포함하는 것을 특징으로 하는, 표시장치.

#### 청구항 46.

제 38 항에 있어서,

상기 제 1 절연층은 2층의 적층구조인 것을 특징으로 하는, 표시장치.

#### 청구항 47.

제 38 항에 있어서,

상기 제 1 절연층은 무기절연성 재료와 유기절연성 재료의 2층의 적층구조인 것을 특징으로 하는, 표시장치.

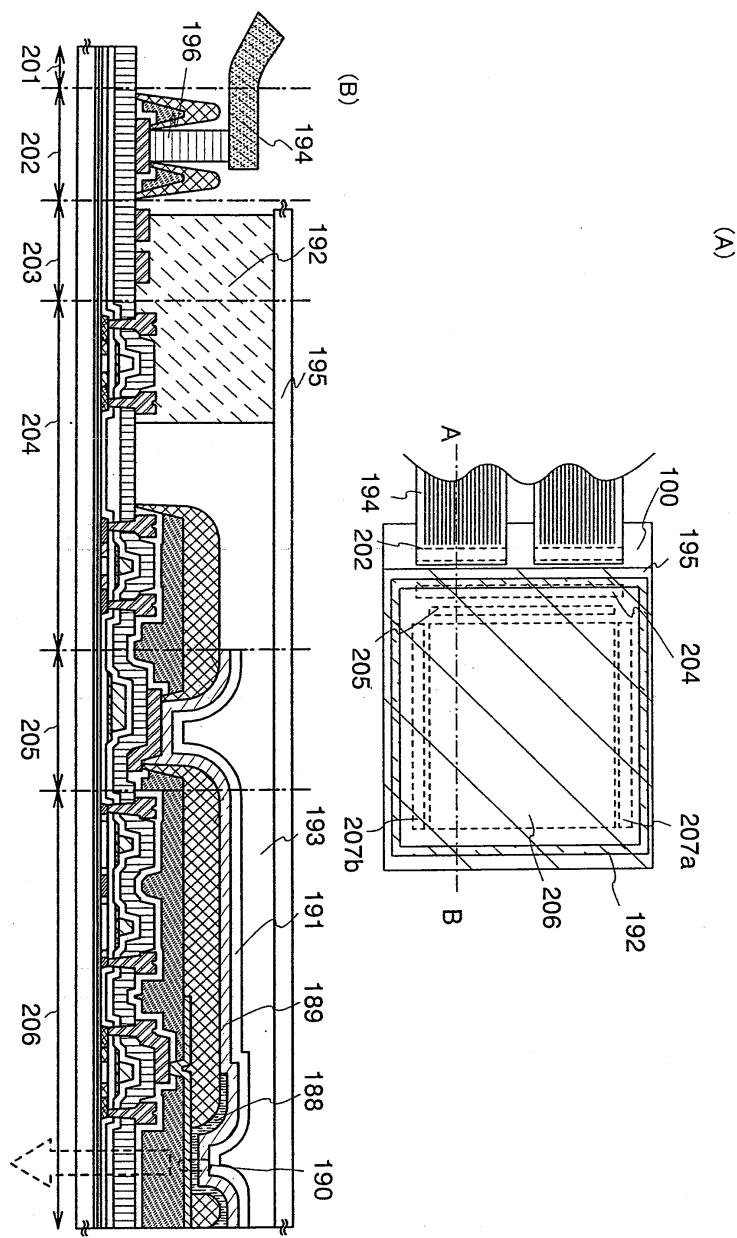
### 청구항 48.

제 36 항 내지 제 38 항 중 어느 한 항에 있어서,

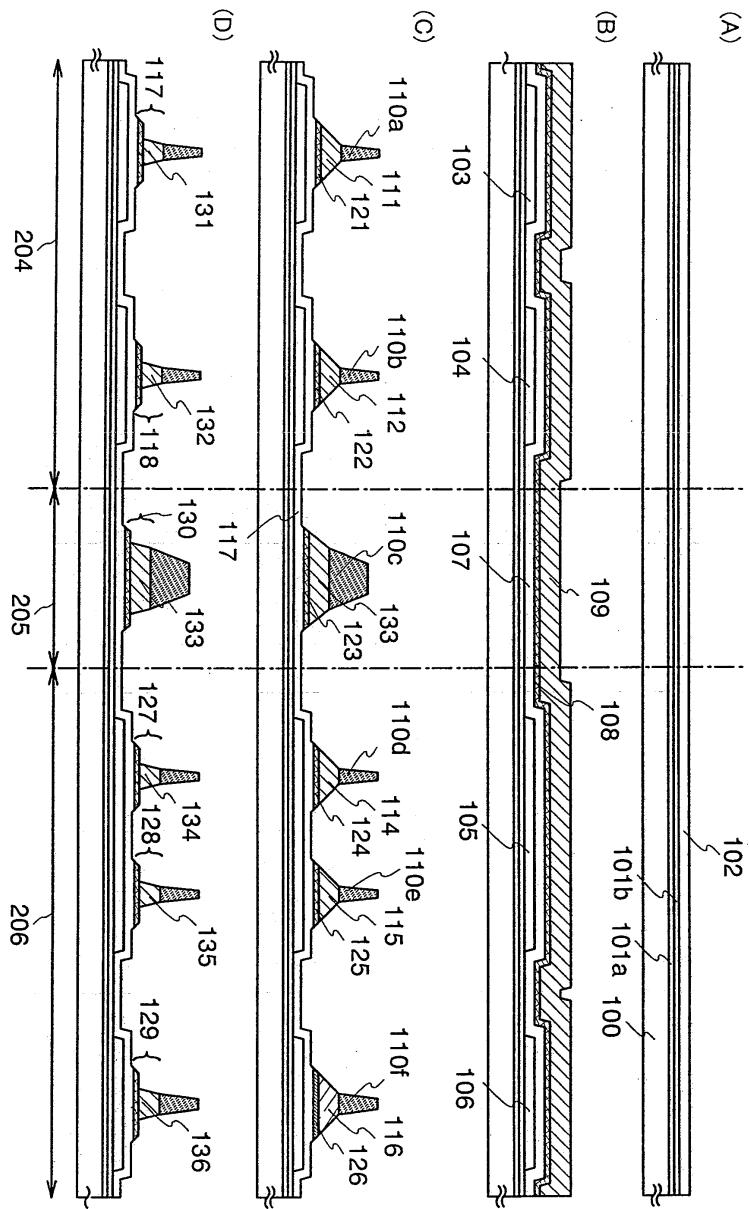
상기 박막 트랜지스터는 결정성의 반도체층을 갖는 것을 특징으로 하는, 표시장치.

도면

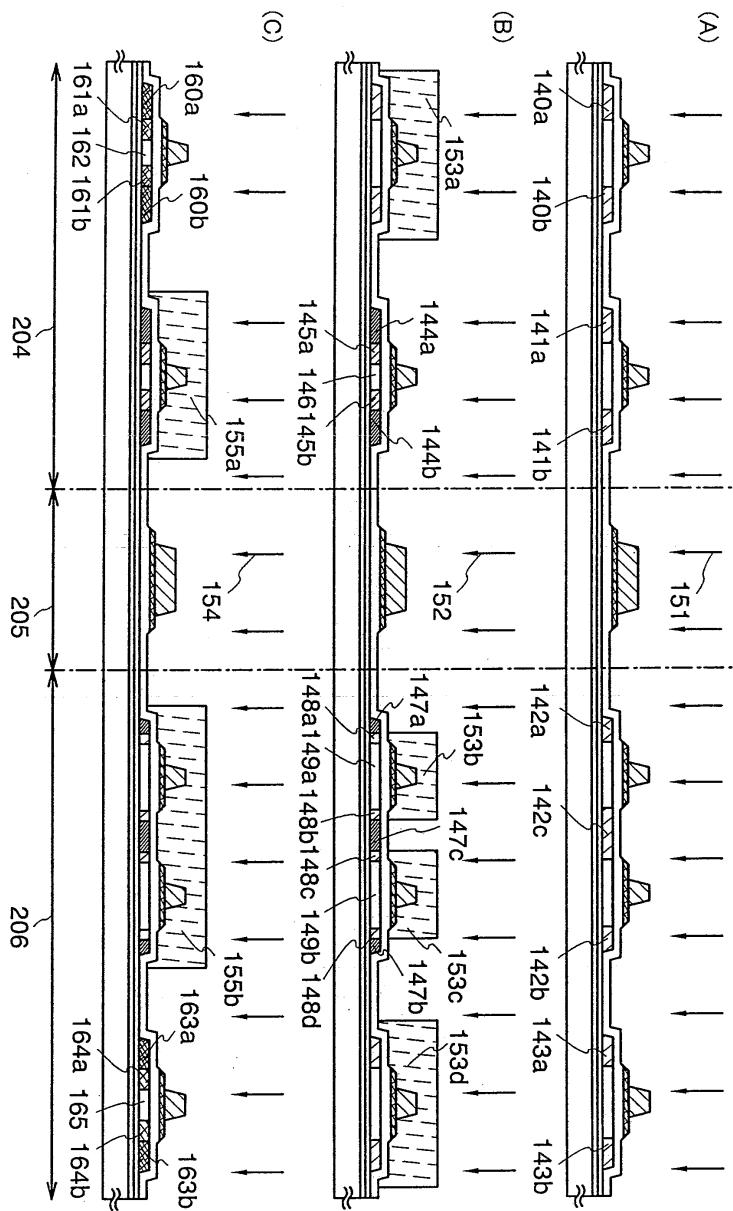
도면1



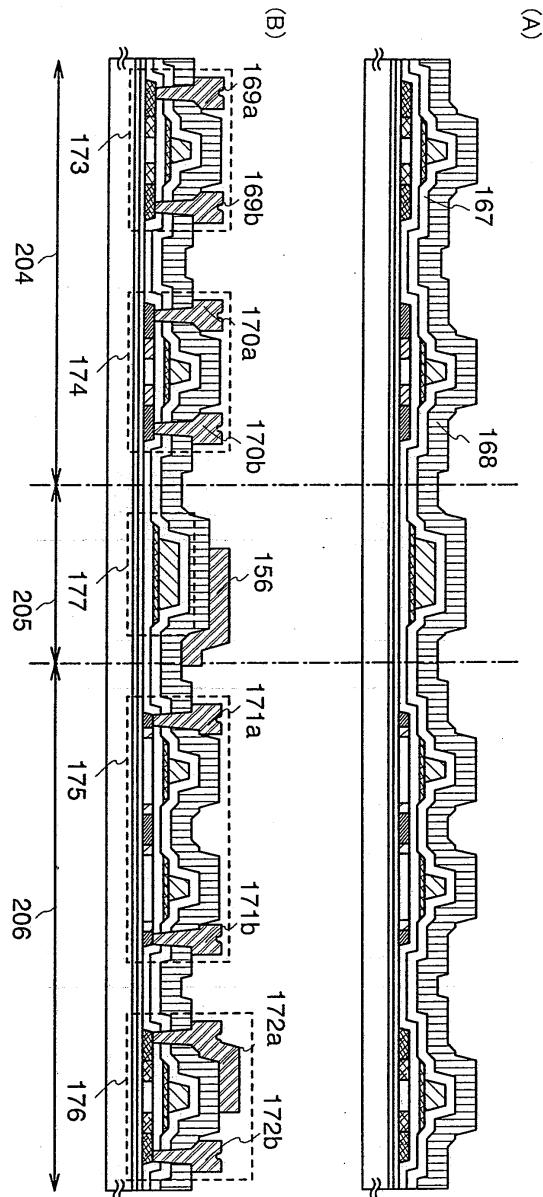
도면2



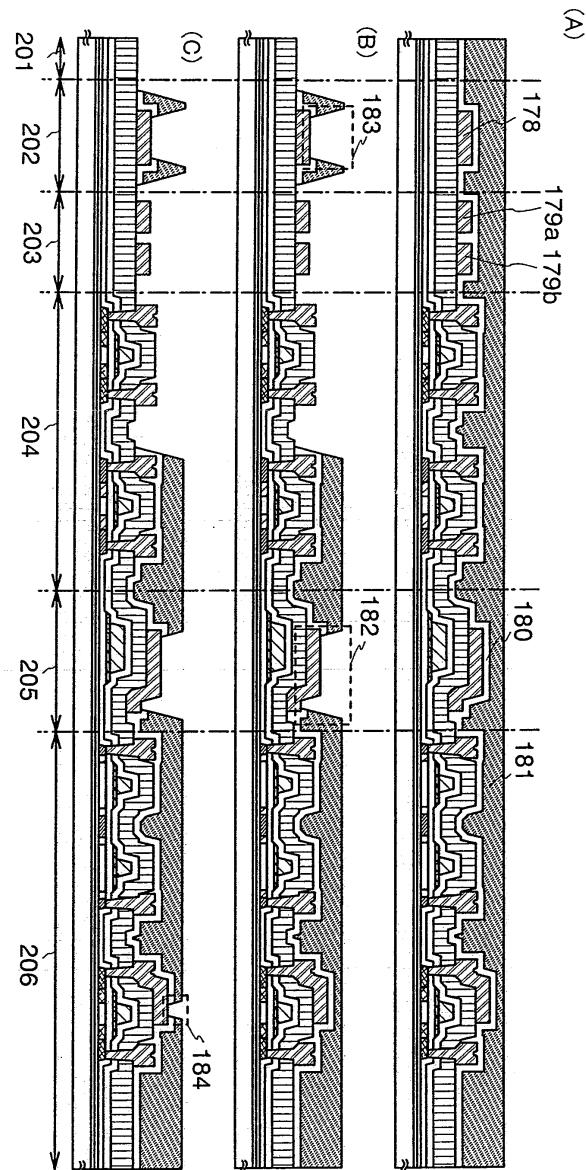
도면3



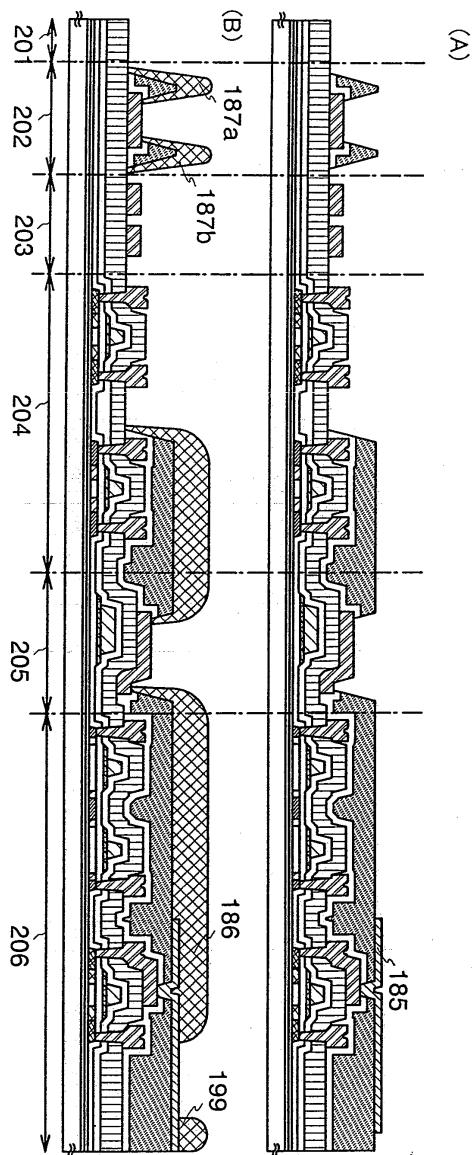
도면4



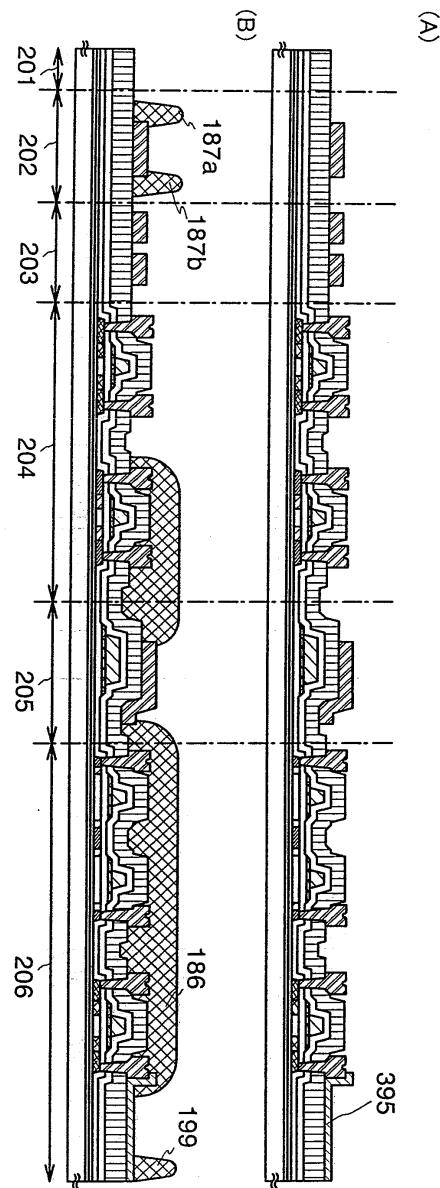
도면5



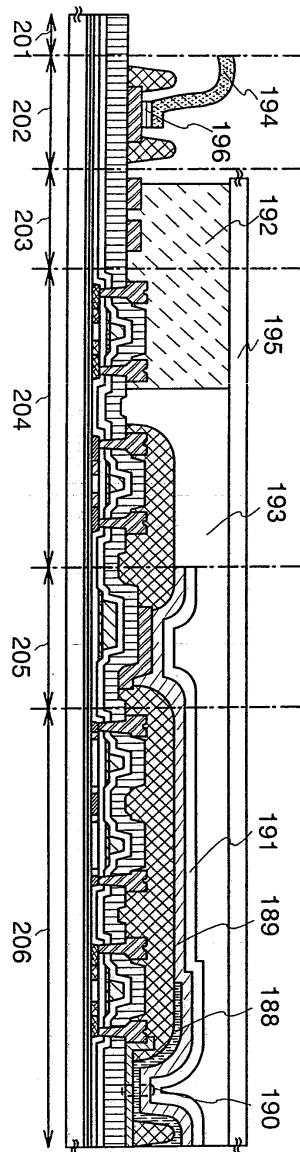
도면6



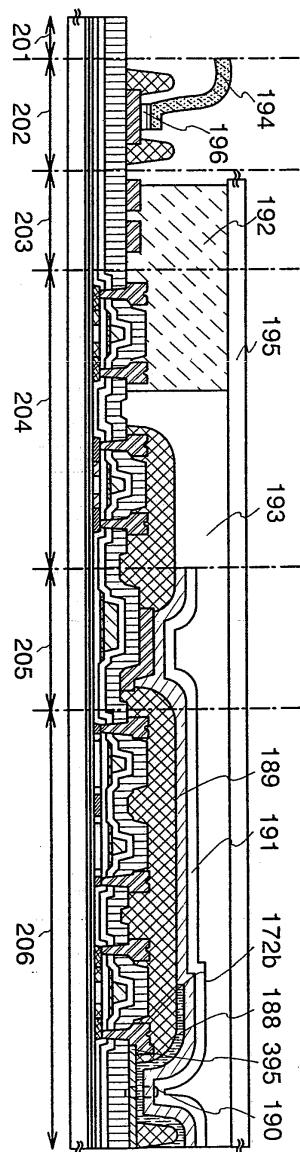
도면7



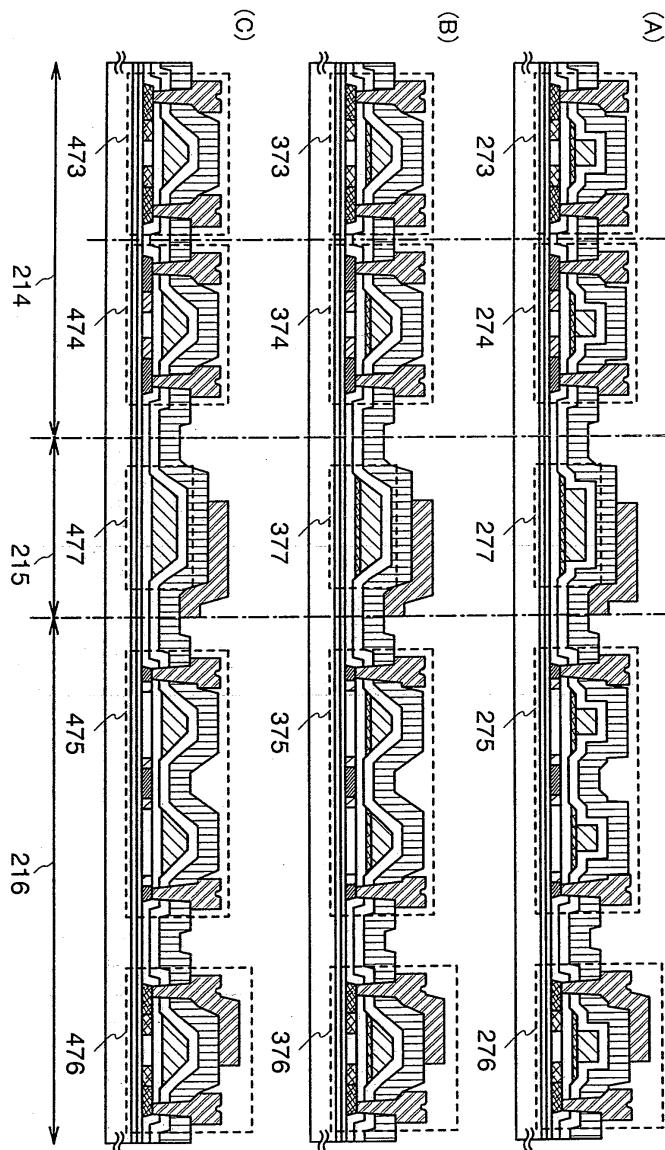
도면8



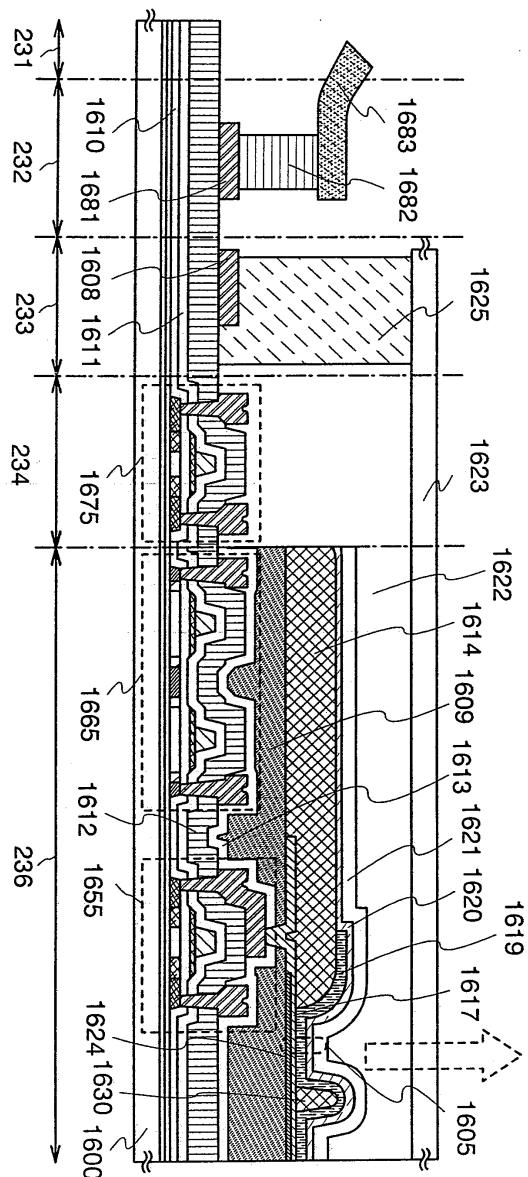
도면9



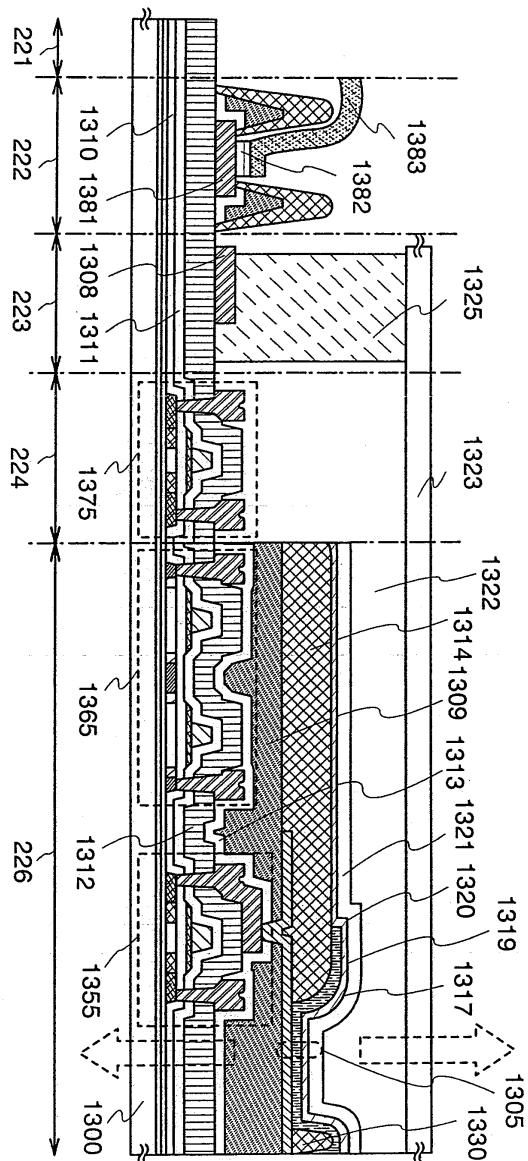
도면10



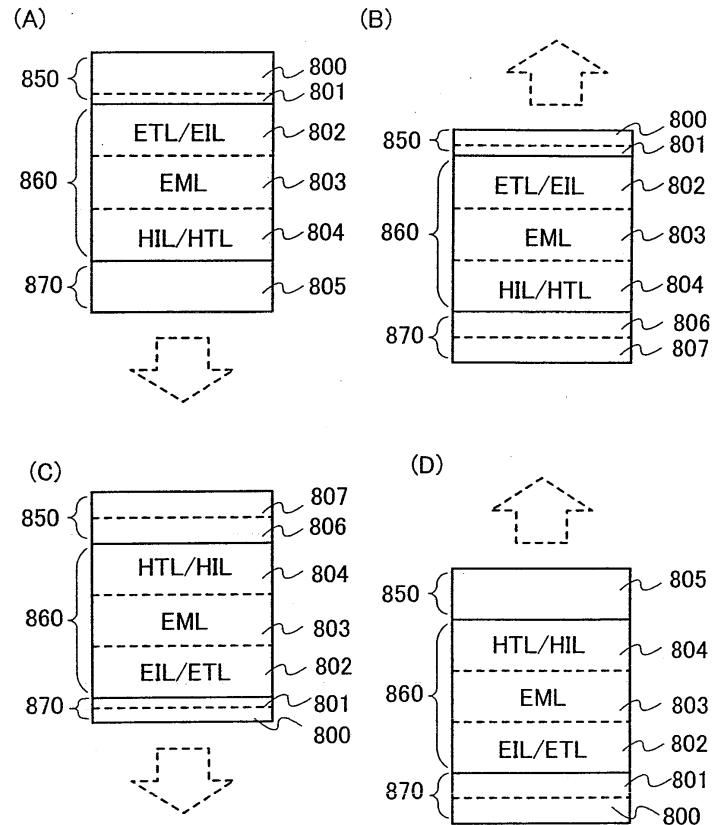
도면11



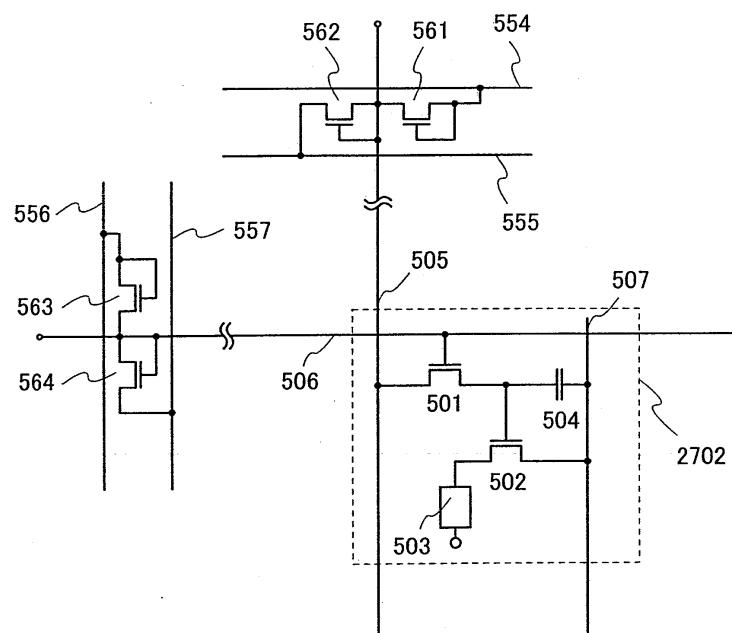
도면12



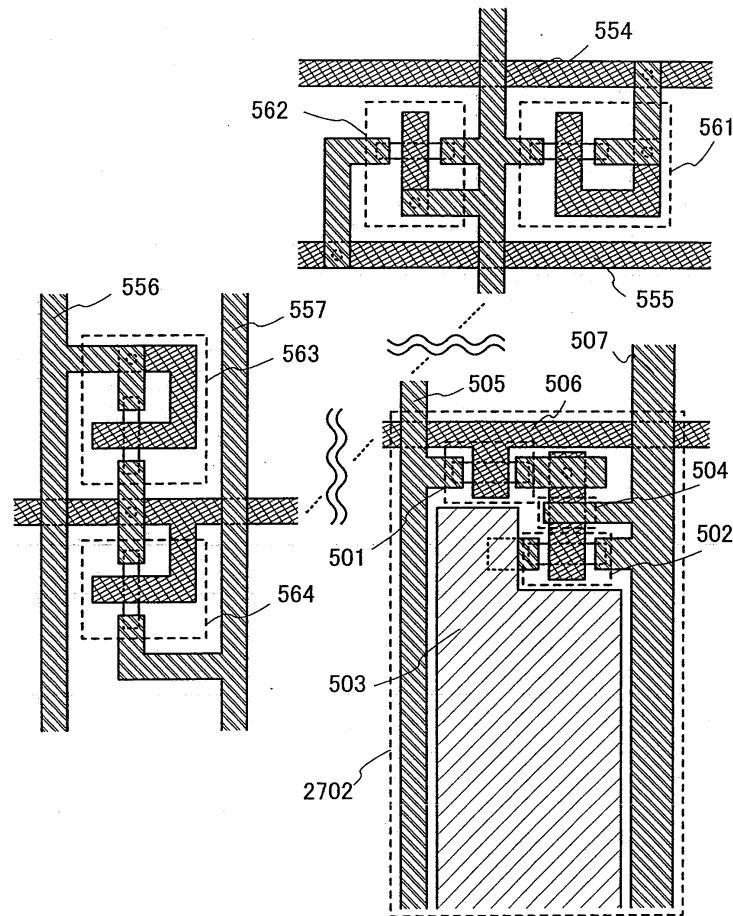
도면13



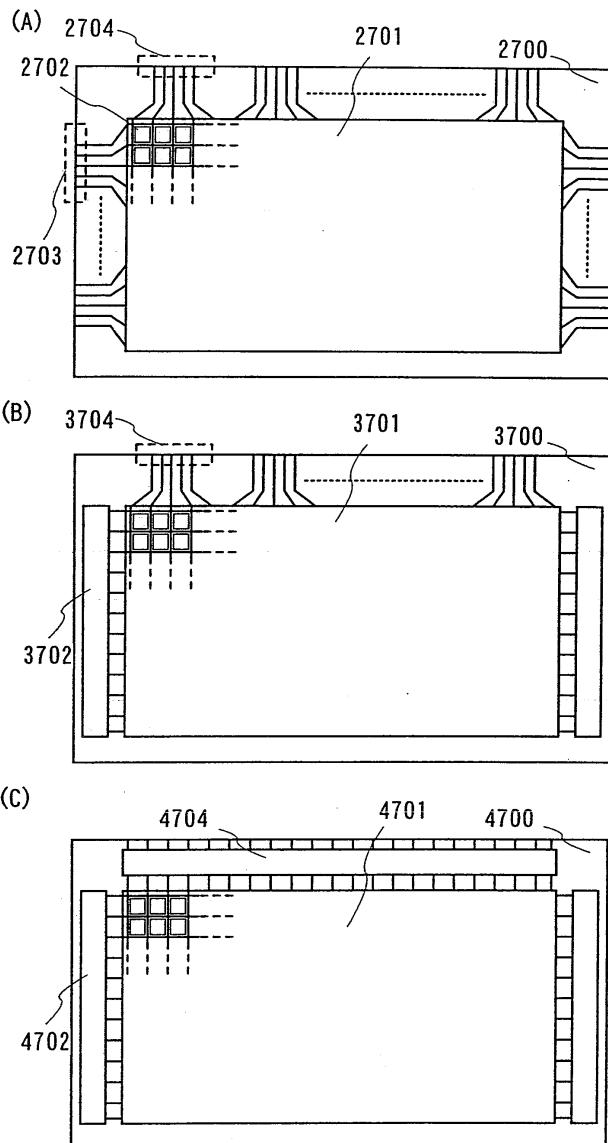
도면14



도면15

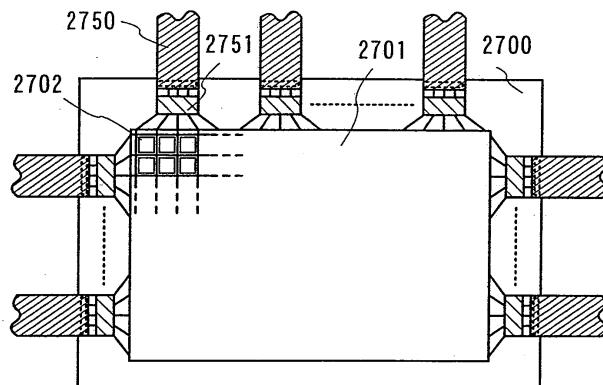


## 도면16

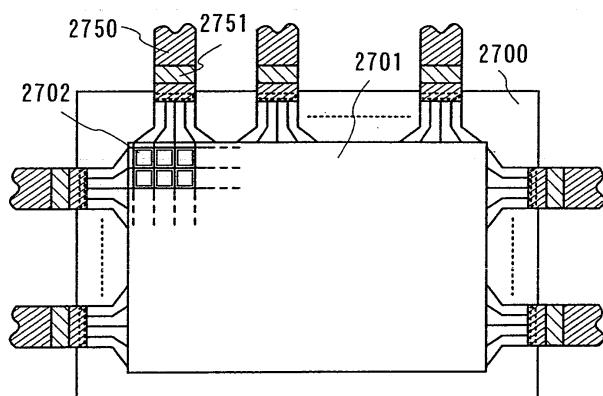


## 도면17

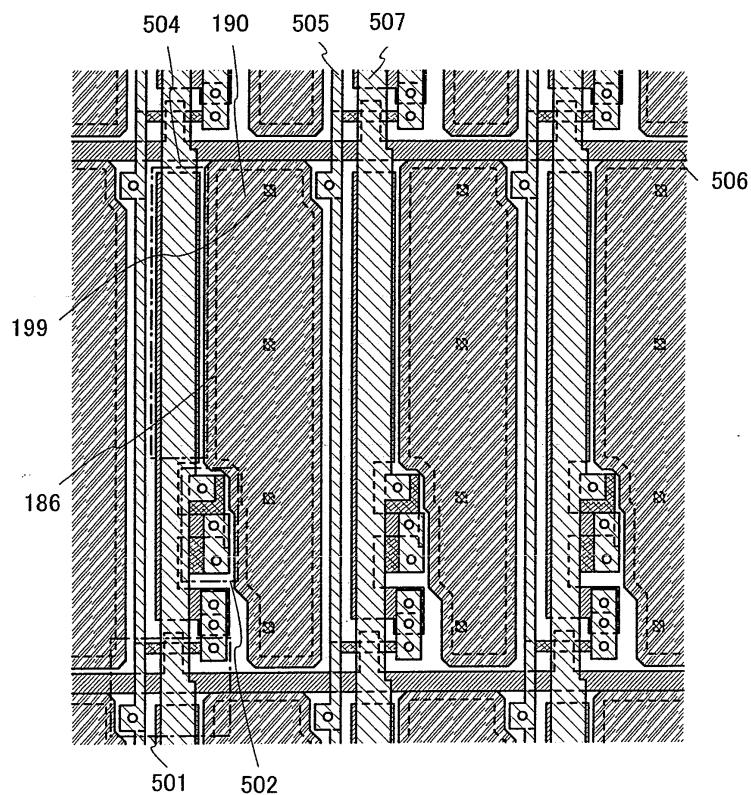
(A)



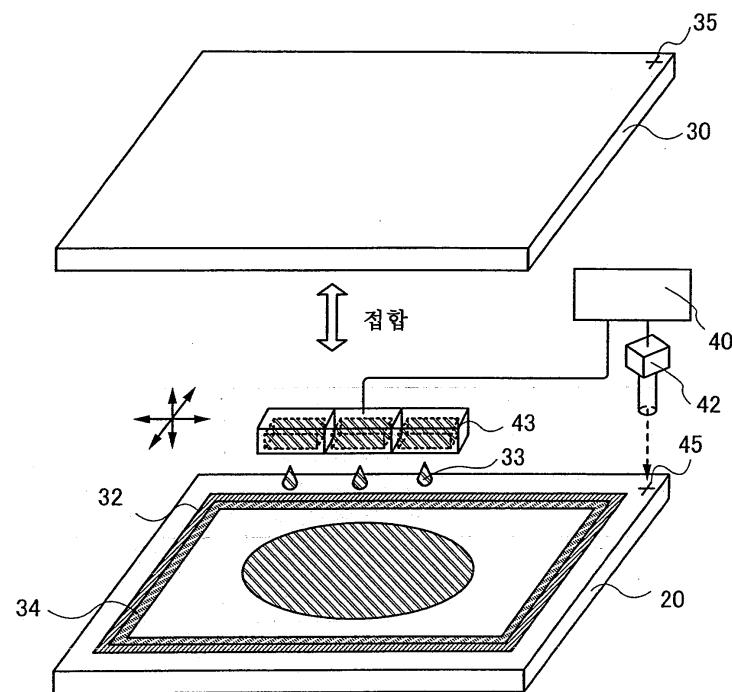
(B)



## 도면18

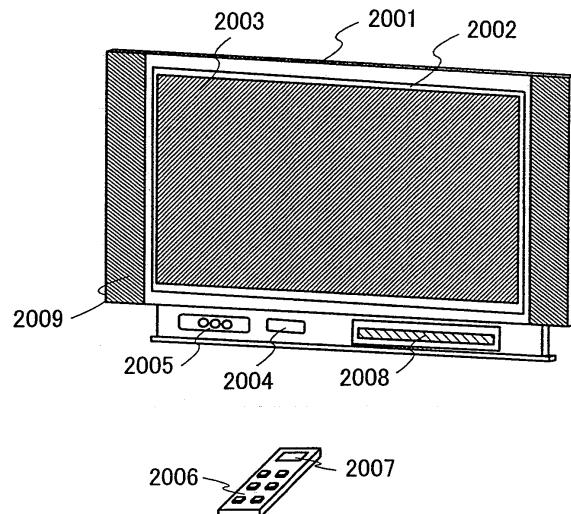


도면19

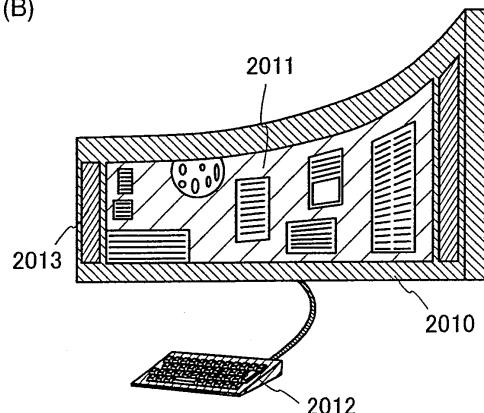


도면20

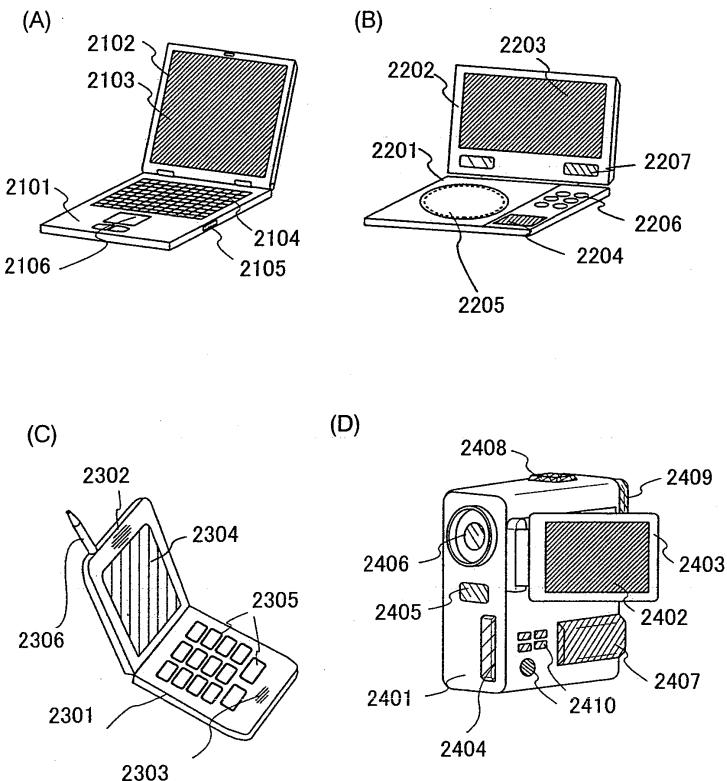
(A)



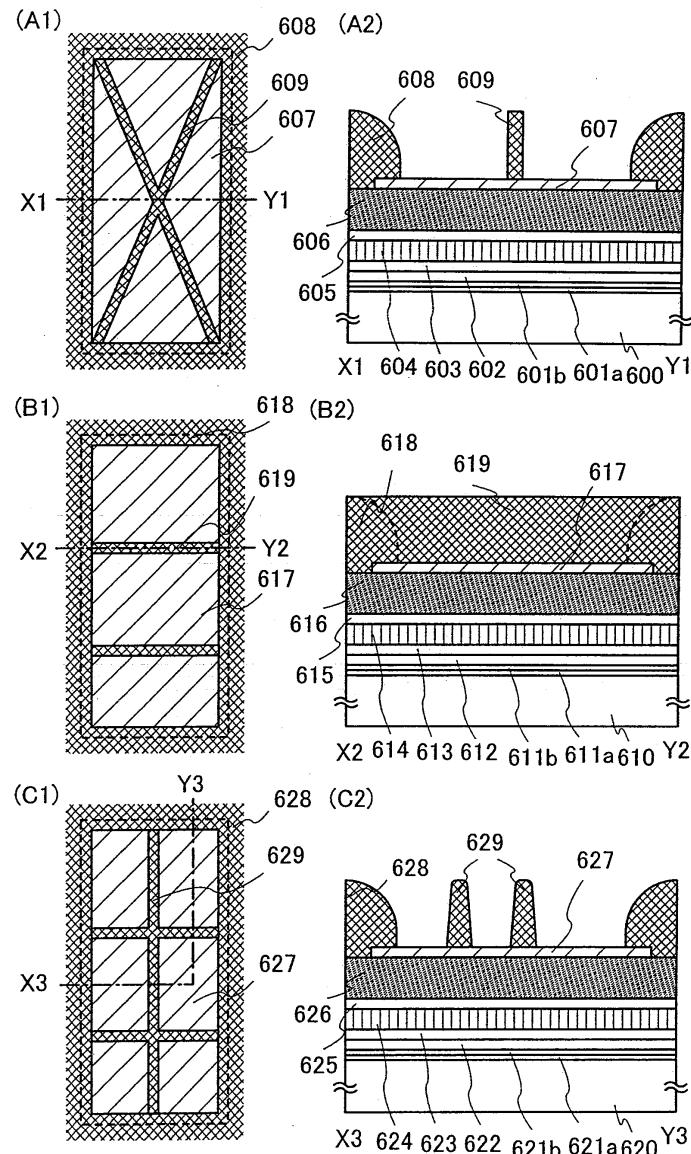
(B)



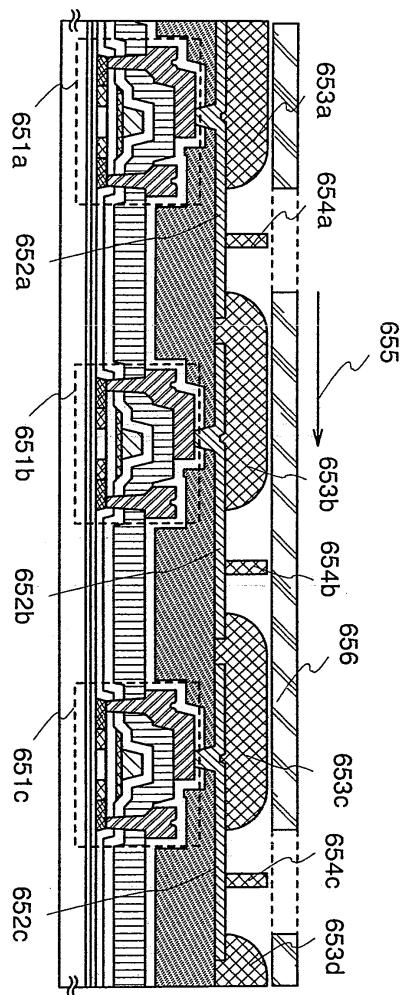
## 도면21



## 도면22



도면23



专利名称(译)	显示装置和显示装置的制造方法		
公开(公告)号	<a href="#">KR1020060051388A</a>	公开(公告)日	2006-05-19
申请号	KR1020050086858	申请日	2005-09-16
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	MURAKAMI SATOSHI 무라카미사토시 OHTANI HISASHI 오우타니히사시 YAMAZAKI SHUNPEI 야마자키순pei		
发明人	무라카미,사토시 오우타니, 히사시 야마자키,순페이		
IPC分类号	H05B33/22 H05B33/04 H05B33/10		
CPC分类号	H01L51/56 H01L27/3244 H01L27/3297 H01L2251/5323 H01L51/5237 H01L27/3295 H01L51/0005 H01L51/525 H01L27/3248 H01L27/3262 H01L27/3272 H01L27/3274 H01L51/5012 H01L51/504 H05B33/04 H05B33/10 H05B33/22 H01L27/3225 H01L27/3246 H01L27/3276 H01L51/5203 H01L51 /5246 H01L51/5253		
代理人(译)	李昌勋		
优先权	2004272628 2004-09-17 JP		
其他公开文献	<a href="#">KR101256357B1</a>		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明的一个目的是提供一种能够以低成本和高产量生产高度可靠的显示装置的技术。本发明在像素电极上形成间隔物，并在形成电致发光层时保护像素电极层免受母模的影响。此外，由于含有具有透水性的有机材料的层被密封在显示装置中的密封材料中，并且密封材料和包含有机材料的层彼此不接触，可以防止由热引起的劣化。由于密封材料形成在显示装置的驱动电路区域的一部分中，因此还可以实现显示装置的平滑软化。1 指数方面 显示装置，缓冲液软化，像素电极层，电致发光层，

