

(19)대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H05B 33/12 (2006.01)

(11) 공개번호 10-2006-0024347

(43) 공개일자 2006년03월16일

(21) 출원번호 10-2005-7016525

(22) 출원일자 2005년09월05일

번역문 제출일자 2005년09월05일

(86) 국제출원번호 PCT/JP2004/016542

(87) 국제공개번호 WO 2005/045796

국제출원일자 2004년11월08일

국제공개일자 2005년05월19일

(30) 우선권주장

JP-P-2003-00378581

2003년11월07일

일본(JP)

JP-P-2004-00154092

2004년05월25일

일본(JP)

(71) 출원인

산요덴키가부시기가이샤

일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자

고가, 마사유키

일본 570-8677 오사카후 모리구찌시 게이한혼도리 2쵸메 5-5산요덴키

가부시기가이샤 내

마루모, 고지

일본 570-8677 오사카후 모리구찌시 게이한혼도리 2쵸메 5-5산요덴키

가부시기가이샤 내

(74) 대리인

장수길

이중희

구영창

심사청구 : 있음

(54) 화소 회로 및 표시 장치

요약

TFT(20), 보정 TFT(22)가 온함으로써 데이터 라인의 데이터 전압이 구동 TFT(24)의 게이트 전압으로서 유지 용량(28)에 유지된다. 선택 TFT(20)를 오프한 후, 용량 라인 SC의 전압을 하강시켜서, 이것에 의해서 구동 TFT(24)를 온하여 구동 전류를 유기 EL 소자(26)에 흘린다. 여기서, 보정 TFT(22)는, 용량 라인 SC의 하강 전에는 온으로, 하강 도중에는 오프로 된다. 따라서, 게이트 전압의 하강 중에 보정 TFT(22)의 용량값이 변화하고, 구동 TFT(24)의 게이트 전압의 하강 구배가 변화하고, 이에 의해 구동 TFT(24)의 임계값 변화에 대응하여, 용량 라인 SC 하강 후의 게이트 전압의 설정이 행해진다. 특히, 구동 TFT(24)와 보정 TFT(22)를 인접하여 배치함으로써, 양자의 특성을 동일하게 하여 보정을 효과적으로 행할 수 있다.

대표도

도 1

색인어

데이터 라인, 선택 트랜지스터, 펄스 전압 라인, 발광 소자, 능동층

명세서

기술분야

본 발명은, 유기 EL 소자 등의 발광 소자를 포함하는 화소 회로 및 그것을 매트릭스 형상으로 배치한 표시 장치에 관한 것이다.

배경기술

종래부터, 발광 소자로서 유기 EL 소자를 이용한 유기 EL 패널이 알려져 있고, 그 개발이 진행되고 있다. 이 유기 EL 패널에서는, 유기 EL 소자를 매트릭스 형상으로 배치하고, 이 유기 EL 소자의 발광을 개별적으로 제어함으로써, 표시를 행한다. 특히, 액티브 매트릭스 타입의 유기 EL 패널에서는, 화소마다 표시 제어용 TFT를 갖고, 이 TFT의 동작 제어에 의해 화소마다의 발광을 제어할 수 있기 때문에, 매우 고정밀도의 표시를 행할 수 있다.

도 13에, 액티브 매트릭스 타입의 유기 EL 패널에서의 화소 회로의 일례를 나타낸다. 화소의 회로를 나타내는 데이터 전압이 공급되는 데이터 라인은, 게이트가 게이트 라인에 접속된 n 채널의 선택 TFT(10)를 통하여, 구동 TFT(12)의 게이트에 접속되어 있다. 또한, 구동 TFT(12)의 게이트에는, 타단이 유지 용량 라인 SC에 접속된 유지 용량(14)의 일단이 접속되고, 구동 TFT(12)의 게이트 전압을 유지한다.

구동 TFT(12)의 소스는, EL 전원 라인에 접속되고, 드레인에는 유기 EL 소자(16)의 애노드에 접속되며, 유기 EL 소자(16)의 캐소드가 캐소드 전원에 접속되고 있다.

이러한 화소 회로가 매트릭스 형상으로 배치되어 있고, 소정의 타이밍에서, 수평 라인마다 설치된 게이트 라인이 H 레벨로 되고, 그 행의 선택 TFT(10)가 온 상태로 된다. 이 상태에서, 데이터 라인에는, 순차적으로 데이터 전압이 공급되기 때문에, 그 데이터 전압은 유지 용량(14)에 공급 유지되고, 게이트 라인이 L 레벨로 되어도 그 때의 전압을 유지한다.

그리고, 이 유지 용량(14)에 유지된 전압에 따라서, 구동 TFT(12)가 동작하여 대응하는 구동 전류가 EL 전원으로부터의 유기 EL 소자(16)를 통하여, 캐소드 전원에 흐르고, 유기 EL 소자(16)가 데이터 전압에 따라서 발광한다.

그리고, 게이트 라인을 순차적으로 H 레벨로 하여, 입력되어 오는 비디오 신호를 대응하는 화소에 데이터 전압으로 하여 순차적으로 공급함으로써, 매트릭스 형상으로 배치된, 유기 EL 소자(16)가 데이터 전압에 따라서 발광하고, 비디오 신호에 대한 표시가 행해진다.

그러나, 이러한 화소 회로에서, 매트릭스 형상으로 배치된 화소 회로의 구동 TFT의 임계값 전압이 변동되면, 회도가 변동되는 것으로 되어, 표시 품질이 저하한다는 문제가 있다. 그리고, 표시 패널 전체의 화소 회로를 구성하는 TFT에 대하여, 그 특성을 동일하게 하는 것은 어렵고, 그 온 오프의 임계값이 변동되는 것을 방지하는 것은 어렵다.

따라서, 구동 TFT에서의 임계값의 변동의 표시에 대한 영향을 방지하는 것이 요구된다.

여기서, TFT의 임계값의 변동에의 영향을 방지하기 위한 회로에 대해서는, 종래부터 각종 제안이 있다(예를 들면, 일본 특표 2002-514320호 공보).

그러나, 이 제안에서는, 임계값 변동의 보상을 하기 위한 회로를 필요로 한다. 따라서, 이러한 회로를 이용하면, 화소 회로의 소자수가 증가하고, 개구율이 작아지게 된다고 하는 문제가 있었다. 또한, 보상을 위한 회로를 추가한 경우, 화소 회로를 구동하기 위한 주변 회로에 대해서도 변경이 필요해진다고 하는 문제가 있었다.

<발명의 개시>

본 발명은, 간단한 변경으로, 효과적으로 구동 트랜지스터의 임계값 전압의 변동을 보상할 수 있는 화소 회로를 제공한다.

본 발명은, 화소 회로로서, 데이터 라인에 일단이 접속되고, 제어단에 선택 신호가 입력되는 선택 트랜지스터와, 이 선택 트랜지스터의 타단에 일단이 접속되고, 제어단이 소정 전압의 제1 전원에 접속되는 보정 트랜지스터와, 이 보정 트랜지스터의 타단에 제어단이 접속되고, 일단이 전류 공급원으로서의 제2 전원에 접속되는 구동 트랜지스터와, 이 구동 트랜지스터의 제어단에 일단이 접속되고, 타단이 펄스 전압 라인에 접속된 유지 용량과, 상기 구동 트랜지스터에 흐르는 전류에 의해서 발광하는 발광 소자를 갖고, 상기 펄스 전압 라인의 전압값을 변경함으로써 상기 구동 트랜지스터를 온하는 과정에서, 상기 보정 트랜지스터의 온 오프를 변경하고, 이것에 의해서 구동 트랜지스터의 온 시에서의 제어단 전압을 제어함과 함께, 상기 구동 트랜지스터와, 상기 보정 트랜지스터가 인접하여 형성되어 있다.

또한, 상기 데이터 라인 및 전원 라인이 수직 주사 방향으로 신장하고, 상기 보정 트랜지스터가 상기 데이터 라인 및 전원 라인 사이에 형성되어 있는 것이 적합하다.

또한, 상기 구동 트랜지스터는, 상기 전원 라인을 사이에 끼워서, 상기 보정 트랜지스터의 반대측에 형성되는 것이 적합하다.

또한, 상기 선택 트랜지스터를 온한 상태에서, 데이터 라인에 보정 트랜지스터가 온하는 데이터 전압을 공급하여, 구동 트랜지스터의 제어단에 데이터 전압에 대응하는 전압을 유지하고, 그 후 상기 선택 트랜지스터를 오프하고, 그 상태에서 펄스 전압 라인의 전압을 변화시켜서 구동 트랜지스터의 제어단 전압을 시프트시키고, 이것에 의해서 보정 트랜지스터를 오프함과 함께, 구동 트랜지스터를 온하여, 데이터 전압에 따른 전류를 구동 트랜지스터에 흘리는 것이 적합하다.

또한, 상기 제1 전원과, 제2 전원은 동일한 전원인 것이 적합하다.

또한, 상기 보정 트랜지스터 및 구동 트랜지스터는, p 채널 트랜지스터이고, 상기 펄스 전압 라인은, 상기 선택 트랜지스터가 오프한 후, 고레벨로부터 저레벨로 변화하는 것이 적합하다.

본 발명의 다른 양태에서는, 복수의 화소가 매트릭스 형상으로 배열된 표시 장치로서, 각 화소는 공급 전력에 따른 동작을 하는 표시 소자와, 데이터 라인에 제1 도전 영역이 접속되고, 제어단에 선택 신호가 입력되는 선택 트랜지스터와, 제1 도전 영역이 전원 라인에 접속되고, 상기 표시 소자에 전력을 공급하는 구동 트랜지스터와, 제어단이 소정 전압의 제1 전원에 접속되고, 제1 도전 영역이 상기 선택 트랜지스터의 제2 도전 영역에 접속되고, 제2 도전 영역이 상기 구동 트랜지스터의 제어단에 접속된 보정 트랜지스터와, 제1 전극이, 상기 구동 트랜지스터의 제어단 및 상기 보정 트랜지스터의 제2 도전 영역에 접속되고, 제2 전극이 펄스 전압 라인에 접속된 유지 용량을 갖는다. 또한, 상기 펄스 전압 라인의 전압의 변동에 따라서 상기 구동 트랜지스터의 제어단 전압이 변화하고, 이것에 따라서 상기 구동 트랜지스터가 온 상태로 될 때의 상기 제어단 전압을, 상기 보정 트랜지스터가 그 동작 임계값에 따라서 제어한다. 또한, 상기 보정 트랜지스터와 상기 구동 트랜지스터는 동일 도전형의 트랜지스터에 의해서 구성되어 있고, 또한 상기 보정 트랜지스터와 상기 구동 트랜지스터 중 적어도 채널 영역은, 모두 레이저 어닐링에 의해 다결정화된 반도체층에 의해서 구성되고, 해당 채널 영역이 서로 근접 배치되어 있다.

본 발명의 다른 양태에서는, 상기 화소 회로나 표시 장치에서, 상기 보정 트랜지스터의 채널 길이 방향과 상기 구동 트랜지스터의 채널 길이 방향은, 상기 다결정화 레이저 어닐링 시에 조사되는 라인 형상의 펄스 레이저의 주사 방향으로 평행하게 배치되고, 또한 상기 보정 트랜지스터의 채널 영역과 상기 구동 트랜지스터의 채널 영역은, 모두 상기 펄스 레이저의 주사 방향으로 직교하는 방향으로 연장되는 동일선 상에 적어도 일부가 위치하고 있다.

본 발명의 다른 양태에 따른 표시 장치에서는, 상기 보정 트랜지스터와 상기 구동 트랜지스터는 동일 도전형의 트랜지스터에 의해서 구성되어 있고, 또한 상기 보정 트랜지스터의 능동층 중 적어도 일부가, 사이에 절연층을 끼워서 상기 전원 라인의 하층 위치에 형성되어 있는 구성을 채용할 수도 있다.

또한 본 발명에서는, 상기 표시 장치에서, 상기 제1 전원은 전원 라인이 겸용하여, 상기 보정 트랜지스터의 능동층과 상기 전원 라인과의 층 사이에, 상기 전원 라인에 접속된 상기 보정 트랜지스터의 제어 전극을 형성하여도 된다. 또한, 상기 보정 트랜지스터는, 상기 데이터 라인과 상기 전원 라인의 라인 사이에, 적어도 한 쪽의 라인과 일부가 중첩되도록 연장하여 형성된 능동층을 구비하여도 된다.

본 발명의 다른 양태에서는, 상기 표시 장치에서, 상기 보정 트랜지스터의 채널 영역은, 그 채널 길이 방향에서 서로 채널 폭이 상이한 부분을 구비한다.

이상 설명한 바와 같이, 본 발명에 따르면, 펄스 전압 라인의 전압값을 변경함으로써 구동 트랜지스터를 온하는 과정에서, 보정 트랜지스터의 온 오프 상태를 변경하고, 이것에 의해서 구동 트랜지스터의 온 시에서의 제어단 전압을 제어한다. 따라서, 보정 트랜지스터의 임계값 전압에 따라서 상이한 전압을 대응하는 구동 트랜지스터의 제어단에 설정할 수 있다. 그리고, 구동 트랜지스터와, 보정 트랜지스터를 인접하여 형성하고 있기 때문에, 구동 트랜지스터와, 보정 트랜지스터의 임계값 전압을 마찬가지로 전압으로 설정하는 것이 용이하고, 보정 트랜지스터에 의해 구동 트랜지스터의 임계값 전압을 보상할 수 있어, 발광 소자에 흘리는 전류량을 균일하게 할 수 있다.

또한, 데이터 라인 및 전원 라인이 수직 주사 방향으로 연장되고, 보정 트랜지스터를 데이터 라인 및 전원 라인의 라인 사이에 형성하거나, 구동 트랜지스터를 전원 라인을 사이에 끼워서, 보정 트랜지스터의 반대측에 형성하는 등에 의해, 효율적인 배치가 가능해지고, 발광 소자 등의 표시 소자를 가능한 한 크게 하여 개구율이 높은 표시 장치를 실현할 수 있다.

예를 들면, 전원 라인의 하측 영역에, 사이에 절연층을 끼워서 보정 트랜지스터의 능동층을 중첩하여 배치함으로써, 1 화소 내의 배치의 자유도를 보다 향상시킬 수 있다. 또한, 보정 트랜지스터의 제어 전극(게이트 전극)을 전원 라인에 접속하는 경우에는, 보정 트랜지스터의 능동층이 전원 라인의 하방에 위치하여도 그 채널 영역에는 제어 전극에 의해서 전원 라인과 동일한 전압이 인가되기 때문에 트랜지스터의 동작에 미치는 영향을 작게 할 수 있다.

또한, 보정 트랜지스터의 채널 길이 방향에서 채널폭이 상이한 부분을 설치함으로써, 1 화소 내에서의 각 트랜지스터 등의 배치의 자유도를 향상시키는 것이 가능하게 된다.

또한, 펄스 전압 라인의 전압 변동에 의해, 구동 트랜지스터가 오프 상태에서 온으로 됨과 함께, 보정 트랜지스터의 온 오프 상태가 전환되고, 그 용량값이 변화한다. 그리고, 보정 트랜지스터의 임계값 변화에 따라서 구동 트랜지스터의 게이트 전압이 어떤 전압으로 보정 트랜지스터의 온 오프가 전환되는지가 변화한다. 또한, 펄스 전압 라인의 변화에 따른 구동 트랜지스터의 게이트 전압의 변화는, 보정 트랜지스터의 용량값에 따르기 때문에, 보정 트랜지스터의 임계값 변동에 따라서, 게이트 전압이 변동하게 된다. 따라서, 구동 트랜지스터의 임계값 변동을 상쇄하도록 구동 트랜지스터의 게이트 전압을 변화시키기 위해서, 보정 트랜지스터의 특성과 구동 트랜지스터와의 특성을 가능한 한 갖춤으로써 제어가 용이해진다.

따라서 보정 트랜지스터와 구동 트랜지스터의 채널 영역이 모두 레이저 어닐링에 의해서 다결정화된 반도체층에 의해서 구성되는 경우, 적어도 이 채널 영역을 서로 근접 배치함으로써 특성을 맞추는 것이 용이해진다.

예를 들면, 레이저 어닐링에 의해서 다결정화한 능동층을 이용하는 경우에, 보정 트랜지스터의 채널 길이 방향과 구동 트랜지스터의 채널 길이 방향을 다결정화 레이저 어닐링 시에 조사되는 라인 형상의 펄스 레이저의 주사 방향에 대하여 평행하게 배치함으로써, 트랜지스터의 전기 이동도에 미치는 영향이 큰 채널 길이 방향에 대하여 복수회의 레이저 펄스를 조사할 수 있고, 화소마다 각 트랜지스터의 특성 변동량을 저감할 수 있다. 또한, 보정 트랜지스터의 채널 영역과 상기 구동 트랜지스터의 채널 영역 위치를, 모두, 상기 펄스 레이저의 주사 방향에 직교하는 방향으로 연장되는 동일선 상에 적어도 일부가 나열되도록 함으로써, 동일한 레이저 빔이 이 2개의 트랜지스터의 채널 영역에 조사되기 때문에, 그 특성을 보다 가까이 하는 것이 가능하게 된다.

또한, 상기 제1 전원과, 제2 전원은 동일한 전원으로 하면, 별개의 전원 라인을 설치할 필요가 없어진다.

또한, 보정 트랜지스터 및 구동 트랜지스터를 동일한 p 채널 트랜지스터로 한 경우, 상기 펄스 전압 라인은, 상기 선택 트랜지스터가 오프한 후, 고레벨로부터 저레벨로 변화함으로써, p 채널 트랜지스터의 게이트 용량을 유효하게 이용할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시 형태에 따른 화소 회로의 구성을 도시하는 도면.

도 2는 본 발명의 실시 형태에 따른 게이트 라인 GL, 용량 라인 SC에 인가되는 신호의 타이밍을 도시하는 도면.

도 3은 본 발명의 실시 형태에 따른 게이트 전압 V_{g24} 의 변화 상태를 도시하는 도면.

도 4는 본 발명의 실시 형태에 따른 화소 회로에 존재하는 용량을 설명하기 위한 도면.

도 5는 본 발명의 실시 형태에 따른 화소의 평면 구성의 일례를 도시하는 도면.

도 6A는 도 5의 A-A선을 따라 취한 개략 단면 구성도.

도 6B는 도 5의 B-B선을 따라 취한 개략 단면 구성도.

도 7은 본 발명의 실시 형태에 따른 보정 TFT를 멀티게이트화한 경우의 1 화소당 등가 회로를 도시하는 도면.

도 8은 도 7에 도시한 등가 회로를 실현하는 레이아웃의 일례를 나타내는 개략 평면도.

도 9는 본 발명의 실시 형태에 따른 선택 TFT 및 보정 TFT의 양방을 멀티게이트화한 경우의 등가 회로를 도시하는 도면.

도 10은 도 9에 도시한 등가 회로를 실현하는 레이아웃의 일례를 도시하는 도면.

도 11은 도 10에 도시한 레이아웃의 다른 예를 도시하는 도면.

도 12는 본 발명의 실시 형태에 따른 또 다른 회로 구성예를 도시하는 도면.

도 13은 종래의 화소 회로의 구성을 도시하는 도면.

<발명을 실시하기 위한 최량의 형태>

이하, 본 발명의 실시 형태에 대하여, 도면에 기초하여 설명한다.

도 1은, 실시 형태에 따른 1 화소의 화소 회로의 구성을 도시하는 도면이다. 수직 주사 방향으로 신장하는 데이터 라인 DL에는, n 채널의 선택 TFT(20)의 제1 도전 영역(드레인)이 접속되어 있다. 이 선택 TFT(20)의 게이트(제어단)는 수평 주사 방향으로 신장하는 게이트 라인 GL에 접속되고, 제2 도전 영역(소스)은, p 채널의 보정 TFT(22)의 제1 도전 영역(소스)에 접속되어 있다. 또한, 이 선택 TFT(20)는, p 채널로도 되고, p 채널의 경우에는, 게이트 라인 GL에 출력하는 선택 신호(게이트 신호)의 극성(H 레벨 또는 L 레벨)을 역으로 하여 구동하면 된다.

보정 TFT(22)의 제어단(게이트)은, 전원 라인 PL(전압 Pvd)에 접속되고, 제2 도전 영역(드레인)은, p 채널의 구동 TFT(24)의 제어단(게이트)에 접속되어 있다. 또한, 구동 TFT(24)의 게이트에는, 유지 용량(28)의 일단(제1 전극)이 접속되고, 이 유지 용량(28)의 타단(제2 전극)은, 펄스 형상 전압으로 구동되는 펄스 전압 라인으로서 기능하는 유지 용량 라인(이하 용량 라인) SC에 접속되어 있다. 이 용량 라인 SC는 게이트 라인 GL과 마찬가지로 수평 주사 방향으로 신장하는 라인이다. 또한, 다른 전원 라인을 설치하여, 보정 TFT(22)의 게이트를 그 다른 전원 라인에 접속하면, 보정 TFT(22)의 온으로부터 오프로 전환되는 타이밍을 임의로 조절할 수 있다.

구동 TFT(24)의 제1 도전 영역(소스)은, 수직 주사 방향으로 신장하는 전원 라인 PL에 접속되고, 제2 도전 영역(드레인)은 유기 EL 소자(26)의 애노드에 접속되어 있다. 또한, 유기 EL 소자(26)의 캐소드는, 소정의 저전압의 캐소드 전원 CV에 접속되어 있다. 여기서, 통상의 경우, 유기 EL 소자(26)의 캐소드는 전체 화소 공통으로 되어 있어, 이 캐소드가 캐소드 전원 CV에 접속되어 있다.

유기 EL 패널에서는, 이러한 화소 회로가 매트릭스 형상으로 배치되어 있고, 해당하는 수평 라인의 비디오 신호가 입력되어 오는 타이밍에서, 그 수평 라인의 게이트 라인이 H 레벨로 되고, 그 행의 선택 TFT(20)가 온 상태로 된다. 이것에 의해서, 보정 TFT(22)의 소스는, 데이터 라인 DL의 전위로 된다.

여기서, 데이터 라인 DL에는, 데이터 전압이 공급된다. 이 데이터 전압 Vdata는, 대응 화소를 표시하는 비디오 신호에 대응한 것으로, 예를 들면 백 레벨로부터 흑 레벨을 3~5V 정도로 표현하고 있다. 한편, 전원 라인 PL의 전압 Pvd는, 0V 정도로 설정된다. 따라서, 선택 TFT(20)가 온하여, 보정 TFT(22)(여기서는 소스)에, 데이터 라인 DL의 데이터 전압 Vdata가 인가되면, 보정 TFT(22)는 온 상태로 되어, 데이터 전압 Vdata가 구동 TFT(24)의 게이트(노드 Tg24)에 세트된다. 즉, 각 화소에의 데이터 전압 Vdata의 기입 기간에는, 3~5V 정도의 전압이 구동 TFT(24)의 게이트로 세트된다. 또한, 이 때에 유지 용량(28)의 타단의 용량 라인 SC는, +8V 정도로 설정되어 있다.

이러한 데이터 전압 V_{data} 의 구동 TFT(24)의 게이트에의 기입이 종료한 후, 용량 라인 SC의 전압을 예를 들면 -4V로 내린다. 이것에 따라서, 구동 TFT(24)의 게이트는 12V 정도 저하하고, 구동 TFT(24)가 온하고, 데이터 전압에 따른 전류가, 구동 TFT(24)를 통하여 전원 라인 PL로부터 유기 EL 소자(26)에 공급되어 발광한다.

여기서, 보정 TFT(22)는, 용량 라인 SC가 +8V로부터 -4V 정도에까지 저하함으로써, 그 드레인(노드 Tg24)의 전압이, 3~5V로부터, 기본적으로 -9V~-7V 정도의 마이너스 전압(후술하는 바와 같이, 이 전압은 조금 상이함)으로 되고, 온 상태에서 오프 상태로 변화한다. 보정 TFT(22)의 이 온으로부터 오프로의 변화에 따라서 보정 TFT(22)의 게이트 용량이 변화하기 때문에, 그 용량의 변화 타이밍, 즉 보정 TFT(22)의 임계값 V_{th22} 가, 최종적인 구동 TFT(24)의 게이트 전위를 좌우한다. 따라서, 보정 TFT(22)에 의해서 구동 TFT(24)의 임계값 전압 V_{th24} 의 변동을 보상할 수 있다.

여기서, 구동 TFT(24)는, 전원 전압 P_{vdd} 와 게이트 전압 V_{g24} 의 차, 즉 V_{gs24} 에 따라서 온하여 대응하는 구동 전류를 흘린다. 이 V_{gs24} 가, 그 TFT의 특성으로 정해지는 임계값 전압 V_{th24} 보다 커졌을 때에, 구동 TFT(24)는 전류를 흘리기 시작하고, 구동 전류량은, 게이트 전압 V_{g24} 와, 임계값 전압 V_{th24} 와의 차에 따라 결정된다. 한편, 기판 상에 매트릭스 형상으로 배치된 다수의 화소의 각 구동 TFT(24)의 임계값 전압 V_{th24} 를 완전히 동일하게 하는 것은 어렵고, 임계값 전압 V_{th24} 가, 화소 위치에 따라 다소 변동되는 것은 피할 수 없다. 그리고, 유기 EL 소자(26)는, 공급되는 구동 전류량에 따른 휘도로 발광하기 때문에, 각 화소의 발광 휘도는, 구동 TFT(24)의 임계값 전압 V_{th24} 의 변동에 따라서 변동하게 된다. 본 실시 형태에 따른 구성에서는, 보정 TFT(22)의 용량 변화에 따라, 발광 휘도의 변동을 보상한다.

이하, 발광 휘도의 변동 보상의 원리에 대하여, 도 2 및 도 3을 참조하여 설명한다. 도 3은, 도 2에서의 긴 타원으로 나타낸 용량 라인 SC의 하강 시의 상태를 확대하여 나타낸 도면이다. 우선, 도 2에 도시한 바와 같이, 게이트 라인 GL은, 그 행(수평 라인)이 선택되어 있을 때에, 액티브(H) 레벨로 된다. 이 예에서는, 선택 TFT(20)가 n 채널이고, 게이트 라인 GL은, L 레벨=-4V 정도, H 레벨=8V 정도로 설정되고, 선택(액티브) 시에는, 8V로 설정된다.

한편, 용량 라인 SC의 전압 V_{sc} 는, 게이트 라인 GL이 선택되는(H 레벨의) 기간보다, 약간 긴 기간, H 레벨로 된다. 즉, 게이트 라인 GL이 H 레벨로 되기 전에 H 레벨로 되고, 게이트 라인 GL이 L 레벨로 된 후에 L 레벨로 된다.

게이트 라인 GL이 H 레벨의 기간에는, 이 게이트 라인 GL에 대응하는 선택 TFT(20) 및 보정 TFT(22)가 온하고, 그 때 데이터 라인 DL에 출력되어 있는 데이터 전압 V_{data} 가, 선택 TFT(20) 및 보정 TFT(22)를 통하여 노드 Tg24에 인가된다. 즉, 구동 TFT(24)의 게이트 전압 V_{g24} 가, 데이터 전압 V_{data} 로 세트된다.

게이트 라인 GL이 L레벨로 되고, 데이터 전압 V_{data} 의 기입 후에, 용량 라인 SC의 전압이 하강하고, 이에 따라서 노드 Tg24의 전위가 저하해 감으로써 결국 보정 TFT(22)가 오프한다. 구동 TFT(24)의 게이트 전압 V_{g24} 는, 용량 라인 SC의 저하분(이 예에서는 8V로부터 -4V에의 12V)에 따라서, 데이터 전압 V_{data} 로부터 소정 전압만큼 낮은 전압으로 되어, 이 전압에 따른 구동 전류를 흘린다.

보정 TFT(22)는, 각 화소마다 설치되어 있고, 또한 그 화소의 구동 TFT(24)에 인접하여 형성되어 있고, 또한 구동 TFT(24)와 동일한 공정을 거쳐서 작성된다. 특히, 후술하는 바와 같이 선택 TFT(20)를 포함시켜서 예를 들면 구동 TFT(24) 및 보정 트랜지스터(22)의 능동층으로서, 비정질 실리콘을 레이저 어닐링에 의해서 다결정화하여 얻은 다결정 실리콘을 이용하는 경우 등, 구동 TFT(24)와 보정 TFT(22)의 능동층 영역에 대하여 다결정화를 위한 동일한 레이저 펄스를 동시에 조사함으로써, TFT 특성을 갖출 수 있다. 또한, 능동층에 주입하는 불순물 농도도 거의 동일하게 할 수 있다. 따라서, 구동 TFT(24)와, 보정 TFT(22)는 임계값 전압도 거의 동일한 것으로 된다. 또한, 보정 TFT(22)의 게이트는, 전원 라인 PL(여기서는, $P_{vdd}=0V$)에 접속되어 있기 때문에, 노드 Tg24의 전압 V_{g24} 의 저하에 따라서, 온으로부터 오프로 변화한다.

이와 같이, 용량 라인 SC의 하강 시에, p 채널 TFT인 보정 TFT(22)는, 온으로부터 오프로 상태가 변화하고, 한편 구동 TFT(24)는 오프로부터 온으로 상태가 변화한다. TFT는, 그 게이트 용량값 C_g 가, 온 또는 오프의 상태에 의해 변화한다. 따라서, 구동 TFT(24)의 게이트 전압 V_{g24} 의 변화는, 2개의 TFT(22, 24)의 온 오프 상태의 변화의 영향을 받는다. 즉, TFT는, 구체적으로는, TFT 온 상태에서는, C_g 는 크고, 오프 상태에서는 작다. 온일 때에 오프일 때보다 용량이 크기 때문에, 전압 변화 상태가 용량 변화의 영향을 받는다.

즉, 보정 TFT(22)가 온으로부터 오프로 되어 그 게이트 용량값 C_{g22} 가 작아지면, 전압 V_{g24} 의 저하의 기울기 α 가 커진다.

따라서, 임의의 화소의 보정 TFT(22)의 온 상태에서 오프 상태로 절환되는 절환 전압이, 도 3에서의 「절환 전압 A」인 경우에는, 노드 Tg24의 전압(게이트 전압 V_{g24})은, 도면에서 실선으로 나타낸 바와 같이 변화한다. 즉, 절환 전압 A에 이르기까지는, 게이트 전압 V_{g24} 는, 일단 세트된 데이터 전압 Vdata로부터 제1 기울기 α_1 로 변화(저하)하고, 절환 전압 A에 도달 후, 제2 기울기 α_2 로 변화(저하)한다. 그리고, 구동 TFT(24)가 온으로 되면, 제3 기울기 α_3 으로 변화(저하)하고, 용량 라인 SC의 전압이 L 레벨로 되어 소정 기간 경과 후에, 전압 V_{g24} 는, 보정 전압 VcA로 설정된다.

여기서, 보정 TFT(22)가 온으로부터 오프로 변화하는 절환 전압은, 전술된 바와 같이 보정 TFT(22)의 게이트 전압인 전원 전압 Pvdd=0과, 그 소스 전압의 차 V_{gs22} 에서 결정된다. 이 때문에, 절환 전압 A, B는, 전원 전압 Pvdd에 보정 TFT(22)의 임계값 전압 V_{th22} 의 절대값을 가산한 전압($Pvdd + |V_{th22}|$)에 동일하다.

한편, 보정 TFT(22)의 임계값 전압 V_{th22} 가, 「절환 전압 A」보다 낮은 「절환 전압 B」인 경우, 게이트 전압 V_{g24} 는, 도 3에 파선으로 나타낸 바와 같이 변화한다. 즉, 게이트 전압 V_{g24} 는, 일단 세트된 데이터 전압 Vdata로부터, 절환 전압 B에 도달할 때까지는 제1 기울기 α_1 로 변화(저하)하고, 도달한 뒤에는 제2 기울기 α_2 로 변화(저하)하고, 구동 TFT(24)가 온하면 제3 기울기 α_3 으로 변화(저하)하고, 용량 라인 SC의 전압이 L 레벨로 되고나서 소정 기간 경과 후에, 전압 V_{g24} 는, 보정 전압 VcB로 설정된다.

이와 같이, 노드 Tg24에, 처음에는, 동일한 데이터 전압 Vdata가 공급되어도, 최종적인 구동 TFT(24)의 게이트 전압 V_{g24} 는 임계값 전압이 낮을수록 높은 보정 전압 Vc로 설정되는 것으로 된다.

전술된 바와 같이, 구동 TFT(24)의 임계값 전압 V_{th24} 는, 보정 TFT(22)의 임계값 전압 V_{th24} 에 대응하고 있다. 따라서, 구동 TFT(24)의 임계값 전압 V_{th24} 가, 「 V_{th24} 」이면, 게이트 전압 V_{g24} 는, 임계값 전압 V_{th24} A에 대응하는 보정 전압 VcA로 되고, 「 V_{th24} 」이면, 게이트 전압 V_{g24} 는, 이 임계값 전압 VB에 대응하는 보정 전압 VcB로 설정된다. 이 예에서는, 임계값 전압 V_{th24} 와 보정 후의 게이트 전압 V_{g24} 와의 차는, 임계값 전압이 V_{th24} A인 경우에도 V_{th24} B인 경우에도 동일하다. 즉, 보정 TFT(22)의 사이즈, 전원 전압값 Pvdd, 구동 TFT(24)의 사이즈, 유지 용량(28)의 용량값 Cs 등의 설정에 의해서, 데이터 전압 Vdata가 동일하면, 구동 TFT(24)의 임계값 전압 V_{th24} 가 화소마다 다르더라도, 임계값 전압 V_{th24} 와 게이트 전압 V_{g24} 와의 차를 일정하게 하는 것이 가능하며, 구동 TFT(24)의 임계값 전압 V_{th24} 의 변동의 영향을 배제할 수 있다.

여기서, 이상과 같은 보상을 행하기 위해서는, 제2 기울기 α_2 가, 제1 기울기 α_1 의 2배로 되도록, 조건을 설정하는 것이 적합하다. 이 조건 설정에 대하여 도 3에 기초하여 설명한다. 도 3에 도시한 바와 같이, 보정 TFT(22)가 온 상태라고 한 경우에는, 그 용량값 C_{g22} 가 오프 시에 비교하여 크기 때문에, 게이트 전압 V_{g24} 의 변화는, 펄스 구동 전압의 변화에 따른 영향이 억제되어, 기울기 α_1 은 작아진다. 한편, 보정 TFT(22)가 오프 상태인 경우에는 용량값 C_{g22} 가 작고, 펄스 구동 전압의 변화에 따른 영향이 크기 때문에 기울기 α_2 가 크다. 또한, 기울기 α_2 는 기울기 α_1 의 2배의 크기로 되도록 조건 설정하고 있기 때문에, 펄스 구동 전압이 L 레벨로 되었을 때의 게이트 전압 V_{g24} 의 감소분은, 보정 TFT(22)가 오프 상태일 때가 온 상태일 때의 2배가 된다.

즉, 2개의 구동 TFT(24)의 임계값 전압의 차 ΔV_{th24} 와, 2개의 보정 TFT(22)의 임계값 전압의 차 ΔV_{th22} 가 동등하게 되도록 TFT를 구성하고, 보정 TFT(22)의 온으로부터 오프로 바뀌었을(특이한) 때의 기울기를 2배로 함으로써, $\Delta V_{th22} = \Delta V_{th24}$ 로 되어, 2개의 보정 전압(VcA, VcB)의 차 ΔV_c 는, $\Delta V_c = \Delta V_{th24}$ 를 만족한다.

즉, 도 3에서,

(i) 2개의 보정 TFT(22)의 절환 전압 A와 B와의 차(ΔV_{th22}),

(ii) 절환 전압 B(절환 타이밍이 느린 쪽: 여기서는 낮은 쪽의 전압)와, 그 화소의 노드 Tg24B가 절환 전압 B에 도달했을 때에, 절환 전압 A의 보정 TFT(22)를 구비하는 화소에서의 노드 Tg24B의 전압 V_{g24A} 와의 차(ΔV_{th22} '),

(iii) 2개의 구동 TFT(24)의 절환 전압의 차(ΔV_{th24}),

(iv) 보정 전압 VcA, VcB와의 차(ΔV_c)

는 모두 동등하게 된다.

또한, 데이터 전압 Vdata로서 기입되는 전압인 샘플링 전압이 변화한 경우에도, 기울기가 변하지 않기 때문에, 절환 전압 차 ΔV_{th22} 와, 보정 전압차 ΔV_c 가 동등해지는 것에는 변함이 없고, 항상 임계값 전압의 변동을 보상할 수 있다.

또한, 실험에 따르면, 데이터 전압의 전위차는, 보상 동작 후의 보정 전압에서, 2배로 증폭된다. 따라서, 데이터 전압의 범위를 작게 하여, 충분한 구동 TFT(24)의 게이트 전압의 차를 유지할 수 있고, 데이터 전압을 공급하는 회로의 부하가 작아서 작성이 용이해진다고 하는 효과도 얻어진다.

또한, 전술된 바와 같이, 용량 라인 SC의 전압을 하강시킬 때의 구동 TFT(24)의 게이트 전압 변화는, 특히 보정 TFT(22)의 게이트 용량값 C_{g22} 와, 구동 TFT(24)의 게이트 용량값 C_{g24} , 유지 용량(28)의 용량값 Cs, 및 배선의 기생 용량 Cw의 영향을 받는다.

전술한 V_{g24} 의 변화의 메카니즘에 대하여, 전하의 이동량에 기초하여 설명한다. 여기에서, 유지 용량(28)의 용량값을 Cs, 보정 TFT(22)의 게이트 용량을 C_{g22} , 구동 TFT(24)의 게이트 용량을 C_{g24} , 보정 TFT(22)의 임계값 전압을 V_{th22} , 구동 TFT(24)의 임계값 전압을 V_{th24} 로 함과 함께, 유지 용량(28)의 용량값 Cs=보정 TFT(22)의 게이트 용량 C_{g22} 로 설정한다.

(i) 우선, 구동 TFT(24)의 게이트 전압 V_{g24} =Vdata의 상태에서부터, 용량 라인 SC를 12V 내리면, 노드 Tg24의 전압 V_{g24} 도 12V 내려 갈 것이다. 이 변화만을 고려한 V_{g24} 를 V_{g24}' 로 나타내면,

$$V_{g24}' = V_{data} - 12$$

로 된다.

(ii) 보정 TFT(22)의 게이트 용량을 C_{g22} 로 하면, 이 보정 TFT(22)로부터 흘러 나가, 유지 용량(28)에 유입되는 전하량 Q_{f22} 는,

$$Q_{f22} = C_{g22} \times (V_{data} - |V_{th22}|)$$

이다.

여기서, 본 실시 형태에서는, 전술된 바와 같이 $C_{g22}=C_s$ 이고, 노드 Tg24의 전압 V_{g24} 는, $(V_{data}-|V_{th22}|)$ 만큼 상승한다. 따라서, 이 상승분을 고려한 전압 V_{g24}'' 는,

$$V_{g24}'' = 2V_{data} - 12 - |V_{th22}|$$

로 된다.

(iii) 또한, 유지 용량(28)에는, 구동 TFT(24)의 게이트로부터도 전하가 유입된다. 이 전하량 Q_{f24} 는, 구동 TFT(24)의 최종적인 게이트 전압을 V_{g24} 로 하여,

$$Q_{f24} = -C'_{g24} \times (V_{g24} + |V_{th24}|)$$

로 된다. 여기서, C'_{g24} 는, 구동 TFT(24)에서의 오프 시와 온 시의 용량차이고, SPICE(스파이스 시뮬레이터)의 MEYER의 식을 이용하여 계산한 $C'_{g24} = C_{g24} \times 2/3$ 의 값을 이용하였다.

(iv) 구동 TFT(24)의 게이트 전압 V_{g24} 는, 전하 Q_{f24} 가 유지 용량(28)에 유입된 분만큼, 어긋난 전압으로 하면 된다. 따라서,

$$\begin{aligned} V_{g24} &= V_{g24}'' + Q_{f24} / C_{g22} \\ &= V_{g24}'' - C'_{g24} (V_{g24} + |V_{th24}|) / C_{g22} \end{aligned}$$

이것을 재기입하면, 최종 V_{g24} 는,

$$\begin{aligned} (1 + C'_{g24} / C_{g22}) V_{g24} &= 2V_{data} - 12 - |V_{th22}| - (C'_{g24} / C_{g22}) |V_{th24}| \\ &= 2V_{data} - 12 - |V_{th22}| - (C'_{g24} / C_{g22}) |V_{th24}| \end{aligned}$$

로 된다.

$$\begin{aligned} V_{th22} &= V_{th24} = V_{th} \\ V_{g24} &= -|V_{th}| + (2V_{data} - 12) / (1 + C'_{g24} / C_{g22}) \end{aligned}$$

로 된다.

이 식에서의 우변 제2항은, 레이아웃 치수에 의한 고정값이기 때문에, V_{g24} 는 V_{th} 분 어긋나게 되어, 구동 TFT(24)의 임계값 전압 V_{th} 에 어긋남이 있어도 이것을 보상할 수 있게 된다.

또한, 엄밀하게는, 배선에 대한 기생 용량에 대해서도, 고려할 필요가 있어, 이것을 고려하여 설정하면 된다. 또한, 전원 전압 $Pvdd$ 가 0V가 아닌 경우에는, 그 값을 고려하면 된다.

또한, 보정 TFT(22)의 임계값 전압 V_{th22} 와, 구동 TFT(24)의 임계값 V_{th24} 가 상이한 경우에도, 구동 TFT(24)의 임계값 V_{th24} 만큼, 그 게이트 전압 V_{g24} 가 어긋나는 것이 바람직하다. 이를 위해서는, 전술한 식에서의 C'_{g24} / C_{g22} 를 조정하면 된다. 단, 너무 큰 조정은 곤란하고, 되도록이면 $V_{th22} = V_{th24}$ 로 되도록 TFT를 형성하는 것이 바람직하다.

다음으로, 본 발명의 실시 형태에 따른 화소 회로에서의 각종 용량의 관계에 대하여, 또한 도 4를 참조하여 설명한다. 본 실시 형태에 따른 화소 회로에는, 유지 용량 C_s 외에, 전술한 보정 TFT(22)의 게이트 용량 C_{g22} , 구동 TFT(24)의 게이트 용량 C_{g24} 나 각종 기생 용량이 접속되어 있다. 예를 들면, 도 4와 같이, 보정 TFT(22)의 드레인과 구동 트랜지스터(24)의 게이트와의 접속점(노드) Tg24와 전원 라인 PL과의 사이의 기생 용량 C_{w1} , 보정 TFT(22)의 소스와 선택 TFT(20)의 소스와의 접속부와 전원 라인 PL과의 사이의 기생 용량 C_{w2} 가 존재한다. 이들의 기생 용량과 도 3의 노드 Tg24의 전압 V_{g24} 의 저하의 기울기 α 와의 관계를 나타내면, 도 3에서, 데이터 전압 V_{data} 로부터 절환 전압(A 또는 B)에 도달하기까지의 기울기 α_1 은,

$$\alpha_1 = C_s / (C_{w1} + C_{w2} + C_{g22})$$

으로 나타낼 수 있다. 이들의 기생 용량(C_{w1} , C_{w2} , C_{g22}) 모두에 각각 일정한 전하가 충전된 상태에서부터, 유지 용량 C_s 로 전하가 유입되기 때문에, 게이트 전압 V_{g24} 가 저하하는 기울기 α_1 은, 이러한 식으로 표시된다.

다음으로, 도 3에서, 절환 전압 도달 후에, 구동 TFT(24)가 온하기까지의 기간의 노드 Tg24의 전압 V_{g24} 의 저하의 기울기 α_2 는,

$$\alpha_2 = C_s / (C_s + C_{w1})$$

로 표시된다. 이것은, 절환 전압 도달 후에는, 보정 TFT(22)가 오프로 되고, 그 게이트 용량 C_{g22} 와, 그 소스와 전원 라인 PL과의 사이의 기생 용량 C_{w2} 가, 전기적으로 유지 용량(28)(용량값 C_s)으로부터 분리되기 때문이다.

여기서, 전술된 바와 같이, $\alpha_2 = 2 \times \alpha_1$ 로 설정되어 있다. 따라서, $C_s = C_{g22} - C_{w1} + C_{w2}$ 를 만족하도록 유지 용량(28)의 용량 C_s 를 설정함으로써, 용량 라인 SC의 전압을 하강하였을 때, 보정 TFT(22)의 온으로부터 오프로의 절환에 의해서, 구동 TFT(24)의 게이트 전압 V_{g24} 의 강하의 기울기 α_2 를 α_1 의 2배로 설정할 수 있고, 구동 TFT(24)의 임계값 전압 변동의 적 절한 보상을 행할 수 있다.

또한, 도 3에 도시한 구동 TFT(24)가 온한 후의 기울기 α_3 은,

$$\alpha_3 = C_s / (C_s + C_{w1} + C_{g24})$$

으로 표시된다.

C_{g24} 는, 전술된 바와 같이 구동 TFT(24)의 게이트 용량이고, 구동 TFT(24)가 온함으로써, 이 용량 C_{g24} 는 유지 용량(28)에 접속되고, 전압 강하의 기울기 α_3 은, 이 용량 C_{g24} 의 영향도 받게 된다. 이 구동 TFT(24)가 온하는 타이밍 t_{on24} 는, 전술된 바와 같이 구동 TFT(24)의 절환 전압, 즉 그 임계값 전압 V_{th24} 에 상관없이, 각 화소에서 동시이다. 구체적으로는, 각 보정 TFT(22)가 그 임계값 V_{th22} 의 변동에 따른 타이밍에서 각각 오프함으로써, 각 화소 회로에서, 게이트 전압 V_{g24} 가, 전원 전압 $Pvdd$ 로부터 각각의 V_{th24} 에 따른 분만큼 낮은 전압으로 동시에 도달한 타이밍이다.

다음으로, 이러한 화소 회로를 구비하는 화소의 레이아웃에 대하여, 도 5 및 도 6A, 도 6B를 참조하여 설명한다. 도 5는 1 화소에서의 개략 평면 구조, 도 6A 및 도 6B는, 도 5의 A-A선, B-B선을 따라 취한 개략 단면 구조를 각각 나타낸다.

글래스 등의 투명한 절연 기관(100) 위에는 버퍼층(102)이 형성되어 있고, 그 위에 형성되고, 또한 다결정 실리콘으로 이루어지는 각 TFT의 능동층, 및 용량 전극을 구성하는 반도체층(120, 124, 28e)은, 도 5에서, 파선으로 나타내고 있다. 또한, 도 5에서, 상기 반도체층보다도 상방에 형성되고, Cr 등의 고용점 금속 재료가 이용된 게이트 라인 GL, 용량 라인 SC 및 보정 TFT(22)의 게이트 전극(22g), 구동 TFT(24)의 게이트 전극(24g)은, 일점쇄선으로 나타낸다. 또한, 반도체층이나 상기 GL, SC보다도 상방에 형성되고, Al 등의 저저항 금속 재료가 이용된 데이터 라인 DL, 전원 라인 PL, 이들과 동일층의 금속 배선(24w)은, 실선으로 나타내고 있다.

도 5에 도시한 레이아웃에서는, 각 화소는, 표시 장치의 수평 주사(H) 방향을 따라 형성되는 게이트 라인 GL의 행 사이와, 대개 표시 장치의 수직 주사(V) 방향을 따라 형성되는 데이터 라인 DL의 행 사이 위치에 구성되어 있다. 또한, 전원 라인 PL은, 데이터 라인 DL과 거의 나열하여 수직 주사 방향(매트릭스의 열 방향)으로 형성되어 있고, 각 화소 영역 내에서는, 데이터 라인 DL과 이 데이터 라인 DL에 접속되는 화소의 유기 EL 소자(26)와의 사이를 통과하고 있다. 그리고, 후술하는 바와 같이 선택 TFT(20), 보정 TFT(22) 및 유지 용량(28)은 데이터 라인 DL과 전원 라인 PL과의 사이, 구동 TFT와 유기 EL 소자(26)는, 전원 라인 PL과 옆의 열의 데이터 라인 DL과의 사이에 배치되어 있다.

선택 TFT(20)는, 게이트 라인 GL과 데이터 라인 DL과의 교점 부근에 형성되어 있다. 게이트 라인 GL로부터는, 화소 영역을 향하여 돌출부가 형성되고, 층 사이에 게이트 절연막(104)을 끼워서, 게이트 라인 GL을 따라 연장되는 반도체층(120)의 일부분을 가로지르도록 피복하고 있다. 이 게이트 라인 GL로부터의 돌출부가 TFT(20)의 게이트 전극(20g)으로 되고, 반도체층(120)의 이 게이트 전극(20g)에 피복된 영역이 채널 영역으로 되어 있다.

선택 TFT(20)에 접속되어 있는 보정 TFT(22)는, 데이터 라인 DL과 전원 라인 PL 사이에 끼워진 영역에 그 채널 길이 방향이 데이터 라인 DL의 연장 방향(수직 주사 방향)을 따르도록 배치되어 있다. 또한, 이 보정 TFT(22)의 능동층은, 데이터 라인 DL과 일부가 중첩되도록 데이터 라인 DL의 하층에 형성되어 있다. 이 보정 TFT(22)와 다음 행의 게이트 라인 GL에 근접하여 배치된 용량 라인 SC와의 사이에는, 보다 구체적으로는 해당 용량 라인 SC를 따라, 유지 용량(28)이 배치되어 있다. 또한 구동 TFT(24)가, 전원 라인 PL을 사이에 끼워서 보정 TFT(22)의 형성 영역과 반대측의 영역(유기 EL 소자 영역(26)측)에 배치되어 있고, 그 능동층을 구성하는 반도체층(124) 중 적어도 채널 영역(24c)은, 보정 TFT(22)의 채널 영역(22c)과 가능한 한 근접하여 배치되도록 레이아웃되어 있다.

여기서, 본 실시 형태에서, 선택 TFT(20)의 능동층과, 보정 TFT(22)의 능동층 및 유지 용량(28)의 용량 전극(28e)은, 단일 반도체층(120)에 의해 일체적으로 형성되어 있다(물론, 각각 독립층으로서, 또한 각각을 소정 배선으로 전기적으로 접속하여도 된다).

선택 TFT(20)의 형성 영역에는, 데이터 라인 DL과 반도체층(120)은, 게이트 절연막(104) 및 층간 절연막(106)을 관통하여 형성된 콘택트홀에서 접속되어 있다. 그리고, 이 반도체층(120)은, 데이터 라인 DL의 하층 영역(데이터 라인 DL과의 콘택트 영역)으로부터 게이트 라인 GL을 따라 전원 라인 PL과 중첩되는 위치까지 연장되고, 중첩된 위치로부터 전원 라인 PL의 하층을 전원 라인 PL의 연장 방향을 따라 수직 주사 방향으로 연장된다. 또한, 이 반도체층(120)은, 보정 TFT(22)의 게이트 전극(22g)과 전원 라인 PL과의 콘택트 부근 앞에서, 전원 라인 PL의 하층 위치로부터 게이트 라인 GL의 연장 방향으로 평행한 방향으로 구부리고, 데이터 라인 DL을 향하여 연장된다.

또한, 선택 TFT(20)의 형성 영역에서는, 반도체층(120)은, 데이터 라인 DL과 접속된 불순물 주입 영역이 제1 도전 영역(예를 들면 드레인 영역(20d))으로 되고, 게이트 전극(20g)과 중첩되어 불순물이 주입되지 않은 진성 영역이 채널 영역(20c)을 구성하고, 이 채널 영역(20c)을 끼운 반대측에, 제1 도전 영역과 동일한 도전형의 불순물이 주입된 제2 도전 영역(예를 들면 소스 영역(20s))이 구성되어 있다.

전원 라인 PL의 하층으로부터 데이터 라인 DL을 향하여 연장된 반도체층(120)은, 데이터 라인 DL과 다시 교차하는 부근(선택 TFT(20)의 제1 도전 영역(20d) 부근)에 데이터 라인 DL의 연장 방향으로 구부리고, 적어도 일부가 전원 라인 PL의 형성 영역에 중첩되면서(이 예에서는 데이터 라인 DL과도 일부 중첩되어 있음), 데이터 라인 DL과 전원 라인 PL과의 사이의 영역을 용량 라인 SC의 형성 영역까지 수직 주사 방향으로 연장하고 있다.

또한, 반도체층(120)이 데이터 라인 DL을 따라 배치된 영역은, 보정 TFT(22)의 능동층을 구성하고 있고, 이 능동층의 게이트 절연막(104)을 끼운 상방에는, 보정 TFT(22)의 게이트 전극(22g)이 배치되고, 이 게이트 전극(22g)은 층간 절연막(106)에 형성된 콘택트홀을 통하여 전원 라인 PL에 접속되어 있다. 이 게이트 전극(22g)은, 전원 라인 PL과의 콘택트 위치로부터 데이터 라인 DL을 향하여 연장되고, 반도체층(120)(보정 TFT(22)의 능동층)과 중첩되는 위치에서 구부리고, 데이터 라인 DL의 연장 방향으로 연장되고, 반도체층(120)의 상층을 피복하고, 또한 데이터 라인 DL 및 전원 라인 PL과 일부 중첩되도록 이들의 하층에 형성되어 있다.

반도체층(120)의 게이트 전극(22g)에 피복된 영역은, 보정 TFT(22)의 불순물이 도핑되어 있지 않은 채널 영역(22c)으로 되고, 채널 영역(22c)을 끼워서 선택 TFT(20)측에는 해당 선택 TFT(20)와는 상이한 도전형의 불순물이 주입된 제1 도전 영역(여기서는, 예를 들면 소스 영역(22s))이 형성되고, 용량 라인 SC 측에는 제1 도전 영역(22s)과 동일한 불순물이 주입된 제2 도전 영역(여기서는, 드레인 영역(22d))이 형성되어 있다. 또한, 데이터 라인 DL 및 전원 라인 PL과 이 보정 TFT(22) 중 적어도 채널 영역(22c)을 이들의 라인과 일부 중첩하여 이들의 하층에 형성함으로써, 보정 TFT(22)를 데이터 라인 DL과 전원 라인 PL 사이의 매우 좁은 영역 내에 효율적으로 배치하는 것이 가능하게 되어 있다. 또한, 게이트 전극(22g)을 그 채널 영역(22c)과 데이터 라인 DL 및 전원 라인 PL과의 층 사이에 배치함으로써 채널 영역(22c)이 데이터 라인 DL로부터 전기적으로 실드되어 있고, 보정 TFT(22)의 동작이 데이터 라인 DL에 인가되는 데이터 신호의 영향을 받는 것이 방지되어 있다. 또한, 적어도 보정 TFT(22)의 게이트 전극(22g)은 전원 라인 PL에 접속되어 있기 때문에, 이 보정 TFT(22)의 능동층, 특히 채널 영역(22c)이 전원 라인 PL과 중첩되도록 배치되어도, 채널 영역(22c)에 대하여 인가되는

전압은 게이트 전극(22g)에 피복되는 것과 실질적으로 변하지 않는다. 따라서, 보정 TFT(22)의 능동층의 대부분의 영역을 전원 라인 PL의 하층에 형성하는 것도 가능하고, 이러한 배치로 하면, 1 화소 내에서의 개구율, 즉 발광에 기여하는 유기 EL 소자(26)의 형성 면적을 최대한 크게 하는 것이 가능하게 된다.

반도체층(120)은, 보정 TFT(22)의 제2 도전성 영역의 형성 영역으로부터 용량 라인 SC를 향하여 연장되고, 용량 라인 SC와 교차하는 위치에서 구부리고, 용량 라인 SC의 연장 방향인 수평 주사 방향으로, 이 용량 라인 SC와, 사이에 게이트 절연막(104)을 끼워서 중첩되도록 패터닝되며, 반도체층(120)의 용량 라인 SC와 중첩되는 영역이 용량 전극(제1 전극)(28e)으로서 기능하여, 용량 라인 SC(제2 전극)와, 이 용량 전극(28e)이, 사이에 게이트 절연막(104)을 끼워서 대향 배치되는 영역이 유지 용량(28)으로 되어 있다.

보정 TFT(22)의 제2 도전 영역(22d)과 유지 용량(28)의 용량 전극(28e)과의 사이에는, 층간 절연막(106) 및 게이트 절연막(104)에 형성된 콘택트 홀을 통하여 금속 배선(24w)이 접속되어 있다. 이 금속 배선(24w)은, 용량 라인 SC의 연장 방향을 따라 형성되고, 층간 절연막(106)에 형성된 콘택트홀에서, 구동 TFT(24)의 게이트 전극(24g)과 접속되어 있다.

구동 TFT(24)의 게이트 전극(24g)은, 금속 배선(24w)과의 콘택트 영역으로부터 자 행의 게이트 라인 GL의 형성 방향(도면에서는 상부 방향)을 향하여 연장되고, 도중에 전원 라인 PL의 하층을 가로질러, 전원 라인 PL의 유기 EL 소자(26)측에 이 전원 라인 PL의 연장 방향을 따라 형성되어 있다.

여기서, 전원 라인 PL은, 보정 TFT(22)의 게이트 전극(22g)과의 콘택트 영역 부근으로부터 데이터 라인 DL에 근접하도록 구부리고, 상기 금속 배선(24w) 근처에는, 그 형성 영역을 우회하도록 유기 EL 소자(26)측으로 구부리고, 구동 TFT(24)의 능동층을 구성하는 반도체층(124)과의 콘택트 부근으로부터는 다음 행의 화소를 향하여 수직 주사 방향으로 연장되어 있다. 그리고, 구동 TFT(24)는 전원 라인 PL이 데이터 라인 DL측에 근접함으로써 유기 EL 소자(26)와의 사이에 형성된 스페이스에 형성되어 있다.

구동 TFT(24)의 능동층을 구성하는 반도체층(124)에는, 상방이 게이트 전극(24g)에 피복된 영역에 채널 영역(24c)이 형성되고, 전원 라인 PL과의 접속측에는 제1 도전 영역(여기서는 소스 영역(24s))이 형성되고, 또한 유기 EL 소자(26)와의 접속측에 제2 도전 영역(여기서는, 드레인 영역(24d))이 형성되어 있다. 채널 영역(24c)은, 불순물이 도핑되지 않은 진성 영역으로, 그 양측에 형성되는 제1 및 제2 도전 영역(24s, 24d)에는, 상기 보정 TFT(22)와 동일한 도전형의 불순물이 도핑되어 있다. 또한, 구동 TFT(24)의 제1 도전 영역(24s)은, 층간 절연막(106) 및 게이트 절연막(104)에 형성된 콘택트홀에서, 전원 라인 PL과 접속되어 있다. 또한 구동 TFT(24)의 제2 도전 영역(24d)은, 층간 절연막(106) 및 게이트 절연막(104)에 형성된 콘택트홀에서, 예를 들면 상기 전원 라인 PL 등과 동일 재료로 이루어진 접속 전극(24e)과 접속되어 있다.

또한, 도 6A, 도 6B에 도시한 바와 같이, 데이터 라인 DL, 전원 라인 PL 상기 금속 배선(24w), 접속 전극(24e)을 피복하는 기관 전체 면에는, 상면을 평탄하게 하기 위한 유기 수지 등으로 이루어진 평탄화 절연층(108)이 형성되어 있다. 그리고, 이 평탄화 절연층(108)에는, 상기 구동 TFT(24)에 접속된 접속 전극(24e)의 형성 영역에서 콘택트홀이 형성되어 있고, 이 콘택트홀을 통하여, 평탄화 절연층(108) 위에 형성된 유기 EL 소자(26)의 제1 전극(262)(여기서는, 양극)과, 접속 전극(24e)이 접속되어 있다. 또한, 접속 전극(24e)을 설치하지 않은 경우에는, 구동 TFT(24)의 제2 도전 영역(24d)의 형성 영역에서 평탄화 절연층(108) 및 층간 절연막(106) 및 게이트 절연막(104)을 관통하는 콘택트홀을 형성하고, 유기 EL 소자(26)의 제1 전극(262)과 제2 도전 영역(24d)을 직접 접속한다.

도 6B에 도시한 바와 같이, 유기 EL 소자(26)는, 기관측에 형성되고, 구동 TFT(24)에 접속되는 화소마다 개별 패턴의 제1 전극(262)과, 제2 전극(264)과의 사이에, 발광 소자층(270)을 구비한다. 제1 전극(262)은 예를 들면 ITO(Indium Tin Oxide) 등의 투명한 도전성 금속 산화물 등을 이용하여 형성할 수 있고, 여기서는 양극(정공 주입 전극)으로서 기능한다. 제2 전극(264)은, 예를 들면 Al이나 Ag 등의 일함수가 작은 금속 재료나, 그와 같은 금속 재료와 상기 ITO 등과의 적층 구조에 의해 구성할 수 있고, 여기서는 음극(전자 주입 전극)으로서 기능한다. 또한, 화소마다 개별 패턴으로 형성된 제1 전극(262)의 엣지 부분을, 평탄화 절연층(108)의 더 상층에 형성된 제2 평탄화 절연층(110)에 의해서 피복하고, 매우 얇게 형성되는 발광 소자층(270) 위에 형성되는 제2 전극(264)과 이 제1 전극(262)이 단락하는 것을 방지하고 있다.

발광 소자층(270)은, 이 예에서는 정공 수송층(272), 발광층(274), 전자 수송층(276)의 3층 구조이다. 3층 구조에는 한정하지 않고, 이용하는 유기 재료 등에 의해, 발광 기능을 구비한 단독층이나, 2층, 또는 4층 이상의 적층 구조라도 된다. 발광 소자층(270)으로서, 다층 구조를 채용하는 경우에, 전체 층을 각 화소 공통으로 형성하여도 되고, 다층 중 일부 또는 전체 층, 예를 들면 도 6B에 도시한 바와 같이, 발광층(274)만을 제1 전극(262)과 마찬가지로 화소마다 개별 패턴으로 하여도 된다.

이러한 구성의 유기 EL 소자(26)는, 본 실시 형태에서는, 전원 라인 PL로부터 구동 TFT(24)를 통하여 제1 전극(262)에 공급되는 전류가, 제2 전극(264)과의 사이에 흐르고, 전류량에 따른 휘도로 발광 소자층에서 발광이 일어난다. 또한, 발광은, 제1 전극(262)으로부터 주입되는 정공과 제2 전극(264)으로부터 주입되는 전자가 발광 소자층 중에서 재결합하고, 이에 의해 여기된 발광 분자가 기저 상태에 되돌아갈 때에 발광함으로써 얻어지고, 이 예에서는 광은 투명한 제1 전극(262) 및 기판(100)을 투과하여 기판으로부터 외부로 사출되어, 시인된다.

본 실시 형태에서는, 전술된 바와 같이 전원 라인 PL을 끼워서 상기 보정 TFT(22)와 구동 TFT(24)가, 가능한 한 근접하여 배치되도록 레이아웃되어 있다. 특히, 보정 TFT(22)의 채널 영역(22c)과, 구동 TFT(24)의 채널 영역(24c)은, 그 채널 영역 중 적어도 일부가 수직 주사 방향에서 서로 나열되도록 형성되어 있다.

본 실시 형태에서 화소 내에 형성되는 각 TFT의 능동층은, 플라즈마 CVD 등에 의해서 형성된 비정질 실리콘층에 대하여, 라인 형상으로 정형된 펄스 레이저(도 5 참조)를, 그 길이 방향이 수평 주사 방향에 일치하도록 설정하고, 그 폭 방향으로 소정 피치씩 변이시키면서 순차적으로 비춤으로써 다결정화 어닐링하여 얻은 저온 다결정 실리콘(LTPS)층을 이용한다. 레이저 빔의 주사 방향은, 그 레이저 빔의 폭 방향으로서, 또한 데이터 라인 DL 등의 연장 방향인 수직 주사 방향으로 일치시킨다. 도 5에 도시한 바와 같이, 보정 TFT(22)와 구동 TFT(24)의 각 채널 영역(22c, 24c)은, 그 채널 길이 방향이 데이터 라인 DL 등의 연장 방향, 즉 레이저 빔의 주사 방향에 일치하도록 배치되어 있다. 따라서, 레이저 빔의 주사 피치를 보정 TFT(22) 및 구동 TFT(24)의 채널 길이보다도 작게 함으로써, 어느 하나의 채널 영역(22c, 24c)에 대해서도 그 채널 길이 방향에서, 채널을 가로지르도록(채널폭 방향으로) 반드시 복수회 레이저 빔이 조사되게 된다. 이에 의해, 각 레이저 빔의 에너지에 변동이 발생한 경우에도, 어느 하나의 채널 영역(22c, 24c)에 대해서도 복수의 레이저 빔이 조사되므로, 전체 채널 길이 방향에서 받은 에너지의 총량의 변동을 어떤 화소에서도 작게 할 수 있다.

또한, 소위 레이저 어닐링에 의해서 형성된 다결정 실리콘층을 TFT의 능동층에 이용하는 경우에, 동일한 펄스레이저 빔을 보정 TFT(22) 및 구동 TFT(24)의 채널 영역(22c, 24c)으로 되는 영역에 동시에 조사하도록, 채널 영역(22c, 24c)을 근접 배치함으로써, TFT 특성(특히 임계값)에 큰 영향을 주는 다결정화 상태를 양 TFT에서 동일하게 하는 것이 용이해진다.

여기서, 라인 형상으로 정형된 펄스 레이저의 1개의 조사 에리어는, 예를 들면 펄스의 길이 방향이 10cm~30cm의 길이로, 그 펄스 폭 방향은 300 μ m 정도의 길이이다. 그리고, 이러한 크기의 펄스 레이저의 주사 피치는, 예를 들면 25 μ m 정도로서, 즉 25 μ m씩 펄스 레이저의 조사 위치를 변이시키면서 비정질 실리콘을 다결정화한다. 또한, 보정 TFT(22)의 채널 영역(22c)과 구동 TFT(24)의 채널 영역(24c)을, 단순히 근접 배치될 뿐만 아니라, 수직 주사 방향에 교차하는 방향으로 그을 수 있는 동일 직선 상에 적어도 일부가 나열하도록 배치함으로써, 동일한 펄스 레이저를 각 채널 영역(22c, 24c)에 조사하는 것이 가능하게 된다. 또한, 보정 TFT(22) 및 구동 TFT(24) 모두, 그 채널 길이가 적어도 30 μ m 이상, 보다 바람직하게는 40 μ m 이상으로 설정함으로써, 채널 형성 영역에 대하여, 상기한 바와 같은 크기의 펄스 레이저를 상기한 바와 같은 피치로 화소의 수직 주사 방향을 따라 주사함으로써, 확실하게 적어도 1개 이상의 동일한 펄스 레이저를 2개의 TFT의 채널 영역(22c, 24c)에 조사할 수 있다.

또한, 동일 도전형의 불순물은, 각 게이트 전극(22g, 24g)을 마스크로 하여 반도체층(120, 124)에 동시에 주입하지만, 형성 위치가 매우 가깝기 때문에, 불순물의 주입 조건(주입 농도, 주입 에너지 등)을 갖추게 할 수 있고, 이 관점으로부터도 보정 TFT(22)와 구동 TFT(24)의 특성을 같게 하는 것을 가능하게 하고 있다.

화소 영역 내를 이상 설명한 바와 같은 레이아웃으로 함으로써, 화소 영역의 수평 주사 방향의 편측 영역(도 5의 화소에서는 좌측에 데이터 라인 DL 및 전원 라인과 TFT(20, 22, 24) 등의 회로 소자가 배치되고, 나머지 편측(도 5의 화소에서는 우측)에 유기 EL 소자(26)가 배치되고 있어, 전체적으로 효율적인 배치가 가능하게 되어 있다. 구체적으로는, 이러한 레이아웃에 의해 각 화소 영역 내에서 유기 EL 소자(26)를 가능한 한 크게 형성할 수 있어, 표시 장치로서의 개구율의 향상에 기여할 수 있다. 또한, 발광 효율이나 요구 휘도를 고려하여 발광색마다 화소 면적을 바꾸어서 각 화소의 수명을 갖추게 하는 경우에도, TFT(20, 22, 24), 유지 용량(28) 등의 면적이나 레이아웃을 변경하지 않고, 유기 EL 소자(26)의 면적만의 변경이 용이하여, 설계 효율의 향상을 도모할 수 있다.

또한, 도 5에 도시한 레이아웃에서는, 매트릭스 배치된 화소는, 행마다, 동일 색 화소 위치가 소정 피치만큼 수평 주사 방향으로 어긋난 소위 델타 배열이 채용되어 있고, 하나의 데이터 라인 DL이, 동일 색 화소에 데이터 신호 Vdata를 공급하는 경우에는, 도 5에 도시한 바와 같이, 데이터 라인 DL은, 매트릭스의 열 방향으로 사행하면서 연장되고, 라인의 좌우에 교대로 배치되는 동일 색 화소의 선택 TFT(20)에 접속되게 된다. 이러한 레이아웃이 채용되어 있음으로써, 도 5에 도시한

화소의 다음 행의 화소에서는, 상기 유기 EL 소자(26)는, 도 5와는 반대로 화소의 좌측, TFT(20, 22, 24) 등은 화소의 우측에 배치되어 있다. 물론, 이상으로 설명한 레이아웃은, 델타 배열에 한정되지 않고, 스트라이프 배열에도 적용 가능하고, 그 경우, 행마다 유기 EL 소자와, 이것을 제어하기 위한 TFT 등의 위치 관계는 좌우 반전하지 않는다.

여기서, 본 실시 형태의 보정 TFT(22)는, 도 5에 도시한 바와 같이, 반도체층으로 구성되는 채널 영역(22c)의 폭(채널폭)이 그 채널 길이 방향에서 변화하고 있다. 구체적으로는, 도 5에서는, 선택 TFT(20)에 가까운 쪽(도면의 상측)에서 폭이 넓고, 유지 용량(28) 및 구동 TFT(24)와의 접속측(도면의 하측)에서 폭이 좁게 되어 있다. 이와 같이 보정 TFT(22)의 채널폭이 그 채널 길이 방향에서 적어도 다른 것과 상이한 부분을 형성함으로써, 보정 TFT(22)의 배치의 자유도를 크게 할 수 있다. 또한, 보정 TFT(22)의 특성으로서는, 가장 좁은 채널폭을 기준으로 생각할 수 있다. 이와 같이 보정 TFT(22)의 배치 자유도가 높아짐으로써, 다른 회로 소자인 구동 TFT(24)의 게이트 전극(24g)의 레이아웃 등을 효과적으로 행할 수 있다. 또한, 배치의 자유도를 크게 하기 위해서는, 채널 영역을 형성하는 반도체층의 폭(채널폭 방향)을 변경하는 것이 적합하고, 다른 선택 TFT(20), 구동 TFT(24) 등의 채널폭을 변경하여 보다 배치의 자유도를 높이는 것도 가능하다.

또한, 전술한 바와 같이, 실시 형태에 따른 화소 회로는, 매트릭스 형상으로 배치되어, 표시 장치가 구성된다. 대부분의 경우, 글래스 기판 위에, 유기 EL 소자를 포함하는 화소 영역과, 그 주변에 각 화소를 구동하기 위한 주변 드라이버 회로가 형성되지만, 수순으로서는, 우선 기판 위에 화소 영역에서의 유기 EL 소자 이외의 회로 소자와, 주변 드라이버 회로를 형성하고, 그 후 이들의 회로 소자의 상부에 유기 EL 소자를 형성하고, 또한 소자층으로부터 밀봉 기판을 글래스 기판(100)에 씌워서 접착함으로써 유기 EL 패널이 얻어진다. 또한, 실시 형태의 화소 회로는, 이러한 유기 EL 패널에는 한정되지 않고, 그 외의 각종 표시 장치에 적용이 가능하다. 특히 각 화소에 전류 구동형 표시 소자와 이 소자를 제어하기 위한 회로(TFT)가 형성되는 경우에 적용함으로써 마찬가지로 효과를 얻을 수 있다.

다음으로, 본 실시 형태에서는, 선택 TFT(20), 보정 TFT(22)는, 멀티게이트화하는 것이 더 적합하다. 이것은, 특히 다결정 실리콘층을 능동층에 이용한 TFT에 많은 누설 전류를 저감하기 위해서 유효하기 때문이다. 누설 전류는, 본 실시 형태에서는, 보정 TFT(22), 선택 TFT(20)가 오프 시에 이들 TFT를 통하여, 데이터 라인 DL을 향하여 흐르는 전류로서, 이들 TFT를 멀티게이트화함으로써, 누설 전류를 억제할 수 있다. 도 7에 도시한 바와 같이, 보정 TFT(22)만을 멀티게이트화하여도 되고, 선택 TFT(20)만을 멀티게이트화하여도 된다. 물론 도 9에 도시한 바와 같이, 양쪽을 멀티게이트화하여도 된다.

도 7은, 보정 TFT(22)를 멀티게이트화한 경우의 등가 회로를 나타내고, 도 8은 이 등가 회로를 실현하는 레이아웃의 일례를 도시하는 평면도이다. 도 7의 예에서는, 보정 TFT(22)로서는, 소위 더블게이트 구조가 채용되어 있다. 구체적으로는, 노드 Tg24와 선택 TFT(20)와의 사이에, 노드 Tg24에 드레인이 접속된 제1 보정 TFT(22-1)과, 이 제1 보정 TFT(22-1)와 선택 TFT(20)와의 사이에 설치된 제2 보정 TFT(22-2)의 2개가 설치되어 있다. 제1 및 제2 보정 TFT(22-1, 22-2)의 게이트는, 모두 전원 라인 PL에 접속되고, 제1 및 제2 보정 TFT(22-1, 22-2)의 소스 드레인은, 선택 TFT(20)와 노드 Tg24와의 사이에 전기적으로 직렬 접속되어 있다. 이러한 접속 관계로 함으로써, 구동 TFT(24)와 선택 TFT(20)와의 사이의 오프 누설 내성이 높아지고, 유지 용량(28)에 유지되는 구동 TFT(24)의 게이트 전압 V_{g24} 가 데이터 라인 DL에 누설하여 적절한 값으로부터 변동하게 되는 것을 효과적으로 방지할 수 있다.

구체적으로 설명하면, 보정 TFT(22)를 분할함으로써, 제1 및 제2 보정 TFT(22-1, 22-2)의 접속점에, 선택 TFT(20)의 소스측의 전압 V_{s20} (보정 TFT(22-2)의 소스 전압 V_{d22-2})과, 노드 Tg24의 전압 V_{g24} 가 분압되어, 그 동안의 값의 전압 V_m 이 제1 보정 TFT(22-1)의 소스 전압으로 된다. TFT의 오프 누설 전류는, TFT의 드레인 소스 간 전압 V_{ds} 가 1V 낮아지면 약 1자릿수 저감한다. 따라서, 보정 TFT(22)를 분할함으로써, 노드 Tg24에 드레인의 접속되는 제1 보정 TFT(22-1)의 드레인 소스 간 전압 V_{ds} 를 작게 할 수 있어 오프 누설 전류가 저감된다.

또한, 도 7과 같이, 보정 TFT(22)를 멀티게이트화한 경우에, 구동 TFT(24)의 게이트에 그 도전 영역(여기서는, 드레인)이 접속되는 제1 보정 TFT(22-1)의 채널 영역의 사이즈는, 다른 쪽의 예를 들면 제2 보정 TFT(22-2)의 채널 영역의 사이즈와 동일하게 할 필요는 없다.

예를 들면, 제1 보정 TFT(22-1)의 채널 영역의 사이즈를 제2 보정 TFT(22-2)의 채널 영역의 사이즈보다도 작게 함으로써, 제1 보정 TFT(22-1)의 게이트 용량 C_{g22-1} 을 작게 할 수 있다. 보정 TFT(22)의 오프 시에, 그 게이트 용량 C_{g22} 로부터 유지 용량(28)에 유입되는 전하량이 많으면, 노드 Tg24의 전위가 장시간에 걸쳐서 높게 유지되고, 용량 라인 SC가 하강에 추종한 전압 저하 속도가 늦어진다. 따라서, 제1 보정 TFT(22)의 채널 사이즈를 작게 함으로써, 오프 시에, 유지

용량(28)에 유입되는 제1 보정 TFT(22-1)의 게이트 용량 C_{g22-1} 로부터의 전하량을 적게 하고, 노드 Tg24의 전압을 빠르게 저하시킬 수 있다. 이 경우, 제1 보정 TFT(22-1)의 채널 영역의 채널 길이를 L_1 , 채널폭을 W_1 , 제2 보정 TFT(22-2)의 채널 영역의 채널 길이를 L_2 , 채널폭을 W_2 로 하면, $W_1 \times L_1 < W_2 \times L_2$ 를 만족하는 것이 바람직하다.

제1 보정 TFT(22-1)의 채널 길이 L_1 은, 오프 누설 저감의 요구를 최저한 만족하는 정도로 가능한 한 짧게 하고, 채널폭 W_1 은, 레이아웃의 제약으로부터 허용되는 범위에서 가능한 한 크게 한다. 제2 보정 TFT(22-2)의 채널 길이 L_2 는, 긴 쪽이, 이 제2 보정 TFT(22-2)의 게이트 용량 C_{g22-2} 로부터 노드 Tg24에의 전하의 유출을 느리게 할 수 있지만, 그렇게 하면 TFT의 온 저항이 커져서 데이터의 기입 시간이 길어진다. 따라서, L_2/W_2 의 값이 작아지도록, 즉 L_2 를 길게 한 만큼, 폭 W_2 를 크게 하는 것이 적합하다. 따라서, 이 관점으로부터도 상기 $W_1 \times L_1 < W_2 \times L_2$ 를 만족하는 것이 적합하다.

도 8은, 상기한 바와 같이 보정 TFT(22)를 멀티게이트화한 경우의 레이아웃의 일례를 나타내는 평면 구성이다. 도 8의 예에서도, 선택 TFT(20)의 능동층과 보정 TFT(22)의 능동층은, 동일 반도체층에 의해서 일체적으로 형성되어 있지만, 설명을 위해, 제1 보정 TFT(22-1, 22-2)의 능동층을 구성하는 반도체층에는 도면 중 122의 부호를 붙이고 있다. 이 반도체층(122)은, 전술한 도 5의 레이아웃과 마찬가지로, 데이터 라인 DL을 따라 인접 행 방향을 향하여(도 8에는 하방) 연장되어 있다.

보정 TFT(22-1, 22-2)의 게이트 전극(22g(22g1, 22g2))은, 공통으로, 전원 라인 PL의 하층 영역에서 해당 전원 라인 PL과 접속되어 있다. 그리고, 이 게이트 전극(22g)은, 전원 라인 PL과의 컨택트 위치로부터 데이터 라인 DL을 향하여 수평 주사 방향으로 연장되고, 능동층(122)의 상방을 가로지르는 영역이 제2 보정 TFT(22-2)의 게이트 전극(22g2)으로 되고, 여기에서 더욱 데이터 라인 DL의 형성 영역까지 연장되고, 데이터 라인 DL을 가로지른 직후에 절첩하여 데이터 라인 PL의 아래를 빠져나간다. 데이터 라인 DL을 빠져나간 부근에서 게이트 전극(22g)은 다시 능동층(122)의 상방을 피복하도록 데이터 라인 DL의 연장 방향을 따라 다음 행의 화소 방향을 향하여 연장되고, 여기서 능동층(122)과 중첩되는 영역이 제1 보정 TFT(22-1)의 게이트 전극(22g1)으로 된다. 또한, 이 제1 보정 TFT(22-1)의 게이트 전극(22g1)은 전원 라인 PL과, 능동층(122)과의 층 사이에 형성되고, 능동층(122)을 그 상측에 형성되어 있는 전원 라인 PL 및 데이터 라인 DL로부터 전기적으로 차폐하고 있다.

이와 같이 게이트 전극(22g)을 U자형으로 절첩하는 패턴으로 함으로써 데이터 라인 DL을 따라 수직 주사 방향으로 연장되는 반도체층(122)의 상방을 예를 들면 2개소에서 피복함으로써, 게이트 전극(22g)에 각각 피복된 위치에 각각 채널 영역(22c2, 22c1)을 형성할 수 있다. 반도체층(122)은, 제2 보정 TFT(22-2)의 선택 TFT(20)의 소스 영역(20s)과의 접속측으로부터 순서대로 소스 영역(22s2), 채널 영역(22c2)(게이트 전극(22g2)의 하층 영역), 제2 보정 TFT(22-2)의 드레인 영역(22d2) 및 제1 보정 TFT(22-1)의 소스 영역(22s1), 채널 영역(22c1)(게이트 전극(22g1)의 하층), 제1 보정 TFT(22-1)의 드레인 영역(22d1)이 형성되어 있다. 그리고, 제1 보정 TFT(22-1)의 드레인 영역(22d1)은, 유지 용량(28)의 용량 전극(28e)과 접속되고(동일 반도체층), 또한 금속 배선(24e)을 통하여 구동 TFT(24)의 게이트 전극(24g)과 접속되어 있다.

도 8에 도시한 바와 같은 레이아웃을 채용하면, 보정 TFT(22)를 멀티게이트화(여기서는 더블게이트화)하여도, 그 설치 면적의 증대를 극력 억제할 수 있다.

도 9는 보정 TFT(22)뿐만 아니라, 전술한 선택 TFT(20)에 대해서도 멀티게이트화한 경우의 회로 구성예를 나타낸다. 또한, 도 10은, 도 9와 같은 회로 구성을 채용한 경우의 실제의 레이아웃의 일례를 도시하는 평면도이다. 도 9의 예에서는, 선택 TFT를 데이터 라인 DL에 대하여 직렬 접속된 2개의 선택 TFT(20-1, 20-2)로 구성하고 있다. 또한, 2개의 선택 TFT(20-1, 20-2)의 게이트는, 모두 게이트 라인 GL에 접속되어 있다.

선택 TFT(20)를 멀티게이트화하기 위해서는, 도 5 등에 도시한 바와 같은 선택 TFT(20)를 싱글 게이트로 구성한 레이아웃에 간단한 변경을 가함으로써 용이하게 대응할 수 있다. 예를 들면, 도 10에도 도시한 바와 같이, 선택 TFT(20)의 능동층을 구성하는 반도체층(120)은, 선택 TFT(20)의 형성 영역 부근에, 데이터 라인 DL로부터 전원 라인 PL에서 절첩하는 것과 같은 U자형(ㄷ자형)이 형상으로 되어 있다. 따라서, 게이트 라인 GL로부터 돌출 형성되는 게이트 전극(20g)의 패턴을, 도 10에 점선으로 나타낸 바와 같이 더욱 연장하고, 전원 라인 PL로부터 절첩한 반도체층(120)의 상층에 중첩되도록 하면 된다. 이와 같이 게이트 전극(20g)을 연장시키고, U자형으로 절첩하는 반도체층(120)의 게이트 라인 GL과의 근접측과, 절첩측의 2개소에 게이트 전극(20g1, 20g2)을 형성하고, 각각의 하층에 채널 영역(20c1, 20c2)을 형성함으로써, 전기적으로는 데이터 라인 DL에 그 능동층이 직렬 접속된 더블게이트형의 선택 TFT(20)를 용이하게 형성할 수 있다. 또한, 도 10에 도시한 바와 같이, 게이트 전극(20g)의 도중으로부터 더욱 수평 주사 방향으로 돌출부를 형성하고, 능동층의 U자 저변 부분의 상층을 이 돌출부가 피복하도록 함으로써 또한 3개의 능동층이 데이터 라인 DL에 직렬 접속된 트리플 게이트형의 선택 TFT(20)를 얻을 수 있다.

도 11은 선택 TFT(22)의 멀티게이트(더블게이트)화의 별도의 레이아웃예를 나타낸다. 도 11의 레이아웃에서는, 수평 주사 방향으로 연장되는 게이트 라인 GL로부터, 데이터 라인 DL과의 컨택트 영역으로부터 이 게이트 라인 GL을 따라 수평 주사 방향으로 배치된 반도체층(120)을 향하여, 2개의 게이트 전극(20g1, 20g2)이 나열되어 돌출 형성되어 있다. 이 예에서는, 멀티게이트의 선택 TFT(20)의 채널 영역(20c1, 20c2)은, 게이트 라인 GL의 연장 방향인 수평 주사 방향으로 배열하여 배치되어 있다.

이상 도 9 및 도 10 또는 도 11에 도시한 바와 같이, 보정 TFT(22)뿐만 아니라, 선택 TFT(20)도 멀티게이트화함으로써, 오프 누설 전류를 더욱 효과적으로 억제할 수 있다.

도 12에는, 또 다른 회로 구성예가 나타나 있다. 도 12에 도시한 1 화소당 등가 회로 구성에서는, 데이터 라인 DL에 일단(제1 도전 영역: 예를 들면 드레인)이 접속된 선택 TFT(20)의 타단(제2 도전 영역: 예를 들면 소스)과, 상기 보정 TFT(22)의 제1 도전 영역(예를 들면, 소스)과의 사이에, 게이트가 용량 라인 SC에 접속된 누설 전류 억제 TFT(30)를 더 구비하고 있다. 이 누설 전류 억제 TFT(30)는, n 채널형이고, 보정 TFT(22)와는, 역극성으로 되어 있다.

이 누설 전류 억제 TFT(30)는, 용량 라인 SC가 H 레벨 시에 온하고, L 레벨 시에 오프한다. 따라서, 게이트 라인 GL이 H 레벨의 기간은 온하고 있고, 데이터 라인 DL의 데이터 전압 Vdata를 구동 TFT(24)의 게이트에 기입하는 것에 대해서는, 문제를 발생하지 않는다. 한편, 데이터의 기입 종료한 후에는, 용량 라인 SC가 L 레벨로 내려가기 때문에 오프한다. 즉, 용량 라인 SC가 하강하고, 구동 TFT(24)의 게이트 전위가 저전압으로 된 경우에, 이 누설 전류 억제 TFT(30)는 오프 상태를 유지하고, 이 때의 데이터 라인 DL로부터 구동 TFT(24)의 게이트를 향하여 흐르는 누설 전류를 효과적으로 억제할 수 있다. 따라서, 표시 장치 내의 복수의 화소에서의 각 발광 회로의 균일을 더욱 향상하는 것이 가능하게 된다. 또한, 도 12에 도시한 구성에서, 또한 보정 TFT(22)를 멀티게이트화하여 한층 더 오프 누설 전류의 저감을 도모하여도 되지만, 회로 소자의 증가는 개구율의 저하를 초래한다. 따라서 개구율을 최대한 크게 취하고, 또한 각 화소에서의 발광 회로의 균일화가 가능한 범위에서, 또한 보정 TFT를 멀티게이트화하는지의 여부를 결정하는 것이 적합하다.

산업상 이용 가능성

각 화소에 표시 소자를 구비하는 표시 장치 등에 이용 가능하다.

(57) 청구의 범위

청구항 1.

데이터 라인에 일단이 접속되고, 제어단에 선택 신호가 입력되는 선택 트랜지스터와,

상기 선택 트랜지스터의 타단에 일단이 접속되고, 제어단이 소정 전압의 제1 전원에 접속되는 보정 트랜지스터와,

상기 보정 트랜지스터의 타단에 제어단이 접속되고, 일단이 전류 공급원으로서의 제2 전원에 접속되는 구동 트랜지스터와,

상기 구동 트랜지스터의 제어단에 일단이 접속되고, 타단이 펄스 전압 라인에 접속된 유지 용량과,

상기 구동 트랜지스터에 흐르는 전류에 의해서 발광하는 발광 소자

를 갖고,

상기 펄스 전압 라인의 전압값을 변경함으로써 상기 구동 트랜지스터를 온하는 과정에서, 상기 보정 트랜지스터의 온 오프를 변경하고, 이것에 의해서 구동 트랜지스터의 온 시에서의 제어단 전압을 제어함과 함께,

상기 구동 트랜지스터와, 상기 보정 트랜지스터가, 인접하여 형성되어 있는 것을 특징으로 하는 화소 회로.

청구항 2.

제1항에 있어서,

상기 선택 트랜지스터를 온한 상태에서, 데이터 라인에 보정 트랜지스터가 온하는 데이터 전압을 공급하여, 구동 트랜지스터의 제어단에 데이터 전압에 대응하는 전압을 유지하고, 그 후 상기 선택 트랜지스터를 오프하고, 그 상태에서 펄스 전압 라인의 전압을 변화시켜서 구동 트랜지스터의 제어단 전압을 시프트시키고, 이것에 의해서 보정 트랜지스터를 오프함과 함께, 구동 트랜지스터를 온하여, 데이터 전압에 따른 전류를 구동 트랜지스터에 흘리는 것을 특징으로 하는 화소 회로.

청구항 3.

제1항에 있어서,

상기 제1 전원과, 제2 전원은 동일한 전원인 것을 특징으로 하는 화소 회로.

청구항 4.

제1항에 있어서,

상기 보정 트랜지스터 및 구동 트랜지스터는, p 채널 트랜지스터이고, 상기 펄스 전압 라인은, 상기 선택 트랜지스터가 오프한 후, 고레벨로부터 저레벨로 변화하는 것을 특징으로 하는 화소 회로.

청구항 5.

제1항에 있어서,

상기 보정 트랜지스터 및 상기 구동 트랜지스터의 능동층은, 모두 다결정화 레이저 어닐링에 의해서 얻어진 다결정 반도체로 구성되고,

상기 보정 트랜지스터의 채널 길이 방향과 상기 구동 트랜지스터의 채널 길이 방향은, 상기 다결정화 레이저 어닐링 시에 조사되는 라인 형상의 펄스 레이저의 주사 방향에 대하여 평행하게 배치되고, 또한 상기 보정 트랜지스터의 채널 영역과 상기 구동 트랜지스터의 채널 영역은, 모두 그 적어도 일부가, 상기 펄스 레이저의 주사 방향에 교차하는 방향으로 연장되는 동일한 직선 상에 위치하는 것을 특징으로 하는 화소 회로.

청구항 6.

제1항에 있어서,

상기 데이터 라인 및 전원 라인은 수직 주사 방향으로 연장하고, 상기 보정 트랜지스터가 상기 데이터 라인 및 전원 라인 사이에 형성되어 있는 것을 특징으로 하는 화소 회로.

청구항 7.

제6항에 있어서,

상기 구동 트랜지스터는, 상기 전원 라인을 끼워서, 상기 보정 트랜지스터의 반대측에 형성되는 것을 특징으로 하는 화소 회로.

청구항 8.

제6항에 있어서,

상기 선택 트랜지스터를 온한 상태에서, 데이터 라인에 보정 트랜지스터가 온하는 데이터 전압을 공급하여, 구동 트랜지스터의 제어단에 데이터 전압에 대응하는 전압을 유지하고, 그 후 상기 선택 트랜지스터를 오프하고, 그 상태에서 펄스 전압 라인의 전압을 변화시켜서 구동 트랜지스터의 제어단 전압을 시프트시키고, 이것에 의해서 보정 트랜지스터를 오프함과 함께, 구동 트랜지스터를 온하여, 데이터 전압에 따른 전류를 구동 트랜지스터에 흘리는 것을 특징으로 하는 화소 회로.

청구항 9.

제6항에 있어서,

상기 제1 전원과, 제2 전원은 동일한 전원인 것을 특징으로 하는 화소 회로.

청구항 10.

제6항에 있어서,

상기 보정 트랜지스터 및 구동 트랜지스터는, p 채널 트랜지스터이고, 상기 펄스 전압 라인은, 상기 선택 트랜지스터가 오프한 후, 고레벨로부터 저레벨로 변화하는 것을 특징으로 하는 화소 회로.

청구항 11.

제6항에 있어서,

상기 보정 트랜지스터 및 상기 구동 트랜지스터의 능동층은, 모두 다결정화 레이저 어닐링에 의해서 얻어진 다결정 반도체로 구성되고,

상기 보정 트랜지스터의 채널 길이 방향과 상기 구동 트랜지스터의 채널 길이 방향은, 상기 다결정화 레이저 어닐링 시에 조사되는 라인 형상의 펄스 레이저의 주사 방향에 대하여 평행하게 배치되고, 또한 상기 보정 트랜지스터의 채널 영역과 상기 구동 트랜지스터의 채널 영역은, 모두 그 적어도 일부가, 상기 펄스 레이저의 주사 방향에 교차하는 방향으로 연장되는 동일한 직선 상에 위치하는 것을 특징으로 하는 화소 회로.

청구항 12.

복수의 화소가 매트릭스 형상으로 배열된 표시 장치로서,

각 화소는,

공급 전력에 따른 동작을 하는 표시 소자와,

데이터 라인에 제1 도전 영역이 접속되고, 제어단에 선택 신호가 입력되는 선택 트랜지스터와,

제1 도전 영역이 전원 라인에 접속되고, 상기 표시 소자에 전력을 공급하는 구동 트랜지스터와,

제어단이 소정 전압의 제1 전원에 접속되고, 제1 도전 영역이 상기 선택 트랜지스터의 제2 도전 영역에 접속되고, 제2 도전 영역이 상기 구동 트랜지스터의 제어단에 접속된 보정 트랜지스터와,

제1 전극이, 상기 구동 트랜지스터의 제어단 및 상기 보정 트랜지스터의 제2 도전 영역에 접속되고, 제2 전극이 펄스 전압 라인에 접속된 유지 용량

을 갖고,

상기 보정 트랜지스터는, 그 동작 임계값에 따라서,

상기 펄스 전압 라인의 전압의 변동에 따라서 상기 구동 트랜지스터의 제어단 전압이 변화하고, 이것에 따라서 상기 구동 트랜지스터가 온 상태로 될 때의 상기 제어단 전압을 제어하고,

상기 보정 트랜지스터와 상기 구동 트랜지스터는 동일 도전형의 트랜지스터에 의해서 구성되어 있고,

또한, 상기 보정 트랜지스터와 상기 구동 트랜지스터 중 적어도 채널 영역은, 모두 레이저 어닐링에 의해서 다결정화된 반도체층에 의해서 구성되고, 해당 채널 영역이 서로 근접 배치되어 있는 것을 특징으로 하는 표시 장치.

청구항 13.

제12항에 있어서,

상기 보정 트랜지스터의 채널 길이 방향과 상기 구동 트랜지스터의 채널 길이 방향은, 상기 다결정화 레이저 어닐링 시에 조사되는 라인 형상의 펄스 레이저의 조사 방향에 대하여 평행하게 배치되고, 또한 상기 보정 트랜지스터의 채널 영역과 상기 구동 트랜지스터의 채널 영역은, 모두 상기 펄스 레이저의 조사 방향에 직교하는 방향으로 연장되는 동일선 상에 적어도 일부가 위치하고 있는 것을 특징으로 하는 표시 장치.

청구항 14.

제12항에 있어서,

상기 보정 트랜지스터의 채널 영역은, 그 채널 길이 방향에서 서로 채널폭이 상이한 부분을 구비하는 것을 특징으로 하는 표시 장치.

청구항 15.

제12항에 있어서,

상기 보정 트랜지스터는, 상기 데이터 라인과 상기 전원 라인의 라인 사이에, 적어도 한 쪽의 라인과 일부가 중첩되도록 연장하여 형성된 능동층을 구비하는 것을 특징으로 하는 표시 장치.

청구항 16.

복수의 화소가 매트릭스 형상으로 배열된 표시 장치로서,

각 화소는,

공급 전력에 따른 동작을 하는 표시 소자와,

데이터 라인에 제1 도전 영역이 접속되고, 제어단에 선택 신호가 입력되는 선택 트랜지스터와,

제1 도전 영역이 전원 라인에 접속되고, 상기 표시 소자에 전력을 공급하는 구동 트랜지스터와,

제어단이 소정 전압의 제1 전원에 접속되고, 제1 도전 영역이 상기 선택 트랜지스터의 제2 도전 영역에 접속되고, 제2 도전 영역이 상기 구동 트랜지스터의 제어단에 접속된 보정 트랜지스터와,

상기 구동 트랜지스터의 제어단 및 상기 보정 트랜지스터의 제2 도전 영역에 제1 전극이 접속되고, 제2 전극이 펄스 전압 라인에 접속된 유지 용량

을 갖고,

상기 보정 트랜지스터는, 그 동작 임계값에 따라서,

상기 펄스 전압 라인의 전압의 변동에 따라서 상기 구동 트랜지스터의 제어단 전압이 변화하고, 이것에 따라서 상기 구동 트랜지스터가 온 상태로 될 때의 상기 제어단 전압을 제어하고,

상기 보정 트랜지스터와 상기 구동 트랜지스터는 동일 도전형의 트랜지스터에 의해서 구성되어 있고,

또한, 상기 보정 트랜지스터의 능동층 중 적어도 일부는, 사이에 절연층을 끼워서 상기 전원 라인의 하층 위치에 형성되어 있는 것을 특징으로 하는 표시 장치.

청구항 17.

제16항에 있어서,

상기 제1 전원은 전원 라인이 겸용하고,

상기 보정 트랜지스터의 능동층과 상기 전원 라인과의 층 사이에는, 상기 전원 라인에 접속된 상기 보정 트랜지스터의 제어 전극이 형성되어 있는 것을 특징으로 하는 표시 장치.

청구항 18.

제16항에 있어서,

상기 보정 트랜지스터의 채널 영역은, 그 채널 길이 방향에서 서로 채널폭이 상이한 부분을 구비하는 것을 특징으로 하는 표시 장치.

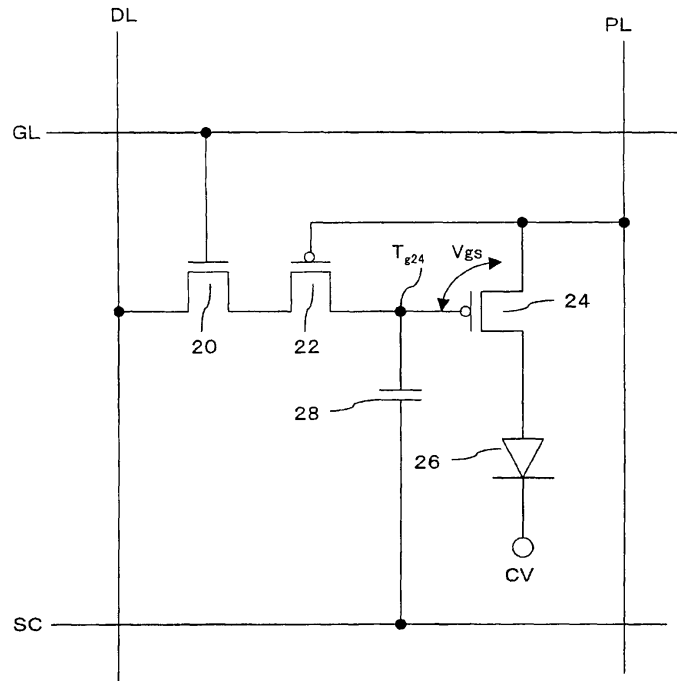
청구항 19.

제16항에 있어서,

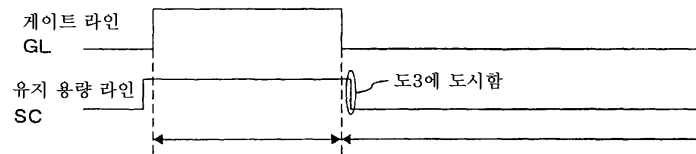
상기 보정 트랜지스터는, 상기 데이터 라인과 상기 전원 라인의 라인 사이에, 적어도 한 쪽의 라인과 일부가 중첩되도록 연장하여 형성된 능동층을 구비하는 것을 특징으로 하는 표시 장치.

도면

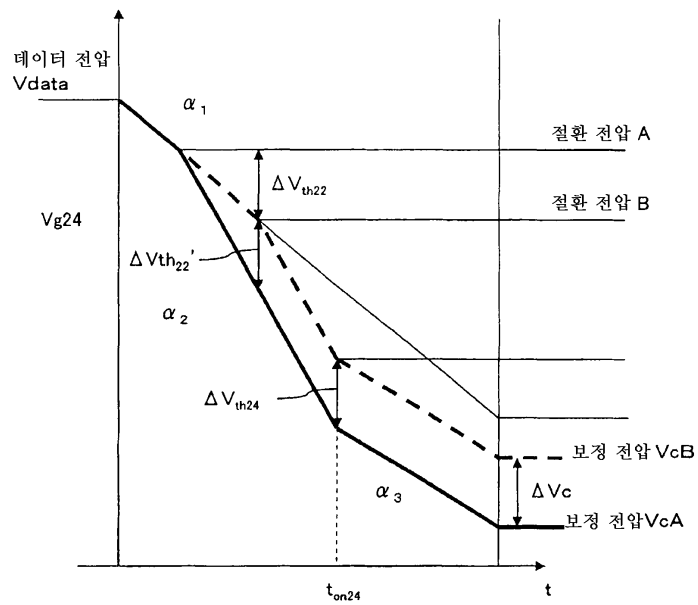
도면1



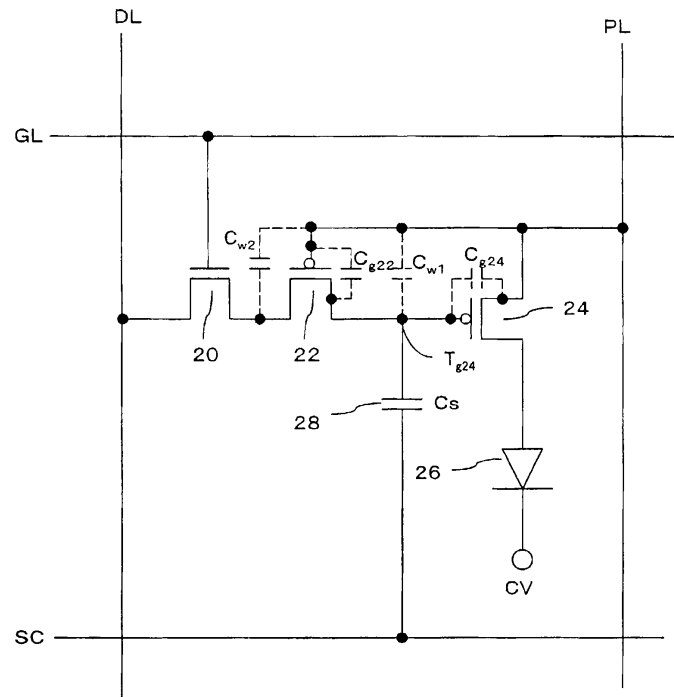
도면2



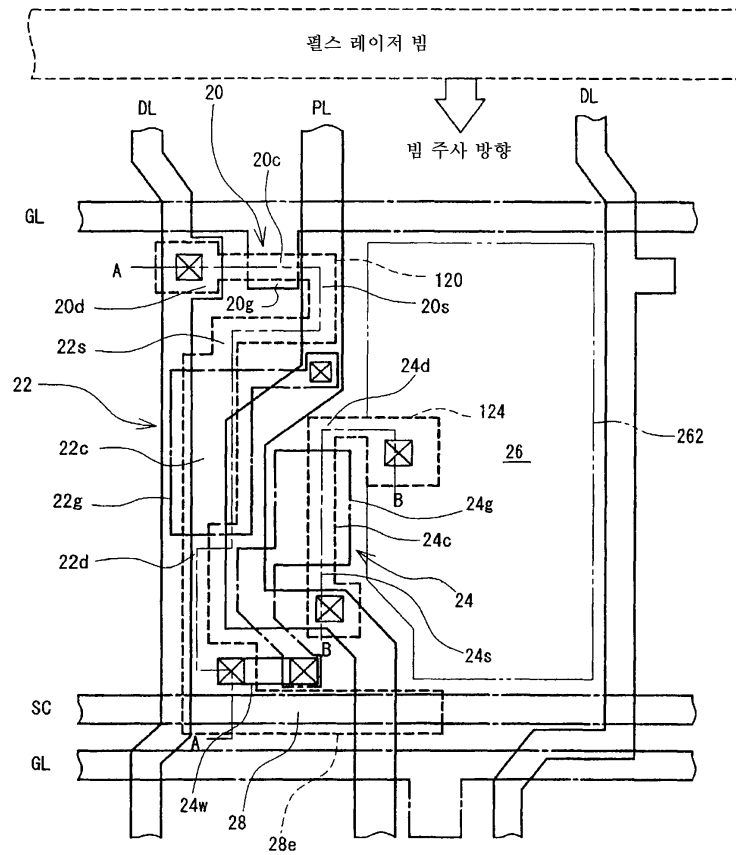
도면3



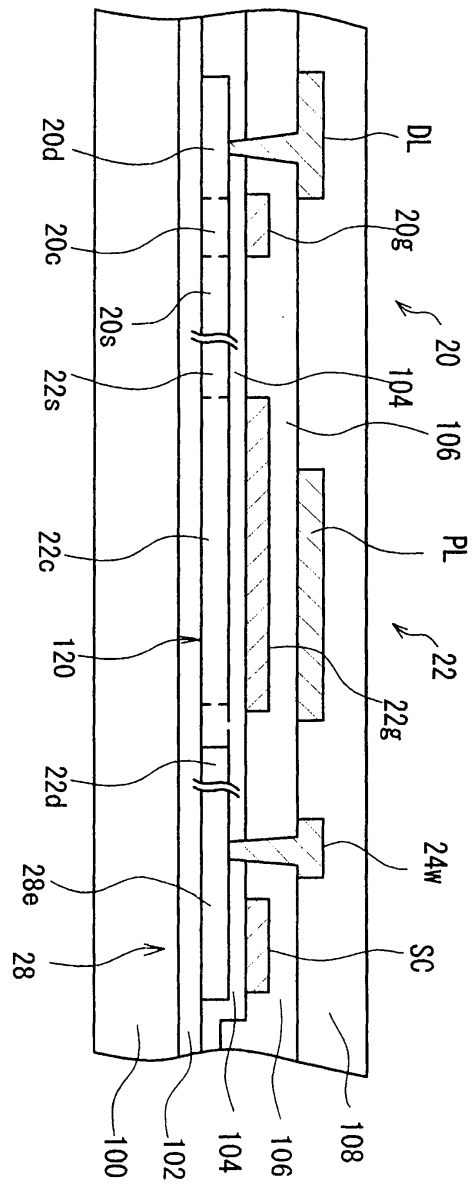
도면4



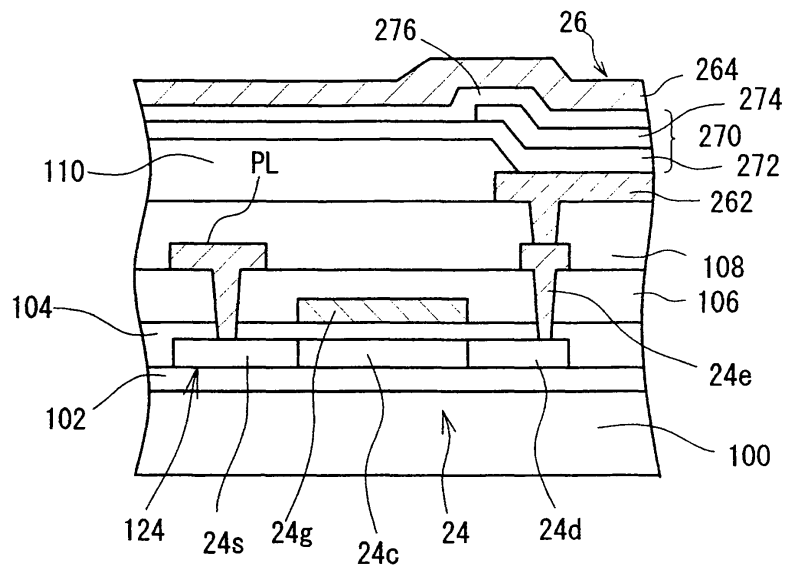
도면5



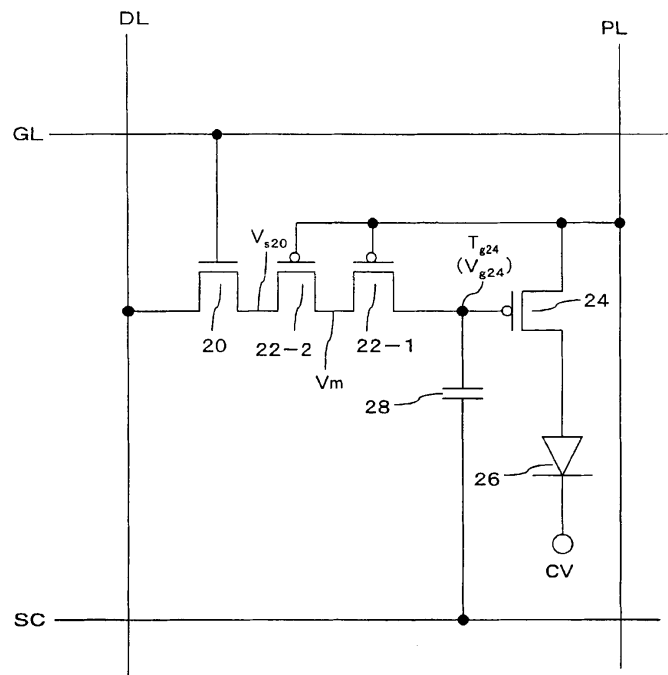
도면6A



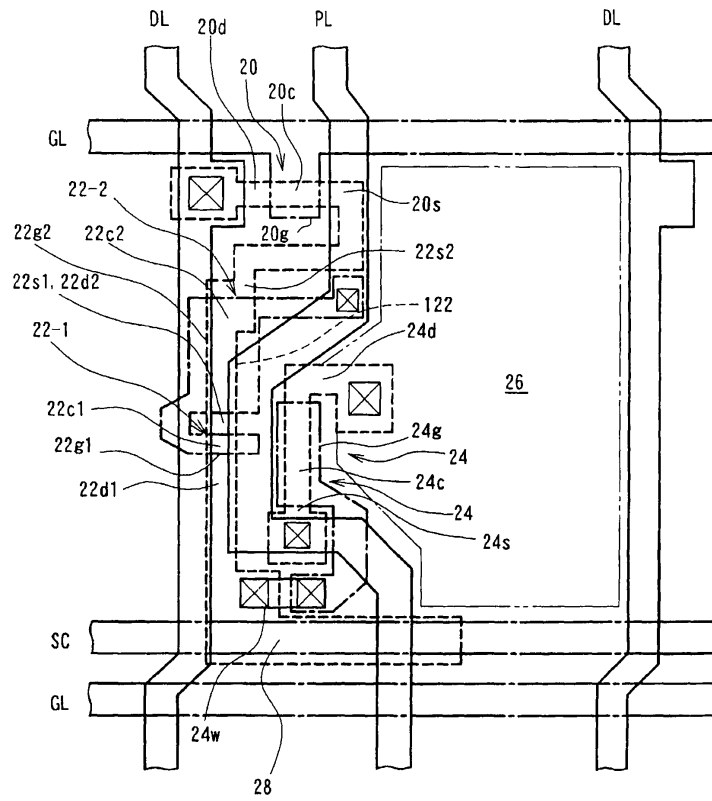
도면6B



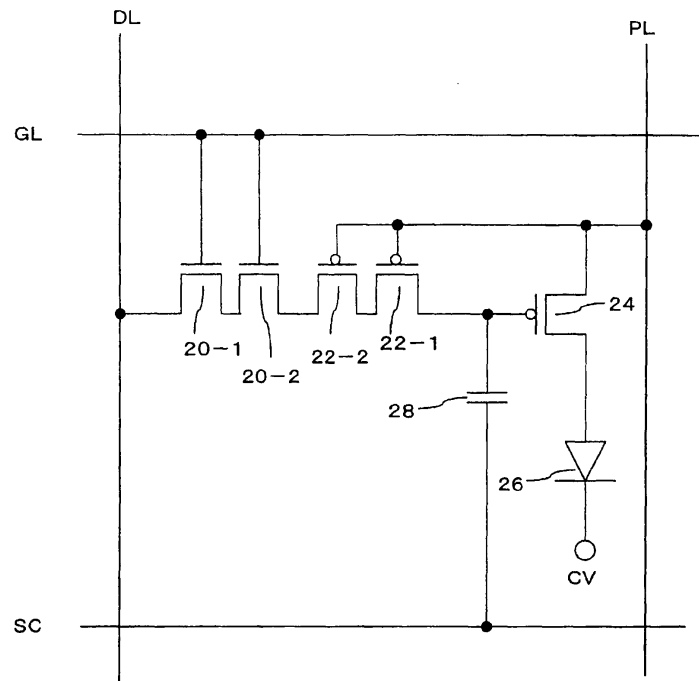
도면7



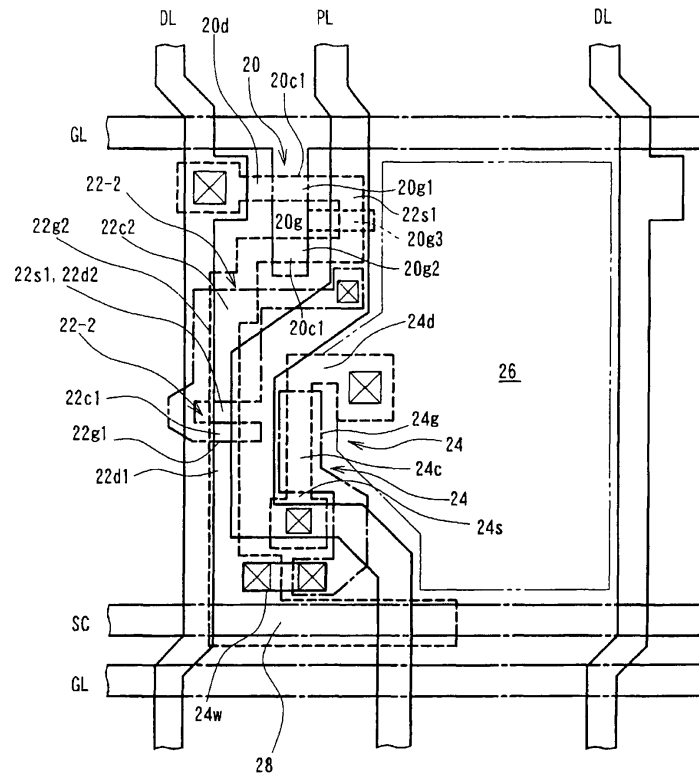
도면8



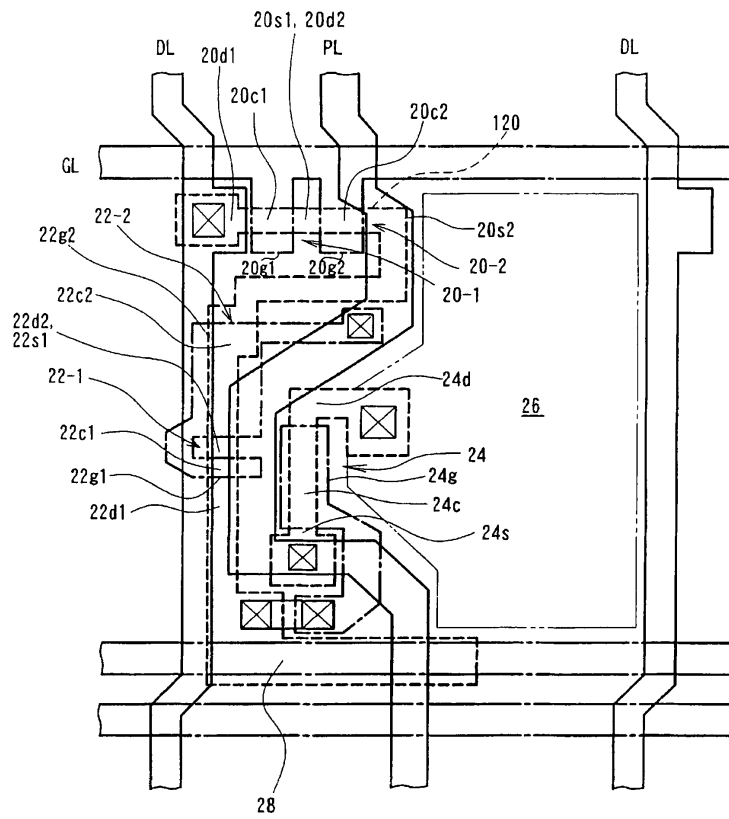
도면9



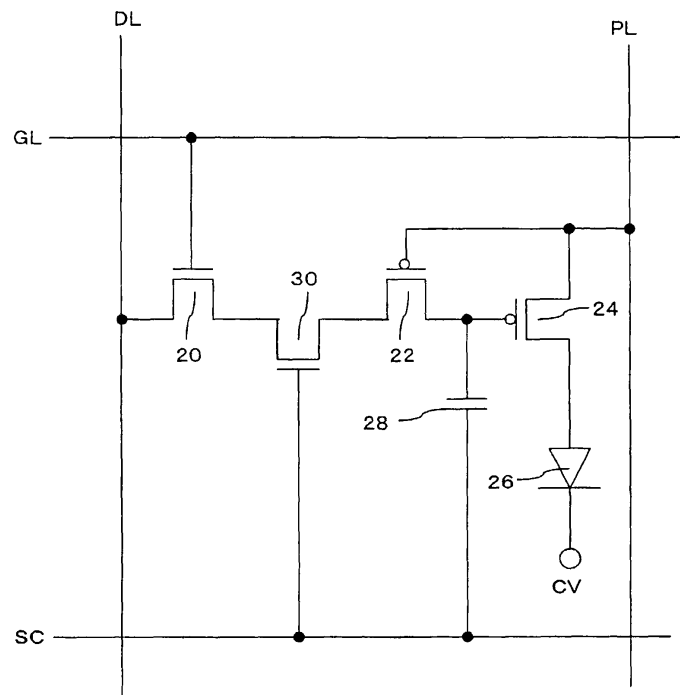
도면10



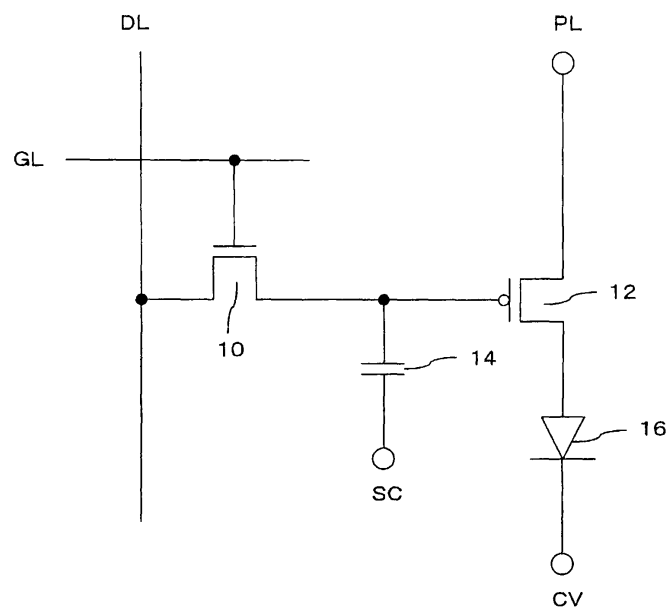
도면11



도면12



도면13



专利名称(译)	像素电路和显示设备		
公开(公告)号	KR1020060024347A	公开(公告)日	2006-03-16
申请号	KR1020057016525	申请日	2004-11-08
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	KOGA MASAYUKI 고가마사유키 MARUMO KOJI 마루모고지		
发明人	고가,마사유키 마루모,고지		
IPC分类号	G09G3/30 G09G3/20 H05B33/12 H01L51/50 G09F9/30 G09G3/32 H01L27/32 H05B33/14		
CPC分类号	G09G2300/0842 H01L27/3244 G09G2320/043 G09G2320/0233 G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0876 G09G2300/0426		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2003378581 2003-11-07 JP 2004154092 2004-05-25 JP		
其他公开文献	KR100679199B1		
外部链接	Espacenet		

摘要(译)

选择TFT (20) 和校正TFT (22) 导通, 从而通过保持电容器 (28) 使数据线上的数据电压作为驱动TFT (24) 的栅极电压被保持。在选择TFT (20) 截止之后, 使电容线 (SC) 的电压上升, 从而导通驱动TFT (24) 以使驱动电流流过有机EL元件 (26)。这里, 校正TFT (22) 在电容线 (SC) 上升之前导通, 而在电容线 (SC) 下降期间在中点截止。因此, 校正TFT (22) 的电容值在栅极电压上升期间变化, 并且驱动TFT (24) 的栅极电压的上升斜率变化, 从而在电容下降之后的栅极电压可以根据驱动TFT (24) 的阈值的变化来设置线 (SC)。特别是, 驱动TFT (24) 和校正TFT (22) 设置成彼此相邻, 从而可以将它们的特性视为相同, 因此可以有效地进行校正。

