(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/30

(11) 공개번호 특2003-0097667
(43) 공개일자 2003년12월31일

(21) 출원번호 10-2003-0039312
(22) 출원일자 2003년06월18일

(30) 우선권주장 JP-P-2002-00179439 2002년06월20일 일본(JP)

(71) 출원인 로무 가부시키가이샤
일본 교토시 우교구 사이잉 미조사키죠 21

(72) 발명자 후지사와마사노리
일본국교토후교토시우교구사이인미조사키죠21반지로무가부시키가이샤내

아베시니치
일본국교토후교토시우교구사이인미조사키죠21반지로무가부시키가이샤내

(74) 대리인 황의인

심사청구 : 있음

(54) 능동 매트릭스형 유기 E L 패널의 구동 회로 및 이 구동회로를 이용한 유기 E L 디스플레이 장치

요약

본 발명에 의해 구동 전류값은 각 픽셀 회로의 외부에서 제공된 전류 구동 회로의 전류값 조절 회로에 의해 조절되어, 이에 따라 구동 트랜지스터의 임계값 조작을 균일화하기 위해 제공된 프로그램 제어용 제어 라인이 불필요해진다. 그러므로, 각 픽셀 회로의 트랜지스터 수가 감소될 수 있으며, 각 픽셀 회로의 회로 크기도 감축될 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 능동 매트릭스형 유기 EL 디스플레이 장치의 블럭 회로도.

도 2는 도 1의 능동 매트릭스형 유기 EL 디스플레이 장치의 데이타 전극 구동기로서 전류값 조절 회로를 갖는 커런트-미러형 단자 핀의 회로도.

도 3은 레지스터로 구성된 도 2의 비휘발성 메모리의 회로도.

도 4는 휘발성 메모리를 이용하는 시프트 레지스터로 구성된 도 3의 비휘발성 메모리의 회로도.

도 5는 전류값 조절 회로를 갖는 단자 핀 구동 회로를 분산하여 픽셀 회로를 구동하는 것을 나타내는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 능동 매트릭스형 유기 EL(Electro Luminescence) 패널의 구동 회로 및 이 구동 회로를 이용한 유기 EL 디스플레이 장치에 관한 것으로, 보다 상세 하게는 픽셀 회로 크기가 제한되어 구동 트랜지스터의 임계값 조작을 위한 보상용 회로가 제거되는 경우에도, 이동전화기, PHS 등의 디스플레이 스크린의 휘도 변동을 감소시킬 수 있으며, 고휘도 컬러 디스플레이용으로 적절한 능동 매트릭스형 유기 EL 디스플레이 장치에 관한 것이다.

자발광을 이용한 고휘도 디스플레이를 실현하는 유기 EL 디스플레이 장치는 소형 디스플레이 스크린상의 디스플레이에 적합한 것으로 알려져있다. 또한 유기 EL 디스플레이 장치는 이동전화기, PHS, DVD 플레이어, 또는 PDA(Personal Digital Assistants)등에 장착되는 차세대 디스플레이 장치로 주목받고 있다. 이 유기 EL 디스플레이 장치는, 액정 디스플레이 장치와 같이 전압에 의해 구동되는 경우, 휘도 변동이 상당히 커지며, R(red), G(green), B(blue) 사이의 감도상 차이가 있으므로 컬러 디스플레이의 휘도 조절이 어려워지는 문제점이 있다.

이러한 문제점을 고려하여, 전류 구동 회로를 사용하는 유기 EL 디스플레이 장치가 최근까지 제안되어 왔다. 예를 들어, JPH10-112391A는 전류 구동 시스템을 적용하므로써 휘도 변동의 문제점을 해소하는 기술을 개시한다.

396(132*3)개의 컬럼(column)라인용 단자 핀 및 162개의 로우(row)라인용 단자 핀을 갖는, 이동전화기용 유기 EL 디스플레이 장치의 유기 EL 디스플레이 패널이 제시되었다. 그러나. 컬럼라인과 로우라인의 수가 계속해서 증가되는 경향이 있다.

능동 매트릭스(active matrix)형태 또는 수동 매트릭스(passive matrix)형태의 상기 유기 EL 디스플레이 패널의 전류 구동 회로의 출력단은, 예컨데 단자 핀 각각에 대해, 커런트 미러 회로로 구성된 출력 회로와 같은 전류원 구동 회로를 포함한다.

상기 능동 매트릭스형 유기 EL 디스플레이 장치에서, 캐패시터 및 전류 구동 트랜지스터로 구성된 픽셀 회로가 각 디스플레이 픽셀에 제공된다. 상기 픽셀 회로의 트랜지스터는 캐패시터에 저장된 전압에 의해 구동된다. 상기 유기 EL 소자(이하 OEL 소자로 칭함)는 상기 트랜지스터에 의해 전류-구동된다. 이에 따른 구동 시스템은 OEL 소자가 트랜지스터의 온/오프(ON/OFF)에 의해 이진-제어되는 디지틀 구동 시스템이거나 또는 OEL 소자의 구동 전류가 아날로그 입력 데이타에 의해 제어되는 아날로그 구동 시스템이다. 디지틀 구동인 경우, 디스플레이 영역은 픽셀내 서브 픽셀을 제공하여 제어되며, 디스플레이 픽셀의 컬러 톤은 발광 시간을 시간-분배하여 생긴 구동 시간차에 따라 제어된다. 상기 아날로그 구동 시스템은 전압 할당형 시스템(전압 프로그램 시스템) 및 전류 할당형 시스템(전류 프로그램 시스템)으로 분류된다. 상기 전압 할당형 아날로그 구동 시스템에서, 각 픽셀 회로의 캐패시터의 단자 전압은 전압 신호에 의해 설정된다. 상기 전류 할당형 아날로그 구동 시스템에서, 캐패시터의 단자 전압은 전류 신호에 의해 설정된다.

이같은 능동 매트릭스형 유기 EL 디스플레이 장치에서, 각 픽셀 회로내 구동 트랜지스터의 임계값 조작을 변동하므로써 휘도 불균일성이 일어나는 경향이 있다. 디스플레이 장치의 제조 공정시 각 픽셀 회로의 구동 트랜지스터의 임계값 조작을 균일하게 행하는 것이 어렵기 때문에, 각 픽셀 회로의 캐패시터의 전압을 제어하므로써 휘도 불균일성을 제한하도록 제안되어왔다. 이러한 구조를 실현하기 위해서, 임계값 보상 회로가 픽셀 회로내 제공된다. 임계값 보상 회로의 예를 들면 전압 프로그램형 및 전류 프로그램형이 있다.

상기 전압 프로그램형 임계값 보상 회로는 각 픽셀 회로에 제공된 2개의 캐패시터 및 4개의 트랜지스터를 이용한다. 상기 구동 트랜지스터의 임계값 조작 변동을 위한 2개의 보상용 배선라인은 데이타 라인 및 셀렉션 라인에 추가로 제공된다. 전류 구동은 구동 트랜지스터의 임계값에 영향을 받지않으며 상기 두 라인에 대한 제어 신호에 의해 두 캐패시터를 소정 타이밍에 충전하므로써 실행된다.

상기 전류 프로그램 시스템에서, 픽셀 회로는 구동 트랜지스터를 가진 3개의 트랜지스터 및 특정 전압을 설정하는 스위치 트랜지스터를 포함한다. 또한, 상기 픽셀 회로는 1개의 데이타 라인, 2개의 셀렉션 라인 및 1개의 특정 전압 Vdd의 전력원 라인(전원 라인)을 포함한다. 먼저, 구동 트랜지스터는 스위치 트랜지스터에 의해 분리되어 전류 구동을 통해 캐패시터를 충전한다. 그 다음 구동 트랜지스터는 스위치 트랜지스터에 의해 캐패시터와 연결된다. OEL 소자는 전원 라인으로부터 전력이 공급되어 전류-구동된다.

상기 각 구동 방법은 프로그램 타이밍 제어를 필요로한다. 특히, 전류 구동 시스템에서, 중간 톤의 디스플레이 제어에 필요한 전류값의 정밀도는 0.1μA이하가 된다. 이에 따라, 자체의 제어가 어려워지게된다. 또한, 디스플레이 픽셀의 밀도가 예컨대 VGA, SVGA, XGA 등과 같이 높아지는 경우, 상기 프로그램 타이밍 제어가 제한 시간내에 실행되어야 하며 프로그램 제어용 라인이 데이타 라인 및 셀렉션 라인에 추가로 필요하기 때문에, 각 픽셀 회로의 회로 크기가 증대된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 디스플레이 스크린의 휘도 불균일성을 감소시킬 수 있으며, 픽셀 회로의 회로 크기가 제한되어 구동 트랜지스터의 임계값 조작을 위한 보상용 회로가 제거된 경우에도 고휘도 컬러 디스플레이에 특히 적절한 능동 매트릭스형 유기 EL 패널의 구동 회로를 제공하는 것이다.

본 발명의 다른 목적은 소형 픽셀 회로 크기를 가지며 디스플레이 스크린의 휘도 불균일성을 감소시킬 수 있는 유기 EL 디스플레이 장치를 제공하는 것이다.

이같은 목적을 달성하기 위해서, 본 발명의 능동 매트릭스형 유기 EL 디스플레이 장치의 구동 회로 및 이 구동 회로를 이용한 유기 EL 디스플레이 장치는, 픽셀 회로의 캐패시터를 소정 전압값까지 충전하기 위해 충전 전류를 발생시키는 유기 EL 디스플레이 패널의 컬럼 핀 또는 데이타 라인과 연결될 출력 핀을 갖는 복수의 전류 구동 회로와, 상기 캐패시터의 전압값을 저장하는 기록 제어 및 캐패시터의 전압값을 재설정하는 리셋 제어를 실행하는 기록 제어 회로를 포함하되, 상기 패널은 데이타 라인 또는 컬럼 핀을 통해 출력 핀과 연결되며,

상기 출력 핀을 통해 상기 유기 EL 디스플레이 패널의 스크린상에서 적어도 분산된 위치에 배열된 복수의 픽셀 회로와 연결되는 상기 복수의 전류 구동 회로는 출력 핀으로부터 방전되거나 또는 출력 핀에 싱크(sink)될 출력 전류를 조절하는 전류값 조절 회로를 각각 포함하는 것을 특징으로 한다.

상술된 바와 같이, 본 발명에서, 상기 데이타 라인 또는 컬럼 단자 핀과 연결된 전류 구동 라인에 추가로, 기록 제어 회로로부터의 라인, 예컨대 캐패시터의 전압값을 기록 및 재설정하는 스캔 라인과 같은 라인이 요구된다.

본 발명에서, 상기 구동 전류는 각 픽셀 회로 외부에 제공된 전류 구동 회로의 전류 조절 회로에 의해 조절되기 때문에, 구동 트랜지스터의 임계값 조작을 균일하게 행하기 위해 필수적인 프로그램 제어용 제어 라인이 불필요하다. 이에 따라 각 픽셀 회로의 배선 라인은 물론 소자의 수도 대응하여 감소될 수 있다. 결과적으로, 각 픽셀 회로의 크기가 감축될 수 있다.

본 발명에 따른 전류 구동 회로의 전류값 조절 회로는 모든 데이타 라인 또는 컬럼 단자 핀에 제공될 것이다. 그러나, 이 회로를 유기 EL 패널상에 적어도 분산된 위치에 배열된 각 데이타 라인 또는 컬럼 단자 핀에 제공하기 때문에, 유기 EL 구동 회로상에서의 회로 크기 증가가 제한될 수 있다.

그러므로, 외부 구동 회로를 통해 유기 EL 패널을 외부적으로 전류-구동하면서 능동형 유기 EL 패널의 각 픽셀 회로 구조를 제한하므로써 구동 전류를 조절할 수 있다. 이 조절은, 상기 디스플레이 스크린의 적어도 분산된 위치에 배열된 픽셀 회로를 구동하는 복수의 전류 구동 회로 각각에 전류 조절 회로를 제공하며, 상기 전류 조절 회로를 통해 픽셀 회로의 구동 전류값을 조절하므로써 휘도 불균일성이 소멸되는 방식으로 실행된다. 이에 따라, 픽셀 회로의 구동 트랜지스터의 임계값 조작의 변동과는 상관없이 디스플레이 스크린의 휘도 불균일성을 제한하는 것이 가능하다. 또한, 모든 데이타 라인 또는 컬럼 단자 핀에 대해 전류값 조절 회로를 갖는 전류 구동 회로를 제공하여 휘도 불균일성을 추가로 감소시킬 수 있다.

이에 따라, 구동 트랜지스터의 임계값 조작을 위한 보상용 회로가 제거되어 각 픽셀 회로의 회로 크기를 제한하며, 디스플레이 스크린의 휘도 불균일성을 감소시키는 것이 가능하다.

발명의 구성 및 작용

도 1은 능동형 유기 EL 디스플레이 장치(1)의 블럭 회로도이다. 상기 능동형 유기 EL 디스플레이 장치(1)는 데이타 전극 구동기(2),기록 제어 회로(3), 픽셀 회로(4), 제어 회로(5), 레지스터(6), 로우측 스캔 회로(7), MPU(8) 등을 포함한다. 또한, 상기 픽셀 회로(4)는 X 및 Y 매트릭스 라인의 모든 교차점에 제공되며, 이 픽셀 회로의 대표적인 예로 한 픽셀 회로만이 도 1에 도시된다.

상기 데이타 전극 구동기(2)는 수평 스캔 방향의 유기 EL 소자 구동 회로의 컬럼 구동기이며, 각 데이타 라인(또는 컬럼 단자 핀)에 대응하여 제공된 복수의 커런트-미러 단자 핀 구동 회로(이하 '전류 구동 회로'로 칭함)(10)를 포함한다. 각 커런트-미러 출력단 회로(13)의 출력 핀(9)(도 2)은 X 및 Y 매트릭스 라인(데이타 라인 및 스캔 라인)의 데이타 라인(X1,...Xn) 중 하나와 연결된다.

도 1 및 도 2에 도시된 바와 같이, 픽셀 회로(디스플레이 셀)(4)는 X 및 Y 매트릭스 라인(데이타 라인 X1,...Xn 및 스캔 라인 Y1,Y2,... 중 하나)의 교차점에 제공된다. 소스(source) 및 게이트(gate)를 갖는 N 채널 MOS 트랜지스터 Tr1는 데이타 라인 및 스캔 라인 Y1의 교차점과 연결되며, 픽셀 회로(4)내에 배열된다. OEL 소자(4a)는 픽셀 회로(4)내에 제공된 P 채널 MOS 트랜지스터인 구동 트랜지스터 Tr2에 의해 구동된다. 캐패시터 C는 트랜지스터 Tr2의 게이트 및 소스 사이에 연결된다. 트랜지스터 Tr2의 소스는 예컨대 약 +7V인 전력원 라인 +Vcc과 연결된다. OEL 소자(4a)의 캐소드(cathode)는 로우측 스캔 회로(7)의 스위치 회로(7a)와 연결되며, 이 스위치 회로(7a)를 통해 접지될 수 있다.

상기 픽셀 회로(4)에서, P 채널 MOS 트랜지스터 Tr3 및 N 채널 MOS 트랜지스터 Tr4는 트랜지스터 Tr1 및 Tr2 사이에 제공된다. 트랜지스터 Tr3는 입력측 트랜지스터로서, 출력측 트랜지스터인 트랜지스터 Tr2와 함께 커런트-미러 회로(4b)를 구성한다. 트랜지스터 Tr1의 드레인은 트랜지스터 Tr3의 아래측과 연결된다. 트랜지스터 Tr4의 소스 및 드레인은 트랜지스터 Tr3과 Tr1 사이의 연결점 및 커런트-미러 회로(4b)의 공통 게이트(트랜지스터 Tr2의 게이트) 사이에 연결된다.

커런트-미러 회로를 구성하는 트랜지스터 Tr2 및 트랜지스터 Tr3는 실질적으로 동일한 특성을 갖는다.

트랜지스터 Tr1의 게이트는 스캔 라인 Y1(기록 라인)을 통해 기록 제어 회로(3)와 연결된다. 스캔 라인 Y1(기록 라인)의 게이트는 스캔 라인 Y2(소거 라인)을 통해 기록 제어 회로(3)와 연결된다. 스캔 라인 Y1(기록 라인) 및 스캔 라인 Y2(소거 라인)은 기록 제어 회로(3)에 의해 스캔되어, 스캔 라인이 하이(H) 레벨이 되는 경우 트랜지스터 Tr1 및 트랜지스터 Tr4가 온으로 켜지도록 함에 따라, 트랜지스터 Tr2는 소정 구동 전류에 의해 구동되며 캐패시터 C는 소정 구동 전압을 보유하도록 충전된다. 그 결과, 구동 전류값은 캐패시터 C에 기록된다. 이 경우, 캐패시터 C는 상기 전류값을 전압값으로 기억한다.

상기 MOS 트랜지스터 Tr2는 캐패시터 C의 저장된 전압에 대응하는 전류에 의해 구동된다. 상기 캐패시터 C의 저장된 전압은 기록된 구동 전류에 대응하는 전압 값에 대응한다. OEL 소자(4a)는 기록된 구동 전류에 대응하는 전류에 의해 구동된다. 트랜지스터 Tr2 및 트랜지스터 Tr3의 채널폭이 동일한 경우, 기록 전류와 동일한 구동 전류를 발생시킬 수 있다.

또한, 기록 제어 회로(3)와 연결되어 제어되는 스캔 라인 Y1(기록 라인) 및 스캔 라인 Y2(소거 라인)이 수직 방향의 (모든 수직 스캔 라인에 대한) 모든 픽셀 회로에 제공된다해도, 로우측 스캔 회로(7)의 스위치 회로(7a)로서 수직으로 스캔되는 하나의 픽셀회로만이 도 1에 나타낸다. 또한, 상기 전류가 캐패시터 C에 기록되는 경우 상기 스위치 회로(7a)는 오프(OFF)단에 있기때문에, 트랜지스터 Tr2로부터 OEL 소자(4a)까지의 구동 전류는 발생하지않는다.

수평 R, G, B 스캔 방향의 한 라인에 대한 구동 전류가 모든 픽셀 회로(디스플레이 셀)의 캐패시터 C에 기록된 후 로우측 스캔 회로(7)의 스위치 회로(7a)가 온 상태로 됨에 따라, 상기 수평 스캔 방향의 한 라인에 대한 OEL 소자(4a)가 동시에 구동된다. 이때, 스캔 라인 Y1(기록 라인) 및 스캔 라인 Y2(소거 라인)은 기록 제어 회로(3)에 의해 'L'상태로 되며, 트랜지스터 Tr1 및 트랜지스터 Tr4는 오프로 꺼진다.

스위치 회로(7a)는 로우측 스캔 회로(7)에 제공된다. 곧 스캔될 상기 스위치 회로(7a) 중 하나는 온으로 켜지며, 나머지 스위치 회로(7a)는 오프로 꺼진다. 이에 따라, 스위치 회로(7a)는 수직 스캔에 대응하여 실질적으로 온 상태가 된다.

또한, 능동 매트릭스형 유기 EL 디스플레이 장치에서, 캐패시터 C는 구동 전류값을 저장한다. 이에 따라, 한 수직 라인이 아닌 한 스크린에 대한 구동 전류가 캐패시터 C에 저장된 후 스위치 회로(7a)를 온으로 켤 수 있다. 이 경우, 하나의 스위치 회로(7a)만으로 충분하며 로우측 스캔 회로(7)를 이용할 필요는 없다. R, G, B 스크린이 시분할 방식으로 구동되는 경우, 스위치 회로(7a), 즉 3개의 스위치 회로(7a) 전체가 모든 스크린에 제공된다.

상기 기록 제어 회로(3)와 연결된 스캔 라인 Y2이 'H' 상태로 되며 스캔 라인 Y1이 'L' 상태로 되는 경우, 캐패시터 C는 방전된다. 즉, 이 경우, 트랜지스터 Tr1는 오프로 꺼지며 트랜지스터 Tr4는 온으로 켜짐에 따라, 캐패시터 C는 이 캐패시터 C의 전압에 의해 온 상태가 된 트랜지스터 Tr3 및 트랜지스터 Tr4를 통해 방전되며, 그 다음 캐패시터 C의 전압은 재설정된다. 이 재설정화는 한 라인에 대한 OEL 소자의 구동전 또는 리트레이스 블랭크 주기(retrace blanking period)동안 바로 실행된다. 또한, 픽셀 회로(4) 각각에 대응하는 스캔 라인 Y1 및 Y2은 제어 회로(5)에서 수직 방향의 스캔 픽셀 회로까지의 타이밍 신호 T1 및 T2에 의해 제어된다.

도 2는 데이타 전극 구동기(2)의 상세 회로도를 나타내는 것으로, 이 구동기는 각 데이타 라인 X1~Xn에 대응하여 제공된 n개의 전류 구동 회로(10) 및 1개의 구동 전류 발생 회로(16)를 포함하며, 여기서 n은 데이타 라인의 수이다. 상기 회로들은 모든 주요 컬러에 제공된다.

상기 전류 구동 회로(10)는 D/A 컨버터 회로(11), 구동 전류값 조절 회로(12), 커런트-미러 출력단 회로(13), 피크 전류 발생 회로(14), 비휘발성 메모리(15)를 포함한다. 상기 레퍼런스 구동 전류 발생 회로(16)는 레퍼런스 전류 발생 회로(16a) 및 레퍼런스 전류 복제/분배 회로(16b)를 포함한다.

레퍼런스 전류 발생 회로(16a)는 R, G, B 컬러에 대한 디스플레이 기준이 되는 레퍼런스 전류값을 공급하는 프로그램형 정전류 공급원이며 외부에 배열될 수 있다. 상기 레퍼런스 전류 복제/분배 회로(16b)는 예컨대 1개의 입력측 트랜지스터 및 데이타 라인의 수에 대응하는 복수의 출력측 트랜지스터로 이루어진 커런트-미러 회로로 구성된다. 레퍼런스 전류 발생 회로(16a)로부터의 레퍼런스 전류값 각각은 입력측 트랜지스터에 입력된다. n개의 레퍼런스 전류값은 정전류 Io로서 병렬로 복제되며, 커런트-미러 회로의 출력측 트랜지스터로부터 커런트-미러 출력단 회로(13)의 출력 핀, 즉 유기 EL 패널의 단자 핀까지 분배된다. 정전류 Io는 출력 핀에 대응하는 전류 구동 회로(10) 각각에 공급된다.

상기 전류 구동 회로(10)의 구동 전류값 조절 회로(12)는 레퍼런스 전류 복제/분배 회로(16b)에 의해 복제된 정전류 Io를 공급받으며, 유기 EL 패널의 단자 핀에 대응하는 조절된 전류 Ip를 D/A 컨버터 회로(11)의 입력 단자(11a)에 공급하여 입력측 커런트-미러 트랜지스터 TNa 및 TNp를 구동한다.

상기 D/A 컨버터 회로(11)는 N 채널 입력측 트랜지스터 TNa 및 이 트랜지스터 TNa와 병렬 연결된 N 채널 입력측 트랜지스터 TNp를 포함한다. N 채널 출력측 트랜지스터 TNb~TNn는 상기 입력측 트랜지스터 TNa~TNp와 커런트-미러 연결된다.

트랜지스터 TNp에 대한 트랜지스터 TNa의 채널폭(게이트폭) 비율은 1:9로 설정된다. 트랜지스터 TNa의 소스는 저항 Ra를 통해 접지된다. 상기 트랜지스터 TNp의 소스는 저항 Rpa 및 스위치 회로 SWpa를 통해 접지된다.

또한, 상기 1:9의 채널폭(게이트폭) 비율은 나머지 하나의 MOS 트랜지스터에 대해 우수한 페어링(pairing) 특성을 갖는 9개의 MOS 트랜지스터를 병렬-연결하므로써 실현될 수도 있다.

입력측 트랜지스터 TNa 및 TNp는 입력단자(11a)와 연결되며, 이 입력단자(11a)를 통해 구동 전류 조절 회로(12)로부터 조절된 전류 Ip를 공급받는다.

스위치 회로 SWpa가 오프상태인 구동 주기의 초기부분에서, 전류 Ip가 입력측 트랜지스터 TNa에만 흐름에 따라, 피크 전류 Ipa는 디스플레이 데이타에 대응하는 출력 전류 Ia로서 D/A 컨버터 회로(11)의 출력 단자(11b)에 발생된다. 그 다음 스위치 회로 SWpa가 온으로 켜질 때, 구동 전류 Ip는 입력측 트랜지스터 TNa 및 TNp로 분기되어 흐른다. 이 경우, 피크 전류 Ipa의 1/10인 정상 상태의 구동 전류 Ia가 출력 단자(11b)에서 발생된다.

저항 Rb 내지 Rn-1는 출력측 트랜지스터 TNb 내지 TNn-1의 소스 및 트랜지스터 Trb 내지 Trn-1의 드레인 사이에 각각 제공된다. 이에 따라, D/A 컨버터 회로(11)의 커런트 페어링 특성의 정밀도를 향상시킬 수 있다.

트랜지스터 Trb 내지 Trn-1의 게이트는 k-bit의 디스플레이 데이타가 레지스터(16)로부터 입력된 입력단자 do~dn-1와 연결된다. 트랜지스터 Trb 내지 Trn-1의 소스는 접지된다.

상기 구동 전류값 조절 회로(12)는 출력 전류값 Ip가 데이타 설정에 의해 규정 될 수 있는 프로그램형 전류값 조절 회로이며, N 채널 MOS 트랜지스터 Tr1 및 Tr2로 이루어진 커런트-미러 구동 회로(12a), 이 커런트-미러 구동 회로에 의해 구동된 P 채널 트랜지스터 Tr3~Tr7로 이뤄진 커런트-미러형 전류 조절 회로(12b), 비휘발성 메모리(15)로 구성된다.

상기 커런트-미러 구동 회로(12a)에서, 입력측 트랜지스터 Tr1의 드레인은 레퍼런스 전류 복제/분배 회로(16b)의 출력 중 하나와 연결되며, 이로부터 전류 Io를 수취한다. 상기 트랜지스터의 소스는 저항 R1을 통해 접지된다. 상기 입력측 트랜지스터 Tr1에 대한 커런트 미러 구동 회로(12a)의 출력측 트랜지스터 Tr2의 채널폭(게이트폭) 비율은 P(P는 2이상의 정수)로 설정된다. 트랜지스터 Tr2의 드레인은 커런트-미러형 전류 조절 회로(12b)의 입력측 트랜지스터 Tr3의 드레인과 연결된다. 트랜지스터 Tr2의 소스는 저항 R2를 통해 접지된다.

이에 따라, 전류 P*Io는 출력측 트랜지스터 Tr2에 흐르고, 트랜지스터 Tr3는 상기 전류에 의해 구동된다. 이에 따라, P*Io의 미러 전류는 출력측 트랜지스터 Tr4로부터 출력된다.

커런트-미러 연결된 트랜지스터 Tr3~Tr7의 소스는 전력원 라인 +VDD(=+3V)와 연결된다. 출력측 트랜지스터 Tr4의 드레인측(출력측)은 D/A 컨버터 회로(11)의 입력 단자(11a)와 연결된다. 출력측 트랜지스터 Tr5~Tr7의 드레인은 각 스위치 회로 SW1~SW3를 통해 트랜지스터 Tr4의 드레인과 연결됨에 따라, 출력측 트랜지스터 Tr5~Tr7가 트랜지스터 Tr4와 병렬 연결되도록 한다. 상기 트랜지스터 Tr5~Tr7는 출력측 트랜지스터 Tr4로부터 출력된 미러 전류 P*Io를 수정하는 전류값 수정 회로를 구성한다.

본 실시예에서, 트랜지스터 Tr3에 대한 트랜지스터 Tr5~Tr7의 채널폭(게이트폭) 비율은 예컨대 1/10, 1/20 및 1/40으로 설정된다. 예를 들어, D/A 출력측 회로(11)의 출력측상에서 필요한 전류의 정밀도는, 6-bit 톤에서 1LSB(해상도)로 표시되며, 상기 비율로 조절될 수 있다.

스위치 SW1~SW3를 선택적 또는 전체적으로 온시켜서 전류 P*Io/10, P*Io/20 및/또는 P*Io/40를 전류 P*Io에 부가하므로써 D/A 컨버터 회로(11)의 구동 전류를 조절할 수 있게 된다. 이에 따라 조절된 구동 전류는 D/A 컨버터 회로(11)에 의해 디스플레이 데이타에 대응하여 증폭되며, 단자 핀의 구동 전류로서 D/A 컨버터 회로(11)를 통해 커런트-미러형 전류 출력 회로(13)에 출력되기 때문에, 상기 단자 핀 구동 전류는 구동 전류값 조절 회로(12)에 의해 조절 될 수 있다. 상기 전류값을 조절하므로써, 단자 핀과 연결된 OEL 소자(4a)의 휘도를 조절할 수 있게된다. 또한 상기 전류값을 각 단자 핀에 대응하게 조절하므로써, 디스플레이 스크린의 휘도 불균일성을 제한할 수 있다. 또한, 실제 구동 전류는 다음에 기술되는 바와 같이 출력단 커런트-미러 회로(13b)에 의해 1/N이 되기 때문에, 상기 조절된 전류값은 구동 전류값으로서 1/N로 조절된다.

온/오프로 제어되는 스위치 회로 SW1~SW3의 선택은 비휘발성 메모리(15)의 소정 영역에 저장된 3-bit 데이타에 따라 실행된다. 예를 들어 3-bit 데이타가 '010'인 경우, 비트 '1'에 대응하는 스위치 회로 SW2는 온으로 켜지며, bit '0'에 대응하는 스위치 회로 SW1 및 SW3 각각은 오프로 된다.

비휘발성 메모리(15)에 저장된 데이타는 MPU(8)에 의해 설정된다. 또한, 상 기 비휘발성 메모리(15)는 3*n bit(n은 하나의 구동기 IC의 컬럼 라인의 단자 핀의 총 수) 이상의 메모리 용량을 갖는다. 3-bit 영역은 모든 단자 핀에 할당된다.

상기 MPU(8)는 모든 단자 핀의 휘도 조절을 위한 3-bit 데이타를 발생시키며, 3*n bit 전체를 비휘발성 메모리(15)에 저장한다. 상기 3-bit 데이타는 데이타 DAT로서 클럭 CLK에 따라 비휘발성 메모리(15)에 공급된다. 이에 따라, 픽셀에 대한 휘도 조절을 수평 스캔 방향으로 실행할 수 있다.

한편, 상기 픽셀 회로(4)는 매트릭스로 배열되기 때문에, 모든 픽셀 회로에 대한 휘도 불균일성의 문제점을 수평 스캔 방향의 한 라인을 이용하여 해소할 수 있다. 이에 따라, 3-bit 데이타는 유기 EL 디스플레이 패널의 스크린상에서 동일한 수직 방향의 스캔 위치에 배열된 픽셀 회로(4)의 OEL 소자의 평균 휘도값을 이용하므로써 발생된다.

또한, 모든 단자 핀에 대한 3-bit 데이타는 각 단자 핀의 수직 스캔 방향의 디스플레이 스크린 픽셀의 휘도 평균값으로서 디스플레이된 스크린의 휘도를 측정하므로써 발생되어, 그 결과 총 3n bit의 데이타 DAT가 된다. 이 경우, 휘도 조절이 필수적이지 않은 단자 핀의 3-bit 데이타는 '000'이다. 실제적으로 3-bit 데이타는 휘도 조절이 필요한 모든 단자 핀에 대해 발생된다.

이같은 휘도 조절은 조립제품의 디스플레이 스크린을 모니터링하고 상이한 휘도를 갖는 픽셀에 대한 데이타 DAT를 발생시키므로써 실행될 수 있다. 이에 따라 발생된 3n-bit 데이타는 제품의 위탁 테스트단계에서 MPU(8)에 의해 기록될 것이다.

이러한 방식으로, 제품의 디스플레이 스크린상의 휘도 불균일성 또는 휘도 변동이 조절 될 수 있다.

수직 스캔 라인의 수를 m으로 가정한다면, 저장된 단일 스크린용 휘도 불균일성 수정 데이타를 용량이 3*n*m bit인 비휘발성 메모리(15)에 저장하고, 이 데이타를 수직 스캔에 대응하게 판독하므로써, 휘도 불균일성을 모든 픽셀 회로(4)의 휘도에 대응하게 해소할 수 있다. 즉, 휘도 불균일성을 수정하는 구동 전류는 수직 스캔 위치에 대응하는 휘도 수정 데이타를 판독하면서 동시에 도 2에 점선으로 도시된 로우측 스캔 회로(7)를 이용하여 수직 스캔 위치에 대응하게 비휘발성 메모리(15)의 어드레스를 업데이팅하므로써 발생된다.

FRAM, MRAM 또는 EEPROM 등은 비휘발성 메모리(15)로 사용되기도 한다. 또한, 3개의 스위치 회로 SW1~SW3가 본 실시예에 제공되지만, 스위치 회로의 수가 제한되는 것은 아니며, 1개이거나 또는 3개이상이다. 이에 따라, 휘도 조절용 데이타는 적어도 1bit를 갖는다.

이하. 커런트-미러형 전류 출력 회로(13)가 기술될 것이다.

상기 커런트-미러형 전류 출력 회로(13)는 구동 전류 인버터 회로(13a) 및 출력단 커런트-미러 회로(13b)를 포함한다.

상기 구동 전류 인버터 회로(13a)는 D/A 컨버터 회로(11)의 출력을 반전하여 출력단 커런트-미러 회로(13b)에 송출하는 P 채널 MOS FET TPu 및 TPw를 포함하는 커런트-미러 회로이다. 상기 트랜지스터의 소스측은 전력원 라인 +Vcc와 연결된다. 트랜지스터 TPu는 D/A 컨버터 회로(11)의 출력 단자(11b)와 연결된 드레인을 가진 입력측 트랜지스터이다. 트랜지스터 TPw는 출력단 커런트-미러 회로(13b)의 입력 단자(13c)와 연결된 드레인측을 가진 출력측 트랜지스터이다.

이에 따라, D/A 컨버터 회로(11)의 디스플레이 데이타에 대응하는 출력 전류 Ia에 대응하게 입력 단자(13c)에 구동 전류 Ia를 발생시킬 수 있다.

상기 출력단 커런트-미러 회로(13b)는 입력 단자(13c) 및 입력측 커런트-미러 트랜지스터 TNx 사이에 삽입된 N 채널 MOS FET TNv와, 상기 출력단 커런트-미러 회로를 구성하는 N 채널 MOS FETs TNx 및 TNy를 포함한다. 트랜지스터 TNv는 구동 전압 레벨을 조절하는 회로를 구성한다. 출력단 커런트-미러 회로(13b)의 트랜지스터 TNy에 대한 트랜지스터 TNx의 게이트폭 비율은 N:1이다. 상기 트랜지스터들의 소스는 접지된다. 상기 출력측 트랜지스터 TNy는 출력 핀(9)과 연결된다. 이에 따라, OEL 소자(4a)를 가진 픽셀 회로(4)의 캐패시터 C는 구동 주기동안 출력 핀(9)을 통해 유기 EL 패널의 단자 핀으로부터 구동 전류 Ia/N을 싱크하므로써 충전된다.

다음, 캐패시터 C를 고속 충전하기 위한 피크 전류의 발생을 기술할 것이다.

입력측 트랜지스터 TNp, 저항 Rpa 및 스위치 회로 SWpa는 피크 전류 발생 회로(14)를 구성한다. 상기 스위치 회로 SWpa는 초기 구동 주기의 일정 시간 tp동안만 오프로 꺼진다. 그 다음, 제어 회로(5)로부터의 제어 신호 CONT에 따라 온으로 켜진다.

구동의 개시 시간에는, 스위치 회로 SWpa가 제어 회로(15)로부터 제어 신호 CONT를 공급받지않는다. 이에 따라, 전류 Ip는 입력측 트랜지스터 TNa에 흐른다. 전류 Ip*M (M은 입력 단자 do~dn-1 중 하나에 설정된 데이타에 대응함)가 발생되어, 그 결과 피크 전류 Ipa=M*Ip가 D/A 컨버터 회로(11)의 출력 단자(11b)에서 발생된다. 상기 피크 전류의 발생 주기 tp가 지난 후, 제어 신호 CONT가 발생되어 스위치 회로 SWpa가 온으로 켜진다. 이에 따라, 입력측 트랜지스터 TNa내의 전류는 입력측 트랜지스터 TNp에 분기된다. 상기 트랜지스터들의 게이트폭 비율이 1:9이기 때문에, 전류 Ip/10는 입력측 트랜지스터 TNa에 흐르며, 전류 9*Ip/10는 입력측 트랜지스터 TNp에 흐른다. 그 결과, 피크 전류 Ipa의 1/10인 전류가 출력 단자(11b)에 발생된다.

또한, 용량성 부하 특성을 갖는 유기 EL 소자(4)가 상기 피크 전류에 의해 초기 충전되는데 충분하므로, 피크 전류 주기 tp의 개시 시간 지점이 구동 개시 시간과 항상 일치할 필요는 없다.

도 3은 시프트 레지스터 구조를 갖는 비휘발성 메모리(15)의 구체적인 예를 나타낸다.

참조부호 151은 병렬연결된 3개의 시프트 레지스터를 각각 포함하는 n(n은 출력 핀(9)의 수임)개의 시프트 레지스터단을 나타낸다. 상기 시프트 레지스터(151)는 n개의 출력 핀(9)에 대응하게 제공된 n개의 데이타 래치(15a, 15b,....15n)의 직렬 연결에 의해 구성되며, 상기 데이타 래치 각각은 3-bit 비휘발성 메모리를 형성하기 위해 병렬-배열된 3개의 플립-플롭(flip-flop)을 포함한다.

데이타 래치(15a)로부터의 휘도 조절용 3*n bit의 데이타 DAT(트리밍 데이 타)는 MPU(8)로부터의 클럭 CLK에 따라 각 단에 대해 연속 시프트되며, 휘도 조절 데이타로서 데이타 래치(15a~15n)에 저장된다.

각 단에서 3개 플립-플롭의 반전된 출력 (오버 바가 있는)Q는 3개의 병렬 인버터(17)를 이용하여 각 단자 핀에 대응하는 구동 전류 조절 회로(12)의 스위치 회로 SW1-SW3에 출력되어, 스위치 회로를 각 출력 핀(9)에 대응하게 선택적으로 온/오프시킨다. 이에 따라, 제품의 휘도 변동 또는 디스플레이 스크린의 휘도 불균일성은 각 출력 핀(9)을 통해 구동된 OEL 소자의 휘도를 조절하므로써 감소된다.

도 4는 휘발성 메모리로 구성된 비휘발성 메모리(15)의 예를 나타낸다.

도 4에 도시된 상기 시프트 레지스터(152)는 래치 데이타에 대해 병렬-연결된 3개의 플립-플롭을 각각 포함하는 n개의 휘발성 래치(152a, 152b,...152n)의 직렬 연결을 포함한다.

상기 3-bit의 병렬 데이타 DAT(트리밍 데이타)는 MPU(8)이 아닌 제어 회로(5)로부터 비트-연속적으로 래치(152a)에 입력된다. 이와 동시에, 래치(152a~152n)는 제어 회로(5)로부터 클럭 CLK에 따른 휘도 조절 데이타를 저장한다.

트리밍 데이타 DAT는 제어 회로(5)에 제공된 비휘발성 메모리(5a)에 저장된다. 전력원 스위치 SW가 온으로 켜진 경우 MPU(8)는 제어 신호 S를 발생시킨다. MPU(8)로부터 제어 신호 S가 발생되면, 제어 신호(5)는 클럭 신호 CLK 및 트리밍 데이타 DAT를 발생시키고 시프트 레지스터(152)에 상기 트리밍 데이타를 기록한다.

상기 비휘발성 메모리(5a)에 저장된 트리밍 데이타 DAT(휘도 조절 데이타)는 키보드등을 통해 MPU(8)로 외부 입력된 데이타에 따라 MPU(8)에 의해 기록된다.

이 경우, 제어 회로(5)는 도 3에 도시된 바와 같이 MPU(8)이 되기도 한다. 휘도 조절 데이타를 저장하는 휘발성 메모리는 상기 시프트 레지스터에 제한되지않는다. 이는 RAM 등이기도 하다.

도 3 및 도 4에서, 전류 공급원(16b-1, 16b-2, 16b-3)은 레퍼런스 전류 복제/분배 회로(16b)의 출력측상에 각각 전류 Io를 공급하는 정전류 공급원이다.

도 5는 본 발명의 다른 실시예를 나타내는 것으로, 휘도 불균일성을 조절하기 위해서, 구동 전류값 조절 회로(12)를 각각 포함하는 전류 구동 회로(10)는 유기 EL 패널의 스크린상의 특정 위치 'X'에 배열되는 매트릭스에 배열된 픽셀 회로 중 특정 픽셀 회로를 구동하는 전류로서 제공된다.

상술된 바와 같이, 스크린에 대한 휘도 불균일성 수정 데이타가 비휘발성 메모리(15)에 저장되는 경우, 스크린의 픽셀 회로에 대한 휘도 수정은 비휘발성 메모리(15)의 용량이 3*n*m인 메모리에 유효하게 제공된다. 그러나, 이같은 경우, 비휘발 메모리(15)의 용량이 증대되어 제어고 어려워진다. 도 5에 도시된 실시예는 이러한 문제점을 해소할 수 있다.

도 1에 도시된 실시예에서, 전류 구동 회로(10)는 각 스캔 위치에 대응하게 제공되며, 구동 전류값 조절 회로(12)를 각각 포함한다. 그러므로, 각 구동 전류값 조절 회로(12)는 수직 방향의 픽셀 회로(4)에 대해 공통이며, 이에 따라 평균형 휘도 수정은 동일한 수평 스캔 위치에 수직 배열된 픽셀 회로(4)에 대해서만 가능하게된다.

이러한 측면에서, 도 5에 도시된 실시예에서, 구동 전류값 조절 회로(12)를 갖는 전류 구동 회로(10)는 휘도 불균일성이 뚜렷하여 휘도를 수정할 지점인 위치(픽셀 회로의 위치)에 대응하게 제공된다. 이에 따라, 수정 데이타의 양을 감소시킬 수 있다.

휘도 불균일성이 뚜렷한 도 5에 도시된 스크린(20)상의 위치에 있어서, 이 위치의 양측상의 중앙부분 및 부분들은 'X'로 표시된 바와 같이 간주된다. 상기 구동 전류값 조절 회로(12)를 갖는 전류 구동 회로(10)는 'X'로 표시된 위치에 대응하게 배열된다. 상기 위치이외의 전류 구동 회로(10)는 도 2에 도시된 바와 같이 구동 전류값 조절 회로(12)를 포함하지않는다. 휘도 불균일성이 조절되기 위해 수직 배열된 픽셀 회로의 위치가 스캔되는 경우, 픽셀에 대응하는 하나의 수평 스캔 라인내의 전류 구동 회로는 무용화된다. 휘도-수정된 구동 전류는 구동 전류값 조절 회로(12)를 갖는 전류 구동 회로(10)로부터 출력되며, 상기 픽셀에 대응하게 각 출력 핀(9)에 제공된다. 휘도 불균일성이 수정되는 위치에 대한 수정 데이타의 양이 충분하기 때문에, 비휘발성 메모리(15)의 메모리 용량이 대응적으로 감소함에 따라, 구동 전류 출력 회로의 회로 크기가 감소될 수 있게 된다.

또한, 동일한 수평 스캔 위치 및 상이한 수직 스캔 위치를 갖는, 휘도 불균일성 수정이 필요한 위치 'X'는 일반적으로 구동 전류값 조절 회로(12)를 갖는 동일한 전류 구동 회로(10)를 사용할 수 있다.

구체적으로, 구동 전류값 조절 회로가 동작 불능상태로 되거나 또는 조절된 전류값에 대한 데이타가 '0'으로 설정된 경우, 구동 전류값 조절 회로(12)를 갖는 전류 구동 회로(10)는 구동 전류값 조절 회로가 없는 전류 구동 회로가 된다. 즉, 수정될 픽셀 회로에 대해 대응하게 제공된 전류 구동 회로(10)는 비휘발성 메모리(15)를 이용하여 수직 스캔에 대응하게 구동된 픽셀 회로의 구동 전류값을 수정 및 설정하는 판독 데이타에 의해 실현된다. 이에 따라, 상기와 같은 경우, 표시된 위치 'X'에 대응하는 수평 스캔 위치에서는, 비휘발성 메모리(15)에 저장된 수정 데이타만을 각 수직 스캔 위치차에 대응하게 생성시키고 각 데이타를 각 수직 스캔에 대응하게 액세스시키데 충분하다.

기술된 실시예에서, 구동 전류값 조절 회로(12)는 레퍼런스 구동 전류를 공급받은 전류 구동 회로(10)의 입력단에 제공된다해도, 상기 회로는 입력단(또는 초기단) 및 유기 EL 패널의 단자 핀을 전류-구동하는 출력단 사이에 제공된다.

본 실시예에서 픽셀 회로의 캐패시터에 대한 전압값을 기록 및 재설정하는 제어는 단순한 예이며, 픽셀 회로의 트랜지스터의 수 또는 셀렉션 라인 또는 이와 연결된 스캔 라인의 수에 따라 결정된다.

단색 디스플레이용 전류 구동 회로가 본 발명의 전류 구동 회로로 사용되기 때문에, 전류 구동 회로를 R, G 및 B 각각에 대응하게 제공할 필요는 없다.

상기 실시예는 주로 MOS FETs으로 구성되지만, 양극성 트랜지스터를 사용하여 구성될 수도 있다. 또한, 상기 실시예에서, N 채널(또는 npn) 트랜지스터가 P 채널(또는 pnp) 트랜지스터로 또는 그 반대로 대체될 수도 있다.

발명의 효과

본 발명에 따른 능동 매트릭스형 유기 EL 패널의 구동 회로 및 이 구동 회로 를 이용한 유기 EL 디스플레이 장치를 제공하여, 구동 트랜지스터의 임계값 조작을 위한 보상용 회로가 제거되어 픽셀 회로의 회로 크기가 제한되는 경우라 해도 고휘도 컬러 디스플레이에 특히 적절하며, 디스플레이 스크린의 휘도 불균일성을 감소시킬 수 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위안에서 다양한 수정 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

유기 EL 소자를 각각 포함하는 복수의 매트릭스-배열된 픽셀 회로, 상기 유기 EL 소자의 구동 전류값에 따른 전압값을 저장하는 캐패시터, 상기 구동 전류를 전압값에 대응하여 유기 EL 소자에 출력시키는 트랜지스터를 포함하는 능동 매트릭스형 유기 EL 패널을 구동하는 구동 회로에 있어서,

상기 픽셀 회로의 캐패시터를 상기 전압값까지 충전하는 충전 전류를 발생시키기 위한, 상기 유기 EL 디스플레이 패널의 데이타 라인 또는 컬럼 라인과 연결된 출력 핀을 갖는 복수의 전류 구동 회로; 및

상기 전압값을 상기 캐패시터에 저장하는 기록 제어 및 상기 전압값을 상기 캐패시터에 재설정하는 리셋 제어를 실행하는 기록 제어 회로를 포함하되,

상기 유기 EL 디스플레이 패널의 스크린상에 적어도 분산된 위치에 배열된 상기 복수의 픽셀 회로와 연결되는 상기 복수의 전류 구동 회로는 상기 출력 핀에서 공급되며 출력 핀에 싱크(sink)된 출력 전류를 조절하는 전류값 조절 회로를 각각 포함하는 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

청구항 2.

제1항에 있어서,

상기 전류값 조절 회로는 외부에서 설정된 적어도 1-bit 데이타에 따른 전류값을 조절 할 수 있으며, 상기 출력 핀에 출력될 전류 또는 출력 핀에 출력될 전류의 기본 전류에 응답하여 상기 출력 전류를 조절하는 것을 특징으로 하는 능동 매 트릭스형 유기 EL 패널의 구동 회로.

청구항 3.

제2항에 있어서,

상기 전류값 조절 회로로부터의 전류를 공급받은 D/A 컨버터 회로를 추가로 포함하되, 상기 D/A 컨버터 회로는 디스플레이 데이타를 상기 전류에 따른 아날로그 전류값으로 변환하며, 상기 출력 전류는 상기 출력 전류에 따라 발생되며 상기 출력 핀에 싱크되며, 상기 복수의 전류 구동 회로는 상기 전류값 조절 회로를 각각 포함하는 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

청구항 4.

제3항에 있어서,

상기 전류값 조절 회로는 메모리에 저장된 데이타를 온/오프(ON/OFF) 제어하는 스위치 회로와, 상기 출력 핀에 출력될 전류 또는 상기 출력 핀에 출력될 전류의 기본 전류 및 상기 스위치 회로의 온/오프 작동에 따라 소정 전류값을 발생하고 및 상기 소정 전류값을 상기 D/A 컨버터 회로에 출력하는 전류값 발생 회로를 포함하며,

상기 메모리는 상기 데이타가 기록된 비휘발성 메모리 또는 상기 전류값 조절 회로의 외부에서 제공된 비휘발성 메모리로부터 전달된 데이타가 기록된 휘발성 메모리인 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

청구항 5.
제4항에 있어서,

상기 메모리는 비휘발성 메모리이며, 상기 기록 제어 회로는 스캔 라인을 통해 상기 캐패시터에 전압값을 저장하는 기록 제어 및 다른 스캔 라인을 통해 상기 캐패시터의 전압값을 재설정하는 리셋 제어를 실행하는 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

청구항 6.
제4항에 있어서,

상기 전류 구동 회로는 D/A 컨버터 회로의 출력에 응답하여 출력 핀에 출력 전류를 발생시키는 제1 커런트-미러 회로를 추가로 포함하되, 상기 제1 커런트-미러 회로는 데이타 라인 또는 컬럼 핀으로부터 전류를 싱크하여 출력 핀을 통해 접지하고, 상기 제1 커런트-미러 회로의 입력측 및 출력측 사이의 전류 비율은 n:1(n은 2이상의 정수)인 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

청구항 7.
제6항에 있어서,

상기 유기 EL 소자의 캐소드측(cathode side)과 연결된 스캔 회로, 제1 스캔 라인 및 제2 스캔 라인을 추가로 포함하되, 상기 기록 제어 회로는 적어도 상기 제1 스캔 라인을 통해 상기 캐패시터에 전압값을 기록하는 기록 제어 및 적어도 제2 스캔 라인을 통해 상기 캐패시터의 전압값을 재설정하는 리셋 제어를 실행하며, 상기 스캔 회로는 상기 캐패시터에 대한 전압값의 기록이 삭제된 후 구동 전류에 의해 구동된 복수의 유기 EL 소자의 캐소드측을 접지하는 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

청구항 8.
제7항에 있어서,

상기 전류값 발생 회로는 입력측 구동 트랜지스터와 커런트-미러 연결된 제1 및 제2 출력측 트랜지스터를 갖는 제2 커런트-미러 회로를 포함하며, 상기 제2 출력측 트랜지스터는 상기 스위치 회로를 통해 제1 출력측 트랜지스터와 병렬 연결되며, 상기 소정 전류값은 상기 제1 및 제2 출력측 트랜지스터가 병렬 연결된 출력측상에 발생되는 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

청구항 9.
제8항에 있어서,

상기 복수의 제2 출력측 트랜지스터 및 복수의 스위치 회로가 제공되며, 상기 데이타 라인 또는 컬럼 단자 핀은 수평 스캔 방향으로 유기 EL 디스플레이 패널의 스크린의 R, G 또는 B 픽셀 모두에 대해 제공되며, 상기 메모리는 데이타 라인 또는 컬럼 단자 핀의 수에 대응하는 복수의 단에 플립-플롭(flip-flop)와 조립되며, 상기 스위치 회로의 수에 대응하는 각 단내의 플립-플롭은 병렬 제공되는 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

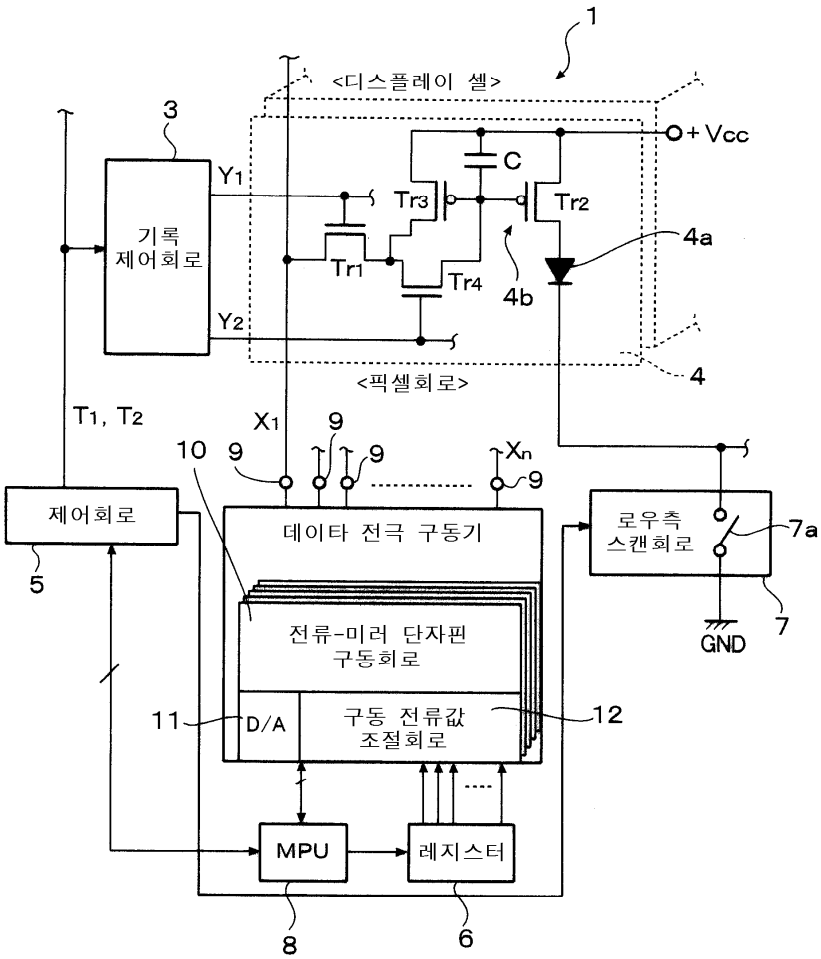
청구항 10.
제9항에 있어서,

상기 D/A 컨버터 회로는 제3 커런트-미러 회로와 조립되며, 상기 전류값 조절 회로의 출력 전류는 제3 커런트-미러 회로의 입력측 트랜지스터를 구동하며, 상 기 제1 커런트-미러 회로는 제3 커런트-미러 회로의 출력측 트랜지스터에 의해 구동되는 것을 특징으로 하는 능동 매트릭스형 유기 EL 패널의 구동 회로.

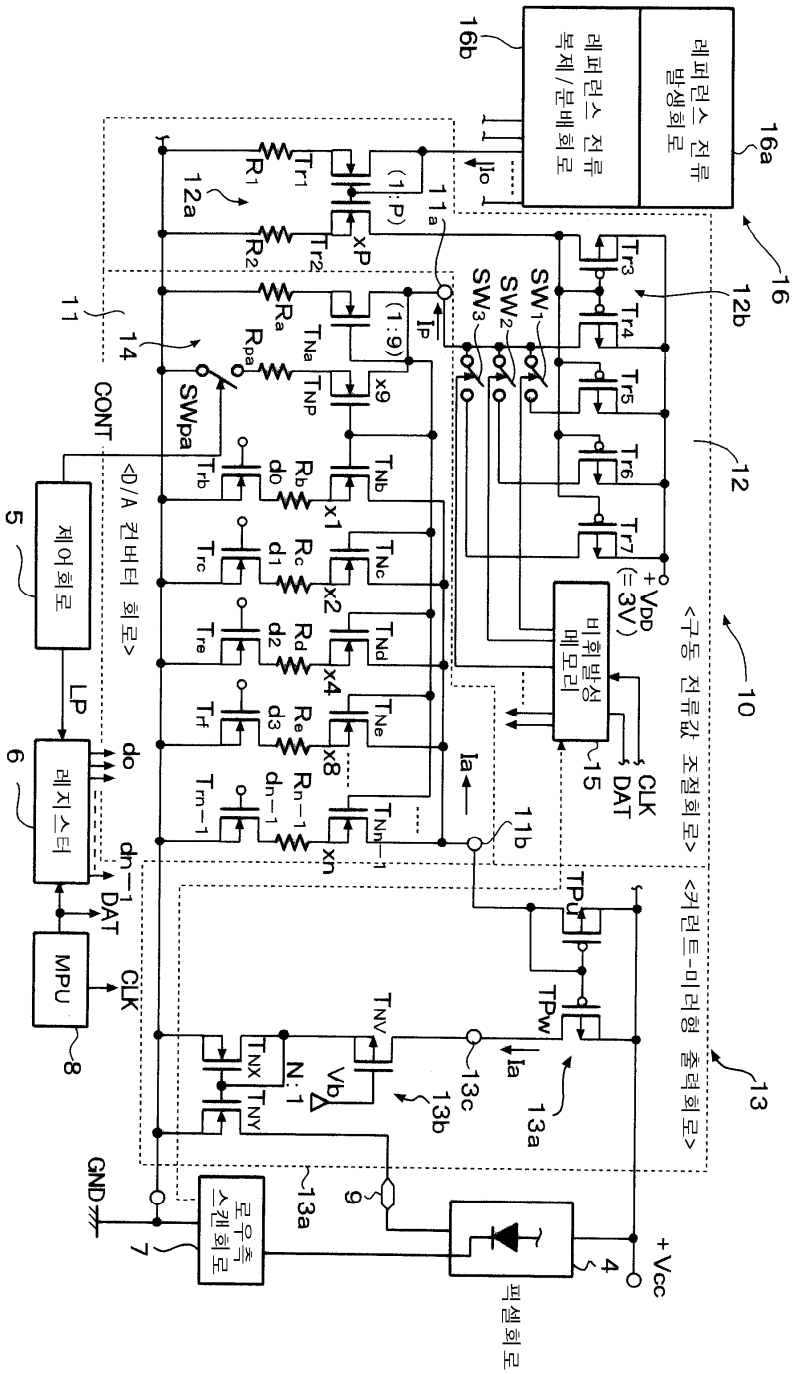
청구항 11.
제1항 내지 제10항 중 어느 하나에 기재된 능동 매트릭스형 유기 EL 디스플레이 패널의 구동 회로를 포함하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

도면

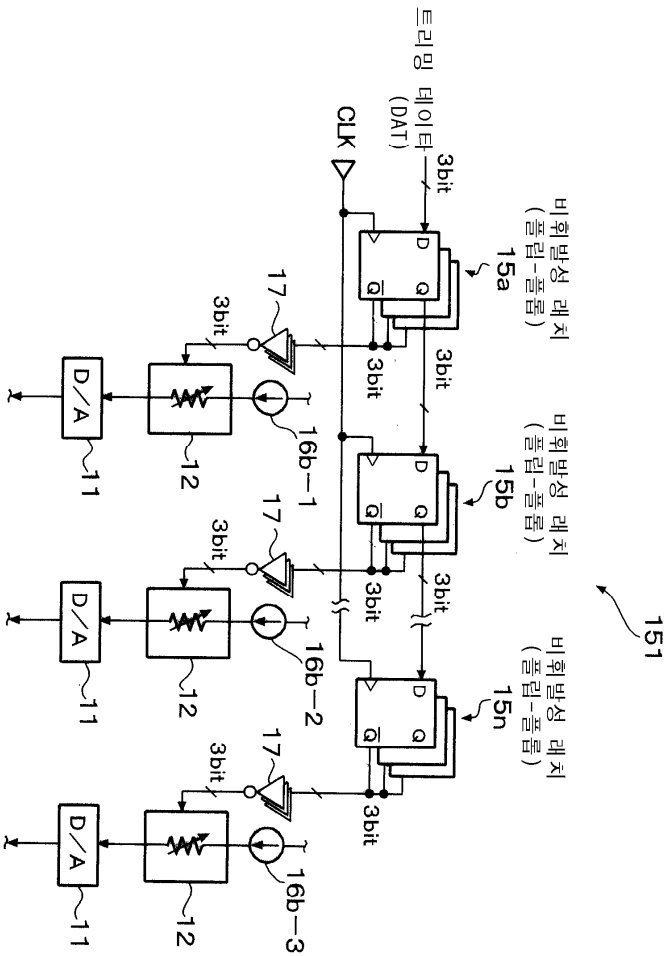
도면1


1
<디스플레이 셀>
3
+Vcc
C
Y1
Tr3
Tr2
기록
제어회로
4a
Tr1
Tr4
4b
Y2
4
<픽셀회로>
T1, T2
X1
9
10
9
9
Xn
9
제어회로
데이타 전극 구동기
로우측
스캔회로
7a
5
전류-미러 단자핀
구동회로
GND
7
11
D/A
구동 전류값
조절회로
12
MPU
레지스터
8
6

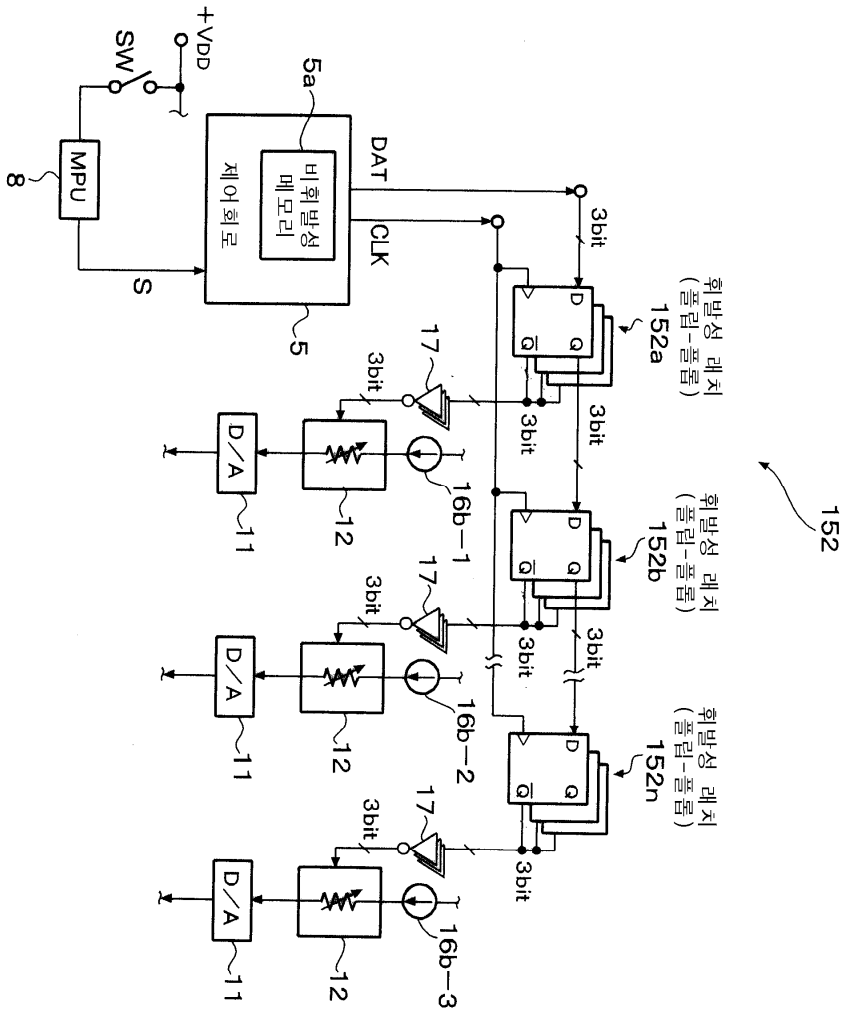
도면2


레퍼런스 전류 발생회로
레퍼런스 전류 복제/분배회로
16a
16b
16
12
12a
12b
11
11a
11b
10
14
15
13
13a
13b
13c
9
7
4
5
6
8
CONT
LP
CLK
DAT
GND
+Vcc
+VDD (=3V)
SW1
SW2
SW3
SWpa
비휘발성 메모리
제어회로
레지스터
MPU
모우측 스캔회로
픽셀회로
<구동 전류값 조절회로>
<커런트-미러형 출력회로>
<D/A 컨버터 회로>
(1:P)
(1:9)
xP
x9
x1
x2
x4
x8
xn
Ia
Ib
Vb
N:1

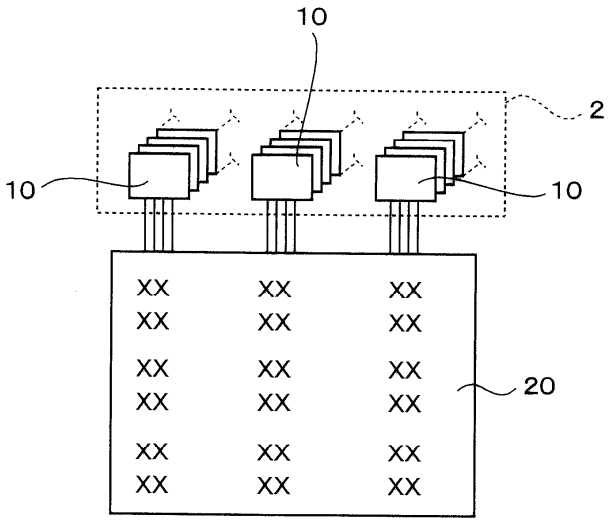
도면3


트리밍 데이타 (DAT)
CLK
3bit
비휘발성 래치 (플립-플롭)
15a
15b
15n
151
D
Q
3bit
17
16b-1
16b-2
16b-3
12
D/A
11

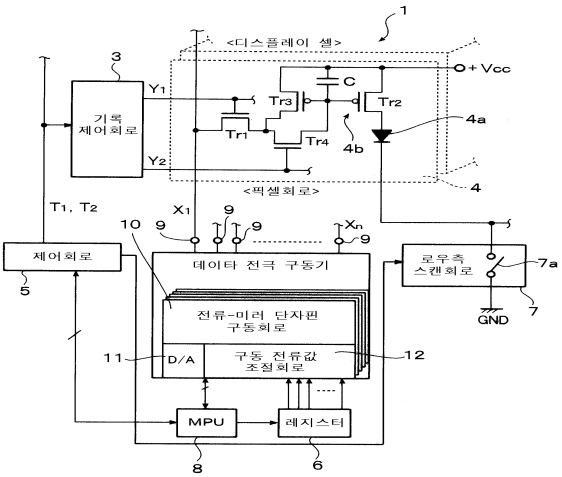
도면4


+VDD
SW
MPU
8
5a
비휘발성 메모리
제어 회로
5
DAT
CLK
S
3bit
휘발성 래치 (플립-플롭)
152a
152b
152n
152
17
16b-1
16b-2
16b-3
D/A
11
12

도면5


10
2
20
XX

专利名称(译)	有源矩阵型有机EL面板的驱动电路和使用该驱动电路的有机EL显示装置		
公开(公告)号	KR1020030097667A	公开(公告)日	2003-12-31
申请号	KR1020030039312	申请日	2003-06-18
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	FUJISAWA MASANORI 후지사와마사노리 ABE SHINICHI 아베시니치		
发明人	후지사와마사노리 아베시니치		
IPC分类号	G09G3/30 G09G3/32		
CPC分类号	G09G2300/0842 G09G2310/0251 G09G2310/027 G09G3/3241 G09G2320/0233 G09G3/3283		
优先权	2002179439 2002-06-20 JP		
其他公开文献	KR100507551B1		
外部链接	Espacenet		

摘要(译)

它由电流驱动电路的电流值控制电路控制，其中通过本发明提供关于驱动电流值的驱动电流值。为了相应地使驱动晶体管的阈值操作均匀而提供的用于程序控制的控制线是不必要的。因此，可以减少每个像素电路的晶体管数量。并且可以减小每个像素电路的电路尺寸。