

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G02F 1/136

(11) 공개번호 특2001-0021025
(43) 공개일자 2001년03월15일

(21) 출원번호	10-2000-0034761
(22) 출원일자	2000년06월23일
(30) 우선권주장	99-176521 1999년06월23일 일본(JP)
(71) 출원인	가부시키가이샤 한도오따이 에네루기 켄큐쇼 야마자끼 순페이
	일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자	고야마준
	일본가나가와켄아쓰기시하세398세미콘닥터에너지라보라토리가부시키가이샤 내
(74) 대리인	이병호

심사청구 : 없음

(54) 이엘 디스플레이 장치와 전자 장치

요약

선명한 다중-그라데이션(gradation) 칼라 디스플레이를 생산할 수 있는 EL 디스플레이 장치와 상기 EL 디스플레이 장치를 갖는 전자 장치. EL 요소(110)에 공급되는 전기적 전류는 픽셀(104)에 형성되는 전류 제어 TFT(108)와 상기 EL 요소(110) 사이에 저항기(109)를 제공함으로써 제어되며, 상기 저항기(109)는 상기 전류 제어 TFT(108)의 온(on)-저항보다 더 높은 저항을 갖는다. 상기 그라데이션 디스플레이는 시간적으로 상기 EL 요소의 빛 방출과 빛 비방출을 제어하고, 상기 전류 제어 TFT(108)의 특징들 중에서 분산으로 인한 영향을 막는 시분할 구동 시스템으로 실행된다.

대표도

도 1a

색인어

EL 디스플레이 장치, 픽셀 유닛, TFT, 드레인, 게이트

명세서

도면의 간단한 설명

본 발명의 우선된 실시예들은 다음의 도면들을 기본으로 하여 자세하게 설명될 것이다.

도 1(a), 도 1(b)는 EL 디스플레이 장치의 구조를 도시한 다이어그램들.

도 2는 상기 EL 디스플레이 장치 구조의 횡단면 도시도.

도 3은 전통적인 EL 디스플레이 장치에서 한 픽셀 부분의 구조를 도시한 다이어그램.

도 4(a), 도 4(b)는 아날로그 그라데이션 시스템에 사용되는 TFT 특징들을 도시한 다이어그램들.

도 5(a)부터 도 5(e)는 상기 EL 디스플레이 장치를 제조하기 위한 단계들의 도시도들.

도 6(a)부터 도 6(d)는 상기 EL 디스플레이 장치를 제조하기 위한 단계들의 도시도들.

도 7(a)부터 도 7(d)는 상기 EL 디스플레이 장치를 제조하기 위한 단계들의 도시도들.

도 8(a)부터 도 8(c)는 상기 EL 디스플레이 장치를 제조하기 위한 단계들의 도시도들.

도 9는 확대된 비율에서 상기 EL 디스플레이 장치의 상기 픽셀 부분 도시도.

도 10은 시분할 그라데이션 시스템 동작 모드를 도시한 다이어그램.

도 11은 EL 모듈의 외관도.

도 12(a), 도 12(b)는 상기 EL 모듈의 외관도들.

도 13(a)부터 도 13(c)는 접촉 구조를 제조하기 위한 단계들의 도시도들.

도 14는 상기 EL 디스플레이 장치의 상기 픽셀 부분의 구조를 도시한 다이어그램.

- 도 15는 상기 EL 장치 구조의 횡단면 도시도.
- 도 16은 상기 EL 디스플레이 장치의 상기 픽셀 부분의 상부 표면 구조 도시도.
- 도 17은 상기 EL 디스플레이 장치의 상기 픽셀 부분의 상기 상부 표면 구조 도시도.
- 도 18(a)부터 도 18(e)는 상기 전자 장치의 실제 예들의 도시도들.
- 도 19(a), 도 19(b)는 폴리실리콘(polysilicon) 막들의 전자 광선 회절 이미지들을 보여주는 사진들.
- 도 20은 상기 EL 디스플레이 장치의 회로 구조를 도시한 다이어그램.
- 도 21은 상기 EL 디스플레이 장치의 회로 구조를 도시한 다이어그램.
- 도 22는 상기 EL 디스플레이 장치의 회로 구조를 도시한 다이어그램.
- 도 23(a), 도 23(b)는 상기 EL 요소의 전기적 특징들을 보여주는 다이어그램들.

* 도면의 주요 부분에 대한 부호의 설명 *

- 101 : 픽셀 유닛
- 201 : 스위칭 TFT
- 202 : 전류 제어 TFT
- 204 : n-채널 TFT
- 205 : p-채널 TFT

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

기술 분야

본 발명은 기판 상에 반도체 요소들(얇은 반도체 막을 사용하여 형성되는 요소들) 제조시 얻어지는 EL(전자 발광) 디스플레이 장치와 디스플레이 유닛으로서 상기 EL 디스플레이 장치를 갖는 전자 장치에 관련된 것이다.

종래 기술

과학 기술은 기판 상에 TFT들의 형성에 대해 최근에 큰 진보를 해왔고, 활성 매트릭스 형태 디스플레이 장치 개발을 위한 시도들이 있었다. 특히, 폴리실리콘 막을 사용하는 TFT들은 무정형 실리콘 막을 사용하는 전통적인 TFT들 보다 더 큰 전계이동성(또는 이동성)을 나타내고, 고속 동작을 성취할 수 있다. 이것은 상기 픽셀들과 같은 기판 위에 형성되는 구동회로를 사용하여 상기 픽셀들을 제어하는 것이 가능하고, 지금까지는 상기 기판 바깥쪽의 구동회로에 의해 수행되어졌다.

같은 기판 상에 다양한 회로들과 요소들을 제조함으로써 생산비용의 감소, 상기 디스플레이 장치 크기의 감소, 수율 증가, 작업량 감소와 같은 이점들에 의해서 상기 활성 매트릭스-형태 디스플레이 장치에 대한 관심이 집중되었다.

상기 활성 매트릭스-형태 EL 디스플레이 장치들은 지금까지는 일반적으로 도 3에 보여지는 구조의 픽셀들을 사용해 왔다. 도 3에서, 참조 번호(301)는 스위칭 요소로서 작동하는 TFT(하기에서 스위칭 TFT로 한다)를 나타내고, 참조 번호(302)는 EL 요소(303)에 공급되는 상기 전류 제어를 위한 요소(전류 제어 요소)로서 작동하는 TFT(하기에서 전류 제어 TFT로 한다)를 나타내고, 참조 번호(304)는 축전기(용량 보유)를 나타낸다. 상기 전류 제어 TFT(302)의 드레인(drain)은 상기 EL 요소(303)에 접속되고, 상기 전류 제어 TFT의 소스(source)는 전류 급전선(307)에 접속된다.

상기 게이트 배선(305)이 선택되면, 상기 스위칭 TFT(301)의 상기 게이트가 열려지고, 상기 소스 배선(306)의 데이터 신호가 상기 축전기(304)에 쌓이며, 상기 전류 제어 TFT(302)의 상기 게이트가 열려진다. 상기 스위칭 TFT(301)의 상기 게이트가 닫혀진 후에, 상기 축전기(304)에 축적된 전하로 인해 상기 전류 제어 TFT(302)의 상기 게이트는 열려진채로 유지되고, 이 기간동안 상기 EL 요소(303)는 빛을 방출한다. 상기 EL 요소(303)에 의해 방출되는 빛의 양은 흐르는 전류의 양에 의존해 변화한다.

여기서, 상기 EL 요소(303)에 공급되는 상기 전류의 양은 도 4에 보여지는 것과 같이 상기 전류 제어 TFT(302)의 게이트 전압으로 제어된다.

도 4(a)는 상기 전류 제어 TFT의 트랜지스터 특징들을 도시한 그래프로서, 여기에서 곡선(401)은 I_d - V_g 특징들(또는 I_d - V_g 곡선)을 나타내고, I_d 는 드레인 전류를, V_g 는 게이트 전압을 나타낸다. 이 그래프로부터 어떤 게이트 전압에 관계하여 흐르는 상기 전류의 양을 알 수 있다.

일반적으로, 상기 EL 요소는 점선(402)로 둘러싸여진 영역 위의 I_d - V_g 특성들을 이용하여 구동된다. 도 4(b)는 확대된 비율로 점선(402)으로 둘러싸여진 상기 영역의 도시도이다.

도 4(b)에서, 빗금이 쳐진 부분은 부-임계 영역이라고 한다. 실제로, 이 영역은 상기 임계 전압(V_{th})에 가깝거나 더 적은 게이트 전압을 갖고, 상기 드레인 전류는 상기 게이트 전압 변화에 의존하여 지수함수

적으로 변화한다. 이 영역에서 상기 전류는 상기 게이트 전압을 기초로 하여 제어된다.

상기 스위칭 TFT(301)가 열려졌을 때 상기 픽셀에 대한 상기 데이터 신호 입력은, 첫 번째, 상기 축전기(304)에 축적되고, 상기 전류 제어 TFT(302)에 대한 게이트 전압으로서 직접적으로 제공된다. 여기에서, 도 4(a)에 보여지는 것처럼 상기 I_d-V_g 특징들에 따라 상기 드레인 전류는 상기 게이트 전압에 대해 1 대 1의 비율로 결정되어진다. 그것은 선결된 전류가 상기 데이터 신호에 의존하는 상기 EL 요소를 통해 흐르고, 상기 EL 요소(303)는 상기 전류의 양에 상응하는 양의 빛을 방출한다.

따라서, 상기 EL 요소에 의해 방출되는 빛의 양은 상기 데이터 신호로 제어되어지고, 상기 그라데이션 디스플레이는 방출되는 빛의 양을 제어함으로써 완성된다. 이 시스템은 소위 아날로그 그라데이션이라고 한다. 즉, 상기 그라데이션 디스플레이는 상기 신호의 진폭 변화에 의존하여 완성된다.

그러나, 상기 아날로그 그라데이션 시스템은 상기 TFT들의 상기 특징들 중에서 분산에 영향받기 아주 쉬운 결점을 가지고 있다. 예를 들어, 아래에 고려된 것은 상기 인접한 픽셀(일반적으로 양의 방면 또는 음의 방면 쪽으로 이동되어진)의 스위칭 TFT와 다른 I_d-V_g 특징들을 갖는 같은 그라데이션을 나타내는 스위칭 TFT의 경우이다.

이러한 경우에, 상기 스위칭 TFT들로 흐르는 상기 드레인 전류들은 분산의 정도에 의존해 변화하고, 서로 다른 게이트 전압들은 상기 픽셀들의 상기 전류 제어 TFT들에 가해진다. 그것은 상기 EL 요소들에서 서로 다른 전류들이 흐르는 것이고, 그 결과로서 동일한 그라데이션 디스플레이 달성을 더 이상 가능하지 않도록 만드는 서로 다른 양의 빛이 방출된다.

게다가, 동일한 게이트 전압이 상기 픽셀들의 상기 전류 제어 TFT들에 가해질 때조차도, 만일 상기 전류 제어 TFT들의 상기 I_d-V_g 특징들 중에 분산이 있다면 동일한 드레인 전류가 생산될 수 없다. 또한 도 4(a)에 의해 명백하게 보여지는 것과 같이, 상기 게이트 전압 변화에 비례하여 지수함수적으로 변하는 상기 드레인 전류 영역이 만들어지기 때문에, I_d-V_g 특징들의 작은 차이조차도, 같은 게이트 전압이 적용됨에도 불구하고 전류의 양이 크게 변하는 결과가 발생된다. 그렇게 되면, 상기 EL 요소들로 방출되는 상기 빛의 양은 상기 인접한 픽셀들 사이에서 크게 변한다.

실질적으로, 상기 상태는 상기 스위칭 TFT들과 상기 전류 제어 TFT들 둘다의 분산의 상승 효과로 인해 더 심해진다. 따라서, 상기 아날로그 그라데이션 시스템은 상기 다중-칼라 활성 매트릭스 EL 디스플레이 장치를 현실화하기 위한 상기 시도를 방해하는 상기 TFT들의 특징들 중에서 상기 분산에 매우 큰 영향을 받을 수 있다.

발명이 이루고자하는 기술적 과제

본 발명은 위에 언급된 문제들을 고려하여 이루어졌으며, 선명한 다중-그라데이션 칼라 디스플레이를 생산할 수 있는 활성 매트릭스-형태 EL 디스플레이 장치를 제공한다. 본 발명은 디스플레이 유닛으로서 상기 활성 매트릭스-형태 EL 디스플레이 장치를 사용하는 높은 성능의 전자 장치를 더 제공한다.

본 출원은 상기 EL 요소들에 흐르는 상기 전류를 제어하는 상기 전류 제어 TFT들의 특징들 중에서 상기 분산과 상기 전류 제어 TFT들의 온-저항에서의 분산으로부터 상기 아날로그 그라데이션 시스템의 문제들이 초래되는 것을 발견했다. 여기에서, 상기 온-저항이 상기 TFT의 상기 드레인 전압을 순간적으로 흐르는 상기 드레인 전류로 나눔으로써 얻어진 값이다.

그것은 상기 온-저항이 상기 전류 제어 TFT들 사이에서 변하고, 따라서 동일한 조건하에서조차 다른 전류들(드레인 전류들)이 흐름으로써, 소망의 그라데이션을 얻는것을 어렵게 만드는 것이다.

따라서 본 발명에 따라, 저항기(R)는 상기 전류 제어 TFT의 드레인과 상기 전류 제어 TFT로부터 상기 EL 요소로 공급되는 전류의 양을 제어하기 위한 EL 요소 사이에 직렬로 접속된다. 이러한 목적을 위해, 상기 전류 제어 TFT의 상기 온-저항보다 훨씬 더 큰 저항을 갖는 저항기를 제공하는 것이 필요하다. 상기 저항은 $1k\Omega$ 에서 $50M\Omega$ 사이(적당한 것은 $10k\Omega$ 에서 $10M\Omega$ 사이이고, 더 적당한 것은 $1k\Omega$ 에서 $50M\Omega$ 사이)의 범위 상위에서 선택되어질 수 있다.

또 본 발명의 실행에 있어서, 상기 EL 요소에 흐르는 상기 전류의 양은 상기 저항기(R)의 저항으로 결정되고, 상기 공급되는 전류는 언제나 일정하다. 그것은 종래 기술에서 행해졌던 상기 전류 값을 제어함으로써 상기 그라데이션 디스플레이를 생산하는 상기 아날로그 그라데이션 시스템을 사용하지 않는 것이다. 따라서 본 발명은 전류를 공급하기 위한 스위칭 요소들으로써 간단하게 상기 전류 제어 TFT들을 사용하는 상기 시분할 시스템(하기에서 시분할 그라데이션으로 함)의 상기 그라데이션 디스플레이를 사용한다.

구체적으로 말해서, 상기 시분할 그라데이션 디스플레이는 아래에 설명된 것과 같은 방법으로 이루어진다. 여기에서 설명된 것은 8 비트 디지털 구동 시스템을 기초로 한 256 그라데이션들(16,770,000 색상)의 전체-칼라 디스플레이의 경우이다.

첫 번째로, 한 화상 프레임은 8개의 부-프레임들로 나누어 진다. 여기에서, 상기 디스플레이 영역의 모든 픽셀들로 입력되는 데이터의 주기를 프레임이라고 한다. 보통의 EL 디스플레이에 있어서, 상기 진동 주파수는 60Hz이다. 즉, 1초에 60프레임이 형성된다. 초당 프레임들의 수가 이 값보다 더 작아지면, 상기 화상의 깜빡임이 눈에 보이게 된다. 또, 한 프레임에서 복수개로 나누어진 프레임들은 부-프레임들 이라고 한다.

각 부-프레임은 주소(address) 주기(T_a)와 지속(sustain) 주기(T_s)로 나누어질 수 있다. 상기 주소 주기는 한 부-프레임 주기 동안 모든 픽셀들로 데이터를 입력하기 위해 필요한 시간을 나타내고, 상기 지속 주기(또는 턴-온(turn-on) 주기)는 상기 EL 요소가 빛을 방출하는 주기(도 10)를 나타낸다.

여기에 있어서, 제 1 부-프레임은 SF1로 표시되고, 제 2 부-프레임부터 제 8 부-프레임은 SF2 부터 SF8

로 표시된다. 상기 주소 주기(Ta)는 SF1 부터 SF8 까지 줄곧 일정하게 남아있다. SF1 부터 SF8 까지의 상기 지속주기(Ts)는 Ts1 부터 Ts8 까지로 표시된다.

현재, 상기 지속 주기들은 Ts1:Ts2:Ts3:Ts4:Ts5:Ts6:Ts7:Ts8 = 1:1/2:1/4:1/8:1/16:1/32:1/64:1/128이 되도록 설정된다. 여기에서, SF1 부터 SF8 까지는 어떠한 순서로도 나타낼 수 있다. 어떠한 요구되는 그라데이션 디스플레이는 상기 지속 주기들의 조합에 의존하는 256 그라데이션들로 부터 이루어질 수 있다.

첫 번째로, 전압이 상기 픽셀의 상기 EL 요소의 반대 전극(상기 TFT에 접속되지 않은 면 중 하나로, 보통은 음극)에 가해지지 않으며(선택하지 않기 위한), 상기 데이터 신호는 빛을 방출하기 위한 EL 요소들로 기인하지 않은 상기 모든 픽셀들의 입력이다. 이 주기는 주소 주기이다. 상기 데이터가 상기 주소 주기 끝에서 모든 픽셀들에 입력될 때, 상기 EL 요소들이 동시에 빛을 방출하도록 전압은 상기 반대 전극(선택된)에 가해진다. 이 주기는 지속 주기이다. 빛을 방출하는(상기 픽셀을 작동하는) 상기 주기는 상기 Ts1 부터 Ts8 까지의 주기들 중 어떤 하나이다. 여기에서, 선결된 픽셀은 상기 주기 Ts8 동안 작동된다고 여겨진다.

상기 데이터 신호가 모든 픽셀들에 입력된 후에, 상기 시간이 상기 주소 주기가 시작하고, 그리고 나서 상기 지속 주기가 시작한다. 이러한 경우에, Ts1에서 Ts7 중 어떠한 하나는 상기 지속 주기이다. 여기에서, 선결된 픽셀은 상기 주기 Ts7동안 작동된다.

하기에서, 남은 여섯 개의 부-프레임 동안 동일한 동작이 반복되고, 상기 지속 주기들은 Ts6, Ts5, ---, Ts1과 같이 연속적이며, 선결된 픽셀들은 각각의 부-프레임들에서 작동된다.

8개의 부-프레임들이 나타났다면, 그서는 한 프레임의 끝을 의미한다. 이러한 경우에 있어서, 상기 픽셀의 그라데이션은 상기 지속 주기들을 덧붙임으로써 제어된다. 예를 들어, Ts1과 Ts2가 선택됐을 때, 100%의 전체 빛에서 75%의 발광이 표시될 수 있다. Ts3, Ts5 및 Ts8이 선택되면, 상기 발광의 16%가 표시될 수 있다.

앞서 말한 것은 256 그라데이션들의 경우를 설명한 것이다. 그러나, 그것은 어떠한 다른 그라데이션 디스플레이가 이루어지는 것 또한 허용한다.

n개의 비트들(n은 2보다 작지 않은 정수)의 그라데이션(2^n 그라데이션)의 디스플레이를 달성하기 위해서 첫 번째로, 한 프레임을 n개 비트들의 상기 그라데이션에 대응하기 위한 n개의 부-프레임들(SF1, SF2, SF3, ---, SF(n-1), SF(n))로 나눈다. 상기 그라데이션이 증가함으로써, 상기 프레임은 증가된 수로 나누어져야 하고, 상기 구동 회로들은 높은 주파수에서 구동되어야 한다.

부-프레임들의 이들 n개의 조각들은 주소 주기들(Ta)과 지속 주기들(Ts)로 분리된다. 그것은 상기 주소 주기들과 상기 지속 주기들이 모든 EL 요소들에 공통적인 상기 반대 전극들에 전압을 공급하거나 혹은 공급하지 않는 것중 하나로 선택되어 지는 것이다.

n개의 부-프레임들의 상기 지속 주기들(SFQ, SF2, SF3, ---, SF(n-1), SF(n))에 해당하는 상기 지속 주기들)은 Ts1:Ts2:Ts3:---:Ts(n-1):Ts(n) = $2^0:2^{-1}:2^{-2}:---:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 처리된다.

이 상태에서, 상기 픽셀들은 어떠한 부-프레임들에서도 연속적으로 선택되어지고(엄밀히 말하자면, 상기 픽셀들의 스위칭 TFT들이 선택된다), 선결된 게이트 전압(데이터 신호에 해당)은 상기 전류 제어 TFT들의 게이트 전극들에 가해진다. 현재, 상기 전류 제어 TFT를 전도성있게 만드는 데이터 신호를 수신하는 상기 픽셀의 EL 요소는 상기 주소 주기가 종료된 후 상기 부-프레임에 할당되는 상기 주소 주기 동안 빛을 방출한다. 그것은 선결된 픽셀이 작동하는 것이다.

이 동작은 상기 지속 주기들에 추가함으로써 상기 픽셀들의 그라데이션을 제어하기 위해 모든 n개의 부-프레임들 동안 반복된다. 따라서, 만일 어떤 픽셀에 가해지면, 상기 픽셀의 상기 그라데이션은 긴 주기의 상기 픽셀이 상기 부-프레임들로 작동되는 방법에 의존하여(많은 지속 주기들이 무사히 통과되는 방법에 의존하여) 제어된다.

위에 설명된 것과 같이, 상기 활성 매트릭스-형태 EL 디스플레이 장치를 사용하고, 상기 전류 제어 TFT의 드레인과 항상 상기 EL 디스플레이를 통해 흐르는 일정한 상기 전류를 설정하기 위한 상기 EL 요소 사이에 저항기(R)를 제공함으로써, 본 발명의 상기 특징은 상기 시분할 그라데이션 디스플레이 실행에 상주한다. 이러한 구성은 상기 TFT들의 특징들 중에서 분산으로 인한 그라데이션의 결점을 막는 것을 가능하게 만든다.

발명의 구성 및 작용

도 1(a)는 본 발명의 고성능 매트릭스-형태 EL 디스플레이 장치의 회로 구조를 설명한다. 도 1(a)의 상기 고성능 매트릭스-형태 EL 디스플레이 장치는 픽셀 유닛(101)과 데이터 신호측 드라이브 회로(102) 및 상기 픽셀 유닛 주위에 배열된 게이트 신호측 드라이브 회로(103)를 포함하고, 이것은 기판 상에 형성되는 TFT들에 의해 구성되어진다. 여기에서, 상기 데이터 신호측 드라이브 회로나 상기 게이트 신호측 드라이브 회로 둘 중 하나는 그 둘 사이에 끼워진 상기 픽셀 유닛과 쌍을 이루어 형성될 수 있다.

상기 데이터 신호측 드라이브 회로(102)는 원래 시프트(shift) 저항기(102a), 래치(latch)(A)(102b), 래치(B)(102c)를 포함한다. 상기 시프트 저항기(102a)는 클럭 펄스(CK)와 시작 펄스(SP)를 수신하고, 상기 래치(A)(102b)는 디지털 데이터 신호들을 수신하며, 상기 래치(B)(102c)는 래치 신호들을 수신한다.

본 발명에서, 상기 픽셀 유닛에 대한 상기 데이터 신호 입력은 디지털 신호이다. 본 발명은 액정 디스플레이 장치와는 다른 상기 전압 그라데이션 디스플레이에 의지하지 않기 때문에 데이터 '0' 또는 '1'을 갖는 디지털 데이터 신호는 상기 픽셀 유닛에 대한 직접적인 입력이다.

상기 픽셀 유닛(101)은 매트릭스의 형태로 복수 픽셀들(104)에 배열된다. 도 1(b)는 확장된 상기 픽셀(104)을 도시한 다이어그램이다. 도 1(b)에서 참조 번호(105)는 게이트 신호를 수신하는 게이트 배선(106)에 접속되고 데이터 신호를 수신하는 데이터 배선(107, 소스 배선으로 언급됨)에 접속되는 스위칭 TFT를 나타낸다. 참조 번호(108)는 상기 스위칭 TFT의 상기 드레인에 접속되는 상기 게이트의 전류 제어 TFT를 나타낸다. 상기 전류 제어 TFT의 상기 드레인은 레지스터 109를 거쳐 EL 요소에 접속되고, 상기 드레인의 소스는 급전선(11)에 접속된다. 상기 EL 요소(110)는 상기 전류 제어 TFT(109)에 접속되는 양극(픽셀 전극)과 상기 EL층 사이에 끼워져 있는 상기 양극에 반대되고 선결된 파워 소스(112)에 접속되는 음극(반대 전극)을 포함한다.

상기 레지스터(109)는 상기 전류 제어 TFT(108)의 온-저항 보다 훨씬 더 큰 저항을 나타낼 수 있고, 상기 구조 상에 제한이 없다. 이것은 상기 형성을 쉽게 하기 때문에 높은 저항을 갖는 반도체 층을 사용하는 것이 바람직하다.

게다가, 축전기(113)에는 상기 스위칭 TFT(105)가 선택되어지지 않았을 때(턴 오프) 상기 전류 제어 TFT의 홀딩 게이트 전압이 공급되어진다. 상기 축전기(113)는 상기 스위칭 TFT의 상기 드레인과 상기 전류 급전선(111)에 접속되어진다.

상기 픽셀 유닛에 대한 상기 디지털 데이터 신호 입력은 시분할 그라데이션 데이터 신호 발생 회로(114)에 의해 형성되어진다. 이 회로는 아날로그 신호들이나 디지털 신호들이 상기 시분할 그라데이션 실행에 의해 디지털 데이터 신호로 된 비디오 신호들(화상 데이터를 포함하는 신호들)을 변환하고, 상기 시분할 그라데이션 디스플레이를 위해 더 필요한 타이밍 펄스들을 더 발생시킨다.

일반적으로, 상기 시분할 그라데이션 데이터 신호-발생 회로(114)는 한 프레임을 n 비트들(n은 2보다 작지 않은 정수)의 상기 그라데이션에 의존하는 n개의 부-프레임들로 나누는 수단과, n개의 부-프레임들에서 주소 주기와 지속 주기를 선택하는 수단 및 $Ts1:Ts2:Ts3:---:Ts(n-1):Ts(n) = 2^0:2^{-1}:2^{-2}:---:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 상기 지속 주기들을 설정하는 수단을 포함한다.

상기 시분할 그라데이션 데이터 신호-발생 회로(114)는 본 발명의 상기 EL 디스플레이 장치의 바깥쪽 면 위에 공급되어질 것이다. 이러한 경우에, 형성된 상기 디지털 데이터 신호들은 본 발명의 상기 EL 디스플레이 장치의 입력이다. 따라서, 디스플레이 유닛으로서 본 발명의 상기 EL 디스플레이 장치를 갖는 상기 전자 장치는 독립된 구성요소들로서 본 발명의 상기 EL 디스플레이 장치와 상기 시분할 그라데이션 데이터 신호-발생 회로를 포함한다.

게다가, 상기 시분할 그라데이션 데이터 신호-발생 회로(114)는 본 발명의 상기 EL 디스플레이 장치 상에 IC 칩의 형태로 탑재될 수 있다. 이러한 경우에, 상기 IC 칩에 의해 형성되는 상기 디지털 데이터 신호들은 본 발명의 상기 EL 디스플레이 장치에 대한 입력이다. 이 경우에, 디스플레이 유닛으로서의 본 발명의 상기 EL 디스플레이 장치를 갖는 상기 전자 장치는 구성요소로서 상기 시분할 그라데이션 데이터 신호-발생 회로를 포함하는 IC 칩이 탑재된 본 발명의 상기 EL 디스플레이 장치를 포함한다.

마지막으로, 또 상기 시분할 그라데이션 데이터 신호-발생 회로(114)는 상기 픽셀 유닛(104), 데이터 신호측 발생 회로(102) 및 게이트 신호측 발생 회로(103)와 같은 기관 상에 TFT들로 형성될 수 있다. 여기에서, 만약 화상 데이터를 포함하는 비디오 신호들이 상기 EL 디스플레이 장치의 입력이라면 모든 것들은 상기 기관 위에 처리되어질 수 있다. 이러한 경우에, 또, 디스플레이 유닛으로서 본 발명의 상기 EL 디스플레이 장치를 갖는 상기 전자 장치는 상기 EL 디스플레이 장치에 일체화되어지는 상기 시분할 그라데이션 데이터-발생 회로를 갖고, 상기 전자 장치의 크기를 줄이도록 만드는 것이 가능하다.

도 2는 본 발명의 활성 매트릭스-형태 EL 디스플레이 장치의 구조를 개략적으로 도시한 단면도이다.

도 2에서, 참조 번호(11)는 기판을 나타내고, 참조 번호(12)는 하층으로서 사용되는 절연 막(하기에서 하층 막이라 함)을 나타낸다. 상기 기판(11)과 같이 빛-전도 기판과 유리 기판, 석영 기판, 유리 세라믹 기판 또는 결정화된 유리 기판으로 사용되어질 수 있다. 그러나, 상기 기판은 생산 처리 동안 높은 온도에서 견딜 수 있어야만 한다.

상기 하부 막(12)은 비록 유동 이온들을 포함하거나 전기적으로 전도 특성을 가지고 있는 기판에 대한 효과가 있다하더라도 상기 석영 기판의 경우에 제공되어질 수 없다. 상기 하부 막(12)은 실리콘을 포함하는 절연 막일 수도 있다. 이러한 명세에서, 상기 '실리콘을 포함하는 절연 막'은 구체적으로 실리콘 산화물 막, 실리콘 질화물 막 또는 실리콘에 대해 선결된 산화물 또는 질화물을 포함하는 실리콘 옥시 나이트라이드(oxyinitride) 막과 같은 절연 막을 나타낸다.

참조 번호(201)는 스위칭 TFT를 나타내고, 참조 번호(202)는 전류 제어 TFT를 나타낸다. 이들은 모두 n-채널 TFT들이다. 상기 n-채널 TFT는 상기 p-채널 TFT의 장-효과 이동성 보다 더 큰 장-효과 이동성을 나타내고, 따라서 큰 전류의 흐름을 허가하는데 빠르게 동작한다. 같은 전류의 양이 흐를 때, 상기 n-채널 TFT는 작은 크기로 형성될 수 있다. 그러므로 상기 화상 디스플레이 유닛의 상기 유효한 빛-방출 영역을 확장하기 위해 허용하는 상기 전류 제어 TFT들로서 상기 n-채널 TFT들을 사용하는 것이 바람직하다.

그러나 본 발명에서, 상기 스위칭 TFT와 상기 전류 제어 TFT는 상기 n-채널 TFT로 한정되지 않아도 되지만, 둘 다 또는 둘 중 하나는 p-채널 TFT들일 수 있다.

상기 스위칭 TFT(201)는 소스 영역(13), 드레인 영역(14), LDD 영역들(15a에서 15d), 절연 영역(16)과 채널-형성 영역들(17a, 17b)을 포함하는 활성 층, 게이트-절연 막(18), 게이트 전극들(19a, 19b), 제 1 인터레이어(interlayer) 절연 막(20), 소스 배선(21) 및 드레인 배선(22)을 포함한다. 상기 게이트 절연 막(18) 또는 상기 제 1 인터레이어 절연 막(20)은 상기 기판 상에 모든 TFT들에 대해 공통적일 수 있고, 또는 상기 회로들이나 상기 요소들에 의존하여 다를 수 있다.

도 2의 상기 스위칭 TFT(201)에서, 상기 게이트 전극들(19a, 19b)은 전기적으로 서로 접속되어 형성되므로 이중 게이트 구조라고 한다. 상기의 이중 게이트 구조에만 제한되지 않고, 3중 게이트 구조 등과 같은 멀티-게이트 구조(직렬로 접속되는 2개 또는 그 이상의 채널-형성 영역을 갖는 활성 층을 포함하는 구조)라고 하는 구조가 사용되어질 수 있다.

상기 멀티-게이트 구조는 상기 오프(off)-전류 감소에 있어서 매우 효과적이다. 만약 상기 스위칭 TFT의 상기 오프-전류가 충분한 정도로 감소되면, 도 1(b)의 상기 축전기(112)의 용량을 그에 대응하여 감소할 수 있다. 이것은 상기 축전기(112)에 의해 점유된 상기 영역을 감소할 수 있다. 따라서 상기 멀티-게이트 구조의 사용은 상기 EL 요소(109)의 상기 유효한 빛-방출 지역 확장에 효과적이다.

게다가 상기 스위칭 TFT(201)에서, 상기 LDD 영역들(15a에서 15d)은 상기 게이트 절연 막(18)을 거쳐 상기 게이트 전극들(19a, 19b) 상에 겹쳐지지 않도록 제공되어 진다. 또, 상기 LDD 영역들(15a에서 15d)의 길이들(폭들)은 0.5에서 3.5 μm 이며, 일반적으로는 2.0에서 2.5 μm 이다.

이것은 또 상기 오프-전류 감소의 관점으로부터 상기 채널-형성 영역과 LDD 영역 사이에 오프셋(offset) 영역(게이트 전압이 적용되지 않는 상기 채널-형성 영역으로서 동일한 구성의 반도체 층으로 형성된 영역)을 형성하는 것이 더 바람직하다. 두 개 또는 그 이상의 게이트 전극들을 가지는 멀티-게이트 구조에 있어서, 상기 절연 영역(16, 상기 소스 영역으로서 같은 불순물 요소들이 첨가된 영역 또는, 같은 농도에서의 상기 드레인 영역)은 상기 채널-형성 영역들 사이에 형성되고, 이것은 상기 오프-전류 감소에 효과적이다.

다음으로, 상기 전류 제어 TFT(202)는 소스 영역(26), 드레인 영역(27), LDD 영역(28)과 채널-형성 영역(29)을 포함하는 활성 층, 게이트 절연 막(19), 게이트 전극(30), 제 1 인터레이어 절연 막(20), 소스 배선(31) 및 드레인 배선(32)을 포함한다. 그러나 도 2의 경우에 있어서, 레지스터(33)와 접속영역(34)은 상기 드레인 영역(27)과 상기 드레인 배선(32)에 공급된다.

상기 레지스터(33)는 도 1(b)의 상기 레지스터(109)에 해당하고, 상기 접속 영역(34)은 상기 레지스터(33)가 상기 드레인 배선(32)에 전기적으로 접속하기 위한 고-불순물-집중 영역(상기 드레인 영역(27)로서 동일 구성의 불순물 영역)이다. 여기에서, 상기 전류 제어 TFT(202)의 상기 활성 층은 이 TFT가 상기 레지스터(33)에 전기적으로 접속하기 위해 확장된다. 그러나 상기 전기적 접속은 이 구조에만 한정되지 않는다.

55에 의해 표시되어진 얇은 막은 상기 레지스터(33) 형성의 시간에서 도핑 마스크로서 사용되어지는 것(하기에서 마스크 막으로 함)으로서, 여기에서 상기 게이트 전극(30)과 동시에 형성되어진다. 도 2의 경우에 있어서, 상기 마스크 막(55)은 상기 게이트 전극(30)과 똑같은 물질로 만들어진 전기적으로 전도하는 막이고, 전기적으로 절연되어 있을 수 있다.

도 2의 구조에서, 상기 레지스터(33)는 상기 LDD 영역(28)과 같은 구성의 불순물 영역에 의해 형성되어 진다. 상기 저항은 상기 레지스터의 길이와 상기 레지스터의 부분적 영역에 의해 결정된다. 이것은 어떠한 불순물도 가지고 있지 않은 고유의 반도체 층에 의해 형성되어질 수 있지만, 상기 저항 제어의 어려움이 있을 수 있다. 따라서 불순물의 추가에 의해 상기 저항을 제어하는 것이 바람직하다.

위에 설명된 것과 같이 상기 레지스터(33)가 상기 반도체 층에 의해 형성되어질 때, 만약 상기 EL 요소로부터 방출되는 빛이 상기 레지스터에 닿으면 상기 저항은 변경될 수 있다. 따라서 도 2에 보여지는 것처럼, 이것은 상기 저항에서 변화를 막는다는 관점에서, 빛-차폐 막으로서 사용되어지는 빛-차폐 특성을 갖는 마스크 막 형성의 의미가 있다.

게다가 도 1(b)에 보여지는 것처럼, 상기 스위칭 TFT의 상기 드레인은 상기 전류 제어 TFT의 상기 게이트에 접속되어 있다. 구체적으로, 상기 제어 TFT(202)의 상기 게이트 전극(30)은 드레인 배선(22, 또한 접속 배선이라 함)을 통해 상기 스위칭 TFT(201)의 상기 드레인 영역(14)에 전기적으로 접속된다. 상기 게이트 전극(30)은 단일-게이트 구조를 갖지만 다중-게이트 구조를 가질 수도 있다. 또, 상기 소스 배선(31)은 도 1(b)의 상기 전류 급전선(110)에 접속된다.

상기 전류 제어 TFT(202)는 상기 EL 요소에 삽입된 상기 전류의 양을 제어하는 요소이며, 상대적으로 큰 전류가 흐른다. 따라서, 이의 채널 폭(W)은 상기 스위칭 TFT의 상기 채널 폭보다 더 넓게 설계되는 것이 바람직하다. 또, 확장된 길이(L)를 갖는 상기 채널로 설계되는 것이 바람직하므로 초과 전류는 상기 전류 제어 TFT(202)에 흐르지 않을 것이다. 상기 전류는 픽셀 당 0.5 μA 에서 2 μA 사이(보다 바람직한 것은 1 μA 에서 1.5 μA 사이)에서 흐르는 것이 바람직하다.

그러면 도 9에 관해서, 만약 상기 스위칭 TFT의 상기 채널 길이가 $L_1(L_1 = L_{1a} + L_{1b})$ 로, 상기 스위칭 TFT의 상기 채널 폭이 W_1 로, 상기 전류 제어 TFT의 상기 채널 길이가 L_2 로, 상기 전류 제어 TFT의 채널 폭이 W_2 로 표시되면, W_1 은 0.1 μm 에서 5 μm 사이(일반적으로 1 μm 에서 3 μm 사이)와, W_2 는 0.5 μm 에서 30 μm 사이(일반적으로 2 μm 에서 10 μm 사이)인 것이 바람직하다. L_1 은 0.2 μm 에서 18 μm 사이(일반적으로 2 μm 에서 15 μm 사이)와, L_2 는 0.1 μm 에서 50 μm 사이(일반적으로 1 μm 에서 20 μm 사이)인 것이 더 바람직하다. 그러나 본 발명은 상기의 값 만으로 제한된 것은 아니다. 도 9에서, L_3 은 상기 레지스터의 상기 길이를 표시하고, W_3 은 상기 레지스터의 상기 폭을 표시한다.

게다가, 도 2에 보여지는 상기 EL 디스플레이 장치는 상기 전류 제어 TFT(202)에서 상기 드레인 영역(27)과 상기 채널-형성 영역(29) 사이에서 제공되는 상기 LDD 영역(28)의 특성을 갖고, 또, 상기 LDD 영역(28)은 상기 게이트-절연 막(18)을 통해 상기 게이트(30) 위에 덮여지는 영역과 덮여지지 않는 영역을 포함한다.

상기 전류 제어 TFT(202)는 방의 방출을 위해 상기 EL 요소(203)가 야기시키는 상대적으로 큰 전류 흐름을 허가하고, 핫 캐리어(hot carrier)들의 주입으로 악화된 것을 대비한 더 좋은 대안을 가지고 있다. 검정색을 표시하기 위해, 상기 전류 제어 TFT(202)는 턴 오프된다. 여기에서, 만약 큰 오프-전류

가 흐른다면, 명암이 떨어져 순수한 검정색은 표시되지 못한다. 따라서 오프-전류를 억제하는 것이 필요하다.

상기 게이트 전극 위에 덮여진 상기 LDD 영역에 있는 상기 구조는 상기 핫 캐리어들의 주입으로 인한 품질 저하 대처에 효과적이라고 알려져 있다. 그러나, 만약 상기 전체 LDD 영역이 덮여진다면 상기 오프-전류는 증가한다. 따라서, 본 출원은 위에 언급된 구조에 직렬로 더 제공되는 상기 게이트 전극 위에 겹쳐진 곳이 없는 LDD 영역의 새로운 구조로 상기 핫 캐리어들의 문제들과 오프-전류를 동시에 해결한다.

이러한 경우에 상기 게이트 전극 위에 덮여지는 상기 LDD 영역은 0.1 μ m에서 3 μ m 사이(보다 바람직한 것은 0.3 μ m에서 1.5 μ m 사이)의 길이를 가질 수 있다. 상기 LDD 영역이 너무 길 때 와류 용량이 증가하고, 상기 LDD 영역이 너무 짧을 때 상기 핫 캐리어들을 막는 효과가 약해진다. 상기 게이트 전극이 덮여지지 않은 상기 LDD 영역은 1.0 μ m에서 3.5 μ m 사이(바람직한 것은 1.5 μ m에서 2.0 μ m 사이)의 길이를 가질 수 있다. 상기 LDD 영역이 너무 길 때 상기 전류는 충분한 정도로 흐르지 않고, 상기 LDD 영역이 너무 짧을 때 상기 오프-전류 감소를 위한 상기 효과가 약해진다.

또 상기에 언급된 구조에 있어서, 와류 용량은 상기 게이트 전극 영역에 형성되고 상기 LDD 영역은 다른 영역 위에 덮여진다. 따라서 상기 소스 영역(26)과 상기 채널-형성 영역(29) 사이에 상기 LDD 영역이 형성되는 것은 바람직하지 않다. 상기 전류 제어 TFT에 있어서, 캐리어들(이 경우에는 전자들)은 항상 같은 방향으로 흐르고, 상기 드레인 영역의 면 위에만 제공되는 상기 LDD 영역은 충분하다.

게다가 상기 전류 흐름의 증가된 양의 상기 전류 흐름의 관점에서, 상기 전류 제어 TFT(202, 바람직한 것은 50nm에서 100nm 사이이고, 더 바람직한 것은 60nm에서 80nm 사이)의 상기 활성 층(그리고 특히, 상기 채널-형성 영역)의 두께를 증가하도록 할 것을 권한다. 반면에 상기 스위칭 TFT(201)의 경우에 있어서, 상기 오프-전류 감소의 관점에서 상기 활성 층(특히, 채널-형성 영역, 바람직한 것은 20nm에서 50nm 사이이고, 더 바람직한 것은 25nm에서 40nm 사이)의 상기 두께를 감소하도록 할 것을 권한다.

앞서 말한 것은 상기 픽셀에서 제공되는 상기 TFT의 구조가 설명되어졌다. 이 경우에 있어서, 구동 회로가 동시에 형성된다. 도 2는 CMOS 회로를 도시한 다이어그램으로, 이것은 상기 구동 회로들 형성을 위한 기초 유닛이다.

도 2에서, 가능한 한 많은 동작 속도의 감소가 없는 감소된 양의 핫 캐리어들이 주입된 구조의 TFT는 상기 CMOS 회로의 n-채널 TFT(204)로서 사용된다. 상기 구동 회로들은 여기에서, 도 1에 보여지는 상기 데이터 신호 구동 회로(102)와 상기 게이트 신호 구동 회로(103)를 나타내는 것으로 한다. 물론 이것은 다른 논리 회로들(레벨 이동기, A/D 변환기, 신호-보합 회로 등) 형성을 무방하게 한다.

상기 n-채널 TFT(204)의 활성층은 소스 영역(35), 드레인 영역(36), LDD 영역(37)과 채널-형성 영역(38), 상기 게이트-절연 막(18)을 통해 상기 게이트 전극(39) 위에 덮여지는 상기 LDD 영역(37)을 포함한다.

상기 LDD 영역은 상기 동작의 속도를 감소하지 않기 위해서 상기 드레인 영역의 면 위에만 형성된다. 이 n-채널 TFT(204)에 있어서, 상기 오프-전류에 많은 어텐션을 주는 것이 필요하기 보다는 오히려 상기 동작 속도에 중요성을 부여한다. 따라서 상기 LDD 영역(37)은 가능한 한 많은 상기 저항 구성 요소를 감소하기 위해 상기 게이트 전극 위에 완전하게 덮여지는 것이 바람직하다. 즉, 상기 옴센은 더 잘 제거된다.

상기 CMOS 회로에서 상기 p-채널 TFT(205)는 상기 핫 캐리어들의 주입에 의해 대부분 품질이 저하되고, 상기 LDD 영역 필요성은 특별히 제공되어지지 않는다. 따라서, 상기 활성 층은 소스 영역(40), 드레인 영역(41)과 채널-형성 영역(42)을 포함하고, 그 위에 게이트-절연 막(18)과 게이트 전극(43)이 형성된다. 물론 이것은 상기 핫 캐리어들에 대처하기 위한 상기 n-채널 TFT(204)와 같은 상기 LDD 영역 제공을 허용할 수 있다.

p-채널 TFT가 상기 전류 제어 TFT(202)로서 사용되어질 때 상기 p-채널 TFT(205)와 같은 구조를 갖는 상기 p-채널 TFT가 사용되어질 수 있다.

게다가, 상기 n-채널 TFT(204)와 상기 p-채널 TFT(205)는 상기 제 1 인터레이어 절연 막(20)으로 덮여있고, 소스 배선들(44, 45)을 형성한다. 그것들은 드레인 배선(46)을 통해 전기적으로 서로 접속된다.

다음으로, 참조 번호(47)는 10nm에서 1 μ m 사이(되도록이면, 200nm에서 500nm 사이)의 두께를 갖는 제 1 패시베이션(passivation) 막을 나타낸다. 상기 재료는 실리콘(특히, 실리콘 옥시나이트라이드 막이나 실리콘 질화물 막)을 포함하는 절연 막일 것이다. 상기 패시베이션 막(47)은 알칼리 물질이나 물로 형성되는 상기 TFT를 보호하기 위해 작동한다. 상기 EL층은 마지막으로 나트륨과 같은 알칼리 물질들을 포함하는 상기 TFT 위에 형성된다. 이것은 상기 제 1 패시베이션 막(47)이 알칼리 물질들(이동 이온들)을 상기 TFT 면으로 스며드는 것을 막기 위한 보호층으로서 작동한다.

또, 참조 번호(48)는 상기 TFT에 의해 형성되는 평평화 단계를 위한 플래트닝(flattening) 막으로서 동작하는 제 2 인터레이어 절연 막을 나타낸다. 상기 제 2 인터레이어 절연 막(48)으로서 폴리마이드, 아크릴 또는 BCB(벤조사이클로버틴, benzocyclobutene)와 같은 유기적인 합성수지 막이 사용될 수 있다. 이들 유기적인 합성수지 막들은 작고 뚜렷한 유도를 나타내는 알맞은 평평한 표면들을 형성한다. 상기 EL층은 울퉁불퉁한 것에 영향을 받기가 매우 쉽기 때문에, 상기 TFT로 인한 단계는 거의 모든 것이 상기 제 2 인터레이어 절연 막에 흡수되는 것이 바람직하다. 이것은 또 상기 게이트 배선이나 상기 데이터 배선과 상기 EL 요소의 음극 사이에 형성되는 상기 와류 용량을 저하시키는 관점에서 낮은 뚜렷한 유도를 갖는 물질을 요구하게 형성하는 것이 바람직하다. 따라서 상기 막의 두께는 0.5 μ m에서 5 μ m 사이(바람직한 것은 1.5 μ m에서 2.5 μ m 사이)이다.

참조 번호(49)는 상기 제 2 인터레이어 절연 막(48)과 상기 제 1 패시베이션 막(47)에 형성되는 접촉 구

명(개구부)에 상기 전류 제어 TFT(202)의 상기 드레인 배선(32)에 접속되도록 하는 투명한 전기적인 전도성 막을 형성하는 픽셀 전극(EL 요소의 양극)을 나타낸다. 도 2에 보여지는 것과 같이 상기 픽셀 전극(49)은 상기 드레인 영역(27)에 직접적으로 접속되지 않고, 상기 EL층 내의 상기 알칼리 물질들은 상기 픽셀 전극을 통해 상기 활성 층으로 스며드는 것으로부터 보호된다.

상기 픽셀 전극(49) 위에 실리콘 산화물 막, 실리콘 옥시나이트라이드 막 또는 $0.3\mu\text{m}$ 에서 $1\mu\text{m}$ 사이의 두께를 유지하는 유기적인 합성수지 막인 제 3 인터레이어 절연 막(50)이 형성된다. 개구부는 상기 픽셀 전극(49) 상의 상기 제 3 인터레이어 절연 막(50)에 에칭으로 형성되고, 상기 개구부의 가장자리들은 에칭으로 점점 가늘어진다. 상기 끝이 뾰족한 각은 10° 에서 60° 사이(바람직한 것은 30° 에서 50° 사이)이다.

EL층(51)은 상기 제 3 인터레이어 절연 막(50) 위에 제공된다. 상기 EL층은 단일-층 구조 또는 합판-층 구조 중 하나의 구조를 갖는다. 그러나, 상기 합판-층 구조를 가질 때 높은 빛-방출 효율이 얻어진다. 일반적으로, 양극 홀 주입 층, 양극 홀 수송 층, 빛-방출 층 및 전자 수송 층은 상기 픽셀 전극 상에 앞에 언급된 순서대로 형성되어진다. 그러나, 상기 층들은 양극 홀 수송 층/빛-방출 층/전자 수송 층 또는 양극 홀 주입 층/ 양극 홀 수송 층/ 빛-방출 층/ 전자 수송 층/ 전자 주입 층과 같은 구조로 형성되어질 수 있다. 이와 같은 실시예에서, 어떤 알려진 구조가 사용될 수 있거나, 상기 EL층은 형광 채색 물질이 첨가될 수 있다.

상기 유기적인 EL 물질과 같이, 예들 들어 다음의 미국 특허와 일본 공개 공보 즉, 미국 특허 제 4,356,429호, 제 4,539,507호, 제 4,720,432호, 제 4,769,292호, 제 4,885,211호, 제 4,950,950호, 제 5,059,861호, 제 5,047,687호, 제 5,073,446호, 제 5,059,862호, 제 5,061,617호, 제 5,151,629호, 제 5,294,869호, 제 5,294,870호와 일본 공개 공보 제 189525/1998호, 제 241048/1996호 및 제 78159/1996호에 나타난 것들이 사용되어질 수 있다.

상기 칼라 디스플레이 시스템들은 개략적으로 4개의 시스템들 즉, R(빨강), G(초록), B(파랑)에 해당하는 3가지 형태들의 EL 요소들을 형성하는 시스템, 하얀 빛을 방출하는 EL 요소와 색 필터(착색 층)의 조합을 기본으로 하는 시스템, 파랑이나 푸르스름한 초록빛을 방출하는 EL 요소와 형광성 물질의 조합을 기본으로 하는 시스템 및 상기 음극(반대 전극)으로서 투명한 전극을 사용하고 그 위에 RGB에 해당하는 상기 EL 요소들이 덮여지는 시스템으로 개략적으로 나누어질 수 있는 상기 EL 디스플레이 장치들이 사용된다.

도 2에 보여지는 상기 구조는 RGB에 해당하는 3가지 종류의 EL 요소들을 형성하는 시스템이 사용되어졌을 경우이다. 비록 도 2가 단지 한 개의 픽셀을 도시하지만, 같은 구조의 픽셀들은 빨강, 초록, 파랑에 해당되는 것을 형성하고, 그것에 의해 칼라 디스플레이가 생산된다.

본 발명은 상기 빛-방출 시스템에 상관없이 실행될 수 있고, 위에 언급된 네 개의 시스템 모두는 본 발명에 사용될 수 있다. 그러나 상기 형광물질은 잉여 빛의 상기 EL 잔여물 문제와 비교하면 낮은 응답 속도를 나타낸다. 따라서, 상기 형광 물질을 사용하는 것은 바람직하지 않다. 또, 방출되는 빛의 발광을 강화하는 인자인 칼라 필터를 사용하는것은 바람직하지 않다.

상기 EL 요소의 음극(52)은 상기 EL층(51) 위에 제공되어진다. 상기 음극(52)과 같이, 작은 작동 기능을 갖는 마그네슘(Mg), 리튬(Li) 또는 칼슘(Ca)을 포함하는 물질이 사용될 수 있다. 바람직하게, MgAg (Mg와 Ag가 $\text{Mg:Ag} = 10:1$ 의 비율로 혼합된 물질)의 전극이 사용될 수 있다. MgAgAl 전극, LiAl 전극 또는 LiFAI 전극이 더 사용될 수 있다.

상기 음극(52)은 상기 EL층(51)이 형성된 후에 외부 공기에 노출되지 않고 연속적으로 형성되는 것이 바람직하다. 상기 음극(52)과 상기 EL층(51) 사이의 경계면은 상기 EL 요소의 빛-방출 효과에 크게 영향을 미친다. 이러한 상술에 있어서, 상기 픽셀 전극(양극), EL층 및 음극으로 형성되는 상기 빛-방출 요소는 EL 요소라고 한다.

상기 EL층(51)과 상기 음극(52)의 적층물은 상기 픽셀들 각각에 대해 반드시 분리되어 형성되어야 한다. 그러나, 상기 EL층(51)은 물에 대해 매우 약하고, 통상적인 포토리소그래피(photolithography) 기술에 의존하여 형성되어질 수 없다. 따라서, 상기 EL층(51)은 진공 침전 기술, 스퍼터링(sputtering) 방법 또는 금속 마스크 또는 그런 종류의 다른 것과 같은 물리적 마스크를 사용하는 플라즈마(plasma) CVD와 같은 기체 위상 방법 등으로 선택적으로 형성되는 것이 바람직하다.

상기 EL층은 잉크-분사 방법, 스크린-인쇄 방법 또는 회전-코팅 방법에 의해 선택적으로 형성될 수 있다. 그러나 요즈음에는, 이 방법들 중 어떠한 것도 상기 음극을 연속적으로 형성할 수 없다. 따라서 위에 언급된 방법이 우선일 수 있다.

참조 번호(53)는 외부 물 성분으로부터 상기 음극(52)을 보호하는 보호 전극을 나타내고, 상기 픽셀들의 음극(52)에 접속된다. 상기 보호 전극(53)과 같이, 알루미늄(Al), 구리(Cu), 또는 은(Ag)을 포함해 낮은 저항을 갖는 물질을 사용하는 것이 바람직하다. 상기 보호 전극(53)은 또한 상기 EL층에서 발생한 열 감소를 위한 열-방출 효과를 나타낸다. 만약 상기 EL층(51)과 상기 음극(52) 형성된 후에 외부 공기에 노출되지 않고 상기 보호 전극(53)까지 연속적으로 형성된다면 이것은 효과적이다.

참조 번호(54)는 10nm 에서 $1\mu\text{m}$ 까지의 두께를 갖는 제 2 패시베이션 막을 나타낸다. 상기 제 2 패시베이션 막은 상기 물 성분으로부터 상기 EL층(51)을 보호하기 위해 주로 제공되지만, 열 방출 효과를 나타내는데 여전히 효과적이다. 그러나 위에 설명된 것과 같이, 상기 EL층은 열에 대해 약하므로, 가능한 한 낮은 온도(바람직한 것은, 실온에서부터 120°C 까지의 온도 범위 상)에서 형성된다. 따라서, 바람직한 막-형성 방법은 플라즈마 CVD 방법, 스퍼터링 방법, 진공 증발 방법, 이온-도금 방법 또는 용해-코팅 방법(회전-코팅 방법)일 것이다.

실시예 1

본 발명의 실례는 도 5에서 도 8을 참조하여 설명될 것이다. 여기서 설명되는 것은 표면에 제공되는 상기 구동 회로 유닛들에서 픽셀 유닛과 TFT들을 동시에 제조하는 방법이다. 여기에서 설명을 단순화하기 위해, 기본적인 유닛인 CMOS 회로는 상기 구동 회로들에 관하여 도시된다.

첫 번째로 도 5(a)와 관련하여, 기판(501)은 표면 위에 형성되는 기반 막(보여지지 않음)을 갖고 준비된다. 이 예에서, 100nm의 두께를 갖는 실리콘 옥시나이트라이드 막과 200nm의 두께를 갖는 실리콘 옥시나이트라이드 막은 결정화된 유리(crystallized glass) 상의 기반 막으로서 박편으로 형성된다. 여기에서, 결정화된 유리 기판에 접촉되는 면의 막은 무게 당 10%에서 25%의 질소 농도를 갖는 것이 바람직하다. 물론 이것은 상기 기반 막 형성 없이 수정 기판 상에 요소들이 직접적으로 형성되는 것을 허용할 수 있다.

다음으로, 비결정질 실리콘 막은 막-형성 방법이라고 알려진 방법에 의해 45nm의 두께를 유지하는 상기 기판(501) 상에 형성된다. 여기에서, 상기 막은 상기 비결정질 실리콘 막에 제한되지는 않지만 상기 막은 비결정질 구조를 갖은 반도체 막(미세한 결정질의 막을 포함)일 수 있다. 게다가, 비결정질 실리콘 게르마늄 막과 같은 비결정질 구조를 갖는 합성 반도체 막 형성을 허용할 수 있다.

도 5(c) 단계까지를 통해 이번 단계에 관하여, 본 발명의 출원자에 의해 제기된 일본 공개 공보 제 247735/1998의 내용이 인용되어질 수 있다. 이 공보는 촉매로서 니켈이나 그런 종류의 다른 것과 같은 요소를 사용하는 상기 반도체 막 결정화의 방법에 관한 기술을 나타낸다.

첫 번째로, 개구부들(503a, 503b)을 갖는 보호 막(504)이 형성된다. 이 예에서, 150nm의 두께를 갖는 실리콘 산화물 막이 사용된다. 니켈(Ni)을 포함하는 층(Ni-포함 층)은 회전-코팅 방법에 의해 상기 보호 막(504) 위에 형성된다. 상기 Ni-포함 층의 형성에 관해서는, 참조는 상기 공보에 의해 만들어 질 수 있다.

다음으로 도 5(b)와 관련하여, 열 처리는 상기 비결정질 실리콘 막(502)의 결정화를 위해 14시간 동안 570°C에서 불활성 대기에서 처리된다. 이러한 경우에 있어서, 결정화는 니켈이 접촉되는 상기 영역들(506a, 506b, 하기에 Ni-첨가 영역들로 함)로부터 출발해 상기 기판과 거의 평행하게 처리되고, 그것에 의하여 막대 같은 수정들이 집합적으로 배열된 결정질 구조의 폴리실리콘(polysilicon) 막(507)을 형성한다. 여기에서, 도 19(a)에 보여지는 것처럼, 방위{110}에 해당하는 회절 반점들은 전자-광선 회절 사진 상에서 관찰되는 것으로 알려져 있다.

다음으로 도 5(c)에 보여지는 것과 같이, 마스크로서 그룹(15)에 관계되는 요소(바람직한 것은 인)는 상기 마스크로서의 상기 보호 막(504)와 함께 Ni-첨가 영역들(506a, 506b)에 첨가된다. 따라서 높은 농도에서 인이 첨가된 영역들(508a, 508b, 하기에 인-첨가 영역들)이 형성된다.

다음으로 도 5(c)와 관련하여, 상기 열 처리는 12시간 동안 600°C에서 불활성 대기에서 처리된다. 이 열 처리로 인하여, 상기 폴리실리콘 막(507)에 있는 니켈이 이동하고, 최종적으로 화살표들로 나타내어진 것과 같이 상기 인-첨가 영역들(508a, 508b)에 의해 거의 모든 부분이 트랩된다. 이것은 인으로 인한 금속 요소(이 실시예에서는 Ni)의 게터링 효과 때문에 나타나는 현상으로 본다.

이 단계로 인해, 상기 폴리실리콘 막(509)에서 남은 Ni의 농도는 상기 SIMS(2차 이온 질량 스펙트로미터리(spectrometry))에 의해 측정되는 것과 같이 적어도 2×10^{17} 까지 감소한다. 니켈은 상기 반도체에 대한 수명 killer이다. 그러나, 이 레벨까지 감소된 것은 상기 TFT 특징들에게 더 이상 불리하게 영향을 미치지 못한다. 게다가, 이 농도는 본 SIMS 분석에 의한 측정의 한계가 대부분 있다. 따라서 실질적으로, 훨씬 적은 농도(2×10^{17} atoms/cm³ 또는 더 적은)가 고려된다.

따라서, 상기 촉매의 사용으로 결정화되고, 상기 촉매의 농도가 상기 TFT의 동작을 방해하지 않는 레벨까지 감소된 상기 폴리실리콘 막(509)이 얻어진다. 그에 따라, 상기 폴리실리콘 막(509)만을 사용하는 상기 활성 층들(510에서 513까지)은 패턴화에 의해 형성된다. 상기 활성 층(513)은 후에 저항으로 작동하는 반도체 층을 부분적으로 포함한다. 여기에서, 상기의 폴리실리콘 막(도 5(d))을 사용하는 다음의 패턴화에서 상기 마스크링 정렬에 대한 마커(marker)를 형성하는 것을 권고한다.

다음으로 도 5(e)와 관련하여, 50nm 두께의 실리콘 옥시나이트라이드 막은 열 산화 단계 실행을 위해 1 시간동안 950°C에서 산화되는 대기에서의 상기 열 처리가 수반되는 상기 플라스마 CVD 방법에 의해 형성된다. 상기 산화되는 대기는 산소 대기 또는 할로겐 요소가 첨가된 산소 대기일 수 있다.

이 열 산화의 단계에서, 상기 활성 층과 상기 실리콘 옥시나이트라이드 막 사이의 경계면에서 상기 산화작용이 발생함으로써, 약 30nm의 두께를 유지하는 실리콘 산화물 막을 형성하는 것에 대해 약 15nm의 두께를 갖는 상기 폴리실리콘 막이 산화된다. 30nm의 두께를 갖는 상기 실리콘 산화물 막과 얇은 판 위에 다른 한 판이 겹쳐진 50nm의 두께를 갖는 상기 실리콘 옥시나이트라이드 막을 포함하는 80nm 두께의 게이트 절연 막(514)이 형성된다. 게다가, 상기 활성 층들(510에서 513)은 열 산화작용의 단계를 통해 30nm의 두께를 갖는다.

다음으로 도 6(a)와 관련하여, 레지스트(resist) 마스크(515)가 형성되고, 불순물 요소(하기부터 p-형태 불순물 요소라 함)는 p-형태를 알리기 위해 상기 게이트-절연 막(514)을 통해 첨가된다. 상기 p-형태 불순물 요소로서, 거기에는 상기 그룹(Group, 13)과 관계되는 요소가 대표적으로 사용될 수 있고, 일반적으로는 붕소 또는 갈륨이 사용될 수 있다. 이 단계(채널-도핑 단계)는 상기 TFT의 임계 전압을 제어하기 위한 것이다.

이 실시예에서, 붕소는 질량-분리 디보레인(diborane, B₂H₆)이 없는 상기 플라스마-여자상태 이온-도핑 방법에 의해 첨가된다. 이것은 물론 상기 질량 분리를 실행하는 상기 이온 주입 방법을 사용하는 것을 허용한다. 이 단계를 거쳐서, 불순물 영역들(516에서 518까지)은 1×10^{15} 에서 1×10^{18} atoms/cm²(일반적인

로, 5×10^{16} 에서 5×10^{17} atoms/cm²의 농도에서 포함하는 붕소로 형성된다.

다음으로 도 6(b)와 관련하여, 레지스트 마스크들(519a, 519b)이 형성되고, 불순물 요소(하기부터 n-형태 불순물 요소라 함)는 n-형태를 알리기 위해 상기 게이트-절연 막(514)을 통해 첨가된다. 상기 n-형태 불순물 요소로서, 거기에는 상기 그룹(15)과 관계되는 요소가 대표적으로 사용될 수 있고, 일반적으로는 인 또는 비소가 사용될 수 있다. 이 실시예에서, 인은 질량-분리 인화수소(PH₃)가 없는 상기 플라즈마-여자상태 플라즈마 도핑 방법으로 1×10^{18} atoms/cm²의 농도에서 첨가된다. 물론 이것은 상기 질량 분리를 실행하는 상기 이온 주입 방법을 사용하는 것을 허용한다.

상기 주입량은 2×10^{16} 에서 5×10^{19} atoms/cm²(일반적으로, 5×10^{17} 에서 5×10^{18} atoms/cm²)의 농도에서 n-형태 불순물 요소를 포함하는 상기 단계를 통해 형성되는 상기 n-형태 불순물 영역들(520, 521)로 조절되도록 한다.

다음 도 6(c)와 관련하여, 첨가된 상기 n-형태 불순물 요소와 상기 p-형태 불순물 요소가 활성화된다. 비록 활성화 수단을 제한할 필요가 없다고 하더라도, 상기 게이트-절연 막(514)을 가지고 있는 상기 장치로 인해 전기적으로 열이 가해진 전기로를 사용하는 전기로 가열 냉각을 실행하는 것이 바람직하다. 또 도 6(a)의 단계에서, 상기 활성화 층과 상기 게이트-절연 막 사이의 상기 경계면이 상기 채널-형성 영역이 되는 일부 부분에 손상을 입은 확률이 있다. 따라서 가능한 한 높은 온도에서 상기 열 처리를 실행하는 것이 바람직하다.

이 실시예는 높은 열 저항을 갖는 결정화된 유리를 사용한다. 따라서 상기 활성화 단계는 1시간 당 800 °C에서 전기로 가열냉각에 의존해 실행된다. 상기 열 산화작용은 불활성 대기에서 실행될 수 있다. 그러나 여기에서, 상기 활성화 단계는 중요한 단계는 아니다.

이 단계는 상기 n-형태 불순물 영역들(520, 521)의 끝에서 경계 부분(접합 부분)을 명확하게 한다. 즉, 상기 n-형태 불순물 영역들(520, 521) 주위에 첨가되지 않는 n-형태 불순물 요소들의 상기 영역(도 6(a)의 단계에서 형성된 p-형태 불순물 영역). 이것은 상기 LDD 영역과 상기 채널-형성 영역이 상기 TFT가 그 다음으로 완료되는 순간에 매우 적합한 접합부분을 형성하는 것을 가능하도록 함을 의미한다.

다음으로, 200nm에서 400nm의 두께를 유지하는 전기적 전도성 막이 형성되고 나서, 패턴화로 게이트 전극들(522에서 525)과 저항들을 형성하기 위해 마스크막(526)이 형성된다. 상기 TFT들의 채널 길이들은 상기 전극들(522부터 525)의 폭들에 의해 결정된다. 게다가 상기 저항기들의 저항은 상기 마스크막(526)의 폭에 의해 결정된다.

상기 게이트 전극들은 단일 전기적 전도성 막으로 형성될 수 있다. 그러나 필수적으로, 상기 게이트 전극들은 2개 층들 또는 3개 층들의 박판 막으로 형성될 수 있다. 상기 게이트 전극들의 재료들로서, 전기적 전도 막으로 알려진 것이 사용될 수 있다. 구체적으로, 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 및 실리콘(Si) 또는 상기 요소의 질화물 막(일반적으로, 탄탈 질화물 막, 텅스텐 질화물 막 또는 티타늄 질화물 막)이나 상기 요소들 조합의 합금 막(일반적으로, Mo-W 합금 또는 Mo-Ta 합금) 혹은 상기 요소의 규화물 막(일반적으로, 텅스텐 규화물 막 또는 티타늄 규화물 막)으로부터 선택된 요소의 막이 사용될 수 있다. 당연히, 상기 막은 단일 층이나 박판 층들 형성에 사용될 수 있다.

이 실시예는 50nm의 두께를 갖는 상기 텅스텐 질화물(WN) 막과 350nm의 두께를 갖는 상기 텅스텐(W) 막의 박판-층 막을 사용한다. 스퍼터링 기체들로서 크세논(Xe), 네온(Ne) 등과 같은 불활성 기체들의 첨가는 압력에 의해 표면이 벗겨지는 것으로부터 상기 막을 보호한다.

여기에서, 상기 전극들(523, 525)은 상기 게이트-절연 막(514)을 거쳐 상기 n-형태 불순물 영역들(520, 521)의 일부분 위에 포개지도록 형성된다. 그 다음에 상기 포개진 부분들은 상기 게이트 전극들 위에 겹쳐진 상기 LDD 영역들이 된다. 상기 게이트 전극들(524a, 524b)은 각 다른 것들과 떨어진 것처럼 보이지만, 사실은 전기적으로 서로 접속되어 있다.

다음 도 7(a)와 관련하여, n-형태 불순물 요소(이 실시예에서는 인)는 상기 게이트 전극들(522에서 525)과 마스크로서의 상기 마스크막(526)을 사용하여 첨가된다. 그러므로 형성된 불순물 영역들(527에서 533)은 상기 n-형태 불순물 영역들(520, 521)의 1/2부터 1/10까지(일반적으로 1/3부터 1/4까지)의 농도에서 인이 첨가된다. 구체적으로 상기 인 농도는 1×10^{16} 에서 5×10^{18} atoms/cm²까지(일반적으로, 3×10^{17} 에서 3×10^{18} atoms/cm²까지)가 바람직하다.

다음 도 7(b)와 관련하여, 레지스트 마스크들(534a부터 534d까지)은 상기 게이트 전극들을 덮도록 형성되고, n-형태 불순물 요소(이 실시예에서는 인)는 높은 농도에서 인을 포함하는 불순물 영역들(535에서 542까지)을 형성하기 위해 첨가된다. 이 경우에 있어서 역시, 인은 인화수소(PH₃)를 사용하는 이온-도핑

방법에 의해 첨가되고, 상기 영역들 내의 상기 인 농도는 1×10^{20} 에서 5×10^{21} atoms/cm²까지(일반적으로, 2×10^{20} 에서 5×10^{20} atoms/cm²까지)로 조절되어진다.

상기 n-채널의 상기 소스 영역이나 상기 드레인 영역은 상기 단계를 통해서 형성되어진다. 그러나 여기에서, 도 7(a)의 상기 단계에서 형성되는 상기 n-형태 불순물 영역들(530에서 532까지)은 상기 스위칭 TFT에 부분적으로 남아있다. 이와 같이 상기 남겨진 영역들은 도 2에서 상기 스위칭 TFT의 상기 LDD 영역들(15a에서 15d까지)에 해당한다.

다음으로 도 7(c)에 보여지는 것과 같이, 상기 포토레지스트(photoresist) 마스크들(534a부터 534c까지)은 제거되고, 새로운 레지스트 마스크(543)가 형성된다. 그 다음에, p-형태 불순물 요소(이 실시예에서 붕소)는 높은 농도에서 붕소를 포함하는 불순물 영역들(544, 545)을 형성하기 위해 첨가된다. 여기에서, 붕소는 3×10^{20} 에서 3×10^{21} atoms/cm²까지(일반적으로, 5×10^{20} 에서 1×10^{21} atoms/cm²까지)의 높은 농도에

서 디보레인(diborane, B_2H_6)을 사용하는 상기 이온-도핑 방법에 의해 첨가된다.

상기 불순물 영역들(544, 545)에서, 인은 1×10^{20} 에서 1×10^{21} atoms/cm²사이의 농도에서 이미 첨가되었다. 그러나 여기에서, 붕소는 적어도 세 배 이상의 농도에서 첨가된다. 그러므로, 앞서 형성되어진 상기 n-형태 불순물 영역들은 모두 상기 p-형태로 반전되고, p-형태 불순물 영역들로서 작동한다.

다음 도 7(d)와 관련하여, 상기 포토레지스트 마스크(543)가 제거되고 나서, 제 1 인터레이어 절연 막(546)이 형성된다. 상기 제 1 인터레이어 절연 막(546)에 있어서, 실리콘을 포함하는 절연 막은 단일 레이어 또는 레이어들이 연합된 박판 레이어들 형성에 사용되어질 수 있다. 상기 막은 400nm부터 1.5 μ m의 두께를 가질 수 있다. 이 실시예에서, 상기 막은 200nm 두께의 실리콘 옥시나이트라이드 막 위에 박판된 800nm 두께의 실리콘 산화물 막을 포함하는 박판-층 구조를 갖는다.

그 후, 그들 각각의 농도들에 첨가된 상기 n-형태와 p-형태 불순물 요소들이 활성화된다. 우선적인 활성화 수단은 상기 전기로 가열 냉각이다. 이 실시예에 있어서, 상기 열 처리는 4시간 동안 550 $^{\circ}$ C에서 질화물 대기에 영향을 미친다.

그리고 나서, 상기 열 처리는 상기 수소 첨가를 위해서 1시간에서 12시간 동안 300 $^{\circ}$ C에서 450 $^{\circ}$ C 사이에서 수소의 3%에서 100%를 포함하는 대기에서 이루어진다. 이 단계는 열로 여자상태에 있는 수로를 갖는 상기 반도체 막의 짝이 없는 결합 면들을 경계짓기 위한 것이다. 수소첨가의 또 다른 수단으로서, 상기 플라스마 수소첨가(플라스마에 의해 여자상태가 된 수소 사용)를 실행할 수 있다.

상기 수소첨가 처리는 제 1 인터레이어 절연 막(546)이 형성되어지는 동안 실행될 수 있다. 그것은 상기 실리콘 옥시나이트라이드 막이 200nm의 두께를 유지하도록 형성된 후에, 상기 수소첨가 처리가 이루어질 수 있으며, 그리고 나서 상기 실리콘 산화물 막은 800nm의 두께를 유지하도록 형성될 수 있다.

다음 도 8(a)와 관련하여, 소스 배선들(547부터 550까지)과 드레인 배선들(551부터 553까지)을 형성하기 위해 상기 제 1 인터레이어 절연 막(546)내에 접촉 홀들이 형성된다. 이 실시예에서, 상기 전극들은 100nm 두께의 Ti 막의 3중-층 구조의 박판-층 막과 300nm 두께의 Ti를 포함하는 알루미늄 막 및 150nm 두께의 Ti 막으로 형성되고, 그것은 스퍼터링에 의해 연속적으로 형성된다.

다음으로, 제 1 패시베이션 막(554)이 50nm에서 500nm의 두께(일반적으로, 200nm에서 300nm)를 유지하도록 형성된다. 이 실시예에서, 300nm 두께의 실리콘 옥시나이트라이드 막은 상기 제 1 패시베이션 막(554)으로서 사용된다. 이것은 실리콘 질화물 막으로 대체될 수 있다.

여기에서, 만약 플라스마 처리가 상기 실리콘 옥시나이트라이드 막 형성에 앞서 수소를 포함하는 H_2 , NH_3 또는 그런 종류의 다른 것을 포함하는 가스를 사용하여 처리된다면, 그것은 효과적이다. 이 선-처리에 의해 들뜬 수소가 상기 제 1 인터레이어 절연 막(546)에 공급되어지고, 상기 제 1 패시베이션 막(554)의 품질은 상기 열 처리에 의해 개선된다. 동시에, 상기 제 1 인터레이어 절연 막(546)에 첨가된 수소가 더 낮은 층으로 확산됨으로서, 상기 활성 층은 효과적으로 수소화된다.

다음 도 8(b)와 관련하여, 유기적 합성수지의 제 2 인터레이어 절연 막(555)이 형성된다. 상기 유기적 합성수지에 있어서, 폴리마이드(polyimide), 아크릴 수지 또는 BCB(benzocyclobutene)이 사용되어질 수 있다. 상기 제 2 인터레이어 절연 막(555)은 상기 TFT로 형성되는 단계를 평평하게 해야하고, 따라서 우수한 평면도를 갖는 아크릴 수지 막을 사용하는 것이 바람직하다. 이 실시예에서, 아크릴 수지 막은 2.5 μ m의 두께를 유지하도록 형성된다.

다음으로, 접촉 홀은 상기 제 2 인터레이어 절연 막(555)과 상기 드레인 배선(554)과 접촉하기 위한 상기 제 1 패시베이션 막(554)에 형성되고, 그로 인하여 픽셀 전극(양극, 556)이 형성된다. 이 실시예에 있어서, 인듐 산화물/주석(ITO) 막은 110nm의 두께를 유지하도록 형성되고 나서, 픽셀 전극을 형성하도록 패터닝되어진다. 거기에 2%에서 20%의 아연 산화물(ZnO)에 인듐 산화물을 섞은 투명한 전기적 전도성 막이 사용될 수 있다. 상기 픽셀 전극은 상기 EL 요소의 양극으로서 사용된다.

다음으로, 실리콘(이 실시예에서 실리콘 산화물 막)을 포함하는 절연 막은 500nm의 두께를 유지하도록 형성되고, 제 3 인터레이어 절연 막(557)을 형성하기 위한 상기 픽셀 전극(556)에 해당하는 위치에 개구부가 형성된다. 상기 개구부 형성에 있어서, 끝이 점점 가늘어지는 면 벽은 상기 습식 에칭 방법으로 쉽게 형성될 수 있다. 상기 개구부의 면 벽이 충분히 부드럽게 경사지지 않았을 때, 상기 EL층은 상기 step으로 인해 현저할 정도로 질이 저하된다.

다음으로, 상기 EL층(558)과 상기 음극(MgAg 전극, 558)은 외부 공기에 노출되지 않는 상기 진공 증발 방법에 의해 연속적으로 형성된다. 상기 EL층(558)은 80nm에서 200nm(일반적으로 100nm에서 120nm)의 두께를 가지며, 상기 음극(559)은 180nm에서 300nm(일반적으로 200nm에서 250nm)의 두께를 갖는다.

이 단계에서, 상기 EL층들과 상기 음극들은 빨간색의 픽셀, 초록색의 픽셀 및 파란색의 픽셀들로 연속적으로 형성된다. 그러나 여기에서, 상기 EL층은 상기 해결법에 대해 불충분한 저항을 가지며, 상기 포토 리소스그래피 기술에 의존하지 않는 상기 칼라들 각각으로 분리되어 형성되어야 한다. 따라서, 상기 금속 마스크를 사용하여 상기 범위들은 상기 요구되는 픽셀들을 제외하고 숨겨지며, 상기 EL층과 상기 음극은 상기 요구되어지는 부분들 상에서만 선택적으로 형성된다.

그것은, 마스크는 상기 빨간색 픽셀을 제외한 모든 범위들을 숨기기 위해 놓여지고, 이 마스크를 사용하여 상기 EL층과 상기 음극은 빨간색의 빛 방출을 위해 선택적으로 형성되어진다. 다음으로 마스크는 상기 초록색 픽셀을 제외한 모든 범위들을 숨기기 위해 놓여지고, 이 마스크를 사용하여 상기 EL층과 상기 음극은 초록색의 빛 방출을 위해 선택적으로 형성되어진다. 다음으로 이와 유사하게, 마스크는 상기 파란색 픽셀을 제외한 모든 범위들을 숨기기 위해 놓여지고, 이 마스크를 사용하여 상기 EL층과 상기 음극은 파란색의 빛 방출을 위해 선택적으로 형성되어진다. 비록 다른 마스크들이 위에 사용된다고 할지라도, 이것은 또한 동일한 마스크 반복적으로 사용하도록 허용할 수 있다. 그것은 상기 EL층과 상기 음극

이 모든 픽셀들 상에 형성되어질 때까지 상기 진공상태를 파손하지 않는 상기 처리를 수행하는 것이 바람직하다.

알려진 물질들은 상기 EL층(558)으로서 사용되어질 수 있다. 상기 알려진 물질의 바람직한 예는 구동 전압을 고려한 유기적인 물질이다. 예를 들어, 상기 EL층은 양극 홀 주입 층, 양극 홀 수송 층, 빛-방출 층 및 전자 주입 층을 포함하는 4-층 구조를 가질 수 있다. 게다가 이 실시예에서, 상기 MgAg 전자는 상기 EL 요소의 음극으로서 사용되어진다. 그러나 알려진 어떠한 다른 물질도 사용될 수 있다.

또 상기 보호 전극(560)으로서, 중요한 구성요소로 알루미늄의 전기적 전도성 막이 사용되어질 수 있다. 상기 보호 전극(560)은 상기 EL층과 상기 음극 형성에 사용된 것과 다른 마스크를 사용한 상기 진공 증발 방법으로 형성될 수 있다. 상기 보호 전극(560)은 상기 EL층과 상기 음극 형성 후에 상기 open air 에 노출됨 없이 연속적으로 형성되는 것이 바람직하다.

마지막으로, 상기 제 2 패시베이션 막(561)은 300nm의 두께를 유지하도록 형성되는 상기 실리콘 질화물 막이다. 실질적으로, 상기 보호 전극(560)은 상기 물로부터 상기 EL층 보호의 역할을 수행한다. 상기 제 2 패시베이션 막(561)이 형성으로 상기 EL 요소의 신뢰성이 더 높아질 수 있다.

따라서, 도 8(c)에서 보여지는 구조의 상기 활성 매트릭스-형태 EL 디스플레이 장치가 완성된다. 실질적으로, 도 8(c)까지 완성된 후에, 고도로 공기가 차단된 보호 막(박판 막, 자외선 치료되는 수지 막 등) 또는 세라믹 밀폐 용기와 같은 하우징 요소를 갖는 상기 장치를 포장하는 것이 바람직하다. 이 경우에 있어서, 상기 하우징 요소의 내부는 불활성 대기로 채워져 있다. 혹은, 흡습성 물질(예, 바륨 산화물)은 상기 EL층의 신뢰도(수명)를 향상시키기 위해 상기 내부에 배치된다.

상기 공기-차단이 패키징과 같은 상기 처리로 강화된 후에 커넥터(유연한 프린트 회로 : FPC)가 상기 기판 위에 형성된 상기 요소들을 접속하거나 상기 회로에서 상기 외부 신호 단자들로 연결되는 단자들을 접속하도록 부착됨으로써, 완성된 제품이 얻어진다. 상기 EL 디스플레이 장치는 이 명세에서 EL 모듈이라고 하는 선적 준비 상태까지 완료된다.

이 실시예의 상기 활성 매트릭스 형태 EL 디스플레이 장치의 구성이 도 11의 원근도를 참고로 하여 지금 설명되어질 것이다. 이 실시예의 상기 활성 매트릭스-형태 EL 디스플레이 장치는 유리 기판(601) 위에 형성된 픽셀 유닛(602)과 게이트-면 구동 회로(603) 및 소스-면 구동회로로 구성되어 있다. 상기 픽셀 유닛 내의 스위칭 TFT(605)는 n-채널 TFT로서, 상기 게이트-면 구동 회로(603)에 접속되는 게이트 배선(606)과 상기 소스-면 구동 회로(604)에 접속되는 소스 배선(607)의 교차점에 배치된다. 상기 스위칭 TFT(605)의 드레인은 전류 제어 TFT(608)의 게이트에 접속된다.

상기 전류 제어 TFT(608)의 소스는 전류 급전선(609)에 접속되고, 상기 전류 제어(608)의 드레인은 저항(610)을 거쳐 EL 요소(611)에 접속된다. 선결된 전압은 상기 EL 요소의 음극에 적용된다.

FPC(612)는 상기 구동 회로들로 신호들을 전송하는 입력 배선들(접속 배선들, 613, 614)과 상기 전류 급전선(609)에 접속되는 입력 배선(615)을 가지고 있는 외부 입력 단자들로서 사용되어진다.

상기 하우징 요소를 포함한 이 실시예의 EL 모듈이 도 12(a)와 도 12(b)를 참고로 하여 지금 설명될 것이다. 필수적으로, 도 11에 사용된 참조 번호들이 인용될 것이다.

기판(1200)위에 픽셀 유닛(1201)과 데이터 신호측 구동회로(1202) 및 게이트 신호측 구동회로(1203)가 형성된다. 상기 구동회로들로부터의 상기 배선들은 입력 배선들(613부터 615까지)을 통해 FPC(612)에 도달하고 외부 유닛에 접속된다.

이러한 경우에 있어서, 상기 하우징 요소(1204)는 적어도 상기 픽셀 유닛을 둘러싸기 위해 제공되어지며, 오히려 구동회로들과 상기 픽셀 유닛을 둘러싼다. 상기 하우징 요소(1204)는 상기 EL 요소의 외부 크기보다 내부 크기가 더 큰 오목한 부분을 갖는 모양이거나 얇은 판 모양이며, 상기 기판(1200)과 함께 봉합된 영역을 형성하도록 접착제(1205)에 의해 상기 기판(1200)에 고착된다. 이러한 경우에 있어서, 상기 EL 요소는 상기 봉합된 영역에 완전하게 봉합되고, 상기 외부 공기로부터 완전하게 차단된다. 상기 하우징 요소들(1204)은 복수의 수로 제공될 수 있다.

상기 하우징 요소(1204)의 물질은 유리 중합체나 그런 종류의 다른 것과 같은 절연 물질인 것이 바람직하다. 비결정질 유리(붕규산 유리, 석영), 결정질의 유리, 세라믹 유리, 유기적인 합성수지(아크릴 합성수지, 스티렌 합성수지, 폴리티탄산에스테르 합성수지 또는 에폭시 합성수지) 또는 실리콘 합성수지가 예가 될 수 있다. 접착제(1205)가 절연 물질일 때 스테인레스 강철 합금과 같은 금속 물질이 더 사용될 수 있다.

게다가, 상기 접착제(1205)의 물질은 에폭시 합성수지나 아크릴 합성수지일 수 있다. 접착제로서 열경화성 합성수지나 포토-큐어링(photo-curing) 합성수지 사용을 더 허용할 수 있다. 그러나 가능한 한 멀리, 상기 물질이 물을 통과하는 것을 허용하지 말아야 한다.

상기 하우징 요소와 상기 기판(1200) 사이의 틈(1206)이 불활성 가스(아르곤, 헬륨, 네온 또는 질소)로 채워져 있는 것이 더 바람직하다. 더욱이 가스들로 제한되지 않으므로, 불활성 액체(퍼플루오알케인(perfluoroalkane)으로 표현되는 것과 같은 플루오르와 화합된 탄소 액체 등)가 사용될 수 있다. 상기 불활성 액체에 관해서, 일본 공개 공보 제 78519-1996호에 사용되어진 물질들이 사용될 수 있다.

만약 건조 작용제가 영역(1206)에 제공되어지면 또한 효과적이다. 상기 건조 작용제는 일본 공개 공보 제 148066-1997호에 나타나있는 물질일 수 있다. 일반적으로 바륨이 사용될 수 있다.

또, 도 12(b)에 보여지는 것처럼, 상기 픽셀 유닛은 독립적인 EL 요소를 갖는 복수의 픽셀들 각각과 공통의 전극으로써 상기 보호 전극(1207)을 갖는 모든 상기 픽셀들을 갖는다. 이 실시예에 있어서, 상기 외부 공기에 노출됨 없이 상기 EL층과, 음극(MgAg 전극) 및 보호 전극을 연속적으로 형성하는 것이 바람

직하다. 그러나 여기에서, 만약 상기 EL층과 상기 음극이 동일한 마스크 물질을 사용하여 형성되고 상기 보호 전극만 다른 마스크 물질을 사용하여 형성되어 진다면, 도 12(b)의 구조는 실현될 수 있다.

여기에서, 상기 EL층과 상기 음극은 상기 픽셀 유닛 상에만 제공될 수 있지만, 상기 구동회로들 상에 제공될 필요는 없다. 물론 상기 구동회로들 상에 제공하는 것을 허용한다. 그러나 알칼리 금속들이 상기 EL층에 포함되는 사실을 고려하여 상기 구동 회로들 상에 상기 EL층과 상기 음극이 공급되는 것은 더 좋지 않다.

상기 보호 전극(1207)은 1208에 의해 표시되는 영역 상의 상기 픽셀 전극으로서 동일한 물질로 만들어진 상기 접속 배선(1209)을 통해 입력 배선(1210)에 접속된다. 상기 입력 배선(1210)은 상기 보호전극(1207)에 선결된 전압(이 예에서 접지전위 또는 0 V) 적용을 위한 전류 급전선이며, 전기적 전도성 페이스트 물질(1211)을 통해 상기 FPC(611)에 접속된다.

상기 영역(1208)에서 상기 접속 구조를 실현하기 위한 제조 단계들을 도 13을 참조하여 지금 설명될 것이다.

첫 번째로, 도 8(a)의 상태는 상기 예의 단계들에 의해 얻어진다. 여기서, 상기 제 1 인터레이어 절연막(544)과 상기 게이트 절연막(514)은 상기 기판(도 12(b)에서 1208로 표시된 영역)의 끝에서 제거되고, 당연히 입력 배선(1210)은 도 8(a)의 상기 소스 배선과 입력 배선의 형성과 동시에 그 위에 형성된다(도 13(a)).

다음 도 8(b)와 관련하여, 1301로 표시된 영역이 제거되고, 개구부(1302)는 상기 제 2 인터레이어 절연막(553)과 상기 제 1 패시베이션 막(552)의 에칭과 동시에 형성된다. 접속 배선(1209)은 상기 개구부(1302)를 덮도록 형성된다. 당연히 상기 접속 배선(1209)은 도 8(b)에서 상기 픽셀 전극(554)와 동시에 형성된다(도 13(b)).

이 상태에 있어서, 상기 EL 요소는 상기 픽셀 유닛에 형성된다(제 3 인터레이어 절연막, EL층, 음극의 형성). 여기에서, 상기 제 3 인터레이어 절연막과 상기 EL 요소는 마스크나 그런 종류의 다른 것을 사용하여 도 13에 보여지는 상기 영역 위에 형성되지 않는다. 음극(557)이 형성된 후에 보호 전극(558)은 다른 마스크를 사용하여 형성된다. 따라서, 상기 보호 전극(558)과 상기 입력 배선(1210)은 상기 접속 배선(1209)을 통해 전기적으로 접속된다.

상기 언급된 단계들에 의해, 도 12(b)의 1208로 표시된 상기 영역의 접속 구조가 실현된다. 상기 입력 배선(1210)은 상기 하우징 요소(1204)와 상기 기판(1200) 사이의 틈(상기 입력 배선 단을 평평하게 할 수 있을 정도로 큰 두께를 가져야 하는 접착제(1205)로 채워진 틈)를 통해 상기 FPC(611)에 접속된다. 비록 입력 배선(1210)이 여기에서 설명된다 하더라도, 다른 입력 배선들(612부터 614까지) 역시 동일한 방법으로 상기 하우징 요소(1204) 아래로 통과하는 상기 FPC(611)에 접속된다.

실시예 2

이 예는 도 1(b)에 보여지는 구성과는 다른 것으로 도 14에 보여지는 것과 같이 상기 픽셀의 구성을 다룬다.

이 예에서, 도 1(b)에 보여지는 두 픽셀들은 접지 전위를 적용하는 상기 전류 급전선(111)에 대해 대칭적으로 배치되어 있다. 도 14에 보여지는 것과 같이, 상기 전류 급전선(111)은 상기 배선들의 수를 감소하기 위해 두 개의 인접한 픽셀들에 의해 공동으로 사용된다. 상기 픽셀들에 배치된 상기 TFT들의 구조에는 변화가 없다.

이 구성은 더 우수한 픽셀 유닛 제조와 상기 화상 품질 향상을 가능하도록 한다.

게다가, 상기 전류 급전선(111)을 공동으로 사용하여, 상기 전류 급전선(111)은 그 폭에서 증가된 여백을 얻는다. 즉, 상기 전류 급전선(111)의 폭은 상기 화상의 밝기 감소 없이 증가될 수 있다. 이것은 상기 전류 급전선(111)의 전압 강하 및 상기 전류 급전선(111)을 통해 공급되는 상기 전압이 상기 픽셀의 위치에 의존해 변하는 것의 방해로 인한 상기 효과를 감소시킨다.

이 실시예의 구성은 실시예 1의 제조 단계들에 의해 쉽게 실현될 수 있다.

실시예 3

이 예는 도 15를 참조하여 도 1과 다른 구조의 픽셀 유닛을 형성하는 경우를 다룬다. 상기 제 2 인터레이어 절연막(48) 형성 단계 위의 단계들은 실시예 1의 단계들을 따른다. 상기 제 2 인터레이어 절연막(48)으로 덮여진 상기 스위칭 TFT(201)과 상기 전류 제어 TFT(202)는 도 1과 같은 구성을 가지며, 여기서는 설명되지 않는다.

이 실시예에 있어서, 상기 접속 홀들이 상기 제 2 인터레이어 절연막(48)과 상기 제 1 패시베이션막(47)에 형성된 후에 픽셀 전극(61)이 형성된다. 이 실시예에 있어서, 알루미늄 합금 막(티타늄 무게의 1%를 포함하는 알루미늄 막)은 상기 픽셀 전극(61)으로서 200nm의 두께를 유지하도록 형성된다. 어떠한 금속 물질도 상기 픽셀 전극으로서 사용될 수 있지만, 상기 픽셀 전극은 높은 반사 계수를 갖는 것이 바람직하다.

그 다음에, 제 3 인터레이어 절연막(62)은 실리콘 산화물 막으로서 300nm의 두께를 유지하도록 형성되고, 뒤이어 음극(63)으로서 230nm의 두께를 갖는 MgAg 전극의 형성이 이루어지며 그 다음으로 더 낮은 면에서 EL층(64)으로서 20nm 두께의 전극 수송 층, 40nm 두께의 빛-방출 층 및 30nm 두께의 양극 홀 수송 층 형성이 이루어진다. 여기에서, 상기 EL층(64)은 상기 음극(63)보다 약간 더 큰 패턴을 갖도록 형성되어야 한다. 이것은 상기 음극(63)이 다음에 형성될 양극(65)에 단락되지 못하도록 한다.

여기서, 상기 음극(63)과 상기 EL층(64)은 상기 외부 공기에 노출되지 않은 다중-공간 형태(또한 클러스터 도구 시스템이라 함)의 진공 증발 건조 기계를 사용하여 연속적으로 형성된다. 먼저, 상기 음극(63)

이 제 1 마스크를 사용하여 모든 픽셀들 위에 형성되고 나서, 빨간빛을 방출하는 상기 EL층이 제 2 마스크를 사용하여 형성된다. 그 다음으로, 초록빛을 방출하는 상기 EL층과 파란빛을 방출하는 상기 EL층은 상기 제 2 마스크가 정확하게 이동하는 동안 연속적으로 형성된다.

RGB에 해당하는 상기 픽셀들이 줄무늬처럼 배열될 때, 상기 제 2 마스크는 위에 설명된 방법으로 간단하게 이동할 수 있다. 그러나, 델타 정렬이라는 정렬방법의 상기 픽셀 구조를 실현하기 위해서, 제 3 마스크는 초록빛을 방출하기 위한 상기 EL층으로 사용될 수 있고, 제 4 마스크는 파란빛을 방출하기 위한 상기 EL층으로 사용될 수 있다.

상기 EL층(64)까지 형성된 후에, 투명한 전기적 전도성 막(이 실시예에서 아연 산화물 무게의 10%를 포함하는 ITO 막인 얇은 막)이 110nm의 두께를 유지하도록 형성된다. 따라서, 상기 EL 요소가 형성되고, 실시예 1에 설명된 상기 물질을 사용하는 제 2 패시베이션 막(66)이 형성된다면 도 15에 보여지는 구조를 갖는 픽셀이 완성된다.

이 실시예의 구조에서, 상기 픽셀들에 의해 형성되는 빨간빛, 초록빛, 파란빛은 TFT들이 형성되어진 상기 기판 위의 반대쪽에서 방출된다. 따라서, 상기 픽셀에서 거의 모든 영역들, 즉 상기 TFT가 형성된 상기 영역은 유효한 빛-방출 영역으로서 사용될 수 있다. 결과적으로, 상기 픽셀은 화상의 밝기와 대조비율(명-암 비율) 증가에 기여한 크게 증가된 유효 빛-방출 영역을 갖는다.

이 실시예의 구성은 실시예 1 또는 실시예 2 구성들의 어떠한 것과도 자유롭게 결합될 수 있다.

실시예 4

이 실시예는 실시예 1에 따라 제조되는 상기 활성 매트릭스-형태 EL 디스플레이 장치에서 상기 픽셀의 구조를 다룬다. 본 설명은 도 1, 도 2와 동일한 참조 번호들로 표시되는 도 1, 도 2에 해당하는 상기 부분들이 있는 도 16에 관하여 설명한다.

도 16에 있어서, 참조번호(201)는 소스 영역(13), 드레인 영역(14) 및 게이트 배선(106, 또한 게이트 전극으로서 사용됨)을 포함하는 스위칭 TFT를 나타낸다. 또, 참조번호(202)는 소스 영역(26), 드레인 영역(27) 및 게이트 전극(30)을 포함하는 전류 제어 TFT를 나타낸다. 또한 상기 전류 제어 TFT(202)의 드레인인 저항기(33, 도 16에서 상기 마스크 막(55) 아래에 있는 반도체 층), 접촉 영역(34) 및 드레인 배선(32)을 통해 상기 픽셀 전극(49)에 전기적으로 접속된다. 점선들(51, 52)은 상기 EL층(51)과 상기 음극(52)이 형성된 위치들을 나타내고, 상기 EL 요소(203)는 상기 픽셀 전극(49), EL층(51) 및 음극(52)로 형성된다.

여기서, 상기 스위칭 TFT의 드레인 배선(22)은 접촉영역(1601)을 통해 상기 전류 제어 TFT(202)의 상기 게이트 전극(30)에 전기적으로 접속된다. 또, 상기 게이트 전극(30)은 상기 전류 제어 TFT(202)의 소스 배선(31) 위에 겹쳐진 부분에서 용량 보유(113)를 형성한다. 상기 소스 배선(31)은 상기 전류 급전선(111)에 전기적으로 접속된다.

이 실시예에서, 도 16에 보여지는 상기 픽셀 구조는 본 발명에 전혀 제한되는 것이 아니라 우선적인 예를 간단하게 나타낸다. 상기 스위칭 TFT, 전류 제어 TFT 및 용량 보유가 형성되어질 위치들은 디자이너에 의해 적절하게 선택될 수 있다. 이 실시예는 실시예 1부터 3까지의 어떠한 구성도 자유롭게 결합될 수 있다.

실시예 5

이 실시예는 실시예 4의 구조와는 다른 상기 활성 매트릭스-형태 EL 디스플레이 장치에서 픽셀 구조를 다룬다. 구체적으로 도 16은 픽셀 구조를 도시하고 도 17은 도 16에서 상기 게이트 배선의 물질만 다른 픽셀 구조를 도시한다. 도 17의 구성은 상기 게이트 배선 구성을 제외하고 도 16과 동일하며, 여기서는 자세하게 설명되지 않는다.

도 17에서, 참조 번호들(71a, 71b)은 텅스텐 질화물 막의 박판 막과 실시예 1의 게이트 전극과 같은 텅스텐 막으로 형성되는 게이트 전극들을 나타낸다. 상기 게이트 전극들은 도 17에 보여지는 것처럼 독립적인 패턴들 또는 전기적으로 서로 접속된 패턴들을 가질 수 있다. 상기 게이트 전극들은 그것들이 형성될 때 한순간 전기적으로 흔들릴 수 있다. 상기 게이트 전극들(71a, 71b)과 같이, 탄탈 질화물 막과 탄탈 막의 박판 막 또는 몰리브덴과 텅스텐의 합금 막과 같은 그 밖의 전기적 전도성 막이 사용될 수 있다. 그러나, 상기 막이 3 μ m(2 μ m보다 넓지 않은 것이 더 바람직함) 보다 더 넓지 않은 폭의 얇은 선들을 형성하도록 우수하게 만들어 질 수 있는 것이 바람직하다. 또한 상기 막은 상기 게이트 절연 막에서 상기 활성 층에 침윤시키기 위해 방산 할 수 있는 요소를 포함하지 않는 것이 더 바람직하다.

반면에 상기 게이트 배선(72)과 같이, 상기 게이트 전극들(71a, 71b)의 저항보다 더 작은 저항을 갖는 전기적 전도성 막이 사용되며, 일반적으로 중요한 구성요소로서 알루미늄을 포함하는 합금 막이나 중요한 구성요소로서 구리를 포함하는 합금 막이 사용된다. 상기 게이트 배선(72)은 조금도 특별하고 우수한 가동성을 필요로 하지 않는다. 게다가, 그것은 상기 활성 층 위에 겹쳐지지 않을 것이기 때문에, 비록 상기 절연 막으로 쉽게 확산할 수 있는 알루미늄이나 구리를 포함하더라도 아무런 문제가 발생하지 않는다.

이 실시예의 구조를 실현하기 위해, 실시예 1의 도 7(d)의 단계에서 상기 제 1 인터레이어 절연 막(544) 형성에 앞서 활성화 단계가 실행될 수 있다. 이러한 경우에 있어서, 열 처리는 상기 게이트 전극들(71a, 71b)이 노출되는 상태가 초래된다. 상기 열 처리는 충분히 불활성 된 대기 또는 산소 농도가 1ppm보다 크지 않은 불활성 대기에 영향을 받을 수 있으며, 상기 게이트 전극들(71a, 71b)은 산화되지 않는다. 상기 저항은 산화작용으로 증가하지 않으며, 상기 게이트 전극들은 이동하기 어려운 절연 막(산화물 막)으로 덮여있지 않다.

활성화 단계가 완료된 후에, 중요한 구성요소로서 알루미늄의 전기적 전도성 막이나 구리가 형성되고,

게이트 배선(72)이 패터닝에 의해 형성된다. 현재, 상기 게이트 전극들(71a, 71b)이 상기 게이트 전극(72)에 접촉하게 되고, 상기 게이트 전극들(71a, 71b)에 적용되는 선결된 게이트 전압을 허가하는 부분들에서 적당한 저항의 접촉이 유지된다.

이 실시예의 구성은 상기 화상 디스플레이 영역이 확장된 영역을 가질 때 특별히 효과적이다. 그 이유는 아래에 설명될 것이다.

본 발명의 EL 디스플레이 장치에 있어서, 복수의 부-프레임들로 나누어져 구동될 수 있으며, 상기 픽셀 유닛을 구동하는 상기 구동회로들은 큰 부하를 견딜 수 있어야 한다. 상기 부하를 감소하기 위해, 상기 픽셀을 가지고 있는 상기 부하들(배선 저항, 와류 용량, TFT의 쓰기 용량 등)이 가능한 한 많이 감소되어야 한다.

매우 높은 동작 성능을 갖는 TFT가 폴리실리콘 막을 사용하여 실현될 수 있기 때문에 TFT의 상기 쓰기 용량은 큰 문제가 아니다. 상기 용량은 상기 데이터 배선이나 상기 게이트 배선에서 와류이고, 상기 배선들 상에 형성된 상기 EL 요소의 음극(또는 보호 전극)에 대응하여 대부분 형성된다. 그러나 1.5 μm 에서 2.5 μm 사이의 두께를 유지하는 상기 제 2 인터레이어 절연 막으로서 작고 뚜렷한 유도성을 갖는 유기적인 합성수지 막 형성에 의해 상기 와류 용량은 거의 무시할 수 있을 정도로 감소될 수 있다.

따라서, 본 발명을 넓은 영역의 픽셀 유닛을 갖는 상기 EL 디스플레이 장치에 적용함에 있어서 가장 심각한 방해물이 되는 것은 상기 데이터 배선들과 상기 게이트 배선들 내의 상기 배선 저항이다. 물론 이것은 상기 데이터 신호측 구동 회로를 병렬로 정렬된 다수의 구역들로 나누거나, 또는 상기 데이터 신호측 구동 회로와 상기 게이트 신호측 구동 회로 사이에 끼워져 있는 픽셀 유닛과 상기 구동회로들의 동작 빈도를 충분히 감소시키기 위해서 양방향으로부터 오는 신호들을 제공하기 위해 허용될 수 있다. 그러나 이 경우에 있어서, 상기 구동 회로들이 확장된 영역들을 점유하는 또 다른 문제가 발생한다.

따라서, 이 실시예의 구조에 의존하는 상기 게이트 배선들의 배선 저항을 최소화하는 것이 본 발명을 실행하는데 효과적이다. 이 실시예에 있어서, 도 17에 보여지는 상기 픽셀 구조는 결코 본 발명에 제한되지 않지만, 우선되는 예를 간단하게 나타낸다. 게다가, 이 실시예는 실시예 1부터 3까지의 어떠한 구성들도 자유롭게 결합하여 실행할 수 있다.

실시예 6

매우 높은 속도에서 동작하는 데이터 신호측 구동 회로는 한 프레임을 n개의 부-프레임들로 나누기 위한 상기 시-분할 그라데이션 실행이 필요하다. 그것은 매우 높은 속도(높은 응답 속도)에서 동작하는 TFT를 사용하는 것이 바람직하다. 이 실시예에 있어서, 효과는 매우 높은 속도에서 동작하는 TFT들 제조에 매우 적합한 실리콘 막의 활성 층으로서 만들어지는 것이다..

특수한 결정체 구조를 갖는 실리콘 막(예 1에서 폴리실리콘 막)은 실시예 1에 따라 도 5(e) 단계까지의 상기 단계들을 실시함으로써 얻어진다. 이 실리콘 막에 있어서, 상기 결정체 그레인 경계들은 고도로 연속적이고, 결정체들의 방향들은 반듯하게 이루어져 있다. 상기 TFT들에 대한 활성 층으로서 이 실리콘 막을 사용함으로써 매우 높은 속도에서 동작하는 TFT들이 얻어질 수 있다. 아래에 설명된 것은 본 실시예에서 사용하기 위해 만들어진 상기 실리콘 막 관찰의 결과들이다.

만일 현미경으로 본다면, 이 실시예에 사용된 상기 실리콘 막은 다수의 바늘 같은 또는 막대 같은 수정들(하기에서 막대 같은 수정으로 함)의 결정체 구조를 갖는다. 이것은 TEM(전도-형태 전자 현미경 방법)으로 쉽게 관찰될 수 있다.

게다가, 이 실시예에서 사용된 1.35 μm 직경의 반점을 갖는 실리콘 막의 전자-광선 회절 이미지의 정밀한 관찰은 얼마간의 파동을 포함한다고 할지라도 플레인(plane) {110}에 해당하는 명백한 회절 반점들을 나타내고, 결정학상의 축에 얼마간의 편향을 포함한다 할지라도 중요한 방위 면은 플레인 {110}을 갖는다.

도 19(a)는 상기 예에서 사용된 상기 실리콘 막이 1.35 μm 반점 직경의 전자 광선으로 밝게 빛날 때의 전자-광선 회절 이미지의 사진이고, 도 19(b)는 전통적인 폴리실리콘 막이 동일한 조건 아래에서 전자 광선으로 밝게 빛날 때의 전자-광선 회절 이미지의 사진이다. 이들 사진들에 있어서, 중심 부분들은 전자 광선으로 밝게 빛을 내는 위치들(전자광선으로 밝게 빛을 내는 점들)이다.

도 19(a)는 상기 플레인 {110}에 해당하는 상대적으로 밝은 회절 반점들을 보여주며, 그에 반하여 도 19(b)의 성광은 상기 방위 면이 불규칙적인 것을 나타내는 불규칙적 반점들을 보여준다. 상기 전자-광선 회절 사진들은 상기 전통적인 반도체 막을 넘어서 이 실시예에 사용된 상기 반도체 막을 쉽게 구별하도록 도와준다.

도 19(a)의 상기 전자-광선 회절 이미지에 있어서, 상기 플레인 {110}에 해당하는 상기 회절 반점들의 외관은 {110} 방위의 단일 결정체 실리콘 웨이퍼의 전자-광선 회절 이미지와 비교하여 명백하게 알 수 있다. 게다가, 상기 단일 결정체 실리콘 웨이퍼의 회절 반점들이 날카로운 점들로 나타나는 반면에, 이 실시예에 사용된 상기 실리콘 막의 상기 회절 반점들은 중심인 동심원을 따라 상기 전자 광선의 발광 점으로 확장된다.

이것은 본 실시예에 사용된 상기 실리콘 막의 특징이다. 상기 개별적인 결정체 입자들은 상기 플레인 {110} 상에 방향이 맞추어 진다. 따라서 만일 어텐션이 단일 결정체 입자에 주어진다면, 회절 반점이 단일 결정체 실리콘과 유사하게 얻어질 수 있는 것을 기대할 수 있다. 그러나 실질적으로, 다수의 결정체 입자들은 서로 모여 존재하는 것이다. 따라서, 상기 개별적인 결정체 입자들이 상기 플레인 {110} 상에 방향이 맞추어져 있다 하더라도, 상기 입자들은 그들의 결정학상의 축 주위에서 가볍게 회전하고, 상기 결정체 입자들에 해당하는 회절의 점들은 동심원 상에 다수의 수로 나타난다. 그것들은 하나 위에 다른 하나가 겹쳐지고, 확장된 것처럼 나타난다.

그러나, 상기 개별적인 결정체 입자들은 나중에 기술될 것처럼 아주 잘 조화되는 결정체 그레인 경계들

을 형성하고, 상기 결정체를 손상시키지 않는 상기 결정학상의 축 주위에서 가볍게 회전한다. 따라서, 본 발명에 사용된 상기 실리콘 막의 상기 전자-광선 회절 이미지가 {110} 방위의 단일 결정체 실리콘 웨이퍼의 전자-광선 회절 이미지와 다른 점을 실질적으로 갖지 않는다고 말할 수 있다.

앞서 말한 것으로부터, 이 실시예의 TFT들에 대한 활성 층으로서 사용되는 상기 실리콘 막은 상기 방위 {110}에 해당하는 전자-광선 회절 이미지를 보여주는 것이라고 말할 수 있다.

다음으로, 아래에 설명된 것은 본 발명에 사용된 상기 실리콘 막의 결정체 그레인 경계들이다. 비록 그것들이 쉬운 설명으로서 결정체 그레인 경계들이라고 하더라도, 결정체 그레인 경계들은 그것들로부터 만들어진(그것들로부터 갈라진) 상기 결정체 입자들과 다른 결정체 입자들 사이의 경계면들로 고려되어야 한다. 어느 한쪽의 경우에 있어서, 이 명세에서 그것들은 위의 경계면을 포함하여 결정체 그레인 경계들이라고 한다.

본 출원은 HR-TEM(고해상도 전도 형태 전자 현미경 방법)에 의해 다른 것에 접촉하는 상기 개별적 막대 같은 수정들로 형성되는 상기 결정체 그레인 경계들을 관찰했으며, 상기 결정체 그레인 경계들 상의 상기 결정체 격자무늬에서 연속성을 확인했다. 이것은 관찰된 상기 격자 줄무늬들이 결정체 그레인 경계들 상에 연속적이라는 사실에서 쉽게 확인될 수 있다.

상기 결정체 그레인 경계들 상의 상기 석영 격자무늬의 연속성은 '평면 그레인 경계들'이라고 하는 상기 결정체 그레인 경계들에서 생겼다. 이 명세에서 사용되는 상기 평면 그레인 경계들의 정의는 'Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics, Vol.27, No. 5, pp.751-758, 1988'에 나타나 있다.

상기 이론에 따르면, 상기 평면 그레인 경계는 한 쌍의 그레인 경계, 특수한 박판 층 결점, 특수한 꼬인 그레인 경계 등을 포함한다. 상기 평면 그레인 경계는 전기적으로 불활성이며, 이것은 특징이 된다. 그것은 결정체 그레인 경계임에도 불구하고, 상기 평면 그레인 경계가 캐리어들의 이동을 막는 트랩으로서 작동하지 않고, 정말로 존재하지 않는다고 간주할 수 있는 것이다.

특히, 상기 결정학상의 축(상기 수정 플레인에 직각인 축)이 축 <110>일 때, 상기 한 쌍의 그레인 경계 {211}과 상기 꼬인 그레인 경계 {111}은 $\Sigma 3$ 의 상응 그레인 경계들이라고 한다. 상기 $\Sigma 3$ 의 값은 상기 상응 그레인 경계들의 정합 정도를 나타내는 표시의 매개변수이다. 그것은 상기 값 $\Sigma 3$ 보다 더 작은 것으로 알려져 있고, 상기 그레인 경계들의 더 나은 정합이다.

TEM에 의해 본 발명에 사용된 실리콘 막 관찰의 결과로서, 대부분의 상기 결정체 그레인 경계들은 $\Sigma 3$ 의 상응 그레인 경계들이라는 것을 알게 됐다. 이것은 두 개의 결정체 입자들 사이에 형성되는 상기 결정체 그레인 경계에서 상기 두 개의 결정체 입자들의 상기 플레인 방위각이 {110}일 때와 플레인 {110}에 해당하는 격자 줄무늬로 대응되는 상기 각이 θ 일 때의 사실로 판단될 수 있으며, 그리고 나서 $\theta=70.5^\circ$ 일 때 $\Sigma 3$ 의 상기 상응 그레인 경계가 나타난다.

$\theta=38.9^\circ$ 일 때, 상기 상응 그레인 경계는 $\Sigma 9$ 가 된다. 그와 같은 다른 결정체 그레인 경계들이 또한 존재한다.

그런 상응 그레인 경계들은 동일한 플레인 방위각의 결정체 그레인들 사이에서만 형성된다. 그것은, 본 발명에 사용된 실리콘 막은 대략 {110}에 가깝게 방향지어진 플레인 방위각들을 가지며, 상기 상응 그레인 경계들은 넓은 범위에 걸쳐 형성되는 것이라고 할 수 있다.

그러한 결정체 구조(정확히 말해서, 상기 결정체 그레인 경계의 구조)는 상기 결정체 그레인 경계 상에서 함께 매우 좋은 정합으로 연합된 두 개의 다른 결정체 입자들을 나타낸다. 그것은, 상기 수정 격자들은 상기 결정체 그레인 경계에서 연속적이고, 수정 결점으로 인한 트랩 레벨이 확립되는 것은 아주 가망이 없음을 말한다. 따라서 상기 결정체 그레인 경계는 그러한 수정 구조를 갖는 얇은 반도체 막에 실질적으로는 존재하지 않는다.

또, 본 발명에 사용된 상기 실리콘 막 형성 단계에서 700°C 부터 1150°C 에서의 상기 열 처리 효과에 있어서, 거의 모두 소멸된 결정체 입자들에 있는 결점들(박판 층들에서의 결점들 등)의 TEM 관찰을 통해서 확인되었다. 이것은 상기 결점들의 수가 상기 열처리 단계 전후로 크게 감소한다는 사실로부터 명백하다.

상기 결점들의 수의 차이는 상기 전자 회전 공진(ESR) 분석을 통해 상기 회전 밀도에서의 차이로서 나타난다. 오늘날, 본 발명에 사용된 상기 실리콘 막의 상기 회전 밀도는 적어도 5×10^{17} spins/cm²(바람직한 것은 3×10^{17} spins/cm² 보다 크지 않은 값) 보다 더 크지 않다는 것을 알게됐다. 그러나, 상기 측정된 값은 현행 측정 기구로 탐지한 한계에 가깝고, 상기 실제 회전 밀도는 훨씬 적을 것으로 예상된다.

본 발명에 사용된 상기 실리콘 막의 좀더 자세한 설명에 있어서, 참고문은 본 출원자에 의해 정리된 일본 특허 응용들 제 044659/1998호, 제 152316/1998호, 제 152308/1998호 및 제 152305/1998호로 할 수 있다.

또, 활성 층으로서 본 발명에 사용된 상기 실리콘 막을 사용함으로써 제조된 상기 TFT는 MOSFET의 특징들과 공통점이 있는 전기적 특징들을 나타낸다. 다음 데이터는 본 출원자에 의해 제조된 상기 TFT(활성 층의 두께가 30nm이고, 게이트 절연 막의 두께가 100nm)로부터 얻어진다.

(1) 상기 스위칭 성능(온/오프 동작 변경의 신속성)의 지표인 부-임계치 계수는 상기 n-채널 TFT와 상기 p-채널 TFT 모두에서 60mV/decade에서 100mV/decade까지(일반적으로, 60mV/decade에서 85mV/decade까지)와 같은 정도로 작다.

(2) 상기 TFT의 동작 속도의 지표인 상기 전계이동성(μ_{FE})은 상기 n-채널 TFT에서는 200cm²/Vs에서

300cm²/Vs까지(일반적으로, 300cm²/Vs에서 500cm²/Vs까지)와 같은 정도로 크고, 상기 p-채널 TFT에서는 100 cm²/Vs에서 300cm²/Vs까지(일반적으로, 150cm²/Vs에서 200cm²/Vs까지)와 같은 정도로 크다.

(3) 상기 TFT 동작 전압의 지표인 상기 임계 전압(V_{th})은 상기 n-채널 TFT에서 -0.5V에서 1.5V까지, 상기 p-채널 TFT에서 -1.5V에서 0.5V까지와 같은 정도로 작다.

위에 기술된 것과 같이, 아주 훌륭한 스위칭 특징들과 높은 속도의 동작 특징들이 실현될 수 있는 것이 확인됐다. 또, 상기 TFT들을 사용하여 제조된 링 오실레이터(ring oscillator)에 있어서, 약 1MHz의 최대 진동 주파수가 달성될 수 있다. 제조된 상기 링 오실레이터는 다음과 같이 구성되어진다.

단계의 수 : 9 단계

TFT 게이트 절연 막들의 두께 : 30nm 및 50nm

TFT의 게이트 길이(채널 길이) : 0.6μm

게다가, 상기 동작 주파수를 확인하기 위해 시프트 저항기가 제조된다. 결과적으로, 30nm 두께의 게이트 절연 막 0.6μm의 게이트 길이, 5V의 파워-소스 전압 및 50개의 단계를 갖는 시프트 저항기로 100MHz의 동작 출력 펄스들이 얻어질 수 있다.

상기 링 오실레이터와 상기 시프트 레지스터의 놀라운 데이터는 활성 층으로서 본 발명의 실리콘 막을 갖는 상기 TFT가 단일 결정체 실리콘을 사용하는 MOSFET의 실리콘 막에 견줄만하거나 혹은 더 우수한 동작 성능을 나타내는 것을 표시한다.

위에 설명된 것과 같이 본 발명의 실리콘 막을 사용함으로써, 매우 높은 속도에서 동작하는 TFT의 형성과 그러한 TFT들을 사용하는 상기 구동 회로들 형성으로 높은 속도에서 동작하는 구동 회로들을 실현하는 것이 허용된다. 그것은 위에 언급된 TFT들이 본 발명을 실행하기 위해 매우 효과적으로 사용될 수 있음을 말한다.

또, 본 발명의 실리콘 막을 사용하는 상기 TFT들은 상기 구동 회로들에서 뿐만 아니라 상기 픽셀 유닛에 정렬되는 상기 스위칭 TFT들과 전류 제어 TFT들에서도 효과적으로 사용될 수 있다. 상기 동작 속도의 증가는 용량 보유에서 데이터 쓰는 시간을 단축하고, 상기 EL 요소의 빛 방출 응답 속도를 증가시킴으로써, 더 나은 밝기와 선명한 화상 제공을 가능하게 만든다.

실시예 7

실시예 6은 매우 빠른 속도에서 구동될 수 있는 TFT들을 사용한 구동회로들 형성을 다루었다. 본 실시예에는 도 20을 참조하여 본 발명을 효과적으로 실행하기 위한 상기 픽셀 유닛 구동 방법을 다룬다.

이 실시예에 있어서, 상기 픽셀 유닛(80)은 두 개의 픽셀 유닛들(80a, 80b)로 나누어지고, 상기 픽셀 유닛(80a)은 데이터 신호측 구동 회로(81a)와 게이트 신호측 구동 회로(82a)로 구동되며, 상기 픽셀 유닛(80b)은 데이터 신호측 구동 회로(81b)와 게이트 신호측 구동 회로(82b)로 구동된다.

이 경우에 있어서, 만일 상기 픽셀 유닛들(80a, 80b)이 동일한 주파수에서 동시에 구동되면, 상기 데이터 신호측 구동 회로들(81a, 81b)과, 상기 게이트 신호측 구동 회로들(82a, 82b)의 동작 주파수들은 반감될 수 있다. 이것은 상기 동작의 마진을 넓히는 것과 작은 양의 전기적 힘을 소비하는 높은 신뢰성의 특징을 갖는 EL 디스플레이 장치를 얻는 것을 가능하게 만든다.

만일 상기 동작 주파수가 변경되지 않으면, 상기 주소 주기는 반감될 수 있고, 상기 지속 주기는 그에 대응하여 늘어날 수 있다. 그것은 상기 빛-방출 시간이 길게 지속될 수 있고, 상기 화상의 밝기는 높아질 수 있음을 말한다.

화상은 조합된 상기 픽셀 유닛들(80a, 80b)로 화면에 보여질 수 있고, 혹은 여러 가지의 화상들은 상기 픽셀 유닛들(80a, 80b)로 화면에 보여질 수 있다. 예를 들어, 둘 중 어느 하나는 정지 화상을 화면에 보여줄 수 있고 다른 것은 동적 화상을 화면에 보여줄 수 있다. 그것은 동적 화상과 정지 화상이 상기 픽셀 유닛(80)으로 혼합된 방법으로 화면에 보여질 수 있음을 말한다.

이 실시예에 있어서, 상기 픽셀 유닛은 두 개로 나뉘어진다. 그러나 상기 픽셀 유닛은 다수의 픽셀 유닛들로 나뉘어질 수 있다. 게다가, 이 실시예의 구성은 실시예 1에서 6까지의 어떠한 구성들도 함께 자유롭게 결합되어 실행될 수 있다.

실시예 8

이 실시예는 본 발명을 효과적으로 실행하기 위한 상기 픽셀 유닛 구동 방법을 다루는 것으로서, 이것은 도 7의 구동 방법과는 다르다. 본 설명은 도 21을 참조한다.

이 실시예에 있어서, 상기 픽셀 유닛(83)은 네 개의 픽셀 유닛들(83a부터 83d까지)로 나뉘어지고, 상기 데이터 신호측 구동 회로들(84a부터 84d까지)과, 상기 게이트 신호측 구동 회로들(85a부터 85d까지)로 구동된다.

이 경우에 있어서, 상기 데이터 신호측 구동 회로들(84a부터 84d까지)과 상기 게이트 신호측 구동 회로들(85a부터 85d까지)의 상기 동작 주파수들을 1/4까지 낮추기 위해서 상기 픽셀 유닛들(83a부터 83d까지)은 같은 주파수에서 동시에 구동된다. 따라서, 상기 동작 마진은 실시예 7의 경우보다 더 넓어지고, 감소된 양의 전기적 힘을 소비하는 고도로 신뢰할 수 있는 EL 디스플레이 장치 획득을 가능하도록 만든다.

만일 상기 동작 주파수가 변경되지 않으면 상기 주소 주기는 1/4로 단축될 수 있고, 상기 지속 주기는 그에 대응하여 늘어날 수 있다. 그것은 상기 빛-방출 시간이 상기 화상의 밝기를 높이기 위해서 늘어날

수 있음을 말한다.

또, 화상은 모든 픽셀 유닛들(83a부터 83d까지)의 조합으로 화면에 보여질 수 있다. 게다가, 한 화상이 상기 픽셀 유닛들(83a, 83d)로 화면에 보여질 수 있고, 다른 화상은 상기 픽셀 유닛들(83c, 83d)로 화면에 보여질 수 있다. 즉, 두 개의 다른 화상들이 동시에 화면에 보여질 수 있다. 정지 화상은 상기 픽셀 유닛들(83a, 83b)로 화면에 보여질 수 있고, 동적 화상은 상기 픽셀 유닛들(83c, 83d)로 화면에 보여질 수 있다. 즉, 동적 화상과 정적 화상은 상기 픽셀 유닛(83)으로 혼합된 방법으로 화면에 보여질 수 있다.

이 실시예에 있어서, 상기 픽셀 유닛은 네 개로 나뉘어 진다. 그러나 상기 픽셀 유닛은 다수의 픽셀 유닛들로 나뉘어질 수 있다. 게다가, 이 실시예의 구성은 실시예 1에서 6까지의 어떠한 구성들도 함께 자유롭게 결합되어 실행될 수 있다.

실시예 9

이 실시예는 본 발명을 효과적으로 실행하기 위한 상기 픽셀 유닛 구동 방법을 다루는 것으로서, 이것은 도 8의 구동 방법과는 다르다. 본 설명은 도 22을 참조한다.

이 실시예에 있어서, 상기 픽셀 유닛(86)은 네 개의 픽셀 유닛들(86a부터 86d까지)로 나뉘어 지고, 상기 픽셀 유닛(86a)은 데이터 신호측 구동 회로(87a)와 게이트 신호측 구동 회로(88a)로 구동되며, 상기 픽셀 유닛(86b)은 데이터 신호측 구동 회로(87b)와 게이트 신호측 구동 회로(88a)로 구동된다. 유사하게, 상기 픽셀 유닛(86c)은 데이터 신호측 구동 회로(87c)와 게이트 신호측 구동 회로(88b)로 구동되며, 상기 픽셀 유닛(86d)은 데이터 신호측 구동 회로(87d)와 게이트 신호측 구동 회로(88b)로 구동된다.

이 경우에 있어서, 상기 데이터 신호측 구동 회로들(87a부터 87d까지) 상기 동작 주파수들을 1/4까지 낮추기 위해서 그리고, 상기 게이트 신호측 구동 회로들(88a부터 88b)의 상기 동작 주파수들을 1/2까지 낮추기 위해서 상기 픽셀 유닛들(86a부터 86d까지)은 같은 주파수에서 동시에 구동된다. 따라서, 상기 동작 마진은 실시예 7의 경우보다 더 넓어지고, 감소된 양의 전기적 힘을 소비하는 고도로 신뢰할 수 있는 EL 디스플레이 장치 획득을 가능하도록 만든다.

만일 상기 동작 주파수가 변경되지 않으면 상기 주소 주기는 1/4로 단축될 수 있고, 상기 지속 주기는 그에 대응하여 늘어날 수 있다. 그것은 상기 빛-방출 시간이 상기 화상의 밝기를 높이기 위해서 늘어날 수 있음을 말한다.

또, 한 화상이 모든 픽셀 유닛들(86a부터 86d까지)의 조합으로 화면에 보여질 수 있고 혹은, 서로 다른 화상들이 상기 픽셀 유닛들(86a부터 86d까지)로 화면에 보여질 수 있다. 당연히, 한 화상이 상기 픽셀 유닛들(86a부터 86c까지)로 화면에 보여질 수 있고, 다른 화상은 상기 픽셀 유닛들(86d)에 의해 화면에 보여질 수 있다. 게다가, 동적 화상과 정적 화상은 상기 픽셀 유닛(86)으로 혼합된 방법으로 화면에 보여질 수 있다.

이 실시예의 구성은 실시예 1에서 6까지의 어떠한 구성들도 함께 자유롭게 결합되어 더 실행될 수 있다.

실시예 10

도 2에 보여지는 실시예 1의 구성에 있어서, 만일 높은 열-방출 효과를 갖는 물질이 상기 활성 층과 상기 기판(11) 사이에 형성된 상기 기반 막(12)으로서 사용된다면, 그것은 효과적이다. 특히, 상기 전류 제어 TFT는 상대적으로 큰 전류를 확장된 시간 주기 상에 흐르도록 하고 열을 발생시키므로, 발생한 열에 의해 품질이 저하되는 영향을 받기 쉽다. 그러한 경우에 있어서, 이 실시예에서와 같이 열-방출 효과를 갖는 상기 기반 막은 열로 인한 TFT의 악화를 저지한다.

열-방출 효과를 갖는 빛-전도 물질로서, B(붕소), C(탄소) 및 N(질소)로부터 선택된 적어도 한 개의 요소와 Al(알루미늄), Si(실리콘) 및 P(인)로부터 선택된 적어도 한 개의 요소를 포함하는 절연막을 예로 들 수 있다.

예를 들어, 알루미늄 질화물(Al_xNy)로 대표되는 알루미늄의 질화물, 실리콘 탄화물(Si_xCy)로 대표되는 실리콘의 탄화물, 실리콘 질화물(Si_xNy)로 대표되는 실리콘의 질화물, 붕소 질화물(B_xNy)로 대표되는 붕소의 질화물 및 붕소 인화물(B_xPy)로 대표되는 붕소의 인화물이 사용될 수 있다. 알루미늄 산화물(Al_xO_y)로 대표되는 알루미늄의 산화물은 우수한 빛-전도 특성과 $20Wm^{-1}K^{-1}$ 의 열 전도율을 나타내는 우선적인 물질들 중 하나일 수 있다. 상기 빛-전도 물질에 있어서, x와 y는 임의의 정수들이다.

그것은 또한 위에서 말한 것은 어떠한 다른 요소와 혼합되어 결합되는 것을 허용한다. 예를 들어, AlN_xO_y 로 대표되는 알루미늄 옥시나이트라이드로서 사용하기 위해 질소가 알루미늄 산화물에 첨가될 수 있다. 또한 이 물질은, 상기 열-방출 효과 뿐만 아니라 물과 알칼리 물질들의 침윤 방지 효과를 나타낸다. 상기 알루미늄 옥시나이트라이드에 있어서, x와 y는 임의의 정수들이다.

일본 공개 공보 제 90260/1987호에 나타나 있는 상기 물질 사용을 더 허용한다. 요컨대, Si, Al, N, O 또는 M(M은 적어도 하나의 드문 접지 요소로서, 바람직한 것은, Ce(세륨), Yb(이테르븀), Sm(사마륨), Er(에르븀), Y(이트륨), La(란탄), Gd(가돌리늄), Dy(디스프로슘) 및 Nd(네오뮴)로부터 선택된 적어도 하나의 요소)을 포함하는 절연 막 사용을 허용한다. 또한 이 물질들은 상기 열-방출 효과 뿐만 아니라 상기 물과 알칼리 물질들의 침윤 방지 효과를 나타낸다.

적어도 얇은 다이아몬드 막이나 비결정질의 탄소 막(특히, 다이아몬드에 가까운 특성을 갖는 것으로서, 다이아몬드와 같은 탄소라고 함)을 포함하는 탄소 막 사용을 더 허용할 수 있다. 그것들은 아주 높은 열 전도율을 가지며, 열-방출 층으로서 매우 효과적으로 사용될 수 있다. 그러나 상기 막은 그 두께가 증가함으로써 갈색을 띄게 되고, 전송 인자를 잃어버린다. 따라서 상기 막은 가능한 한 작은 두께(바람직한 것은, 5nm에서 100nm)를 갖는 것이 바람직하다.

상기 열-방출 효과를 나타내는 상기 물질의 얇은 막은 혼자 또는 한 판 위에 다른 판이 포개어진 실리콘을 포함하는 절연 막과 함께 사용될 수 있다.

이 실시예의 구성은 실시예 1에서 9까지의 어떠한 구성들도 함께 자유롭게 결합되어 실행될 수 있다.

실시예 11

실시예 1에서, 유기적인 EL 물질이 상기 EL층으로서 바람직하게 사용되었다. 그러나, 본 발명은 비유기적인 EL 물질을 사용하여 실행하는 것도 가능하다. 그러나, 현재는 유용한 비유기적 EL 물질들은 매우 높은 구동 전압들을 요구하고, 그러한 구동 전압들에 저항하는 절연파괴 전압을 갖는 TFT들 사용이 필요하게 된다.

만일 낮은 구동 전압을 필요로 하는 비유기적 EL 물질이 미래에 개발된다면, 본 발명은 거기에 적용될 수 있다.

게다가, 이 실시예의 구성은 실시예 1에서 10까지의 어떠한 구성들도 함께 자유롭게 결합되어 실행될 수 있다.

실시예 12

본 발명의 구현으로 제조된 상기 활성 매트릭스-형 EL 디스플레이 장치(EL 모듈)은 혼자서 빛을 방출하고 액정 디스플레이 장치들과 비교해서 밝은 장소에서 알맞게 보여질 수 있다. 따라서, 본 발명의 상기 장치는 정확히 보여지는 상기 형태의 EL 디스플레이(상기 EL 모듈을 통합하는 디스플레이)의 디스플레이 유닛으로서 사용될 수 있다. 상기 EL 디스플레이의 실시예들은 개인용 컴퓨터의 모니터, TV 방송 수신용 모니터, 광고 디스플레이의 모니터를 포함할 수 있다.

상기 EL디스플레이들 외에, 본 발명의 상기 장치는 구성요소로서 상기 디스플레이 유닛을 포함하는 어떠한 전자 장비의 디스플레이로서도 사용될 수 있다.

상기 전자 장비의 예들로서 EL 디스플레이, 비디오 카메라, 디지털 카메라, 헤드(head)-장착된 디스플레이, 자동차 네비게이션(navigation), 개인용 컴퓨터, 휴대용 데이터 단말(이동 컴퓨터, 셀룰러 폰, 전자 서적 등) 및 레코딩 매체를 갖춘 화상 재생 기계(구체적으로, 컴팩트 디스크(CD), 레이저 디스크(LD) 또는 디지털 비디오 디스크(DVD) 및 화상 디스플레이들과 같은 레코딩 매체를 재생하는 디스플레이를 갖춘 기계)를 포함한다. 도 18은 상기 전자 장치의 예들을 도시한다.

도 18(a)는 주 몸체(2001), 덮개(2002), 디스플레이 유닛(2003) 및 키보드(2004)를 포함하는 개인용 컴퓨터를 보여준다. 본 발명은 상기 디스플레이 유닛(2003)에 적용될 수 있다.

도 18(b)는 주 몸체(2101), 디스플레이 유닛(2102), 음성 입력 유닛(2103), 조작 스위치(2104), 배터리(2105) 및 화상 유닛(2106)을 포함하는 비디오 카메라를 보여준다. 본 발명은 상기 디스플레이 유닛(2102)에 적용될 수 있다.

도 18(c)는 주 몸체(2301), 단일 케이블(2302), 헤드-고정된 밴드(2303), 디스플레이 모니터(2304), 광학 시스템(2305) 및 디스플레이 유닛(2306)을 포함하는 헤드-장착된 EL 디스플레이의 한 부분(오른쪽면)을 보여준다.

도 18(d)는 주 몸체(2401), 레코딩 매체(2402, CD, LD 또는 DVD), 조작 스위치(2403), 디스플레이 유닛(a, 2404) 및 디스플레이 유닛(b, 2405)을 포함하는 레코딩 매체를 갖춘 화상 재생 기계들(구체적으로, DVD 재생 기계)을 보여준다. 상기 디스플레이 유닛(a)는 상기 화상 데이터를 주로 화면에 보여주고, 상기 디스플레이 유닛(b)는 상기 문제 데이터를 주로 화면에 보여준다. 본 발명은 이들 디스플레이 장치들(a, b)에 알맞을 수 있다. 상기 레코딩 매체를 갖춘 상기 화상 재생 기계들로서, 본 발명이 적용된 CD 재생 기계들과 게임 장비들이 예시될 수 있다.

도 19(e)는 주 몸체(2501), 카메라 유닛(2502), 화상 유닛(2503), 조작 스위치(2504) 및 디스플레이 유닛(2505)을 포함하는 휴대용(이동) 컴퓨터를 보여준다. 본 발명은 상기 디스플레이 유닛(2505)에 적용될 수 있다.

만일 높은 발광을 나타내는 EL 물질이 미래에 유용하게 된다면, 상기 디스플레이 유닛은 전방 형태 또는 후방 형태의 프로젝터(projector)로 이용될 수 있다.

위에 설명한 것과 같이, 본 발명은 매우 넓은 범위의 응용들을 발견하고, 본 발명은 어떠한 분야의 전자 장비에도 적용될 수 있다. 게다가, 상기 구현의 전자장비는 실시예 1에서 11까지의 어떠한 조합의 구성을 사용하여도 실현될 수 있다.

실시예 13

본 실시예에 있어서, 상기 전류 제어 TFT와 상기 EL 요소 사이에 제공된 상기 저항기의 저항은 상기의 실제 EL 디스플레이 장치(단색 디스플레이) 상술에 따라 결정된다.

첫 번째로, EL 물질이 결정되며, 이것은 EL층으로서 사용된다. 본 실시예에 있어서, TPD는 양극 홀 수송 층으로서 50nm의 두께를 유지하도록 형성되고, Alq는 IT0의 양극 위에 EL층으로서 50nm의 두께를 유지하도록 형성되고 나서, 그 위에 EL 요소를 제조하기 위해 MgAg의 음극이 형성된다. 여기에서, 상기 EL층은 상기 줄무늬가 있는 IT0 패턴(2mm 폭)과, 정확한 각도들에서 상기 IT0 패턴이 교차하기 위해 형성되는 줄무늬의 MgAg 전극(2mm 폭)의 전체 표면들 상에 놓여진다.

도 23(a)는 상기 구동 전압과 제조된 상기 EL 요소의 전류 밀도 사이의 관계를 보여준다. 도 23(b)는 상기 전류 밀도와 방출되는 빛의 휘도 사이의 관계를 보여준다. 본 실시예의 EL 요소는 524nm에 가까운 파장에서 빛 방출의 피크와 $x = 0.30$, $y = 0.57$ 의 색도 좌표를 나타낸다.

도 23(b)에 의하면, 약 $100\text{mA}/\text{cm}^2$ 의 전류 밀도가 $5000\text{cd}/\text{m}^2$ 의 휘도에 도달하기 위해 필요하다. 여기에서, 만일 5인치 대각선 픽셀 유닛을 갖는 EL 디스플레이 장치를 고려하고 약 $156\mu\text{m}$ 면의 정사각형 픽셀들은 매트릭스의 형태로 정렬된다면, 픽셀 당 약 $24\mu\text{m}$ 의 전류가 필요하다.

도 23(a)와 관련하여, 10V의 전압이 가해질 때 본 실시예에 사용된 상기 EL 물질은 $100\text{mA}/\text{cm}^2$ 의 전류 밀도에서 전류가 흐르는 것을 허가한다. 따라서, 10V의 상기 전압이 가해질 때, 약 $24\mu\text{A}$ 의 전류의 안정적인 흐름을 위해 약 $420\text{k}\Omega$ 의 저항이 필요하다.

따라서, 만일 $420\text{k}\Omega$ 의 저항을 갖는 저항기가 도 1(b)에 보여지는 상기 저항기(109)로서 제공되어지면, 약 $24\mu\text{A}$ 의 일정 전류가 상기 EL 요소에 항상 안정적으로 공급될 수 있다. 결과적으로, 약 $5000\text{cd}/\text{m}^2$ 으로 방출되는 빛의 휘도는 밝은 화상을 화면에 보여주도록 수행될 수 있다.

상기 EL층의 수명을 연장하기 위해서, 상기 저항기의 저항은 상기 EL 요소로 흐르는 상기 전류를 약하게 하기 위해 더 증가될 수 있다. 그러나 이러한 경우에 있어서, 방출되는 빛의 휘도가 약간 떨어진다. 예를 들어, 만일 약 $1000\text{cd}/\text{m}^2$ 의 휘도가 충분하다면, 상기 필수 전류 밀도는 약 $30\text{mA}/\text{cm}^2$ 이고, 상기 EL 요소에 대한 상기 구동 전압은 약 6V이다. 그러므로, 픽셀 당 약 $7.3\mu\text{A}$ 의 전류가 흐른다. 따라서 약 $820\text{k}\Omega$ 의 저항기가 필요하다.

이와 같이, 본 발명에 필요한 상기 저항기의 저항은 상기 EL 디스플레이 장치의 매개변수들을 사용하여 쉽게 구동될 수 있다.

본발명은 상기 TFT들의 특성들에서 분산에 의한 영향을 받지 않는 선명한 다중-그라데이션 칼라 디스플레이를 생산할 수 있는 활성 매트릭스-형태 EL 디스플레이 장치 획득을 가능하게 만든다. 구체적으로 말해서, 상기 픽셀 유닛에서 저항기가 상기 전류 제어 TFT와 상기 EL 요소 사이에 제공되고, 상기 전류는 상기 저항기의 저항으로 결정된다. 따라서, 상기 시분할 그라데이션 디스플레이는 상기 전류 제어 TFT들에 있어서 분산으로 인한 상기 그라데이션에서 결점이 없는 만족할 만한 칼라 재생성을 유지하는 매우 품질이 좋은 화상을 얻기 위한 디지털 신호들에 영향을 미친다.

게다가, 최적 구조의 TFT들은 상기 회로들과 요소들로 필수적인 성능을 충족하기 위해 상기 기판 상에 형성되고, 그로써 고도로 안정적인 활성 매트릭스-형태 EL 디스플레이 장치를 실현한다.

디스플레이 유닛으로서 상기 활성 매트릭스-형태 EL 디스플레이 장치를 제공함에 있어서, 좋은 화상 품질과 높은 안정성을 갖는 고성능의 전자 장치들을 생산하는 것을 가능하게 만든다.

발명의 효과

본 발명은 선명한 다중-그라데이션 칼라 디스플레이를 생산할 수 있는 활성 매트릭스-형태 EL 디스플레이 장치를 제공하며, 디스플레이 유닛으로서 상기 활성 매트릭스-형태 EL 디스플레이 장치를 사용하는 높은 성능의 전자 장치를 더 제공한다.

(57) 청구의 범위

청구항 1

기판 위에 TFT들로 형성되는 픽셀 유닛, 데이터 신호측 구동 회로와 게이트 신호측 구동 회로를 갖는 EL 디스플레이 장치로서, 저항기가 상기 픽셀 유닛에 형성되는 전류 제어 TFT와 EL 요소 사이에 제공되는 EL 디스플레이 장치.

청구항 2

제 1 항에 있어서, 상기 데이터 신호측 구동 회로 또는 상기 게이트 신호측 구동 회로에 대한 데이터 신호 입력이,

한 프레임을 n 개 비트들(n 은 2보다 작지 않은 정수)의 그라데이션들에 대응하는 n 개의 부-프레임들(SF1, SF2, SF3, ..., SF($n-1$), SF(n))로 나누는 제 1 수단,

상기 n 개의 부-프레임들에서 주소 주기(T_a)와 지속 주기(T_s : SF1, SF2, SF3, ..., SF($n-1$), SF(n))에 대응하는 지속주기들 T_{s1} , T_{s2} , T_{s3} , ..., $T_{s(n-1)}$, $T_{s(n)}$ 을 선택하는 제 2 수단 및

상기 n 개의 부-프레임들에서 $T_{s1}:T_{s2}:T_{s3}:\dots:T_{s(n-1)}:T_{s(n)} = 2^0:2^{-1}:2^{-2}:\dots:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 상기 지속 주기들을 설정하는 제 3 수단을 통해 형성되는 EL 디스플레이 장치.

청구항 3

제 2 항에 있어서, 상기 제 1 수단, 제 2 수단 및 제 3 수단이 상기 기판 상에 장착된 IC 칩에 포함되는 EL 디스플레이 장치.

청구항 4

제 1 항에 있어서, 상기 TFT의 활성 층이 배향 {110}에 해당하는 전자-광선 회절 이미지를 나타내는 실리콘 막으로 형성되는 EL 디스플레이 장치.

청구항 5

제 4 항에 있어서, 상기 실리콘 막이 결정체 그래인 경계를 갖는 EL 디스플레이 장치.

청구항 6

제 4 항에 있어서, 상기 전자-광선 회절 이미지의 회절 반점들이 전자 광선의 조사점을 중심으로 한 동심원을 따라 확장되는 EL 디스플레이 장치.

청구항 7

기판 위에 TFT들로 형성되는 픽셀 유닛, 데이터 신호측 구동 회로와 게이트 신호측 구동 회로를 갖는 EL 디스플레이 장치로서, 저항기가 상기 픽셀 유닛에서 형성되는 전류 제어 TFT와 EL 요소 사이에 제공되고, 상기 저항기는 상기 전류 제어 TFT의 온-저항 보다 더 큰 저항을 나타내는 EL 디스플레이 장치.

청구항 8

제 7 항에 있어서, 상기 데이터 신호측 구동 회로 또는 상기 게이트 신호측 구동 회로의 데이터 신호 입력이,

한 프레임을 n 개 비트들(n 은 2보다 작지 않은 정수)의 그라데이션들에 대응하는 n 개의 부-프레임들(SF1, SF2, SF3, ..., SF($n-1$), SF(n))로 나누는 제 1 수단

주소 주기(T_a)와 지속 주기(T_s : SF1, SF2, SF3, ..., SF($n-1$), SF(n))에 대응하는 지속 주기들 T_{s1} , T_{s2} , T_{s3} , ..., $T_{s(n-1)}$, $T_{s(n)}$ 를 선택하는 제 2 수단 및

상기 n 개의 부-프레임들에서 $T_{s1}:T_{s2}:T_{s3}:\dots:T_{s(n-1)}:T_{s(n)} = 2^0:2^{-1}:2^{-2}:\dots:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 지속 주기들을 설정하는 제 3 수단을 통해 형성되는 EL 디스플레이 장치.

청구항 9

제 8 항에 있어서, 상기 제 1 수단, 제 2 수단 및 제 3 수단이 상기 기판 위에 탑재된 IC 칩에 포함되는 EL 디스플레이 장치.

청구항 10

제 7 항에 있어서, 상기 TFT의 활성 층이 배향 {110}에 해당하는 전자-광선 회절 이미지를 나타내는 실리콘 막으로 형성되는 EL 디스플레이 장치.

청구항 11

제 10 항에 있어서, 상기 실리콘 막이 결정체 그레인 경계를 갖는 EL 디스플레이 장치.

청구항 12

제 10 항에 있어서, 상기 전자-광선 회절 이미지의 회절 반점들이 전자 광선의 조사점을 중심으로 한 동심원을 따라 확장되는 EL 디스플레이 장치.

청구항 13

기판 위에 TFT들로 형성되는 픽셀 유닛, 데이터 신호측 구동 회로 및 게이트 신호측 구동 회로를 갖는 EL 디스플레이 장치로서, 저항기가 상기 픽셀 유닛에서 형성되는 전류 제어 TFT와 EL 요소 사이에 제공되고, 상기 저항기가 상기 전류 제어 TFT의 상기 활성층으로 완전하게 형성되는 EL 디스플레이 장치.

청구항 14

제 13 항에 있어서, 상기 데이터 신호측 구동 회로 또는 상기 게이트 신호측 구동 회로의 데이터 신호 입력이,

한 프레임을 n 개 비트들(n 은 2보다 작지 않은 정수)의 그라데이션들에 대응하는 n 개의 부-프레임들(SF1, SF2, SF3, ..., SF($n-1$), SF(n))로 나누는 제 1 수단

주소 주기(T_a)와 지속 주기(T_s : SF1, SF2, SF3, ..., SF($n-1$), SF(n))에 대응하는 지속 주기들 T_{s1} , T_{s2} , T_{s3} , ..., $T_{s(n-1)}$, $T_{s(n)}$ 를 선택하는 제 2 수단 및

상기 n 개의 부-프레임들에서 $T_{s1}:T_{s2}:T_{s3}:\dots:T_{s(n-1)}:T_{s(n)} = 2^0:2^{-1}:2^{-2}:\dots:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 지속 주기들을 설정하는 제 3 수단을 통해 형성되는 EL 디스플레이 장치.

청구항 15

제 14 항에 있어서, 상기 제 1 수단, 제 2 수단 및 제 3 수단이 상기 기판 위에 탑재된 IC 칩에 포함되는 EL 디스플레이 장치.

청구항 16

제 13 항에 있어서, 상기 TFT의 활성 층이 배향 {110}에 해당하는 전자-광선 회절 이미지를 나타내는 실리콘 막으로 형성되는 EL 디스플레이 장치.

청구항 17

제 16 항에 있어서, 상기 실리콘 막이 결정체 그레인 경계를 갖는 EL 디스플레이 장치.

청구항 18

제 16 항에 있어서, 상기 전자-광선 회절 이미지의 회절 반점들이 전자 광선의 조사점을 중심으로 한 동심원을 따라 확장되는 EL 디스플레이 장치.

청구항 19

디스플레이 유닛으로서 EL 디스플레이 장치를 사용하는 전자 장치에 있어서,

상기 EL 디스플레이 장치가 TFT들로 형성되는 픽셀 유닛, 데이터 신호측 구동 회로와 게이트 신호측 구동 회로를 갖고,

저항기가 상기 픽셀 유닛에 형성되는 전류 제어 TFT와 EL 요소 사이에 제공되어지는 전자 장치.

청구항 20

제 19 항에 있어서, 상기 데이터 신호측 구동 회로 혹은 상기 게이트 신호측 구동 회로의 데이터 신호 입력이,

한 프레임을 n 개 비트들(n 은 2보다 작지 않은 정수)의 그라데이션들에 대응하는 n 개의 부-프레임들(SF1, SF2, SF3, —, SF($n-1$), SF(n))로 나누는 제 1 수단

주소 주기(T_a)와 지속 주기(T_s : SF1, SF2, SF3, —, SF($n-1$), SF(n))에 대응하는 지속 주기들 T_{s1} , T_{s2} , T_{s3} , —, $T_{s(n-1)}$, $T_{s(n)}$ 를 선택하는 제 2 수단 및

상기 n 개의 부-프레임들에서 $T_{s1}:T_{s2}:T_{s3}:—:T_{s(n-1)}:T_{s(n)} = 2^0:2^{-1}:2^{-2}:—:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 지속 주기들을 설정하는 제 3 수단을 통해 형성되는 전자 장치.

청구항 21

제 20 항에 있어서, 상기 제 1 수단, 제 2 수단 및 제 3 수단이 상기 기판 위에 탑재된 IC 칩에 포함되는 전자 장치.

청구항 22

제 19 항에 있어서, 상기 TFT의 활성 층이 배향 {110}에 해당하는 전자-광선 회절 이미지를 나타내는 실리콘 막으로 형성되는 전자 장치.

청구항 23

제 22 항에 있어서, 상기 실리콘 막이 결정체 그레인 경계를 갖는 전자 장치.

청구항 24

제 22 항에 있어서, 상기 전자-광선 회절 이미지의 회절 반점들이 전자 광선의 조사점을 중심으로 한 동심원을 따라 확장되는 전자 장치.

청구항 25

디스플레이 유닛으로서 EL 디스플레이 장치를 사용하는 전자 장치에 있어서,

상기 EL 디스플레이 장치가 TFT들로 형성되는 픽셀 유닛, 데이터 신호측 구동 회로와 게이트 신호측 구동 회로를 갖고,

저항기가 상기 픽셀 유닛에 형성되는 전류 제어 TFT와 EL 요소 사이에 제공되어지고, 상기 저항기는 상기 전류 제어 TFT의 온-저항보다 더 높은 저항을 나타내는 전자 장치.

청구항 26

제 25 항에 있어서, 상기 데이터 신호측 구동 회로 혹은 상기 게이트 신호측 구동 회로의 데이터 신호 입력이,

한 프레임을 n 개 비트들(n 은 2보다 작지 않은 정수)의 그라데이션들에 대응하는 n 개의 부-프레임들(SF1, SF2, SF3, —, SF($n-1$), SF(n))로 나누는 제 1 수단

주소 주기(T_a)와 지속 주기(T_s : SF1, SF2, SF3, —, SF($n-1$), SF(n))에 대응하는 지속 주기들 T_{s1} , T_{s2} , T_{s3} , —, $T_{s(n-1)}$, $T_{s(n)}$ 를 선택하는 제 2 수단 및

상기 n 개의 부-프레임들에서 $T_{s1}:T_{s2}:T_{s3}:—:T_{s(n-1)}:T_{s(n)} = 2^0:2^{-1}:2^{-2}:—:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 지속 주기들을 설정하는 제 3 수단을 통해 형성되는 전자 장치.

청구항 27

제 26 항에 있어서, 상기 제 1 수단, 제 2 수단 및 제 3 수단이 상기 기판 위에 탑재된 IC 칩에 포함되는 전자 장치.

청구항 28

제 25 항에 있어서, 상기 TFT의 활성 층이 배향 {110}에 해당하는 전자-광선 회절 이미지를 나타내는 실리콘 막으로 형성되는 전자 장치.

청구항 29

제 28 항에 있어서, 상기 실리콘 막이 결정체 그레인 경계를 갖는 전자 장치.

청구항 30

제 28 항에 있어서, 상기 전자-광선 회절 이미지의 회절 반점들이 전자 광선의 조사점을 중심으로 한 동심원을 따라 확장되는 전자 장치.

청구항 31

디스플레이 유닛으로서 EL 디스플레이 장치를 사용하는 전자 장치에 있어서,

상기 EL 디스플레이 장치가 TFT들로 형성되는 픽셀 유닛, 데이터 신호측 구동 회로와 게이트 신호측 구동 회로를 갖고,

저항기가 상기 픽셀 유닛에 형성되는 전류 제어 TFT와 EL 요소 사이에 제공되어지고, 상기 저항기가 상기 전류 제어 TFT의 상기 활성층으로 완전하게 형성되는 전자 장치.

청구항 32

제 31 항에 있어서, 상기 데이터 신호측 구동 회로 혹은 상기 게이트 신호측 구동 회로의 데이터 신호 입력이,

한 프레임을 n 개 비트들(n 은 2보다 작지 않은 정수)의 그라데이션들에 대응하는 n 개의 부-프레임들(SF1, SF2, SF3, —, SF($n-1$), SF(n))로 나누는 제 1 수단

주소 주기(T_a)와 지속 주기(T_s : SF1, SF2, SF3, —, SF($n-1$), SF(n))에 대응하는 지속 주기들 T_{s1} , T_{s2} , T_{s3} , —, $T_{s(n-1)}$, $T_{s(n)}$ 를 선택하는 제 2 수단 및

상기 n 개의 부-프레임들에서 $T_{s1}:T_{s2}:T_{s3}:---:T_{s(n-1)}:T_{s(n)} = 2^0:2^{-1}:2^{-2}:---:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 지속 주기들을 설정하는 제 3 수단으로 형성되는 전자 장치.

청구항 33

제 32 항에 있어서, 상기 제 1 수단, 제 2 수단 및 제 3 수단이 상기 기판 위에 탑재된 IC 칩에 포함되는 전자 장치.

청구항 34

제 31 항에 있어서, 상기 TFT의 활성 층이 배향 {110}에 해당하는 전자-광선 회절 이미지를 나타내는 실리콘 막으로 형성되는 전자 장치.

청구항 35

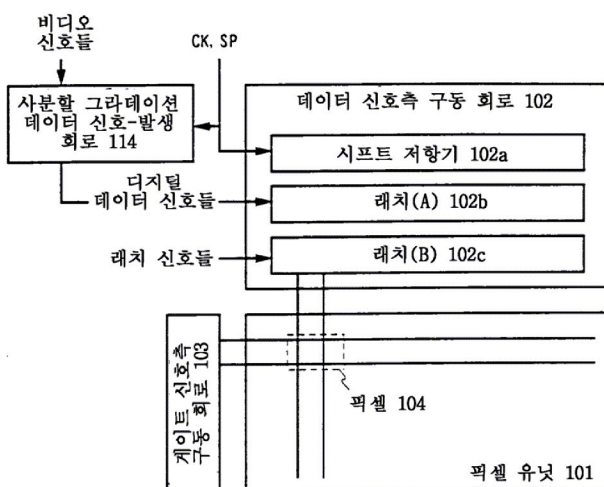
제 34 항에 있어서, 상기 실리콘 막이 결정체 그레인 경계를 갖는 전자 장치.

청구항 36

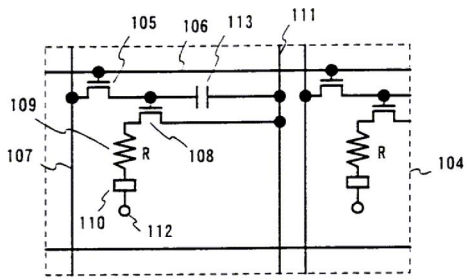
제 34 항에 있어서, 상기 전자-광선 회절 이미지의 회절 반점들이 전자 광선의 조사점을 중심으로 한 동심원을 따라 확장되는 전자 장치.

도면

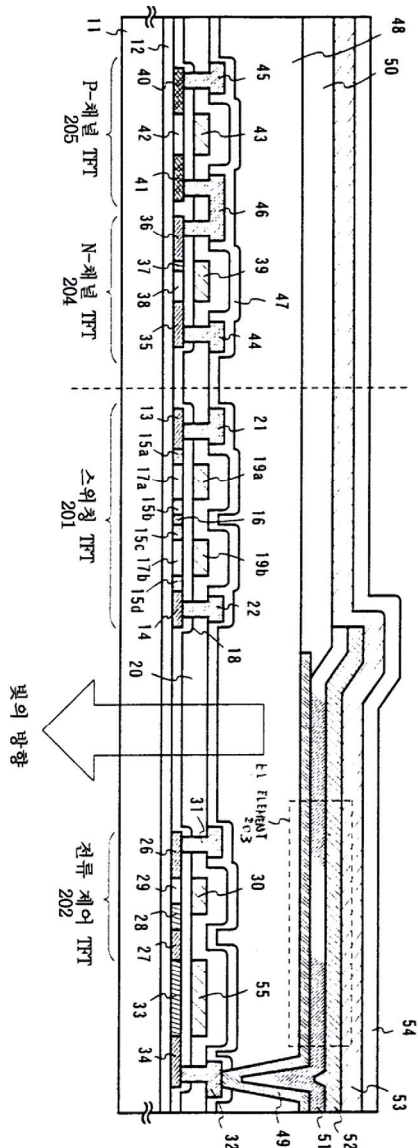
도면 1a



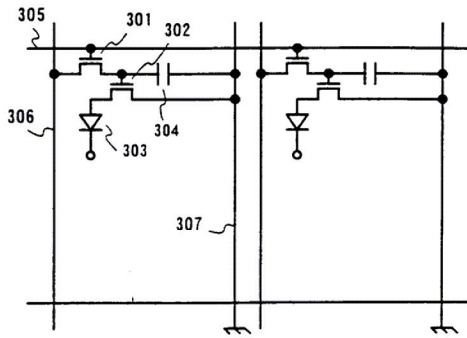
도면 1b



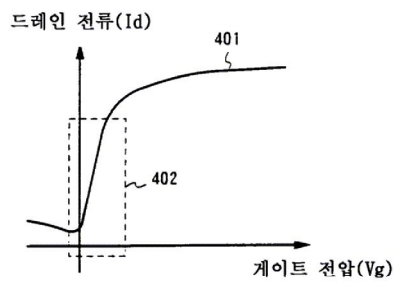
도면2



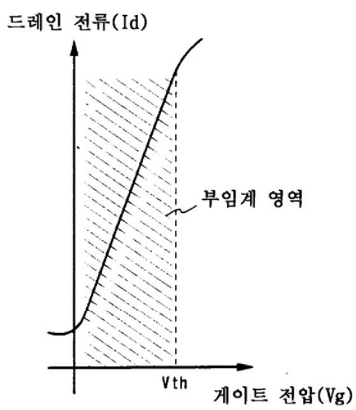
도면3



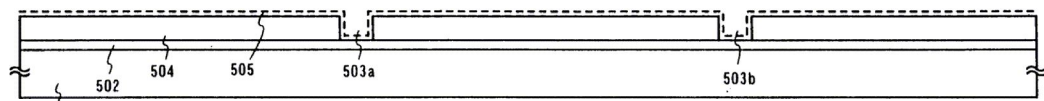
도면4a



도면4b



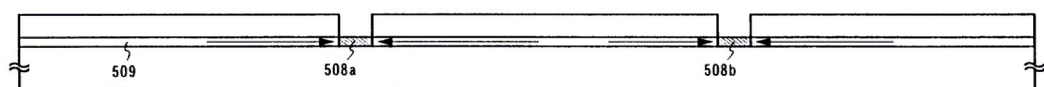
도면5a



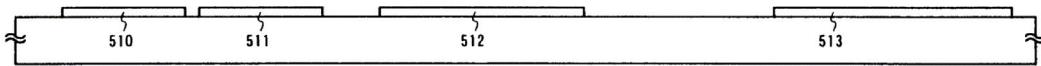
도면5b



도면5c

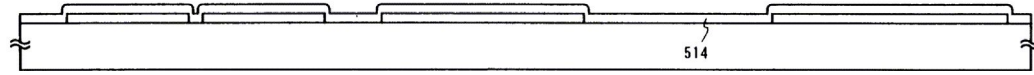


도면5d



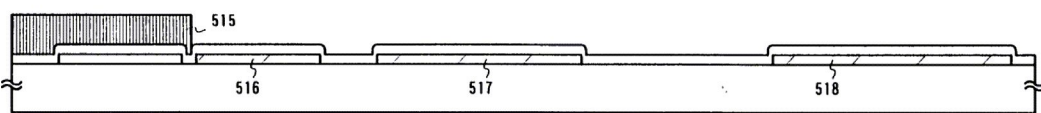
도면5e

열 산화 단계



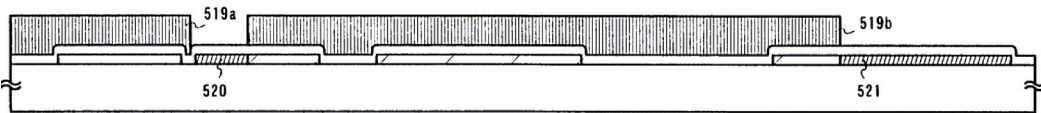
도면6a

P-형태 불순물 요소 첨가 단계



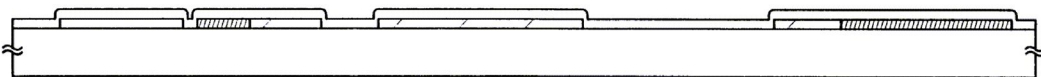
도면6b

N-형태 불순물 요소 첨가 단계

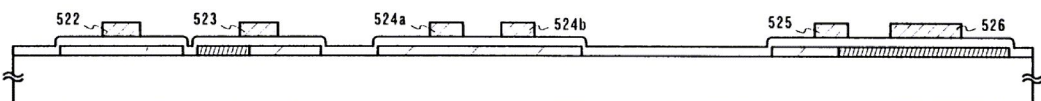


도면6c

활성화 단계

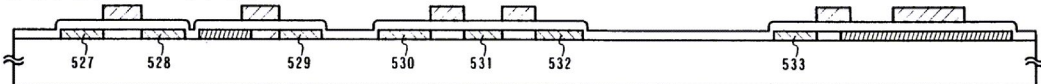


도면6d



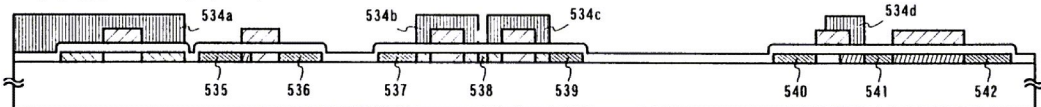
도면7a

N-형태 불순물 요소 첨가 단계



도면7b

N-형태 불순물 요소 첨가 단계



专利名称(译)	EL显示器件和电子器件		
公开(公告)号	KR1020010021025A	公开(公告)日	2001-03-15
申请号	KR1020000034761	申请日	2000-06-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN		
发明人	KOYAMA,JUN		
IPC分类号	G09G3/30 H01L51/50 G02F1/136 G09F9/30 G09G3/20 H05B33/14 H01L27/32 G09F G09G G09G3/32 H05B H01L27/28 H05B33/12 G02F H01L27/15 H01L		
CPC分类号	G09G2300/026 G09G2300/0842 H01L27/3248 G09G2300/0408 G09G3/3233 G09G2330/021 G09G3/3275 G09G2300/0885 G09G2310/0221 G09G2300/0426 H01L27/3262 G09G2310/04 H01L27/3272 H01L27/156 G09G2320/043 G09G2300/0809 H01L27/1214 G09G3/2018 G09G2320/0233 H01L27/3276 G09G2320/0223 G09G3/2022 G09G3/3258 G09G3/3291 H01L27/1251 H01L27/1255 H01L2924/0002 H01L2924/00		
代理人(译)	李，何炳 李昌勋		
优先权	1999176521 1999-06-23 JP		
其他公开文献	KR100810917B1		
外部链接	Espacenet		

摘要(译)

生动的彩色显示, 多梯度 (级) el 显示设备, 可生产以上 el 伊迪丝射线设备与电子设备。提供给电流的 EL 元件 (110) 在像素 (104) 电流控制 TFT (108) 上形成, 上述 el 元件 (110) (109) 之间的电阻由上述电阻器 (109) 控制。电阻高于电流控制TFT 108的导通电阻。[灰度显示被实现为时分驱动系统, 其及时控制EL元件的光发射和不发光, 并防止由于电流控制TFT108的特性之间的分散而产生的影响。图1a 指数方面 EL显示器件, 像素单元, TFT, 漏极, 门

