



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월25일
 (11) 등록번호 10-1781090
 (24) 등록일자 2017년09월18일

(51) 국제특허분류(Int. Cl.)
 H01L 51/52 (2006.01) H01L 51/56 (2006.01)
 (21) 출원번호 10-2010-0092419
 (22) 출원일자 2010년09월20일
 심사청구일자 2015년09월09일
 (65) 공개번호 10-2012-0030275
 (43) 공개일자 2012년03월28일
 (56) 선행기술조사문헌
 KR1020090120698 A*
 JP2007141821 A*
 KR1020070027795 A
 KR1020060078573 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
 김현호
 경기도 파주시 쇄재로 30, 서원마을아파트 712동 2003호 (금촌동)
 이석우
 경기도 부천시 장말로 71 1512동 1203호 (상동, 한아름아파트)
 (뒷면에 계속)
 (74) 대리인
 특허법인로얄

전체 청구항 수 : 총 9 항

심사관 : 조성수

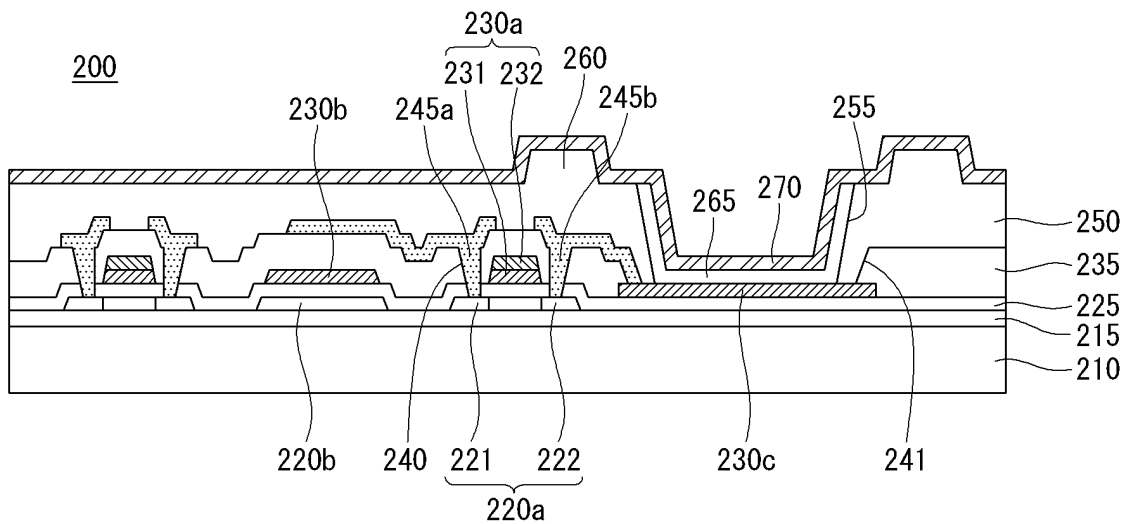
(54) 발명의 명칭 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명의 일 실시 예에 따른 유기전계발광표시장치는 기판, 상기 기판 상에 서로 이격되어 위치하는 액티브층 및 캐패시터 하부전극, 상기 액티브층 및 상기 캐패시터 하부전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 액티브층에 대응되게 위치하는 게이트 전극, 상기 캐패시터 하부전극 상에 대응되게

(뒷면에 계속)

대표도 - 도2



위치하는 캐패시터 상부전극 및 상기 게이트 전극 및 상기 캐패시터 상부전극과 이격되게 위치하는 제 1 전극, 상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 위치하는 층간 절연막, 상기 층간 절연막 상에 위치하며, 상기 액티브층에 연결되고, 어느 하나가 상기 제 1 전극에 연결된 소오스 전극 및 드레인 전극, 상기 소오스 전극 및 드레인 전극을 포함하는 기판 상에 위치하며, 상기 제 1 전극의 일부를 노출시키는 बैं크층, 상기 बैं크층 상에 위치하는 스페이서, 상기 노출된 제 1 전극 상에 위치하는 유기막층 및 상기 유기막층을 포함하는 상기 기판 상에 위치하는 제 2 전극을 포함할 수 있다.

(72) 발명자

최희동

경상북도 구미시 인동46길 28, 부영8단지 805동 804호 (구평동)

이상진

경기도 부천시 소사구 부광로16번길 17, 중앙빌라 4동 403호 (괴안동)

서성모

경기도 수원시 영통구 봉영로1744번길 11 224동 701호 (영통동, 황골마을2단지아파트)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 서로 이격되어 위치하는 액티브층 및 캐패시터 하부전극;

상기 액티브층 및 상기 캐패시터 하부전극 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 액티브층에 대응되게 위치하는 게이트 전극, 상기 캐패시터 하부전극 상에 대응되게 위치하는 캐패시터 상부전극 및 상기 게이트 전극 및 상기 캐패시터 상부전극과 이격되게 위치하는 제 1 전극;

상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 위치하며, 상기 제 1 전극을 노출하는 개구 영역을 포함하는 층간 절연막;

상기 층간 절연막 상에 위치하며, 상기 액티브층에 연결되고, 어느 하나가 상기 제 1 전극에 연결된 소오스 전극 및 드레인 전극;

상기 소오스 전극 및 드레인 전극을 포함하는 기관 상에 위치하며, 상기 제 1 전극의 일부를 노출시키는 बैं크층;

상기 बैं크층 상에 위치하는 스페이서;

상기 노출된 제 1 전극 상에 위치하는 유기막층; 및

상기 유기막층을 포함하는 상기 기관 상에 위치하는 제 2 전극을 포함하며,

상기 बैं크층은 상기 층간 절연막의 상기 개구영역을 통해 상기 제 1 전극과 컨택하는 유기전계발광표시장치.

청구항 2

제 1항에 있어서,

상기 게이트 전극은 금속 산화물 패턴 및 금속 패턴으로 이루어진 유기전계발광표시장치.

청구항 3

제 2항에 있어서,

상기 캐패시터 상부전극은 상기 금속 산화물 패턴으로 이루어진 유기전계발광표시장치.

청구항 4

제 1항에 있어서,

상기 스페이서는 상기 बैं크층과 동일한 물질로 이루어진 유기전계발광표시장치.

청구항 5

기관 상에 액티브층 및 캐패시터 하부전극을 형성하는 단계;

상기 액티브층 및 상기 캐패시터 하부전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 금속 산화물층 및 금속층을 적층하고 제 1 감광막을 도포한 후, 제 1 하프톤 마스크를 이용하여 패터닝하여 게이트 전극, 캐패시터 상부전극 및 제 1 전극을 형성하는 단계;

상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 상기 제 1 전극을 노출하는 개구영역을 포함하는 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 소오스 전극 및 드레인 전극을 포함하는 기판 상에 제 2 감광막을 도포한 후 제 2 하프톤 마스크를 이용하여 패터닝하여 बैं크층 및 스페이서를 형성하는 단계;

상기 제 1 전극 상에 유기막층을 형성하는 단계; 및

상기 유기막층을 포함하는 상기 기판 상에 제 2 전극을 형성하는 단계를 포함하며,

상기 बैं크층은 상기 층간 절연막의 상기 개구영역을 통해 상기 제 1 전극과 컨택하는 유기전계발광표시장치의 제조방법.

청구항 6

제 5항에 있어서,

상기 액티브층 및 캐패시터 하부전극을 형성하는 단계는,

상기 기판 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층에 레이저를 조사하여 다결정 실리콘층으로 결정화하는 단계; 및

상기 다결정 실리콘층을 패터닝하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 7

제 5항에 있어서,

상기 게이트 전극, 캐패시터 상부전극 및 제 1 전극을 형성하는 단계는,

상기 게이트 절연막 상에 금속 산화물층 및 금속층을 순차적으로 적층하는 단계;

상기 금속층 상에 상기 제 1 감광막을 도포한 후, 상기 제 1 하프톤 마스크를 이용하여 두께 단차를 갖는 제 1 감광막 패턴 및 제 2 감광막 패턴을 형성하는 단계;

상기 금속 산화물층 및 상기 금속층을 식각하여, 게이트 전극, 캐패시터 상부전극 패턴 및 제 1 전극 패턴을 형성하는 단계;

상기 제 1 감광막 패턴 및 제 2 감광막 패턴을 애싱하여 상기 제 1 감광막 패턴의 두께를 저감하고 상기 제 2 감광막 패턴을 제거하는 단계;

상기 제 2 감광막 패턴이 제거되어 노출된 상기 캐패시터 상부전극 패턴 및 상기 제 1 전극 패턴의 금속층을 에칭하여 캐패시터 상부전극 및 제 1 전극을 형성하는 단계; 및

상기 제 1 감광막 패턴을 제거하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 8

제 5항에 있어서,

상기 게이트 전극, 캐패시터 상부전극 및 제 1 전극을 형성하는 단계 이후에,

상기 액티브층 및 상기 캐패시터 하부전극에 불순물을 도핑하는 단계를 더 포함하는 유기전계발광표시장치의 제조방법.

청구항 9

제 5항에 있어서,

상기 बैं크층 및 상기 스페이서를 형성하는 단계는,

상기 기판 상에 제 2 감광막을 도포하는 단계;

상기 제 2 감광막 상에 상기 제 2 하프톤 마스크를 정렬한 후 노광하는 단계; 및

상기 노광된 제 2 감광막을 현상하여 बैं크층 및 스페이서를 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에, 액정표시장치(Liquid Crystal Display : LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Display Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

[0003] 이들 중, 액정표시장치는 음극선관에 비하여 시인성이 우수하고, 평균소비전력 및 발열량이 작으며, 또한, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 차세대 평판 표시 장치로 주목받고 있다.

[0004] 도 1은 종래의 유기전계발광표시장치를 나타낸 도면이다.

[0005] 도 1을 참조하면, 기판(100) 상에 버퍼층(110)이 위치하고, 버퍼층(110) 상에 액티브층(115a) 및 캐패시터 하부전극(115b)이 위치하며, 이들을 절연시키는 게이트 절연막(120)이 위치한다. 게이트 절연막(120) 상에 게이트전극(130a) 및 캐패시터 상부전극(130b)이 위치하고 이들을 절연시키는 층간 절연막(135)이 위치한다. 층간 절연막(135) 상에 콘택홀(140a, 140b)을 통해 액티브층(115a)과 연결된 소오스 전극(145a) 및 드레인 전극(145b)이 위치하여 박막 트랜지스터(TFT)가 구성된다.

[0006] 그리고, 박막 트랜지스터(TFT) 상에 패시베이션막(150)이 위치하고, 비어홀(155)을 통해 드레인 전극(145b)에 연결된 제 1 전극(160)이 위치한다. 제 1 전극(160)을 노출시키는 개구부(170)를 포함하는 बैं크층(165)이 기판(100) 상에 위치하고, 제 1 전극(160) 상에 유기막층(175)이 위치한다. 그리고, 유기막층(175) 주변에 스페이서(180)가 위치하고, 기판(100) 상에 제 2 전극(185)이 위치하여 유기전계발광표시장치를 구성한다.

[0007] 상기 종래의 유기전계발광표시장치는 액티브층(115a), 캐패시터 하부전극(115b), 게이트 전극(130a), 콘택홀(140a, 140b), 소오스 전극(145a) 및 드레인 전극(145b), 비어홀(155), 제 1 전극(160), 개구부(170) 및 스페이서(180)를 형성하기 위해 총 9매의 마스크를 이용하여 제조될 수 있다.

[0008] 그러나, 종래 유기전계발광표시장치는 9매의 마스크를 이용하여 공정수가 많고 그만큼 고비용이 요구되어 생산성이 낮은 문제점이 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 마스크 수를 저감하여 비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 유기전계발광표시

장치 및 그 제조방법을 제공한다.

과제의 해결 수단

- [0010] 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 기관, 상기 기관 상에 서로 이격되어 위치하는 액티브층 및 캐패시터 하부전극, 상기 액티브층 및 상기 캐패시터 하부전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 액티브층에 대응되게 위치하는 게이트 전극, 상기 캐패시터 하부전극 상에 대응되게 위치하는 캐패시터 상부전극 및 상기 게이트 전극 및 상기 캐패시터 상부전극과 이격되게 위치하는 제 1 전극, 상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 위치하는 층간 절연막, 상기 층간 절연막 상에 위치하며, 상기 액티브층에 연결되고, 어느 하나가 상기 제 1 전극에 연결된 소오스 전극 및 드레인 전극, 상기 소오스 전극 및 드레인 전극을 포함하는 기관 상에 위치하며, 상기 제 1 전극의 일부를 노출시키는 बैं크층, 상기 बैं크층 상에 위치하는 스페이서, 상기 노출된 제 1 전극 상에 위치하는 유기막층 및 상기 유기막층을 포함하는 상기 기관 상에 위치하는 제 2 전극을 포함할 수 있다.
- [0011] 상기 게이트 전극은 금속 산화물 패턴 및 금속 패턴으로 이루어질 수 있다.
- [0012] 상기 캐패시터 상부전극은 상기 금속 산화물 패턴으로 이루어질 수 있다.
- [0013] 상기 스페이서는 상기 बैं크층과 동일한 물질로 이루어질 수 있다.
- [0014] 또한, 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법은 기관 상에 액티브층 및 캐패시터 하부전극을 형성하는 단계, 상기 액티브층 및 상기 캐패시터 하부전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 금속 산화물층 및 금속층을 적층하고 제 1 감광막을 도포한 후, 제 1 하프톤 마스크를 이용하여 패터닝하여 게이트 전극, 캐패시터 상부전극 및 제 1 전극을 형성하는 단계, 상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 층간 절연막을 형성하는 단계, 상기 층간 절연막 상에 소오스 전극 및 드레인 전극을 형성하는 단계, 상기 소오스 전극 및 드레인 전극을 포함하는 기관 상에 제 2 감광막을 도포한 후 제 2 하프톤 마스크를 이용하여 패터닝하여 बैं크층 및 스페이서를 형성하는 단계, 상기 제 1 전극 상에 유기막층을 형성하는 단계 및 상기 유기막층을 포함하는 상기 기관 상에 제 2 전극을 형성하는 단계를 포함할 수 있다.
- [0015] 상기 액티브층 및 캐패시터 하부전극을 형성하는 단계는, 상기 기관 상에 비정질 실리콘층을 형성하는 단계, 상기 비정질 실리콘층에 레이저를 조사하여 다결정 실리콘층으로 결정화하는 단계 및 상기 다결정 실리콘층을 패터닝하는 단계를 포함할 수 있다.
- [0016] 상기 게이트 전극, 캐패시터 상부전극 및 제 1 전극을 형성하는 단계는, 상기 게이트 절연막 상에 금속 산화물층 및 금속층을 순차적으로 적층하는 단계, 상기 금속층 상에 상기 제 1 감광막을 도포한 후, 상기 제 1 하프톤 마스크를 이용하여 두께 단차를 갖는 제 1 감광막 패턴 및 제 2 감광막 패턴을 형성하는 단계, 상기 금속 산화물층 및 상기 금속층을 식각하여, 게이트 전극, 캐패시터 상부전극 패턴 및 제 1 전극 패턴을 형성하는 단계, 상기 제 1 감광막 패턴 및 제 2 감광막 패턴을 에칭하여 상기 제 1 감광막 패턴의 두께를 저감하고 상기 제 2 감광막 패턴을 제거하는 단계, 상기 제 2 감광막 패턴이 제거되어 노출된 상기 캐패시터 상부전극 패턴 및 상기 제 1 전극 패턴의 금속층을 에칭하여 캐패시터 상부전극 및 제 1 전극을 형성하는 단계 및 상기 제 1 감광막 패턴을 제거하는 단계를 포함할 수 있다.
- [0017] 상기 게이트 전극, 캐패시터 상부전극 및 제 1 전극을 형성하는 단계 이후에, 상기 액티브층 및 상기 캐패시터 하부전극에 불순물을 도핑하는 단계를 더 포함할 수 있다.
- [0018] 상기 बैं크층 및 상기 스페이서를 형성하는 단계는, 상기 기관 상에 제 2 감광막을 도포하는 단계, 상기 제 2 감광막 상에 상기 제 2 하프톤 마스크를 정렬한 후 노광하는 단계 및 상기 노광된 제 2 감광막을 현상하여 बैं크층 및 스페이서를 형성하는 단계를 포함할 수 있다.

발명의 효과

- [0019] 본 발명의 일 실시 예에 따른 유기전계발광표시장치 및 그 제조방법은 종래 총 9매의 마스크를 이용하여 유기전계발광표시장치를 제조한 것과는 달리, 총 5매의 마스크로 유기전계발광표시장치를 제조할 수 있다.

[0020] 따라서, 4매의 마스크 수를 저감함으로써, 제조비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

[0021] 도 1은 종래의 유기전계발광표시장치를 나타낸 도면.

도 2는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 단면도.

도 3a 내지 도 3k는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 단면도.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예들을 상세히 설명하면 다음과 같다.

[0023] 도 2는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 단면도이다.

[0024] 도 2를 참조하면, 본 발명의 일 실시 예에 따른 유기전계발광표시장치(200)는 기판(210) 상에 버퍼층(215)이 위치하고, 버퍼층(215) 상에 액티브층(220a) 및 캐패시터 하부전극(220b)이 위치한다. 액티브층(220a)은 불순물이 도핑되어 소오스 영역(221) 및 드레인 영역(222)을 포함하고, 캐패시터 하부전극(220b)에도 불순물이 도핑되어 있다.

[0025] 상기 액티브층(220a) 및 캐패시터 하부전극(220b) 상에 게이트 절연막(225)이 위치한다. 게이트 절연막(225) 상에 게이트 전극(230a)과 캐패시터 상부전극(230b)이 위치한다. 게이트 전극(230a)은 액티브층(220a)에 대응되도록 위치하고, 캐패시터 상부전극(230b)은 캐패시터 하부전극(220b)에 대응되도록 위치한다. 그리고, 게이트 전극(230a)은 금속 산화물 패턴(231) 및 금속 패턴(232)이 적층된 2중층으로 이루어질 수 있다. 그리고, 게이트 전극(230a) 및 캐패시터 상부전극(230b)과 이격되는 영역에 제 1 전극(230c)이 위치한다.

[0026] 상기 게이트 전극(230a), 캐패시터 상부전극(230b) 및 제 1 전극(230c) 상에 층간 절연막(235)이 위치한다. 층간 절연막(235)은 액티브층(220a)의 소오스 영역(221) 및 드레인 영역(222)을 노출시키는 콘택홀(240)이 형성되고, 제 1 전극(230c)을 노출시키는 개구영역(241)이 형성된다.

[0027] 상기 층간 절연막(235) 상에 소오스 전극(245a) 및 드레인 전극(245b)이 위치한다. 소오스 전극(245a) 및 드레인 전극(245b)은 액티브층(220a)의 소오스 영역(221) 및 드레인 영역(222)에 각각 콘택하고, 상기 드레인 전극(245b)은 제 1 전극(230c)에 콘택한다.

[0028] 상기 소오스 전극(245a) 및 드레인 전극(245b)이 형성된 기판(210) 상에 बैं크층(250) 및 스페이서(260)가 위치한다. बैं크층(250)은 제 1 전극(230c)을 노출시키는 개구부(255)가 형성된다. 그리고, 스페이서(260)는 बैं크층(250)의 표면보다 돌출되어 बैं크층(250)과 일체형으로 이루어지고, 노출된 제 1 전극(230c)의 주변에 위치한다.

[0029] 상기 노출된 제 1 전극(230c) 상에 유기막층(265)이 위치한다. 유기막층(265)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층 중 적어도 하나를 포함할 수도 있다. 그리고, 유기막층(265)을 포함하는 기판(210) 상에 제 2 전극(270)이 위치하여 본 발명의 일 실시 예에 따른 유기전계발광표시장치(200)를 구성할 수 있다.

[0030] 이하, 전술한 본 발명의 일 실시 예에 따른 유기전계발광표시장치를 제조하는 제조방법에 대해 설명하면 다음과 같다.

[0031] 도 3a 내지 도 3k는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 도면이다.

[0032] 먼저, 도 3a를 참조하면, 유리, 플라스틱 또는 도전성 물질로 이루어진 제 1 기판(310) 상에 버퍼층(315)을 형성한다. 버퍼층(315)은 이후 수행될 비정질 실리콘층의 레이저 결정화 공정 시 기판(310) 표면에 존재하는 불순물들이 용출되어 비정질 실리콘층으로 확산하는 것을 방지하며, 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 이루어질 수 있다.

[0033] 상기 버퍼층(315) 상에 비정질 실리콘층(317)을 증착한다. 이어, 비정질 실리콘층(317)에 레이저를 조사하는 레이저 결정화 공정을 수행한다. 이때, 레이저 결정화 공정은 엑시머 레이저 어닐링(excimer laser annealing ;

ELA)으로 수행할 수 있다. 따라서, 비정질 실리콘층(317)은 다결정 실리콘층으로 결정화된다.

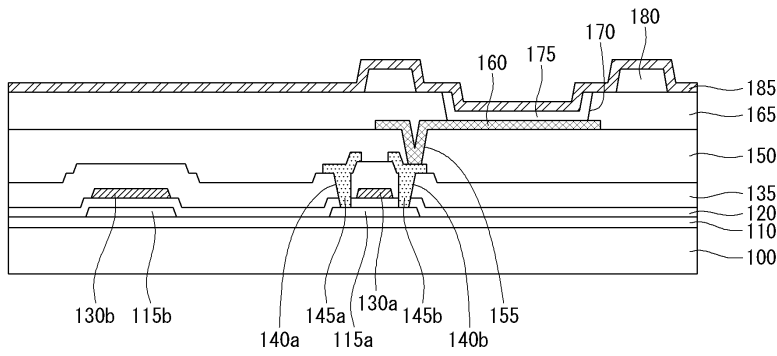
- [0034] 이어, 도 3b를 참조하면, 상기 다결정 실리콘층을 제 1 마스크를 이용하여 패터닝하여, 액티브층(320a) 및 캐패시터 하부전극(320b)을 형성한다.
- [0035] 다음, 도 3c를 참조하면, 상기 액티브층(320a) 및 캐패시터 하부전극(320b)을 포함하는 기판(310) 상에 게이트 절연막(325)을 형성한다. 게이트 절연막(325)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 이루어질 수 있다.
- [0036] 이어, 게이트 절연막(325) 상에 금속 산화물층(330) 및 금속층(335)을 순차적으로 적층한다. 이때, 금속 산화물층(330)은 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)로 형성할 수 있다. 그리고, 금속층(335)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수도 있다.
- [0037] 다음, 상기 금속 산화물층(330) 및 금속층(335)을 포함하는 기판(310) 상에 제 1 감광막(340)을 스핀 코팅 등의 방법으로 도포한다. 제 1 감광막(340)은 포지티브 포토레지스트(positive photoresist)로 광이 조사되면 추후 분해되어 제거되는 물질일 수 있다.
- [0038] 이어, 제 1 감광막(340)이 형성된 기판(310) 상에 투과부(351), 반투과부(352) 및 차단부(353)로 이루어진 제 1 하프톤 마스크(350)를 정렬시킨 후 자외선(UV)을 조사한다.
- [0039] 다음, 도 3d를 참조하면, 상기 제 1 하프톤 마스크(350)를 통한 회절 노광 기법을 이용한 후 현상하여, 두께 단차를 갖는 제 1 감광막 패턴(355) 및 제 2 감광막 패턴(356)을 형성한다.
- [0040] 보다 자세하게는, 상기 제 1 하프톤 마스크(350)를 이용한 회절 노광 기법을 이용함으로써, 상기 차단부(353)가 적용되어 차단부(353)와 대향하는 제 1 감광막(340)이 그대로 남은 제 1 감광막 패턴(355)과, 상기 반투과부(352)가 적용되어 반투과부(352)와 대향하는 제 1 감광막(340)이 회절되어 투과되는 광에 의해 상기 제 1 감광막 패턴(355)의 절반 이하의 두께로 남은 제 2 감광막 패턴(356)을 형성한다. 그리고, 투과부(351)와 대향하는 제 1 감광막(340)은 현상 시 분해되어 모두 제거됨으로써, 상기 금속층(335)의 표면을 노출시킨다.
- [0041] 이때, 제 1 감광막 패턴(355)은 추후 게이트 전극이 형성될 영역에 형성하고, 제 2 감광막 패턴(356)은 추후 캐패시터 상부전극과 제 1 전극이 형성될 영역에 형성한다.
- [0042] 다음, 도 3e를 참조하면, 제 1 감광막 패턴(355) 및 제 2 감광막 패턴(356)을 이용하여 상기 금속 산화물층(330) 및 금속층(335)을 식각하여, 각 패턴을 형성한다. 이어, 애싱(ashing) 공정으로 제 2 감광막 패턴(356)을 제거하고, 제 2 감광막 패턴(356)의 제거된 두께만큼 제 1 감광막 패턴(355)의 두께를 저장한다.
- [0043] 이어, 제 2 감광막 패턴(356)이 제거된 영역의 금속 산화물층(330) 및 금속층(335) 중 금속층(335)을 식각할 수 있는 식각액을 이용하여 금속층(335)을 식각하여 캐패시터 상부전극(365) 및 제 1 전극(367)을 형성한다.
- [0044] 그리고, 기판(310) 상에 남아 있는 제 1 감광막 패턴(355)을 스트립하여 제거하여 도 3f에 도시된 바와 같이, 게이트 전극(360)을 형성한다.
- [0045] 따라서, 도 3f를 참조하면, 게이트 절연막(325) 상에 금속 산화물 패턴(361)과 금속 패턴(362)이 적층된 게이트 전극(360)이 형성되고, 금속 산화물 패턴(361)으로만 이루어진 캐패시터 상부전극(365)과 제 1 전극(367)이 형성된다.
- [0046] 이어, 상기 기판(310) 상에 불순물 도핑 공정을 수행한다. 이때, 액티브층(320a)에는 게이트 전극(360)이 마스크로 작용하여 액티브층(320a)의 양측에 불순물이 도핑된다. 따라서, 액티브층(320a)에 소오스 영역(321) 및 드레인 영역(322)이 형성된다. 또한, 캐패시터 상부전극(365) 및 하부전극(320b)에도 불순물이 도핑된다.
- [0047] 다음, 도 3g를 참조하면, 상기 불순물 도핑 공정이 수행된 기판(310) 상에 층간 절연막(370)을 형성한다. 층간 절연막(370)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 이루어질 수 있다.
- [0048] 이어, 제 2 마스크를 이용하여 층간 절연막(370)을 패터닝하여, 액티브층(320a)의 소오스 영역(321) 및 드레인 영역(322)을 노출시키는 콘택홀(375)을 형성하고, 제 1 전극(370)을 노출시키는 개구영역(376)을 형성한다.
- [0049] 다음, 도 3h를 참조하면, 상기 기판(310) 상에 도전층을 증착하고 제 3 마스크를 이용하여 패터닝함으로써, 소오스 전극(380a) 및 드레인 전극(380b)을 형성한다. 이때, 소오스 전극(380a) 및 드레인 전극(380b)은 콘택홀

(375)을 통해 각각 액티브층(320a)의 소오스 영역(321) 및 드레인 영역(322)에 콘택하고, 드레인 전극(380b)은 제 1 전극(367)에 콘택한다.

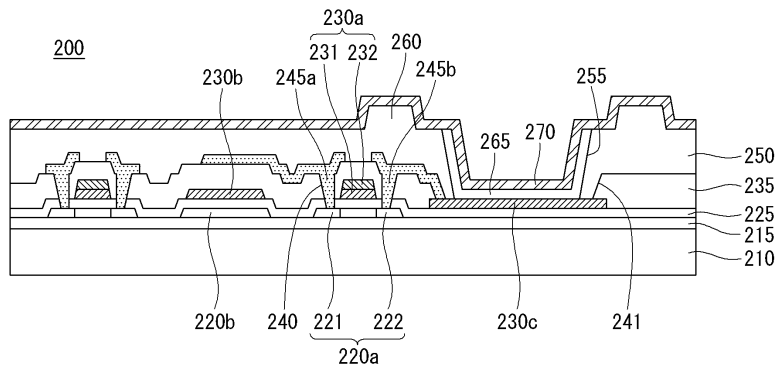
- [0050] 이때, 소오스 전극(380a) 및 드레인 전극(380b)은 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 알루미늄(Al) 또는 이들의 합금으로 이루어진 단일층일 수 있다. 또한, 소오스 전극(380a) 및 드레인 전극(380b)은 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 이루어질 수도 있다.
- [0051] 이어서, 상기 소오스 전극(380a) 및 드레인 전극(380b)을 포함한 기판(310) 상에 제 2 감광막(390)을 스핀 코팅 등의 방식으로 도포한다. 제 2 감광막(390)은 앞선 제 1 감광막(390)과 동일한 물질일 수 있다.
- [0052] 이어, 제 2 감광막(390)이 형성된 기판(310) 상에 투과부(381), 반투과부(382) 및 차단부(383)로 이루어진 제 2 하프톤 마스크(380)를 정렬시킨 후 자외선(UV)을 조사한다. 이때, 제 2 하프톤 마스크(380)의 차단부(383)는 스페이서가 형성될 영역에 정렬하고, 반투과부(382)는 बैं크층이 형성될 영역에 정렬하고, 투과부(381)는 제 1 전극(367)이 위치한 영역에 정렬한다.
- [0053] 다음, 도 3i를 참조하면, 상기 제 2 하프톤 마스크(380)를 통한 회절 노광 기법을 이용한 후 현상하여, बैं크층(395) 및 스페이서(397)를 형성한다.
- [0054] 보다 자세하게는, 제 2 하프톤 마스크(380)를 이용한 회절 노광 기법을 이용함으로써, 상기 차단부(383)가 적용되어 차단부(383)와 대향하는 제 2 감광막(380)이 그대로 남은 스페이서(397)와, 상기 반투과부(382)가 적용되어 반투과부(382)와 대향하는 제 2 감광막(380)이 회절되어 투과되는 광에 의해 상기 스페이서(397)의 절반 이하의 두께로 남은 बैं크층(395)을 형성한다. 그리고, 투과부(381)와 대향하는 제 2 감광막(380)은 현상 시 분해되어 모두 제거됨으로써, 상기 제 1 전극(367)의 표면을 노출시키는 개구부(396)가 형성된다.
- [0055] 이에 따라, 도 3i에 도시된 바와 같이, बैं크층(395) 및 스페이서(397)가 동시에 형성되어 일체형으로 이루어질 수 있다.
- [0056] 다음, 상기 बैं크층(395) 및 스페이서(397)가 형성된 기판(310)을 진공 챔버 내에 장착하고, 기판(310) 상에 웨도우 마스크(400)를 정렬시킨다. 이때, 웨도우 마스크(400)는 스페이서(397) 상에 정렬된다.
- [0057] 그리고, 기판(310) 상에 유기물을 증착하여 도 3j에 도시된 바와 같이, 제 1 전극(367) 상에 유기막층(410)을 형성한다. 유기막층(410)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층 중 적어도 하나를 포함할 수 있다.
- [0058] 다음, 도 3k를 참조하면, 기판(310) 상에 금속 물질을 적층하여 제 2 전극(420)을 형성한다. 제 2 전극(420)은 배선 저항 및 일함수가 낮은 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca) 또는 이들의 합금으로 이루어질 수 있다.
- [0059] 따라서, 상기 제 2 전극(420)을 형성함으로써, 본 발명의 실시 예에 따른 유기전계발광표시장치를 제조한다.
- [0060] 상기와 같이, 본 발명의 일 실시 예에 따른 유기전계발광표시장치 및 그 제조방법은 종래 총 9매의 마스크를 이용하여 유기전계발광표시장치를 제조한 것과는 달리, 제 1 내지 제 3 마스크와, 제 1 및 제 2 하프톤 마스크의 총 5매의 마스크로 유기전계발광표시장치를 제조할 수 있다.
- [0061] 따라서, 본 발명은 총 4매의 마스크 수를 저감함으로써, 제조비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 이점이 있다.
- [0062] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

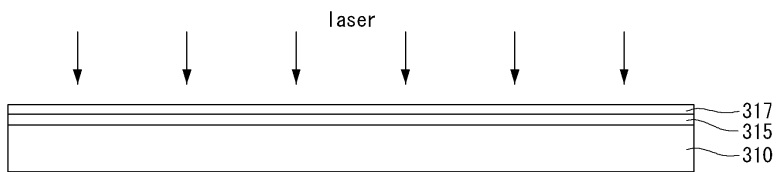
도면1



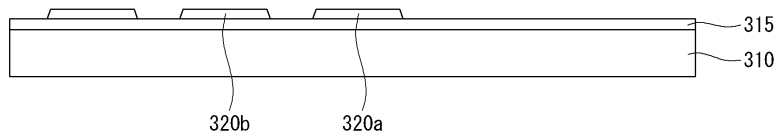
도면2



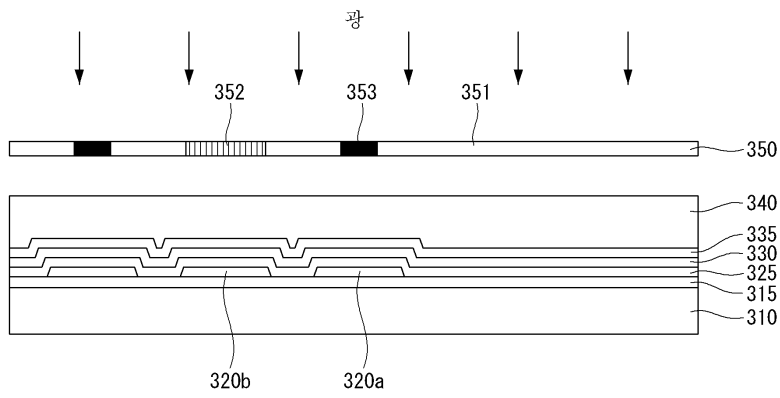
도면3a



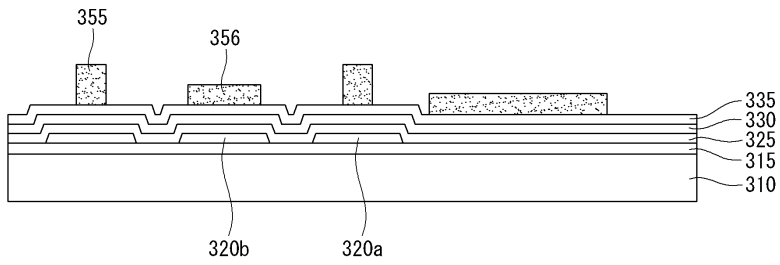
도면3b



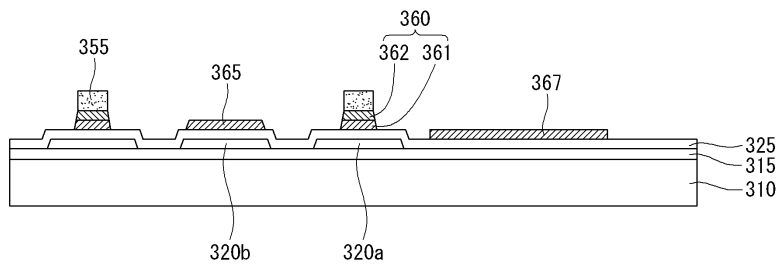
도면3c



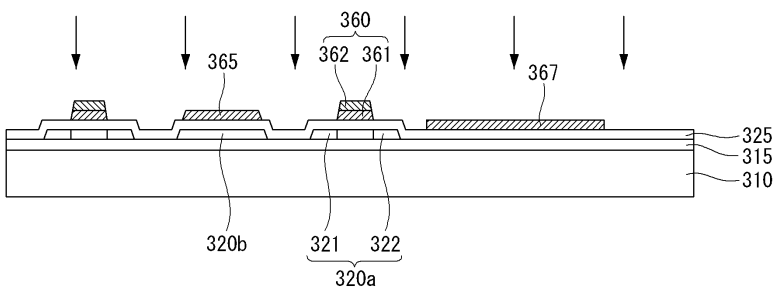
도면3d



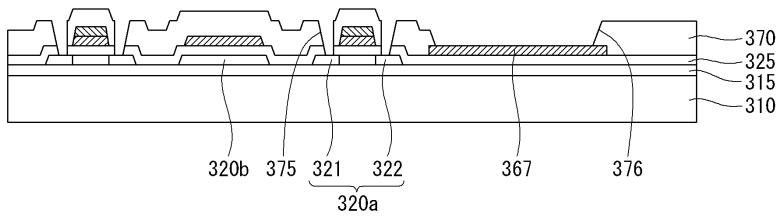
도면3e



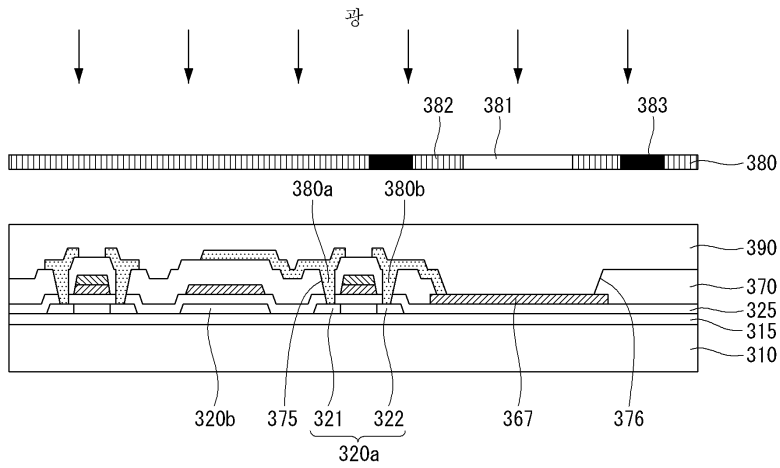
도면3f



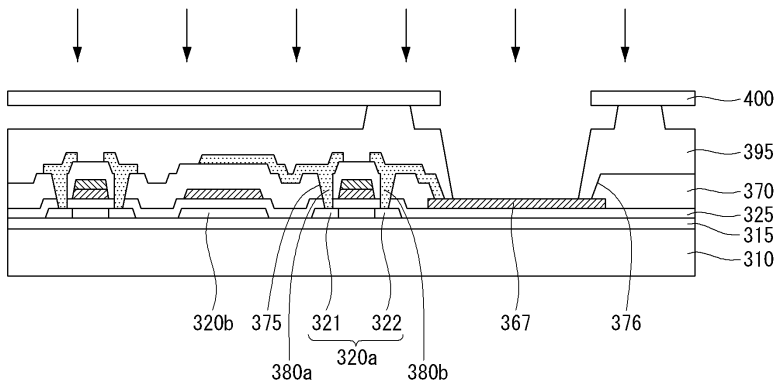
도면3g



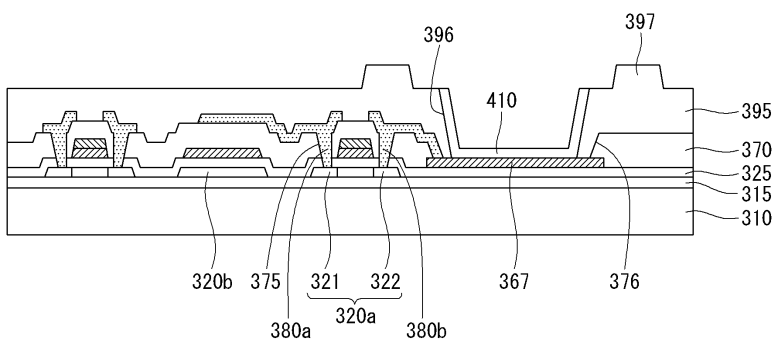
도면3h



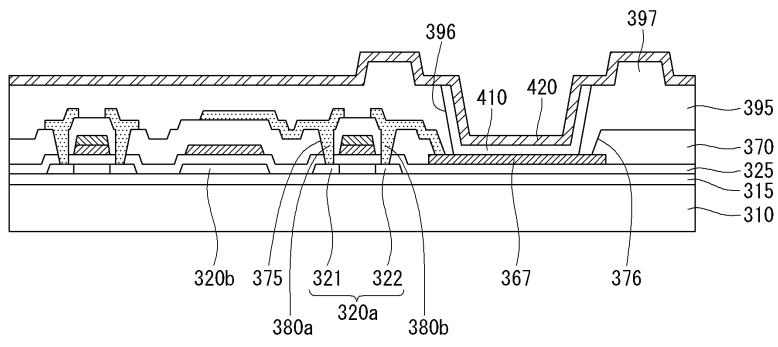
도면3i



도면3j



도면3k



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR101781090B1	公开(公告)日	2017-09-25
申请号	KR1020100092419	申请日	2010-09-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUN HO 김현호 LEE SEOK WOO 이석우 CHOI HEE DONG 최희동 LEE SANG JIN 이상진 SEO SEONG MOH 서성모		
发明人	김현호 이석우 최희동 이상진 서성모		
IPC分类号	H01L51/52 H01L51/56		
CPC分类号	H01L27/3246 H01L27/1255 H01L29/4908		
其他公开文献	KR1020120030275A		
外部链接	Espacenet		

摘要(译)

根据本发明的一个实施例的有机发光显示装置包括：基板，有源层和电容器下电极，有源层和栅绝缘膜，所述设置在所述容量下部电极绝缘膜的栅极彼此在基底上间隔开的对应于有源层的栅电极，对应于电容器下电极的电容器上电极，与栅电极和电容器上电极间隔开的第一电极，，电容器上部电极和层间绝缘膜，设置在该层间绝缘膜上，并连接到所述有源层，或者连接到所述第一电极和漏电极，设置在所述第一电极的源极的源极电极和漏电极，其中第一电极的一部分可包括设置在衬底，包括银层，有机层和有机层，以定位在所述堤层在所述间隔物上的第二电极，位于所述第一电极暴露，所述露出。

