



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년02월23일  
 (11) 등록번호 10-1705822  
 (24) 등록일자 2017년02월06일

(51) 국제특허분류(Int. Cl.)  
 H01L 51/52 (2006.01) H01L 51/56 (2006.01)  
 (21) 출원번호 10-2010-0105378  
 (22) 출원일자 2010년10월27일  
 심사청구일자 2015년10월26일  
 (65) 공개번호 10-2012-0044023  
 (43) 공개일자 2012년05월07일  
 (56) 선행기술조사문헌  
 KR1020090120698 A\*  
 KR100810640 B1\*  
 KR1020030054795 A  
 KR1020060000356 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
 표성철  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
 (74) 대리인  
 리엔목특허법인

전체 청구항 수 : 총 19 항

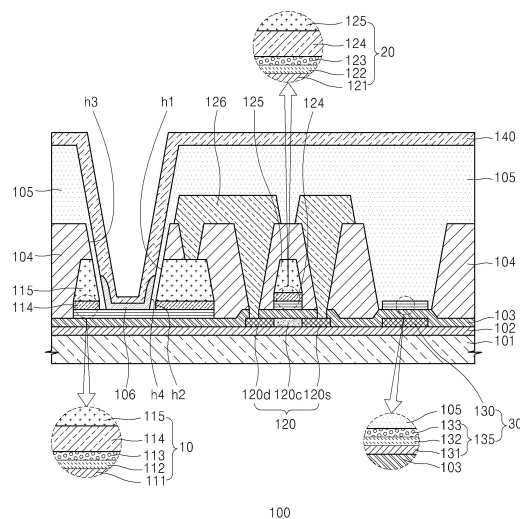
심사관 : 조성수

**(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법**

**(57) 요약**

본 발명은 기판 상에 형성된 활성층; 상기 활성층 상에 형성된 제1절연층, 상기 제1절연층 상에 형성되며 투명 도전물질을 포함하는 제1도전층, 금속을 포함하는 제2도전층, 투명 도전물질을 포함하는 제3도전층, 상기 제3도전층을 보호하며 금속을 포함하는 제4도전층 및 제5도전층이 순차적으로 적층된 게이트전극; 상기 게이트전극과 이격되어 상기 제1절연층 상에 형성되며 투명 도전물질을 포함하는 제1전극층, 금속을 포함하는 제2전극층, 투명 도전물질을 포함하는 제3전극층, 상기 제3전극층을 보호하며 금속을 포함하는 제4전극층 및 제5전극층이 순차적으로 적층된 화소전극; 제2절연층을 사이에 두고 상기 활성층에 전기적으로 연결된 소스전극 및 드레인전극; 상기 화소전극 상에 형성된 중간층; 및 상기 중간층을 사이에 두고 상기 화소전극에 대향 배치되는 대향전극; 을 포함하여 공정 단계에서 화소전극의 손상을 줄이기 위한 유기 발광 표시 장치를 제공한다.

**대표도 - 도1**



## 명세서

### 청구범위

#### 청구항 1

기판 상에 형성된 활성층;

상기 활성층 상에 형성된 제1절연층, 상기 제1절연층 상에 형성되며 투명 도전물질을 포함하는 제1도전층, 금속을 포함하는 제2도전층, 투명 도전물질을 포함하는 제3도전층, 상기 제3도전층을 보호하며 금속을 포함하는 제4도전층 및 제5도전층이 순차적으로 적층된 게이트전극;

상기 게이트전극과 이격되어 상기 제1절연층 상에 형성되며 투명 도전물질을 포함하는 제1전극층, 금속을 포함하는 제2전극층, 투명 도전물질을 포함하는 제3전극층, 상기 제3전극층을 보호하며 금속을 포함하는 제4전극층 및 제5전극층이 순차적으로 적층된 화소전극;

제2절연층을 사이에 두고 상기 활성층에 전기적으로 연결된 소스전극 및 드레인전극;

상기 화소전극 상에 형성된 중간층; 및

상기 중간층을 사이에 두고 상기 화소전극에 대향 배치되는 대향전극;을 포함하고,

상기 화소전극의 상기 제3전극층은 상기 중간층과 접하는 유기 발광 표시 장치.

#### 청구항 2

제1항에 있어서

상기 제2전극층은 Ag 또는 Al을 포함하는 유기 발광 표시 장치.

#### 청구항 3

제1항에 있어서

상기 제3전극층은 핀 홀을 함유하는 ITO를 포함하는 유기 발광 표시 장치.

#### 청구항 4

제1항에 있어서

상기 제4전극층은 Ti를 포함하는 유기 발광 표시 장치.

#### 청구항 5

제1항에 있어서

상기 제1전극층은 ITO를 포함하며,

상기 제5전극층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W) 및 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함하는 유기 발광 표시 장치.

#### 청구항 6

제1항에 있어서

상기 제1전극층과 상기 제1도전층은 같은 재료로 형성되고, 상기 제2전극층과 상기 제2도전층은 같은 재료로 형성되고, 상기 제3전극층과 상기 제3도전층은 같은 재료로 형성되고, 상기 제4전극층과 상기 제4도전층은 같은 재료로 형성되고, 상기 제5전극층과 상기 제5도전층은 같은 재료로 형성되는 유기 발광 표시 장치.

#### 청구항 7

삭제

**청구항 8**

제1항에 있어서

상기 화소전극의

상기 제5전극층은 하부의 상기 제4전극층을 노출하도록 제1개구부를 구비하며, 상기 제4전극층은 상기 제3전극층을 노출하도록 상기 제1개구부에 대응하는 제2개구부를 구비하는 유기 발광 표시 장치.

**청구항 9**

제1항에 있어서

상기 화소전극의

상기 제5 전극층은 상기 소스전극 및 드레인전극 중 어느 하나의 전극과 전기적으로 연결된 유기 발광 표시 장치.

**청구항 10**

제8항에 있어서

상기 제2절연층은 상기 게이트전극 및 상기 화소전극상에 형성되어 상기 게이트전극과 상기 소스전극 및 드레인전극을 절연하며 상기 제2절연층은 상기 제1개구부 및 상기 제2개구부에 대응하는 제3개구부를 구비하는 유기 발광 표시 장치.

**청구항 11**

제10항에 있어서

상기 소스전극 및 드레인전극상에 형성되는 화소정의막을 더 포함하고,

상기 화소정의막은 상기 제1개구부 및 상기 제2개구부와 접하거나 상기 제1개구부 및 상기 제2개구부 내에 형성되는 제4개구부를 구비하고, 상기 제4개구부를 통하여 상기 중간층이 상기 제3전극층과 접하는 유기 발광 표시 장치.

**청구항 12**

제1항에 있어서

상기 활성층과 동일한 층에 상기 활성층과 이격되도록 형성된 커패시터하부전극; 및

상기 커패시터하부전극과 상기 제1절연층에 의해 절연되고, 상기 게이트전극과 동일한 층에 상기 커패시터하부전극과 대응되도록 형성된 커패시터상부전극;

을 포함하는 유기 발광 표시 장치.

**청구항 13**

제12항에 있어서

상기 커패시터상부전극은

ITO를 포함하는 제1상부층, Ag 또는 Al을 포함하는 제2상부층 및 핀 홀을 함유하는 ITO를 포함하는 제3상부층이 순차적으로 적층된 유기 발광 표시 장치.

**청구항 14**

(a) 기관 상에 형성된 활성층을 형성하는 단계;

(b) 상기 활성층 상에 제1절연층을 형성하고 상기 제1절연층 상에 ITO를 포함하는 제1층, Ag 또는 Al을 포함하는 제2층, 핀 홀을 함유하는 ITO를 포함하는 제3층, 상기 제3층을 보호하며 Ti을 포함하는 제4층 및 제5층을 순

차적으로 적층하고, 상기 제1층, 제2층, 제3층, 제4층 및 제5층을 패터닝하여 게이트전극 및 화소전극을 형성하며, 여기서 상기 화소전극은 상기 제1층에 대응하는 제1전극층, 상기 제2층에 대응하는 제2전극층, 상기 제3층에 대응하는 제3전극층, 상기 제4층에 대응하는 제4전극층 및 상기 제5층에 대응하는 제5전극층을 포함하는 단계;

(c) 상기 (b)단계의 결과물 상에 제2절연층을 형성하고 상기 제2절연층을 패터닝하여 상기 화소전극 및 상기 활성층을 노출하는 단계;

(d) 상기 (c)단계의 결과물 상에 금속층을 형성하고, 상기 금속층을 제1식각액으로 패터닝하여 상기 활성층과 접하는 소스전극 및 드레인전극을 형성하며, 동시에 상기 화소전극의 상기 제5전극층을 제1식각액으로 식각하여 상기 제4전극층을 노출하는 단계;

(e) 상기 제(d) 단계의 결과물에서 노출된 상기 화소전극의 상기 제4전극층을 제2식각액으로 식각하여 상기 제3전극층을 노출하는 단계; 및

(f) 상기 제(e) 단계의 결과물 상에 화소정의막을 형성하고, 상기 화소정의막이 상기 화소전극의 상기 제3전극층을 노출하도록 하는 단계;

를 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 15**

제14항에 있어서

(g) 상기 제(f) 단계의 결과물 상에서 노출된 상기 제3전극층 상에 중간층을 형성하고, 상기 중간층을 덮는 대향전극을 형성하는 단계;

를 더 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 16**

제14항에 있어서

상기 제1식각액은 인산계, 질산계 및 초산계를 포함하며, 상기 제2식각액은 불산계를 포함하는 유기 발광 표시 장치의 제조 방법

**청구항 17**

제14항에 있어서

상기 소스전극 및 드레인전극 중 어느 하나의 전극은 상기 화소전극과 전기적으로 연결된 유기 발광 표시 장치의 제조 방법.

**청구항 18**

제14항에 있어서

상기 (a)단계에 있어서, 상기 활성층과 동일한 층에 상기 활성층과 이격되도록 커패시터하부전극을 형성하는 단계;

를 더 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 19**

제18항에 있어서

상기 (b) 단계에 있어서, 상기 제1절연층 상에 상기 커패시터하부전극과 대응되도록 커패시터상부전극을 형성하며, 상기 커패시터상부전극은 ITO를 포함하는 제1상부층, Ag 또는 Al을 포함하는 제2상부층, 편 흡을 함유하는 ITO를 포함하는 제3상부층, 및 Ti를 포함하는 제4상부층이 순차적으로 적층된 유기 발광 표시 장치의 제조 방법.

**청구항 20**

제19항에 있어서

상기 (c)단계에 있어서, 상기 제2절연층을 패터닝하여 상기 커패시터상부전극을 노출하는 단계;

를 더 포함하고,

상기 (e)단계에 있어서, 상기 커패시터상부전극의 상기 제4상부층을 상기 제2식각액으로 식각하여 상기 제3상부층을 노출하는 단계;

를 포함하는 유기 발광 표시 장치의 제조 방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

#### 배경 기술

[0002] 유기 발광 표시 장치는 기판 상에 박막트랜지스터, 커패시터 및 화소전극과 이를 연결하는 배선을 포함하는 패턴이 형성됨으로써 제작된다. 이러한 패턴을 제작하는 과정 중 화소전극의 일부를 식각액으로 식각하여 개구부를 형성한다. 이 때 화소전극은 광효율의 증대를 위하여 금속을 포함하는 전극층을 포함하며, 금속을 포함하는 전극층 위에 투명 도전물질을 포함하는 전극층을 구비할 수 있다. 여기서, 투명 도전물질을 포함하는 전극층은 결정구조상 다수개의 핀 홀을 포함할 수 있다.

[0003] 따라서, 개구부를 형성하는 과정에서 핀 홀을 통해 식각액이 금속을 포함하는 전극층으로 침투하여 금속을 포함하는 전극층이 손상되는 문제가 있다.

#### 발명의 내용

##### 해결하려는 과제

[0004] 본 발명은 공정 단계에서 화소전극의 손상을 줄이기 위하여 다층으로 이루어진 화소전극을 포함하는 유기 발광 표시 장치 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

##### 과제의 해결 수단

[0005] 본 발명의 일 측면에 따르면 기판 상에 형성된 활성층; 상기 활성층 상에 형성된 제1절연층, 상기 제1절연층 상에 형성되며 투명 도전물질을 포함하는 제1도전층, 금속을 포함하는 제2도전층, 투명 도전물질을 포함하는 제3도전층, 상기 제3도전층을 보호하며 금속을 포함하는 제4도전층 및 제5도전층이 순차적으로 적층된 게이트전극; 상기 게이트전극과 이격되어 상기 제1절연층 상에 형성되며 투명 도전물질을 포함하는 제1전극층, 금속을 포함하는 제2전극층, 투명 도전물질을 포함하는 제3전극층, 상기 제3전극층을 보호하며 금속을 포함하는 제4전극층 및 제5전극층이 순차적으로 적층된 화소전극; 제2절연층을 사이에 두고 상기 활성층에 전기적으로 연결된 소스전극 및 드레인전극; 상기 화소전극 상에 형성된 중간층; 및 상기 중간층을 사이에 두고 상기 화소전극에 대향 배치되는 대향전극; 을 포함하는 유기 발광 표시 장치를 제공한다.

[0006] 여기서 상기 제2전극층은 Ag 또는 Al을 포함한다.

[0007] 여기서 상기 제3전극층은 핀 홀을 함유하는 ITO를 포함한다.

[0008] 여기서 상기 제4전극층은 Ti를 포함한다.

[0009] 여기서 상기 제1전극층은 ITO를 포함하며, 제5전극층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함한다.

[0010] 여기서 상기 제1전극층과 상기 제1도전층은 같은 재료로 형성되고, 상기 제2전극층과 상기 제2도전층은 같은 재료로 형성되고, 상기 제3전극층과 상기 제3도전층은 같은 재료로 형성되고, 상기 제4전극층과 상기 제4도전층은 같은 재료로 형성되고, 상기 제5전극층과 상기 제5도전층은 같은 재료로 형성된다.

- [0011] 여기서 상기 화소전극의 상기 제3전극층은 상기 중간층과 접한다.
- [0012] 여기서 상기 화소전극의 상기 제5전극층은 하부의 상기 제4전극층을 노출하도록 제1개구부를 구비하며, 상기 제4전극층은 상기 제3전극층을 노출하도록 상기 제1개구부에 대응하는 제2개구부를 구비한다.
- [0013] 여기서 상기 화소전극의 상기 제5 전극층은 상기 소스전극 및 드레인전극 중 어느 하나의 전극과 전기적으로 연결된다.
- [0014] 여기서 상기 제2절연층은 상기 게이트전극 및 상기 화소전극상에 형성되어 상기 게이트전극과 상기 소스전극 및 드레인전극을 절연하며 상기 제2절연층은 상기 제1개구부 및 상기 제2개구부에 대응하는 제3개구부를 구비한다.
- [0015] 여기서 상기 소스전극 및 드레인전극상에 형성되는 화소정의막을 더 포함하고, 상기 화소정의막은 상기 제1개구부 및 상기 제2개구부와 접하거나 상기 제1개구부 및 상기 제2개구부 내에 형성되는 제4개구부를 구비하고, 상기 제4개구부를 통하여 상기 중간층이 상기 제3전극층과 접한다.
- [0016] 여기서 상기 활성층과 동일한 층에 상기 활성층과 이격되도록 형성된 커패시터하부전극; 및 상기 커패시터하부전극과 상기 제1절연층에 의해 절연되고, 상기 게이트전극과 동일한 층에 상기 커패시터하부전극과 대응되도록 형성된 커패시터상부전극; 을 포함한다.
- [0017] 여기서 상기 커패시터상부전극은 ITO를 포함하는 제1상부층, Ag 또는 Al을 포함하는 제2상부층 및 핀 홀을 함유하는 ITO를 포함하는 제3상부층이 순차적으로 적층된다.
- [0018] 본 발명의 다른 측면에 의하면, (a) 기판 상에 형성된 활성층을 형성하는 단계; (b) 상기 활성층 상에 제1절연층을 형성하고 상기 제1절연층 상에 ITO를 포함하는 제1층, Ag 또는 Al을 포함하는 제2층, 핀 홀을 함유하는 ITO를 포함하는 제3층, 상기 제3층을 보호하며 Ti을 포함하는 제4층 및 제5층을 순차적으로 적층하고, 상기 제1층, 제2층, 제3층, 제4층 및 제5층을 패터닝하여 게이트전극 및 화소전극을 형성하며, 여기서 상기 화소전극은 상기 제1층에 대응하는 제1전극층, 상기 제2층에 대응하는 제2전극층, 상기 제3층에 대응하는 제3전극층, 상기 제4층에 대응하는 제4전극층 및 상기 제5층에 대응하는 제5전극층을 포함하는 단계; (c) 상기 (b)단계의 결과물 상에 제2절연층을 형성하고 상기 제2절연층을 패터닝하여 상기 화소전극 및 상기 활성층을 노출하는 단계; (d) 상기 (c)단계의 결과물 상에 금속층을 형성하고, 상기 금속층을 제1식각액으로 패터닝하여 상기 활성층과 접하는 소스전극 및 드레인전극을 형성하며, 동시에 상기 화소전극의 상기 제5전극층을 제1식각액으로 식각하여 상기 제4전극층을 노출하는 단계; (e) 상기 제(d) 단계의 결과물에서 노출된 상기 화소전극의 상기 제4전극층을 제2식각액으로 식각하여 상기 제3전극층을 노출하는 단계; 및 (f) 상기 제(e) 단계의 결과물 상에 화소정의막을 형성하고, 상기 화소정의막이 상기 화소전극의 상기 제3전극층을 노출하도록 하는 단계; 를 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0019] 여기서 (g) 상기 제(f) 단계의 결과물 상에서 노출된 상기 제3전극층 상에 중간층을 형성하고, 상기 중간층을 덮는 대향전극을 형성하는 단계; 를 더 포함한다.
- [0020] 여기서 상기 제1식각액은 인산계, 질산계 및 초산계를 포함하며, 상기 제2식각액은 불산계를 포함한다.
- [0021] 여기서 상기 소스전극 및 드레인전극 중 어느 하나의 전극은 상기 화소전극과 전기적으로 연결된다.
- [0022] 여기서 상기 (a)단계에 있어서, 상기 활성층과 동일한 층에 상기 활성층과 이격되도록 커패시터하부전극을 형성하는 단계; 를 더 포함한다.
- [0023] 여기서 상기 (b) 단계에 있어서, 상기 제1절연층 상에 상기 커패시터하부전극과 대응되도록 커패시터상부전극을 형성하며, 상기 커패시터상부전극은 ITO를 포함하는 제1상부층, Ag 또는 Al을 포함하는 제2상부층, 핀 홀을 함유하는 ITO를 포함하는 제3상부층, 및 Ti를 포함하는 제4상부층이 순차적으로 적층된다.
- [0024] 여기서 상기 (C)단계에 있어서, 상기 제2절연층을 패터닝하여 상기 커패시터상부전극을 노출하는 단계; 를 더 포함하고, 상기 (e)단계에 있어서, 상기 커패시터상부전극의 상기 제4상부층을 상기 제2식각액으로 식각하여 상기 제3상부층을 노출하는 단계; 를 포함한다.
- [0025] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

**발명의 효과**

- [0026] 이상과 같은 본 발명의 일 실시 예에 의한 유기 발광 표시 장치 및 그 제조 방법에 따르면, 화소전극이 티타늄

(Ti)를 포함하는 제4전극층을 구비하여 다층으로 형성됨으로써, 화소전극의 제5전극층을 식각할 때, 식각액이 제3전극층의 핀 홀을 통하여 침투하여 Ag 또는 Al을 포함하는 제2전극층이 손상되는 것을 보호할 수 있다.

[0027] 또한 본 발명의 일 실시 예에 의하면, 화소전극이 Ag 또는 Al을 포함하는 제2전극층을 구비함으로써, 광 공진 구조를 채용하는 유기 발광 디스플레이 장치를 구현할 수 있다.

[0028] 또한 본 발명의 일 실시 예에 의하면, 적은 개수의 마스크를 이용하여 상술한 구조의 유기 발광 표시 장치를 제조할 수 있기 때문에, 마스크 수의 저감에 따른 비용의 절감, 및 제조 공정의 단순화와 이로 인한 비용 절감을 실현할 수 있다.

**도면의 간단한 설명**

[0029] 도 1 은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 단면도이다.

도 2 내지 도 9는 본 발명의 일 실시 예에 관한 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 개략적인 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0030] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0031] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0032] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0033] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.

[0034] 도 1 은 본 발명의 일 실시예에 관한 유기 발광 표시 장치(100)를 도시한 개략적인 단면도이다.

[0035] 본 실시예에 관한 유기 발광 표시 장치(100)는 기관(101), 활성층(120), 게이트전극(20), 화소전극(10), 소스/드레인전극(126), 캐패시터(30), 중간층(106) 및 대향전극(140)을 포함한다.

[0036] 기관(101)은 SiO<sub>2</sub>를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기관(101)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재질로 형성할 수도 있다. 플라스틱 재질은 절연성 유기물인 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethyelenenapthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 그룹으로부터 선택되는 유기물일 수 있다.

[0037] 화상이 기관(101)방향으로 구현되는 배면 발광형인 경우에 기관(101)은 투명한 재질로 형성해야 한다. 그러나 화상이 기관(101)의 반대 방향으로 구현되는 전면 발광형인 경우에 기관(101)은 반드시 투명한 재질로 형성할 필요는 없다. 이 경우 금속으로 기관(101)을 형성할 수 있다. 금속으로 기관(101)을 형성할 경우 기관(101)은 탄소, 철, 크롬, 망간, 니켈, 티타늄, 몰리브덴, 스테인레스 스틸(SUS), Invar 합금, Inconel 합금 및 Kovar 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다. 기관(101)은 금속 포일로 형성할 수도 있다.

[0038] 기관(101)의 상부에 평활한 면을 형성하고 기관(101)상부로 불순 원소가 침투하는 것을 차단하기 위하여 기관

(101)의 상부에 버퍼층(102)을 형성할 수 있다. 버퍼층(102)은 SiO<sub>2</sub> 및/또는 SiN<sub>x</sub> 등으로 형성할 수 있다. 버퍼층(102)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.

[0039] 버퍼층(102)상에는 소정 패턴의 활성층(120)이 형성된다. 활성층(120)은 아모퍼스 실리콘 또는 폴리 실리콘과 같은 무기 반도체나 유기 반도체로 형성될 수 있고 소스영역(120s), 드레인영역(120d) 및 채널영역(120c)을 포함한다. 소스영역(120s) 및 드레인영역(120d)은 아모퍼스 실리콘 또는 폴리 실리콘으로 형성한 활성층(120)에 불순물을 도핑하여 형성할 수 있다. 3족 원소인 붕소(B)등으로 도핑하면 p-type, 5족 원소인 질소(N)등으로 도핑하면 n-type 반도체를 형성할 수 있다.

[0040] 한편, 버퍼층(102)의 상부에 활성층(120)과 이격되도록 커패시터하부전극(130)이 형성될 수 있다. 즉, 활성층(120)과 커패시터하부전극(130)은 동일한 층에 형성된다. 커패시터하부전극(130)은 아모퍼스 실리콘 또는 폴리 실리콘과 같은 무기 반도체나 유기 반도체로 형성될 수 있다.

[0041] 활성층(120) 및 커패시터하부전극(130)의 상부에는 제1절연층(103)이 형성된다. 제1절연층(103)은 활성층(120)과 게이트전극(20)을 절연하거나, 커패시터하부전극(130)과 커패시터상부전극(135)을 절연하기 위한 것으로 유기물 또는 SiN<sub>x</sub>, SiO<sub>2</sub>같은 무기물을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다.

[0042] 제1절연층(103)의 상부에는 게이트전극(20)이 형성된다. 본 발명의 일 실시예에 의한 게이트전극(20)은 제1도전층 내지 제5도전층(121, 122, 123, 124, 125)이 순차적으로 적층된 형태일 수 있다. 구체적으로, 게이트전극(20)은 투명 도전물질을 포함하는 제1도전층(121), 금속을 포함하는 제2도전층(122), 투명 도전물질을 포함하는 제3도전층(123), 상기 제3도전층(123)을 보호하며 금속을 포함하는 제4도전층(124) 및 제5도전층(125)을 구비할 수 있다.

[0043] 제1도전층(121)은 제1절연층(103) 상에 형성되며, 제1절연층(103)과 제2도전층(122)과의 접합성을 향상한다. 제1도전층(121)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상의 물질을 포함할 수 있다.

[0044] 제2도전층(122)은 제1도전층(121) 상에 형성되며, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.

[0045] 제3도전층(123)은 제2도전층(122) 상에 형성되며, 제2도전층(122)의 상부에적층되어 게이트전극(20)의 저항 감소 효과를 증대할 수 있다. 제3도전층(123)은 핀 홀을 함유하는 ITO를 포함할 수 있다.

[0046] 제4도전층(124)은 제3도전층(123) 상에 형성되며, 티타늄(Ti)을 포함하는 금속을 함유할 수 있다.

[0047] 제5도전층(125)은 전기적인 신호를 전달하는 배선역할을 한다. 제5도전층(125)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 예를 들어, 제5도전층(125)은 Mo로 이루어진 제1층, 상기 제1층상에 형성되며 Al로 이루어진 제2층 및 상기 제2층상에 형성되며 Mo로 이루어진 제3층을 구비할 수 있다. 제5도전층(125)이 Mo/Al/Mo로 이루어질 경우, Al이 배선 또는 전극역할을 하고, Mo는 배리어층 역할을 한다.

[0048] 게이트전극(20)과 동일한 층, 즉 제1절연층(103) 상에 게이트전극(20)과 이격되도록 화소전극(10)이 형성된다. 화소전극(10)은 게이트전극(20)과 동일한 재료 및 동일한 구조로 형성될 수 있다. 본 발명의 일 실시예에 의한 화소전극(10)은 제1절연층(103) 상에 형성되며 투명 도전물질을 포함하는 제1전극층(111), 금속을 포함하는 제2전극층(112), 투명 도전물질을 포함하는 제3전극층(113), 상기 제3전극층(113)을 보호하며 금속을 포함하는 제4전극층(114) 및 제5전극층(115)이 순차적으로 적층될 수 있다.

[0049] 제1전극층(111)은 제1도전층(121)처럼 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상의 물질을 포함할 수 있다. 제1전극층(111)을 통해 금속으로 이루어진 제1전극층(111)과 절연 물질로 이루어진 제1절연층(103) 간의 접착력이 강화된다. 따라서, 패터닝 시 식각 용액의 침투 및 수분의 침투를

막아 신뢰성이 높은 소자를 제조할 수 있게 한다.

- [0050] 제2전극층(112)은 제2도전층(122)처럼 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 제2전극층(112)은 광을 일부 투과하거나 일부 반사시키는 메탈 미러(metal mirror)로 기능할 수 있다. 즉, 제2전극층(112)은 광 공진 구조를 채용하는 유기 발광 디스플레이 장치의 반투과경으로 사용될 수 있다.
- [0051] 제3전극층(113)은 제3도전층(123)처럼 핀 홀을 함유하는 ITO를 포함할 수 있다. 예를 들어 ITO로 제3전극층(113)을 형성할 때, 열처리 과정을 수행할 수 있는데, 이 때 ITO가 결정화되면서 ITO에 있는 핀 홀의 크기 및 개수가 증가할 수 있다. 이러한 핀 홀을 통해 에천트가 침투되어 제2전극층(112)을 손상시키는 문제가 있다. 제3전극층(113)은 제2전극층(112) 상에 적층되어 화소전극(10)의 저항 감소 효과를 증대시킬 수 있다.
- [0052] 제4전극층(114)은 제4도전층(124)처럼 티타늄(Ti)을 포함하는 금속을 함유할 수 있다. 제4전극층(114)은 제5전극층(115)을 식각하여 제1개구부(h1)를 형성하는 과정에서, 제1식각액이 제3전극층(113)의 핀 홀로 침투해 제2전극층(112)이 부식되는 것을 방지한다. 제4전극층(114)의 두께는 약 10Å 내지 10000Å일 수 있다. 제4전극층(114)의 두께가 약 10Å미만인 경우, 보호층의 역할을 수행할 수 없으며, 두께가 약 1000Å초과한 경우 공정 효율이 급격히 감소하기 때문이다. 본 발명의 일 실시 예에 의하면, 제4전극층(114)은 제5전극층(115)을 식각하는 제1식각액과 상이한 제2식각액을 사용하여 제3전극층(113)을 노출하도록 제1개구부(h1)에 대응하는 제2개구부(h2)를 구비하는 것을 특징으로 한다.
- [0053] 제5전극층(115)은 제5도전층(125)처럼 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 본 발명의 일 실시 예에 의하면, 제5전극층(115)은 제1식각액을 이용하여 하부의 제4전극층(114)을 노출하도록 제1개구부(h1)를 구비할 수 있다. 또한 제5전극층(115)은 소스전극 및 드레인전극 중 어느 하나의 전극과 전기적으로 연결되어 전기적 신호를 전달할 수 있다.
- [0054] 한편, 제1절연층(103) 상부에는 커패시터하부전극(130)과 대응되는 위치에 커패시터상부전극(135)이 형성될 수 있다. 커패시터상부전극(135)은 게이트전극(20) 및 화소전극(10)과 동일한 층에 형성하는 것이 바람직하다. 커패시터상부전극(135)은 게이트전극(20) 및 화소전극(10)의 일부 층과 동일한 재료 및 동일한 구조로 형성될 수 있다. 본 발명의 일 실시 예에 의한 커패시터상부전극(135)은 제1절연층(103) 상에 형성되며 투명 도전물질을 포함하는 제1상부층(131), 금속을 포함하는 제2상부층(132) 및 투명 도전물질을 포함하는 제3상부층(133)이 순차적으로 적층된 것 일 수 있다.
- [0055] 제1상부층(131)은 화소전극(10)의 제1전극층(111)에 대응되며, 제2상부층(132)은 화소전극(10)의 제2전극층(112)에 대응되며, 제3상부층(133)은 화소전극(10)의 제3전극층(113)에 대응된다. 예를 들어, 제1상부층(131)은 ITO를 포함할 수 있으며, 제2상부층(132)은 Ag 또는 Al을 포함하며, 제3상부층(133)은 핀 홀을 함유하는 ITO를 포함할 수 있다. 따라서, 각 층을 구성하는 물질 및 특징은 화소전극(10)을 설명할 때 이미 설명하였으므로, 중복되는 기술은 생략한다.
- [0056] 본 발명의 일 실시 예에 의한 커패시터(30)는 제1절연층(103)을 사이에 두고 형성된 커패시터하부전극(130) 및 커패시터상부전극(135)을 포함한다. 이 때, 커패시터하부전극(130)은 활성층(120)과 동일한 층에 형성되고, 커패시터상부전극(135)은 게이트전극(20)과 동일한 층에 형성되므로 유기 발광 표시 장치(100)의 두께가 효과적으로 감소한다.
- [0057] 게이트전극(20), 화소전극(10) 및 커패시터상부전극(135)의 상부에는 제2절연층(104)이 형성된다. 제2절연층(104)을 통해 게이트전극(20)을 포함하는 박막트랜지스터 영역과, 화소전극(10)을 포함하는 영역 및 커패시터(30)를 포함하는 영역의 상부를 평탄화하며, 게이트전극(20)과 소스/드레인전극(126)을 절연한다. 제2절연층(104)은 다양한 절연물질로 형성될 수 있다. 예를 들어 제2절연층(104)은 산화물, 질화물과 같은 무기물을 포함하거나, 유기물을 포함할 수도 있다. 제2절연층(104)을 형성하는 무기 절연막으로는 SiO<sub>2</sub>, SiNx, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다. 제2절연층(104)은 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다. 제2절연층(104)은 스핀 코팅 등의 방법

으로 형성된다.

- [0058] 제2절연층(104)은 제1개구부(h1) 및 제2개구부(h2)에 대응하는 제3개구부(h3)를 구비한다. 제3개구부(h3)를 통해 제1개구부(h1) 및 제2개구부(h2)가 노출될 수 있다. 제2절연층(104)은 활성층(120)의 소스/드레인 영역(120s, 120d)을 노출하는 콘택홀을 구비한다.
- [0059] 콘택홀을 통해 소스/드레인전극(126)이 각각 활성층(120)의 소스/드레인 영역(120s, 120d)에 접하도록 형성한다. 또한 이때 소스/드레인전극(126) 중 어느 하나의 전극은 화소전극(10)과 연결된다. 구체적으로 소스/드레인전극(126) 중 어느 하나의 전극은 화소전극(10)의 제5전극층(115)과 전기적으로 연결된다.
- [0060] 소스/드레인전극(126)은 금속층을 패터닝하여 형성한다. 금속층은 다층의 막 구조로 형성될 수도 있다. 예를 들어 소스/드레인전극(126)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0061] 소스/드레인전극(126)의 상부에 화소정의막(105)(pixel define layer)이 형성된다. 화소정의막(105)은 유기물 또는 무기물로 형성할 수 있다. 화소정의막(105)은 제4개구부(h4)를 구비한다. 제4개구부(h4)는 제3개구부(h3)에 대응하여 제1개구부(h1) 및 제2개구부(h2)와 접하거나 제1개구부(h1) 및 제2개구부(h2) 내에 형성될 수 있다. 제4개구부(h4)를 통해 화소전극(10)의 제3전극층(113)이 노출된다.
- [0062] 제4개구부(h4)를 통해 화소전극(10)의 제3전극층(113)과 접하도록 중간층(106)이 형성된다. 중간층(106)은 화소전극(10)과 대향전극(140)의 전기적 구동에 의해 발광한다. 중간층(106)에 포함된 발광층은 저분자 또는 고분자 유기물로 형성된다. 발광층이 저분자 유기물로 구성된 경우, 중간층(106)은 홀 주입층(hole injection layer: HIL), 홀 수송층(hole transport layer: HTL), 발광층(emitting layer: EML), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등을 포함할 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이 때 발광층에 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 적용 예가 포함될 수 있다. 발광층이 고분자 유기물로 구성된 경우, 중간층(106)은 발광층 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 중간층(106)은 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소전극(10) 상부에 형성될 수 있다.
- [0063] 중간층(106)상에 대향전극(140)이 형성된다. 대향전극(140)은 중간층(106)을 사이에 두고 화소전극(10)에 대향 배치된다. 대향전극(140)은 일함수가 작은 금속 즉, 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 납(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 및 이들의 화합물을 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등의 투명 도전물질을 증착하여 형성할 수 있다.
- [0064] 대향전극(140)상에 밀봉 부재(미도시)가 배치될 수 있다. 밀봉부재(미도시)는 외부의 수분이나 산소 등으로부터 중간층(106) 및 기타층을 보호하기 위해 형성하는 것으로 밀봉부재(미도시)는 투명한 재료로 형성된다. 이를 위해 글라스, 플라스틱 또는 유기물과 무기물의 복수의 중첩된 구조일 수도 있다.
- [0065] 도 2 내지 도 9는 도 1의 유기 발광 표시 장치(100)의 제조 방법을 순차적으로 도시한 개략적인 단면도이다. 각 도면들을 참조하면서 본 실시예의 제조 방법을 순차적으로 설명하기로 한다.
- [0066] 도 2를 참조하면, 기관(101)을 준비하며, 기관(101)을 평활하고 수분 및 이물의 침투를 방지하는 버퍼층(102)을 형성한다. 버퍼층(102) 상에 활성층(120)을 형성하고, 활성층(120)과 동일한 층에 활성층(120)과 이격되도록 커패시터하부전극(130)을 형성한다. 1개의 마스크를 이용한 포토 리소그래피법은 이용하여 활성층(120) 및 커패시터하부전극(130)을 동시에 형성한다.
- [0067] 도 3을 참조하면, 활성층(120) 및 커패시터하부전극(130) 상에 제1절연층(103)을 형성한다. 제1절연층(103) 상에 게이트전극(20), 화소전극(10) 및 커패시터상부전극(135)을 형성한다. 구체적으로 제1절연층(103) 상에 ITO를 포함하는 제1층, Ag 또는 Al을 포함하는 제2층, 핀 홀을 함유하는 ITO를 포함하는 제3층, 상기 제3층을 보호하며 Ti를 포함하는 제4층 및 제5층을 순차적으로 적층하고, 제1층, 제2층, 제3층, 제4층 및 제5층을 패터닝하여 게이트전극(20) 및 화소전극(10)을 형성한다. 게이트전극(20)은 활성층(120)이 형성된 위치에 대응되게 형성

하며, 화소전극(10)은 게이트전극(20)과 이격되게 형성한다. 이로부터 게이트전극(20)은 도 1에서 설명한 바와 같이 제1도전층 내지 제5도전층(121, 122, 123, 124, 125)을 구비한다. 또한 화소전극(10)은 도 1에서 설명한 바와 같이 제1층에 대응하는 제1전극층(111), 제2층에 대응하는 제2전극층(112), 제3층에 대응하는 제3전극층(113), 제4층에 대응하는 제4전극층(114) 및 제5층에 대응하는 제5전극층(115)을 구비한다. 따라서 게이트전극(20) 및 화소전극(10)은 동일한 층에 동일한 재질 및 구조로 형성될 수 있는 것이다.

[0068] 커패시터상부전극(135)은 게이트전극(20)과 동일한 층에 커패시터하부전극(130)이 형성된 위치에 대응되게 형성한다. 커패시터상부전극(135)은 하프톤 마스크를 통해 제1층에 대응하는 제1상부층(131), 제2층에 대응하는 제2상부층(132), 제3층에 대응하는 제3상부층(133) 및 제4층에 대응하는 제4상부층(134)을 구비하도록 패터닝될 수 있다. 그러나 본 발명은 도시된 바에 한정되지 않고, 커패시터상부전극(135)은 최초로 제1층 내지 제5층을 패터닝하여 5개의 층으로 형성되었다가, 제일 위에 있는 1개의 층을 식각하는 공정을 통하여 4개의 층을 구비하도록 할 수도 있다. 게이트전극(20), 화소전극(10) 및 커패시터상부전극(135)은 동일한 재료를 적층한 후에 1개의 마스크를 이용한 포토 리소그래피법을 이용하여 형성할 수 있다.

[0069] 도 4를 참조하면, 게이트전극(20), 화소전극(10) 및 커패시터상부전극(135)을 덮도록 평탄화막의 일종으로 제2절연층(104)을 형성한다. 그리고 제2절연층(104)에 콘택홀을 형성한다. 제2절연층(104)에 형성된 콘택홀을 통하여 활성층(120)의 소스/드레인 영역(120s, 120d)이 노출되도록 한다. 이러한 콘택홀 형성을 위하여 포토 리소그래피법이 이용될 수 있다. 또한 제2절연층(104)에는 제3개구부(h3)가 형성된다. 제3개구부(h3)를 통해 화소전극(10)의 제5전극층(115)이 노출된다. 또한 제2절연층(104)에는 소스/드레인전극(126)과 화소전극(10)을 연결하도록 화소전극(10)의 제5전극층(114)을 노출하는 홀을 더 형성한다. 또한 제2절연층(104)에는 커패시터상부전극(135)을 노출하는 개구부가 더 형성된다.

[0070] 도 5를 참조하면, 개구와 콘택홀이 형성된 제2절연층(104) 상에 금속층을 형성한다.

[0071] 도 6을 참조하면, 금속층을 제1식각액으로 패터닝하여 소스/드레인전극(126)을 형성한다. 소스/드레인전극(126)은 활성층(120)의 소스/드레인 영역(120s, 120d)과 접한다. 또한 소스/드레인전극(126) 중 어느 하나의 전극은 화소전극(10)과 접하는데 구체적으로 제5전극층(115)과 접한다. 소스/드레인전극(126)은 다양한 도전층을 이용하여 형성할 수 있고, 다층 구조로 형성할 수 있다.

[0072] 소스/드레인전극(126)을 형성하는 것과 동시에, 화소전극(10)의 상기 제5전극층(115)을 제1식각액으로 식각하여 제4전극층(114)을 노출하는 제1개구부(h1)를 형성한다. 화소전극(10)의 제3전극층(113)은 핀 홀을 포함하는데, 이는 ITO를 열처리할 때, ITO가 결정화되면서 생성되는 것이다. 화소전극(10)의 제5전극층(115)을 식각하는 공정에서 제4전극층(114)이 없다면 제1식각액이 제3전극층(113)의 핀 홀을 통해 침투하여 제2전극층(112)을 손상시키는 문제가 있다. 제2전극층(112)이 손상될 경우 광을 투과 및 반사하는 기능이 구현되기 힘들어 광 공진 구조가 발현될 수 없다. 그러나, 제4전극층(114)이 존재함으로써, 제2전극층(112)은 제5전극층(115)을 식각하는 식각액을 통해 손상되지 않는다.

[0073] 여기서 제5전극층(115)이 Mo로 이루어진 제1층, 상기 제1층상에 형성되며 Al로 이루어진 제2층 및 상기 제2층상에 형성되며 Mo로 이루어진 제3층의 다층으로 구성된 경우, 제1식각액은 인산계, 질산계 및 초산계를 포함하는 혼산계를 사용할 수 있다. 여기서 제1식각액은 금속을 선택적으로 식각하며, 특히 티타늄(Ti)이 함유된 제4전극층(114)은 식각하지 않는 것을 특징으로 한다.

[0074] 도 7을 참조하면, 노출된 화소전극(10)의 제4전극층(114)을 식각하여 제3전극층(113)을 노출하는 제2개구부(h2)를 형성한다. 여기서 제4전극층(114)은 제2식각액으로 식각한다. 제2식각액은 불산계를 포함할 수 있다. 예를 들어 제2식각액은 불산(HF)를 0.1 중량% 이상 5 중량% 이하로 함유하며, 나머지는 용매로 구성될 수 있다. 제2식각액은 티타늄이 함유된 제4전극층(114)은 식각하나, 소스/드레인전극(126), 제3전극층(113) 및 제2전극층(112)에는 영향을 주지 않는 것을 특징으로 한다. 실험결과, ITO/Ag/ITO로 이루어진 다층을 불산 약 0.5 중량%, 잔부 용매로 이루어진 용액과 반응시킨 경우, ITO 및 Ag에 손상이 없었다.

[0075] 화소전극(10)의 제4전극층(114)은 제1식각액으로부터 제2전극층(112)을 보호하기 위한 층으로, 최종 생산품에서는 제거되어야 한다. 제4전극층(114)이 제거되지 않은 경우, 전류 밀도에 따라 밝기의 변화가 심하므로, 제4전극층(114)을 제거하는 것이 유기 발광 표시 장치(100)의 밝기를 일정하게 유지하는데 도움이 된다. 또한 제4전극층(114)을 제거한 경우, 전압인가에 따른 전류 밀도의 변화가 완만함을 알 수 있다. 따라서, 제4전극층(114)을 제거한 경우 제거하지 않은 경우에 비해 적은 전압을 인가하여 높은 밝기를 제공할 수 있다.

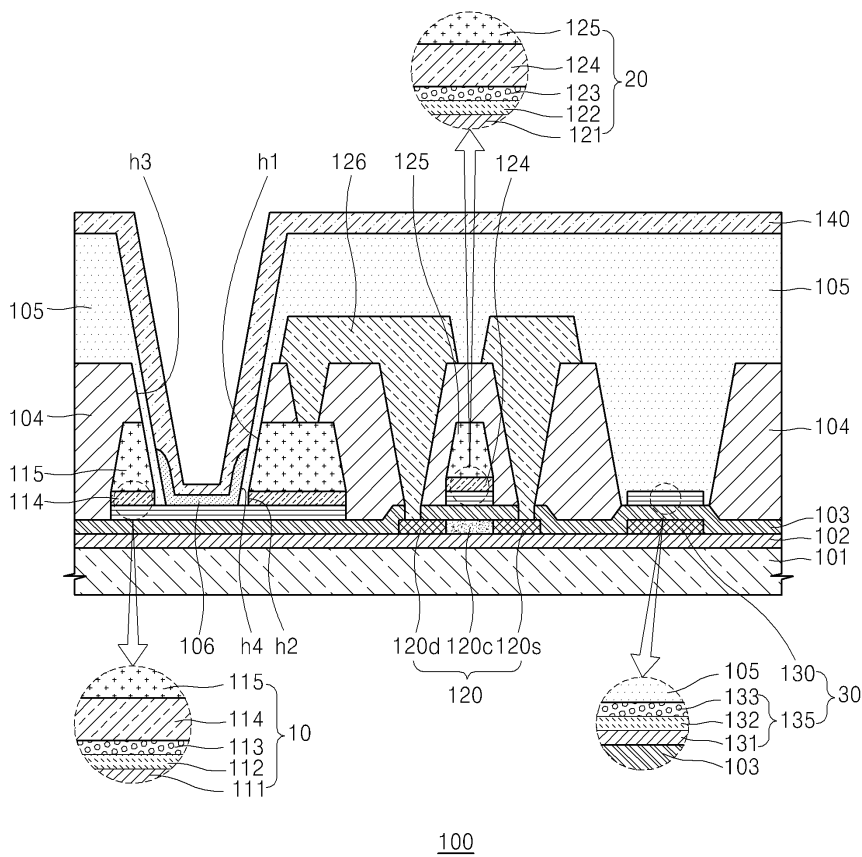
[0076] 본 발명에서는 두가지 식각액을 사용함으로써, 제2전극층(112) 및 제3전극층(113)을 효율적으로 보호하고, 추가



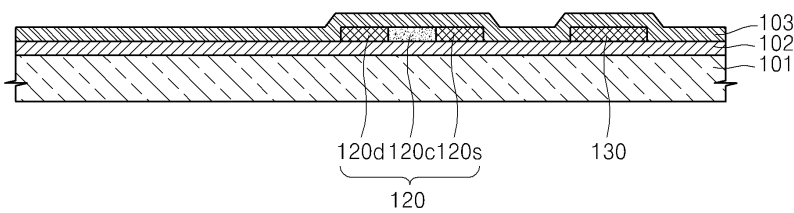
- 131: 제1상부층
- 133: 제3상부층
- 103: 제1절연층
- 105: 화소정의막
- 140: 대향전극
- h2: 제2개구부
- h4: 제4개구부
- 132: 제2상부층
- 134: 제4상부층
- 104: 제2절연층
- 106: 중간층
- h1: 제1개구부
- h3: 제3개구부

도면

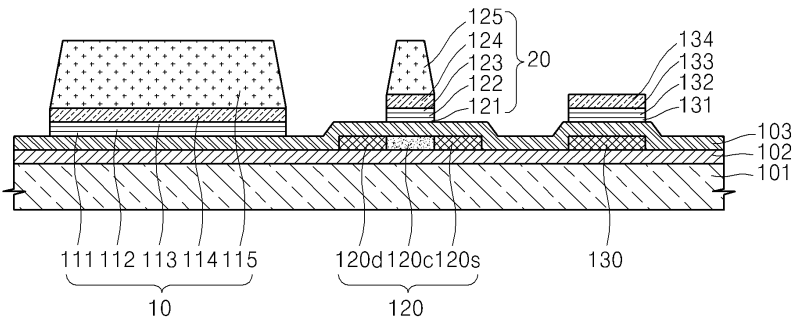
도면1



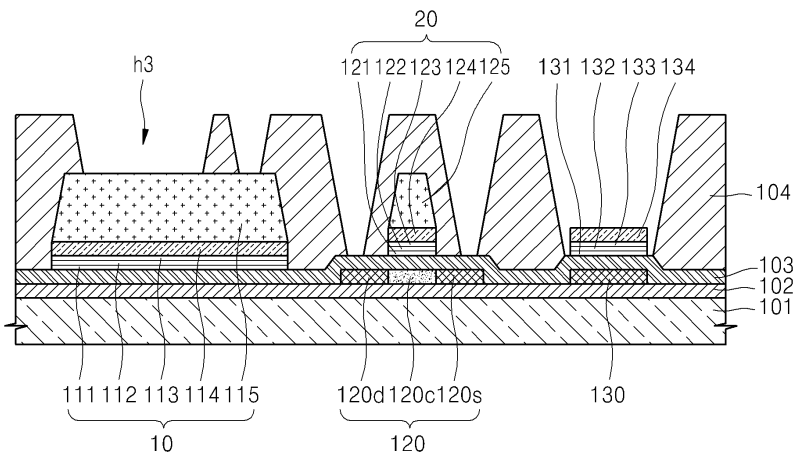
도면2



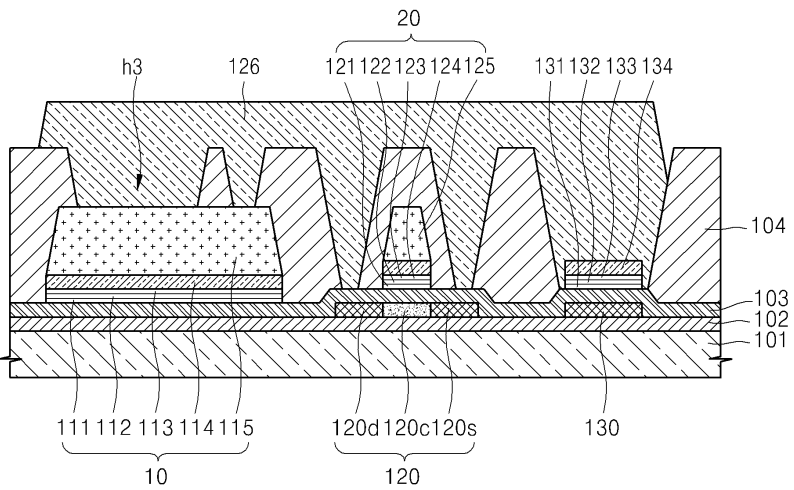
도면3



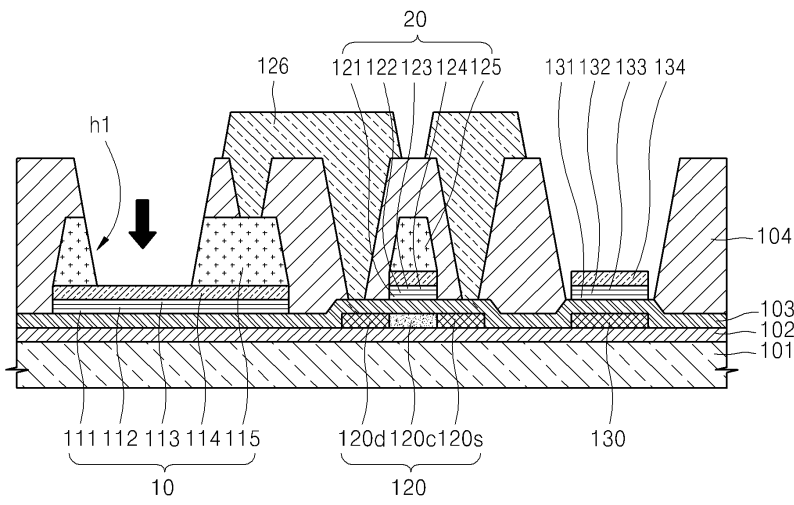
도면4



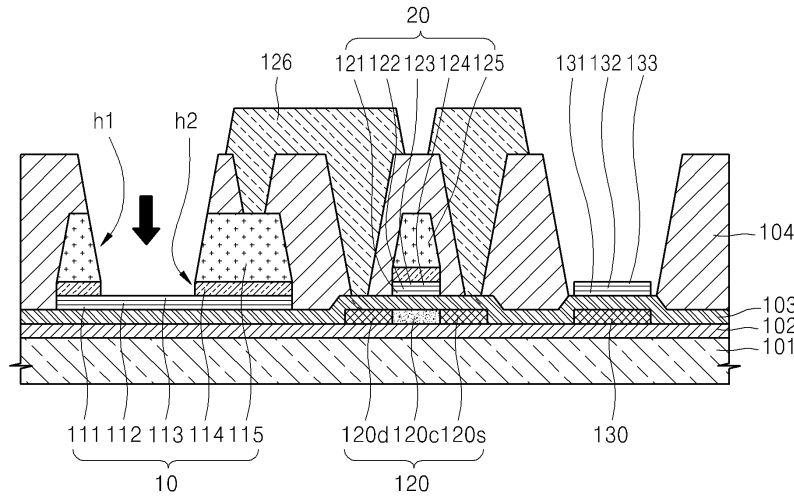
도면5



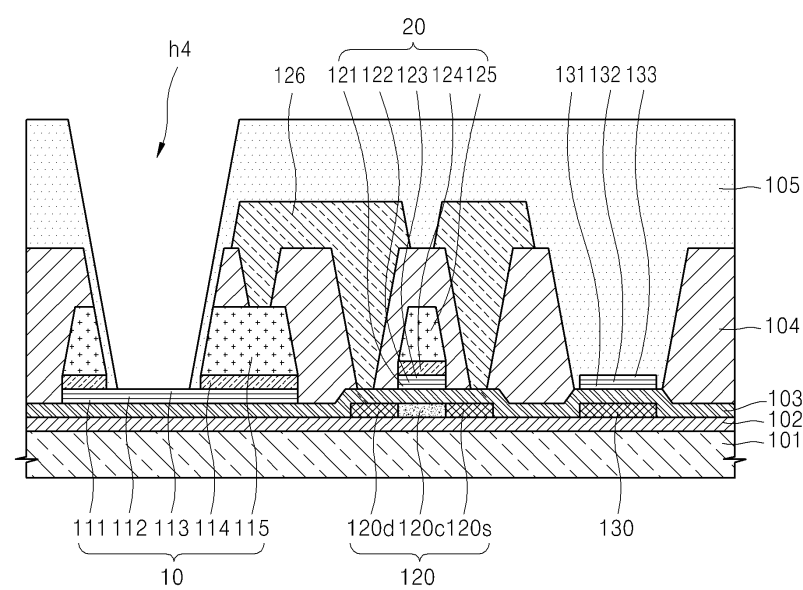
도면6



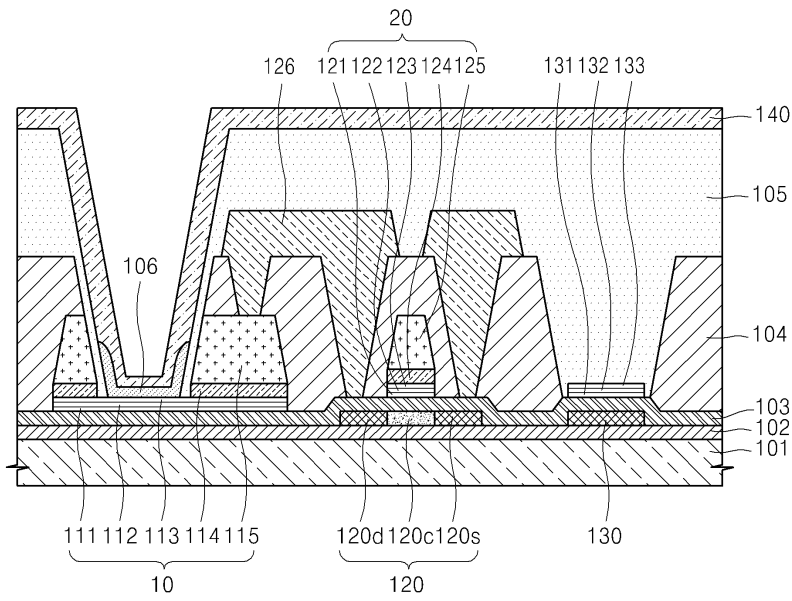
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항20의 2번째 행

【변경전】

상기 (C)단계에 있어서,

【변경후】

상기 (c)단계에 있어서,

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항6의 2번째 행

【변경전】

상기 1전극층과

【변경후】

상기 제1전극층과

