



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년12월23일

(11) 등록번호 10-1475085

(24) 등록일자 2014년12월15일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0135358

(22) 출원일자 2008년12월29일

심사청구일자 2013년12월20일

(65) 공개번호 10-2010-0077431

(43) 공개일자 2010년07월08일

(56) 선행기술조사문헌

KR1020070026711 A

KR1020060108918 A

KR1020060120766 A

JP2005283702 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김지훈

서울특별시 영등포구 도영로 2-5, 코오롱 아파트
104동 1701호 (대림동)

이현행

경북 칠곡군 석적읍 동중리9길 13, B동 108호 (L
G디스플레이나래원기숙사)

윤중선

서울특별시 구로구 고척로 238, 605호 (고척동,
하이리빙아파트)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 3 항

심사관 : 조기덕

(54) 발명의 명칭 유기발광다이오드 표시장치

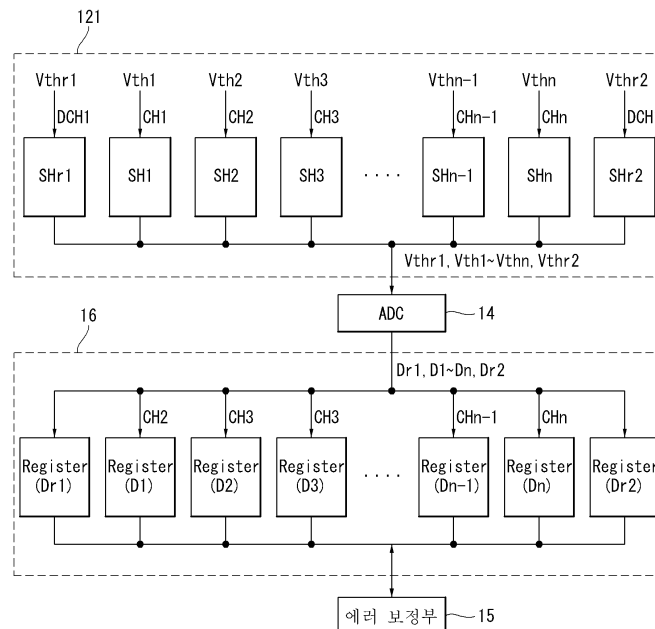
(57) 요약

본 발명은 표시품위를 향상시킬 수 있도록 한 유기발광다이오드 표시장치에 관한 것이다.

이 유기발광다이오드 표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차 영역마다 구동 TFT와 유기발광다이오드를 갖는 화소들이 배치된 표시패널; 화소들로부터 추출된 상기 구동 TFT의 문턱전압들을

(뒷면에 계속)

대표도 - 도6



홀딩함과 아울러, 상기 문턱전압들보다 홀딩 시간이 짧은 제1 기준 전압과, 상기 문턱전압들과, 상기 제1 기준 전압과 동일 레벨로서 상기 문턱전압들보다 홀딩 시간이 긴 제2 기준 전압을 순차적으로 출력하는 샘플&홀드 블록; 상기 문턱전압들을 디지털 문턱전압치들로 변환함과 아울러 상기 기준전압들을 디지털 기준전압치들로 변환하는 아날로그-디지털 컨버터; 홀딩시간 차이에 따른 상기 디지털 기준전압치들 간의 차값을 참조하여, 상기 디지털 문턱전압치들 각각의 정량화 에러값을 산출하고, 상기 정량화 에러값을 이용하여 상기 디지털 문턱전압치들을 보정하는 에러 보정부; 및 상기 표시패널에 공급될 표시데이터의 위치에 대응되는 보정 디지털 문턱전압치를 이용하여 상기 표시데이터의 계조값을 조절하는 타이밍 컨트롤러를 구비한다.

특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차 영역마다 구동 TFT와 유기발광다이오드를 갖는 화소들이 배치된 표시패널;

화소들로부터 추출된 상기 구동 TFT의 문턱전압들을 홀딩함과 아울러, 상기 문턱전압들보다 홀딩 시간이 짧은 제1 기준 전압과, 상기 문턱전압들과, 상기 제1 기준 전압과 동일 레벨로서 상기 문턱전압들보다 홀딩 시간이 긴 제2 기준 전압을 순차적으로 출력하는 샘플&홀드 블록;

상기 문턱전압들을 디지털 문턱전압치들로 변환함과 아울러 상기 기준전압들을 디지털 기준전압치들로 변환하는 아날로그-디지털 컨버터;

홀딩시간 차이에 따른 상기 디지털 기준전압치들 간의 차값을 참조하여, 상기 디지털 문턱전압치들 각각의 정량화 에러값을 산출하고, 상기 정량화 에러값을 이용하여 상기 디지털 문턱전압치들을 보정하는 에러 보정부; 및

상기 표시패널에 공급될 표시데이터의 위치에 대응되는 보정 디지털 문턱전압치를 이용하여 상기 표시데이터의 계조값을 조절하는 타이밍 컨트롤러를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 디지털 문턱전압치들을 상기 디지털 문턱전압치들 각각에 대한 위치 정보와 함께 저장함과 아울러, 상기 디지털 기준 전압치들을 저장하기 위한 메모리를 더 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 1 항에 있어서,

상기 샘플&홀드 블록은,

동일 수평라인 상에 배치된 상기 화소들의 문턱전압들을 동시에 샘플링하고 이 샘플링 된 문턱전압들을 순차적으로 출력하기 위한 다수의 샘플&홀드 회로들;

상기 문턱전압들의 샘플링 타이밍에 동기하여 상기 제1 기준 전압을 샘플링한 후 상기 문턱전압들 중 홀딩 시간이 가장 짧은 문턱전압에 앞서 상기 제1 기준 전압을 출력하는 제1 기준 샘플&홀드 회로; 및

상기 문턱전압들의 샘플링 타이밍에 동기하여 상기 제2 기준 전압을 샘플링한 후 상기 문턱전압들 중 홀딩 시간이 가장 긴 문턱전압에 뒤이어 상기 제2 기준 전압을 출력하는 제2 기준 샘플&홀드 회로를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

명세서

발명의 상세한 설명

기술분야

[0001]

본 발명은 유기발광다이오드 표시장치에 관한 것으로 특히, 구동TFT의 문턱전압을 정확하게 추출하여 표시품위를 향상시킬 수 있도록 한 유기발광다이오드 표시장치에 관한 것이다.

배경기술

[0002]

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들(Flat Panel Display, FPD)이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED), 플라스마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electroluminescence Device) 등이 있다.

- [0003] PDP는 구조와 제조공정이 단순하기 때문에 경박단소하면서도 대화면화에 가장 유리한 표시장치로 주목받고 있지만 발광효율과 휘도가 낮고 소비전력이 큰 단점이 있다. 스위칭 소자로 박막 트랜지스터(Thin Film Transistor : 이하 "TFT" 라 함)가 적용된 TFT LCD는 가장 널리 사용되고 있는 평판표시소자이지만 비발광소자이기 때문에 시야각이 좁고 응답속도가 낮은 문제점이 있다. 이에 비하여, 전계발광소자는 발광층의 재료에 따라 무기발광 다이오드 표시장치와 유기발광다이오드 표시장치로 대별되며 특히, 유기발광다이오드 표시장치는 스스로 발광하는 자발광소자를 이용함으로써 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.
- [0004] 유기발광다이오드 표시장치는 도 1과 같이 유기발광다이오드를 가진다. 유기발광다이오드는 애노드전극과 캐소드전극 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 구비한다.
- [0005] 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다.
- [0006] 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.
- [0007] 유기발광다이오드 표시장치는 이와 같은 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 비디오 데이터의 계조에 따라 제어한다. 다시말해, 유기발광다이오드 표시장치는 능동소자인 TFT를 선택적으로 턴-온시켜 화소를 선택하고 스토리지 커패시터(Storage Capacitor)에 유지되는 전압으로 화소의 발광을 유지한다.
- [0008] 도 2는 종래 유기발광다이오드 표시장치에 있어서 하나의 화소를 등가적으로 나타내는 회로도이다.
- [0009] 도 2를 참조하면, 액티브 매트릭스 방식의 유기발광다이오드 표시장치의 화소는 유기발광다이오드(OLED), 서로 교차하는 데이터라인(DL) 및 게이트라인(GL), 스위치 TFT(SW), 구동 TFT(DR), 및 스토리지 커패시터(Cst)를 구비한다. 스위치 TFT(SW)와 구동 TFT(DR)는 N-타입 MOS-FET으로 구현된다.
- [0010] 스위치 TFT(SW)는 게이트라인(GL)으로부터의 스캔신호에 응답하여 턴-온됨으로써 자신의 소스전극과 드레인전극 사이의 전류패스를 도통시킨다. 이 스위치 TFT(SW)는 온타임기간 동안 데이터라인(DL)으로부터의 데이터전압을 구동 TFT(DR)의 게이트전극과 스토리지 커패시터(Cst)에 인가한다.
- [0011] 구동 TFT(DR)는 자신의 게이트전극과 소스전극 간의 차전압(V_{gs})에 따라 유기발광다이오드(OLED)에 흐르는 전류를 제어한다.
- [0012] 스토리지 커패시터(Cst)는 자신의 일측 전극에 인가된 데이터전압을 저장함으로써 구동 TFT(DR)의 게이트전극에 공급되는 전압을 한 프레임기간동안 일정하게 유지시킨다.
- [0013] 유기발광다이오드(OLED)는 도 1과 같은 구조로 구현된다. 이 유기발광다이오드(OLED)는 구동 TFT(DR)의 소스전극과 저전위 구동전압원(VSS) 사이에 접속된다.
- [0014] 도 2와 같은 화소의 밝기는 아래의 수학적 식 1과 같이 유기발광다이오드(OLED)에 흐르는 전류에 비례하며, 이 전류는 구동 TFT(DR)의 게이트전압과 소스전압 간 차전압, 구동 TFT(DR)의 문턱전압에 의해 결정된다.

수학적 식 1

$$I_{oled} = \frac{k}{2} (V_{gs} - V_{th})^2$$

- [0015]
- [0016] 여기서, ' I_{oled} '는 구동전류, ' k '는 구동 TFT(DR)의 이동도 및 기생용량에 의해 결정되는 상수값, ' V_{gs} '는 구동 TFT(DR)의 게이트전압(V_g)과 소스전압(V_s) 간의 차전압, ' V_{th} '는 구동 TFT(DR)의 문턱전압을 각각 의미한다.
- [0017] 수학적 식 1과 같이, 유기발광다이오드(OLED)에 흐르는 전류(I_{oled})는 구동 TFT(DR)의 문턱전압(V_{th})에 크게 영향 받는다.
- [0018] 일반적으로, 유기발광다이오드 표시장치에서 화소들 간 휘도의 불균일성은 상기 문턱전압을 포함한 구동 TFT의 전기적 특성 편차에 기인한다. 화소들 간 구동 TFT의 전기적 특성 편차가 발생하는 원인은 표시패널의 백 플레인(Backplane)에 따라 다르다. LTPS(Low Temperature Poly Silicon) 백 플레인을 사용하는 패널에서는

ELA(Excimer Laser Annealing) 공정에 의한 화소들 간 TFT의 특성 편차가 발생한다. 반면, a-Si(Amorphous Silicon) 백 플레인을 사용하는 패널에서는 공정에 의한 특성 편차는 거의 발생하지 않지만 패널 구동에 따라 진행되는 TFT의 열화 정도가 화소마다 달라져 결국 화소들 간 TFT의 특성 편차가 발생된다. 패널 구동에 따라 화소들간 TFT의 열화 정도가 다르게 진행되는 이유는, 구동 TFT의 게이트전극에 쌓이는 게이트-바이어스 스트레스(Gate-Bias Stress)의 정도가 서로 달라 구동 TFT의 문턱전압 변동이 화소마다 달라지기 때문이다.

[0019] 이러한 구동 TFT의 전기적 특성 편차로 인해서 동일한 데이터의 인가시 유기발광다이오드에 흐르는 전류는 화소마다 달라지게 된다. 이에, 구동 TFT의 문턱전압을 추출하여 메모리에 저장한 후, 표시데이터에 이 추출된 문턱전압을 반영하는 방식이 제안된 바 있다. 이 방식은 구동 TFT의 문턱전압을 추출하기 위해 도 3과 같이 샘플&홀드 블럭(1), 아날로그-디지털 컨버터(ADC : 2) 및 메모리(3)를 구비한다. 샘플&홀드 블럭(1)은 동일 수평라인 상에 배치된 화소들 각각의 문턱전압들($V_{th1} \sim V_{thn}$)을 샘플링 클럭(Sampling Clock : SC)에 따라 동시에 샘플링한 후 홀딩 클럭들(HC1 ~ HCn)에 따라 순차적으로 추출한다. 그리고, 추출된 문턱전압들($V_{th1} \sim V_{thn}$)을 샘플&홀드 블럭(1)의 공통 출력노드(cno)를 통해 아날로그-디지털 컨버터(2)에 공급한다. 아날로그-디지털 컨버터(2)는 입력되는 문턱전압들($V_{th1} \sim V_{thn}$)을 디지털 값들(D1 ~ Dn)로 변환한 후 메모리(3)에 저장한다.

[0020] 수십 ~ 수백 개 채널로부터 입력되는 아날로그 신호를 샘플링(Sampling) 및 정량화(Quantization)하기 위해 가장 간단히 구현할 수 있는 어플리케이션(Application)은 모든 채널에 일대일로 아날로그-디지털 컨버터를 접속시키는 것이다. 하지만, 아날로그-디지털 컨버터가 차지하는 면적이 큰 것을 고려해 볼 때, 이러한 방식은 회로의 컴팩트 측면에서 손실이 매우 크다. 이에, 최근에는 회로의 면적을 줄이기 위해, 도 4와 같이 모든 채널들(CH1 내지 CHn)에 다수의 샘플&홀드 회로들(SH1 내지 SHn)을 일대일로 접속시키되, 1개의 아날로그-디지털 컨버터(ADC)를 이용하여 샘플&홀드 회로들(SH1 내지 SHn)로부터의 문턱전압들($V_{th1} \sim V_{thn}$)을 시분할 방식에 따라 순차적으로 정량화하는 방식이 주로 이용되고 있다.

[0021] 그러나, 1개의 아날로그-디지털 컨버터(ADC)를 이용하여 정량화하는 방식에서는 정량화 에러(Quantization Error) 문제를 간과할 수 없다. 정량화 에러란 연속된 아날로그 신호를 디지털 신호로 변환시 발생하는 에러로서, 회로 자체의 누설 전류와 스위치 노이즈가 샘플&홀드 회로들(SH1 내지 SHn)마다 다른데 기인한다. 여기서, 회로 자체의 누설 전류와 스위치 노이즈가 달라지는 가장 큰 이유는 샘플&홀드 회로들(SH1 내지 SHn)마다 샘플링된 아날로그 신호의 홀딩 시간이 다르기 때문이다. 예컨대, 도 4에서 제1 샘플&홀드 회로(SH1)로부터 제n 샘플&홀드 회로(SHn)로 순차적으로 정량화된다고 가정했을 때, 동시에 샘플링된 아날로그 신호($V_{th1} \sim V_{thn}$)가 정량화될 때까지인 홀딩 시간은 제1 샘플&홀드 회로(SH1)로부터 제n 샘플&홀드 회로(SHn)로 갈수록 길어진다. 그 결과, 샘플&홀드 회로들(SH1 내지 SHn)이 가지는 누설 경로(Leakage Path)에 의해 회로 내부에 저장되어 있는 홀딩량은 홀딩 시간 증가에 따라 점점 감소하게 되어, 동일한 레벨의 아날로그 신호가 각 채널로부터 샘플링된다 하더라도 정량화되는 값은 제1 샘플&홀드 회로(SH1)로부터 제n 샘플&홀드 회로(SHn)로 갈수록 줄어든다.

[0022] 이러한 정량화 에러로 인해, 종래 유기발광다이오드 표시장치에서는 정확한 문턱전압이 표시데이터에 반영되지 않아 표시품위를 향상시키는 데 한계가 있다.

발명의 내용

해결 하고자하는 과제

[0023] 따라서, 본 발명의 목적은 샘플링된 아날로그 신호에 대한 정량화 에러를 보정하여 구동 TFT의 정확한 문턱전압을 표시데이터에 반영함으로써 표시품위를 향상시키도록 한 유기발광다이오드 표시장치를 제공하는 데 있다.

과제 해결수단

[0024] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차 영역마다 구동 TFT와 유기발광다이오드를 갖는 화소들이 배치된 표시 패널; 화소들로부터 추출된 상기 구동 TFT의 문턱전압들을 홀딩함과 아울러, 상기 문턱전압들보다 홀딩 시간이 짧은 제1 기준 전압과, 상기 문턱전압들과, 상기 제1 기준 전압과 동일 레벨로서 상기 문턱전압들보다 홀딩 시간이 긴 제2 기준 전압을 순차적으로 출력하는 샘플&홀드 블럭; 상기 문턱전압들을 디지털 문턱전압치들로 변환함과 아울러 상기 기준전압들을 디지털 기준전압치들로 변환하는 아날로그-디지털 컨버터; 홀딩시간 차이에 따른 상기 디지털 기준전압치들 간의 차값을 참조하여, 상기 디지털 문턱전압치들 각각의 정량화 에러값을 산출하

고, 상기 정량화 에러값을 이용하여 상기 디지털 문턱전압치들을 보정하는 에러 보정부; 및 상기 표시패널에 공급될 표시데이터의 위치에 대응되는 보정 디지털 문턱전압치를 이용하여 상기 표시데이터의 계조값을 조절하는 타이밍 콘트롤러를 구비한다.

효 과

[0025] 본 발명에 따른 유기발광다이오드 표시장치는 샘플링된 아날로그 신호에 대한 정량화 에러를 보정하여 구동 TFT의 문턱전압을 정확하게 추출하고, 이 추출된 문턱전압을 표시데이터에 반영함으로써 표시품위를 크게 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0026] 이하, 도 5 내지 도 10c를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

[0027] 도 5는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 나타내는 블록도이다.

[0028] 도 5를 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 타이밍 콘트롤러(11), 샘플&홀드 블럭(121)을 포함하는 데이터 드라이버(12), 게이트 드라이버(13), 아날로그-디지털 컨버터(14), 에러 보정부(15) 및 메모리(16)를 구비한다.

[0029] 표시패널(10)에는 다수의 데이터라인(DL)들과 다수의 게이트라인(GL)들이 교차되고 그 교차 영역마다 화소(P)들이 매트릭스 형태로 배치된다. 화소(P)들 각각은 고전위 구동전압(Vdd)과 저전위 구동전압(Vss)을 공급받고, 데이터라인(DL)과 게이트라인(GL)에 접속된다. 데이터라인(DL)들 각각은 구동 TFT의 문턱전압 추출 경로/표시데이터(RGB)의 기입 경로에 이용되는 제1 데이터라인과, 표시데이터(RGB)의 기입 경로/구동 TFT의 문턱전압 추출 경로에 이용되는 제2 데이터라인을 포함할 수 있다. 이 경우, 제1 및 제2 데이터라인은 특정 기간을 주기적으로 그 기능을 바꾼다. 다시 말해, 제1 데이터라인은 제1 프레임 ~ 제k 프레임(여기서, k는 수직 해상도)까지는 구동 TFT의 문턱전압 추출 경로에 이용되는 데 반해, 제k+1 ~ 제2k 프레임까지는 표시데이터 기입 경로에 이용된다. 반면, 제2 데이터라인은 제1 프레임 ~ 제k 프레임까지는 표시데이터 기입 경로에 이용되는 데 반해, 제k+1 프레임 ~ 제2k 프레임까지는 구동 TFT의 문턱전압 추출 경로에 이용된다. 게이트라인(GL)들 각각은 적어도 하나 이상의 스캔라인과, 적어도 하나 이상의 센싱라인을 포함할 수 있다. 고전위 구동전압(Vdd)은 고전위 구동전압원에 의해 일정한 전위 레벨(직류 레벨)로 발생된다. 저전위 구동전압(Vss)은 저전위 구동전압원에 의해 발생되며, 화소(P) 내에 포함된 구동 TFT의 문턱전압이 센싱될 수 있도록 주기적으로 그 전위 레벨이 고전위 구동전압 레벨과 기저 전압 레벨 사이에서 가변된다.

[0030] 타이밍 콘트롤러(11)는 메모리(16)에 저장된 보정 디지털 문턱전압들(D1' ~ Dn')을 참조하여 외부로부터 입력되는 표시데이터(RGB)의 계조값을 조절한 후, 이 계조값이 조절된 표시데이터를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 드라이버(12)에 공급한다. 이때, 타이밍 콘트롤러(11)는 표시데이터의 위치에 대응되는 보정 디지털 문턱전압값을 이용하여 표시데이터(RGB)의 계조값을 조절하되, 보정 디지털 문턱전압값이 높을수록 표시데이터(RGB)의 계조값을 높인다.

[0031] 또한, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들을 기초하여 데이터 드라이버(12)에서의 데이터 기입 타이밍을 제어하기 위한 데이터 기입 제어신호(DDC)와, 데이터 드라이버(12)에서의 문턱전압 추출 타이밍을 제어하기 위한 문턱전압 추출 제어신호들과, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다. 데이터 기입 제어신호(DDC)는 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 드라이버(12) 내에서 표시데이터의 래치동작을 지시하는 소스 샘플링 클럭(SSC), 데이터 드라이버(12)의 출력을 지시하는 소스 출력 인에이블신호(SOE)등을 포함한다. 문턱전압 추출 제어신호들은 문턱전압을 샘플링하기 위한 샘플링 클럭(SC), 문턱전압의 홀딩 시작 시점을 지시하는 홀딩 스타트 펄스(HSP), 및 홀딩 스타트 펄스(HSP)를 순차적으로 쉬프트시키기 위한 쉬프트 레지스터 클럭(SRC)을 포함한다. 게이트 제어신호(GDC)는 한 화면이 표시되는 1 프레임기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(GSP), 게이트 드라이버(13) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭(GSC), 및 게이트 드라이버(13)의 출력을

지시하는 게이트 출력 인에이블신호(GOE) 등을 포함한다.

- [0032] 데이터 드라이버(12)는 타이밍 콘트롤러(11)의 제어하에 표시데이터(RGB)를 아날로그 데이터전압(이하, 데이터 전압이라 함)으로 변환하여 데이터라인(DL)들에 공급한다. 그리고, 데이터 드라이버(12)에 포함된 샘플&홀드 블럭(121)은 타이밍 콘트롤러(11)의 제어하에 화소(P)들로부터 추출된 문턱전압들($V_{th1} \sim V_{thn}$)을 아날로그-디지털 컨버터(14)에 순차적으로 공급한다. 이 경우, 샘플&홀드 블럭(121)은 그 내부에서 생성된 동일 레벨의 제1 및 제2 기준 문턱전압(V_{thr1}, V_{thr2})을 상기 문턱전압들과 함께 아날로그-디지털 컨버터(14)에 공급한다. 제1 기준 문턱전압(V_{thr1})은 제1 문턱전압(V_{th1})에 앞서 아날로그-디지털 컨버터(14)에 공급되며, 제2 기준 문턱전압(V_{thr2})은 제n 문턱전압(V_{thn})에 뒤이어 아날로그-디지털 컨버터(14)에 공급된다. 이러한 제1 및 제2 기준 문턱전압(V_{thr1}, V_{thr2})은 정량화 에러값을 산출하는데 있어 기준값으로 작용한다. 샘플&홀드 블럭(121)은 도 6과 같이 동일 수평라인 상에 배치된 화소(P)들의 문턱전압들($V_{th1} \sim V_{thn}$)을 동시에 샘플링하고 이 샘플링된 문턱전압들($V_{th1} \sim V_{thn}$)을 순차적으로 출력하기 위한 다수의 샘플&홀드 회로들(SH1 내지 SHn)과, 상기 문턱전압들($V_{th1} \sim V_{thn}$)의 샘플링 타이밍에 동기하여 제1 기준 문턱전압(V_{thr1})을 샘플링한 후 제1 문턱전압(V_{th1})에 앞서 출력하는 제1 기준 샘플&홀드 회로(SHr1)와, 상기 문턱전압들($V_{th1} \sim V_{thn}$)의 샘플링 타이밍에 동기하여 제2 기준 문턱전압(V_{thr2})을 샘플링한 후 제n 문턱전압(V_{thn})에 뒤이어 출력하는 제2 기준 샘플&홀드 회로(SHr2)를 포함한다. 샘플&홀드 회로들(SH1 내지 SHn)은 각각 입력 채널들(CH1 내지 CHn)에 접속되며, 입력 채널들(CH1 내지 CHn)은 각각 구동 TFT의 문턱전압 추출 경로로 이용되는 데이터라인(DL)들을 통해 화소(P)들에 전기적으로 접속된다. 제1 및 제2 기준 샘플&홀드 회로(SHr1, SHr2)는 각각 제1 및 제2 데이터 채널(DCH1, DCH2)에 접속된다. 샘플&홀드 블럭(121)에서의 샘플링 및 홀딩 동작에 대해서는 도 7 및 도 8을 참조하여 후술한다.
- [0033] 게이트 드라이버(13)는 타이밍 콘트롤러(11)의 제어 하에 스캔라인에 공급될 스캔신호와, 센싱라인에 공급될 센싱신호를 발생한다.
- [0034] 아날로그-디지털 컨버터(14)는 샘플&홀드 블럭(121)으로부터 아날로그 신호들($V_{thr1}, V_{th1} \sim V_{thn}, V_{thr2}$)을 순차적으로 입력받아 디지털 신호들(Dr1, D1 ~ Dn, Dr2)로 변환한 후, 이 디지털 문턱전압들(D1 ~ Dn)과 디지털 기준 문턱전압들(Dr1, Dr2)을 메모리(16)에 공급한다.
- [0035] 메모리(16)는 아날로그-디지털 컨버터(14)로부터의 디지털 문턱전압들(D1 ~ Dn)을 이 디지털 문턱전압들(D1 ~ Dn) 각각에 대한 위치 정보와 함께 록업 테이블 형식으로 미리 할당된 n개의 레지스터에 나누어 저장한다. 또한, 메모리(16)는 아날로그-디지털 컨버터(14)로부터의 디지털 기준 문턱전압들(Dr1, Dr2)을 미리 할당된 2개의 레지스터에 나누어 저장한다. 이러한 메모리(16)는 타이밍 콘트롤러(11)에 내장될 수 있다.
- [0036] 에러 보정부(15)는 메모리(16)에 저장된 디지털 기준 문턱전압들(Dr1, Dr2)을 참조하여 홀딩 시간별 누설 전류에 의한 정량화 에러값들을 산출하고, 이 산출된 정량화 에러값들을 이용하여 메모리(16)에 저장된 디지털 문턱전압들(D1 ~ Dn) 각각을 보정한다. 에러 보정부(15)에 의해 정량화 에러가 보정되는 원리에 대해서는 도 9 내지 도 10c를 참조하여 상세히 후술한다.
- [0037] 도 7은 샘플&홀드 블럭(121)의 일 예를 보여준다. 샘플&홀드 블럭(121)은 이 외에 다르게 구성될 수 있다.
- [0038] 도 7을 참조하면, 샘플&홀드 블럭(121)은 샘플링 스위치 어레이(1211), 홀딩 스위치 어레이(1212) 및 쉬프트 레지스터 어레이(1213)를 구비한다.
- [0039] 샘플링 스위치 어레이(1211)는 타이밍 콘트롤러(11)로부터의 샘플링 클럭(SC)에 응답하여 스위칭되는 다수의 샘플링 스위치들(SSW1 내지 SSWn)을 포함하여 동일 수평라인 상에 배치된 구동 TFT들의 문턱전압($V_{th1} \sim V_{thn}$)을 동시에 샘플링한다. 또한, 샘플링 스위치 어레이(1211)는 샘플링 클럭(SC)에 응답하여 스위칭되는 제1 및 제2 기준 샘플링 스위치들(SSWr1 및 SSWr2)을 더 포함하여 구동 TFT들의 문턱전압($V_{th1} \sim V_{thn}$)의 샘플링 타이밍에 동기하여 제1 및 제2 기준 문턱전압(V_{thr1}, V_{thr2})을 샘플링한다.
- [0040] 홀딩 스위치 어레이(1212)는 도 8과 같이 순차적으로 발생하는 홀딩 클럭들(HC1 내지 HCn) 각각에 응답하여 스위칭되는 다수의 홀딩 스위치들(HSW1 내지 HSWk)을 포함한다. 홀딩 스위치들(HSW1 내지 HSWk)의 스위칭 동작에 의해, 샘플링된 문턱전압들($V_{th1} \sim V_{thn}$)은 공통 출력노드(cno)를 통해 순차적으로 출력된다. 그 결과, 늦게 출력되는 문턱전압일수록 샘플&홀드 블럭(121) 내에서의 홀딩 시간이 길어지므로, 도 8과 같이 홀딩시간에 비례하여 그 홀딩량은 점점 줄어들게 된다. 또한, 홀딩 스위치 어레이(1212)는 제1 홀딩 클럭(HC1)에 앞서 발생하는 제1 기준 홀딩 클럭(HCR1) 및 제n 홀딩 클럭(HCn)에 뒤이어 발생하는 제2 기준 홀딩 클럭에 각각 응답하여 스위칭되는 제1 및 제2 기준 홀딩 스위치(HSWr1 및 HSWr2)를 포함한다. 기준 홀딩 스위치들(HSWr1 및 HSWr2)의 스위칭 동작에 의해, 제1 기준 문턱전압(V_{thr1})은 제1 문턱전압(V_{th1})에 앞서 출력되고, 제2 기준 문턱전압

(Vthr2)은 제n 문턱전압(Vthn)에 의하여 출력된다. 그 결과, 제1 기준 문턱전압(Vthr1)은 샘플&홀드 블럭(121) 내에서의 홀딩 시간이 가장 짧고, 제2 기준 문턱전압(Vthr2)은 샘플&홀드 블럭(121) 내에서의 홀딩 시간이 가장 길다.

[0041] 쉬프트 레지스터 어레이(1213)는 종속적으로 접속된 다수의 스테이지들(Sr1, S1~Sn, Sr2)을 구비한다. 쉬프트 레지스터 어레이(1213)는 타이밍 콘트롤러(11)로부터의 쉬프트 레지스터 클럭(SRC)에 응답하여 첫 번째 스테이지(Sr1)로부터 n+2 번째 스테이지(Sr2)로 홀딩 스타트 펄스(HSP)를 순차적으로 쉬프트시켜 제1 기준 홀딩 클럭(HCR1), 홀딩 클럭들(HC1 내지 HCn), 및 제2 기준 홀딩 클럭(HCR2)을 순차적으로 발생한다.

[0042] 도 9는 제1 디지털 기준 문턱전압(Dr1)과 제2 디지털 기준 문턱전압(Dr2)의 정량화 차이를 기반으로 산출되는 홀딩 시간별 누설 전류에 의한 정량화 에러값들의 추이 곡선을 보여준다. 도 9에서, $Qr1|_{t=0}$ 는 제1 디지털 기준 문턱전압(Dr1)의 정량화값을, $Qr2|_{t=tp}$ 는 제2 디지털 기준 문턱전압(Dr2)의 정량화값을 각각 나타낸다.

[0043] 도 9를 참조하면, 홀딩 시간이 길어질수록 정량화 에러값들은 제1 디지털 기준 문턱전압(Dr1)의 정량화값($Qr1|_{t=0}$)과 제2 디지털 기준 문턱전압(Dr2)의 정량화값($Qr2|_{t=tp}$) 사이에서 점점 증가되고 있음을 알 수 있다. 에러 보정부(15)는 각 홀딩 타임에서의 정량화 에러값($E(x)|_{t=th(x)}$)들을 산출하기 위해 아래의 수학식 2 내지 5를 기초로 결정되는 수학식 6을 이용한다.

수학식 2

[0044]
$$Qr2|_t = k \cdot e^{-\alpha \cdot t}$$

수학식 3

[0045]
$$Qr2|_{t=0} = k \cdot e^{-\alpha \cdot 0} = k = Qr1|_{t=0}$$

수학식 4

[0046]
$$Qr2|_{t=th(Qr2)} = k \cdot e^{-\alpha \cdot th(Qr2)}$$

수학식 5

[0047]
$$\alpha = -\frac{1}{th(Qr2)} \ln \frac{Qr2|_{t=th(Qr2)}}{Qr1|_{t=0}} = \frac{1}{th(Qr2)} \ln \frac{Qr1|_{t=0}}{Qr2|_{t=th}}$$

수학식 6

[0048]
$$E(x)|_{t=th(x)} = Qr2|_{t=0} - Qr2|_{t=th(x)} = k \cdot e^{-\alpha \cdot 0} - k \cdot e^{-\alpha \cdot th(x)}$$

[0048]
$$= Qr1|_{t=0} \times \left\{ 1 - e^{-\left(\frac{1}{th(Qr2)} \ln \frac{Qr1|_{t=0}}{Qr2|_{t=tp}} \right) \cdot th(x)} \right\}$$

[0049] 상기 수학식 2 내지 6에서, 'th(x)'는 채널 x에 대응되는 샘플&홀드 회로가 채널 x로부터 문턱전압을 샘플링한 후, 이 샘플링된 아날로그 신호를 아날로그-디지털 컨버터로 보내기까지 홀딩한 시간을 지시하고, 'tp'는 제1 및 제2 기준 샘플&홀드 회로(SHr1, SHr2)의 더미 채널 2개를 포함하여 (n+2)개의 전 채널을 정량화하는데 필요한 시간으로서, 제2 기준 샘플&홀드 회로(SHr2)의 홀딩 시간을 지시한다. 이를 다시 표현하면, 아래의 수학식 7과 같다.

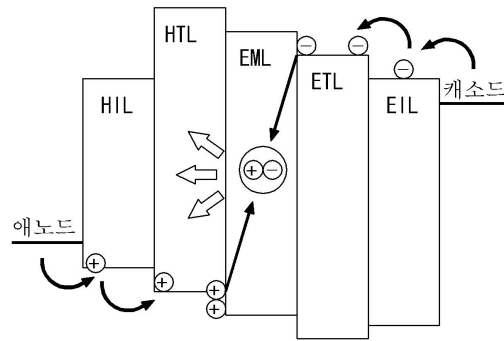
[0072]

16 : 메모리

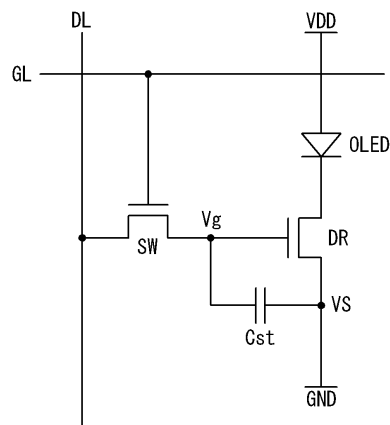
121 : 샘플&홀드 블록

도면

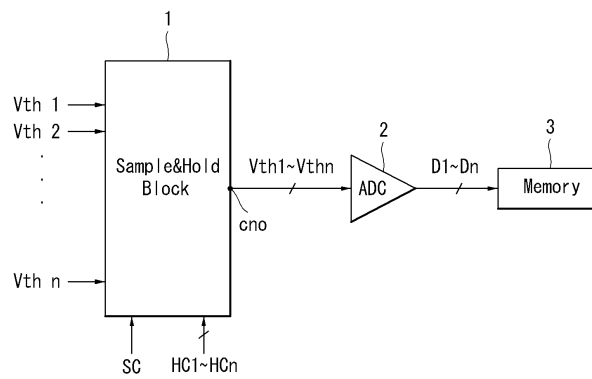
도면1



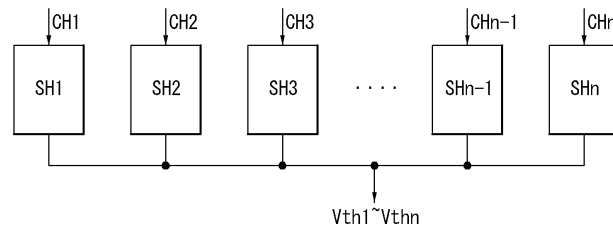
도면2



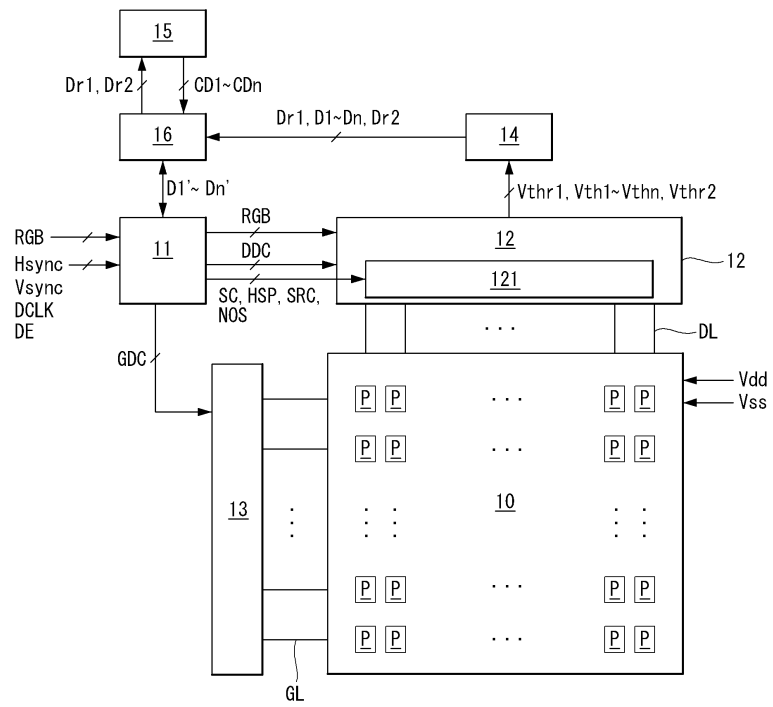
도면3



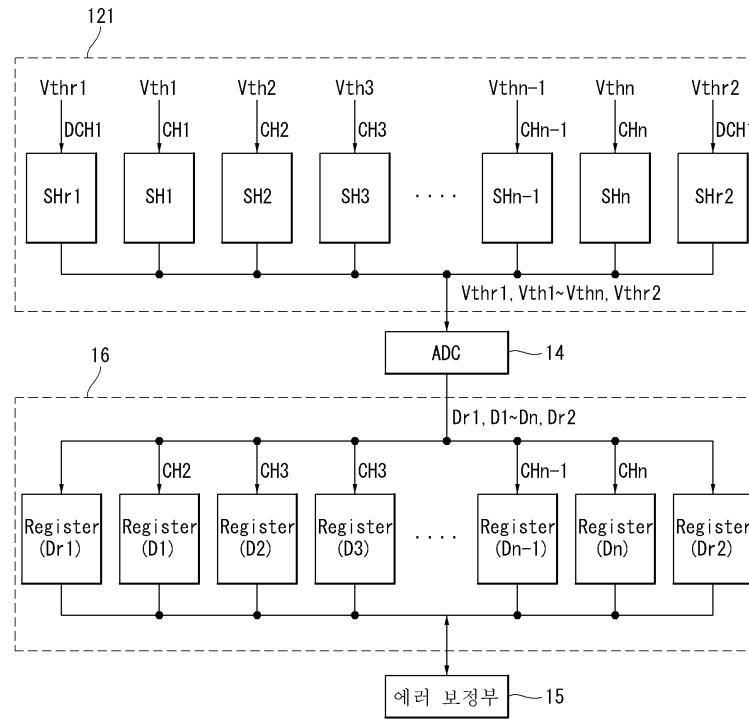
도면4



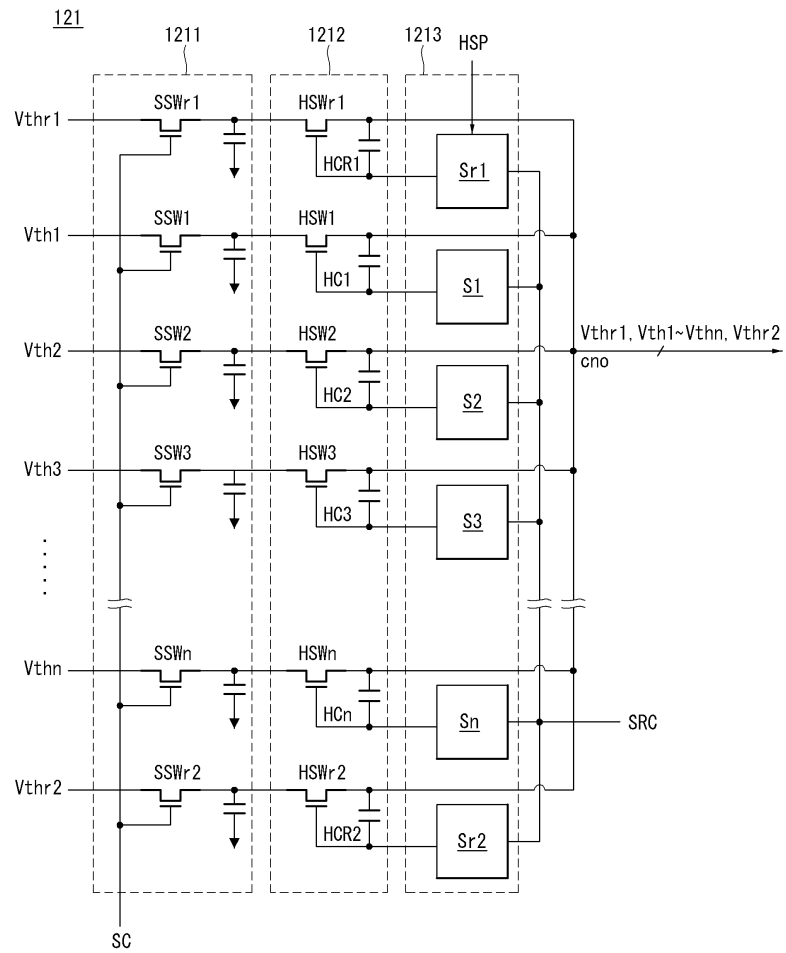
도면5



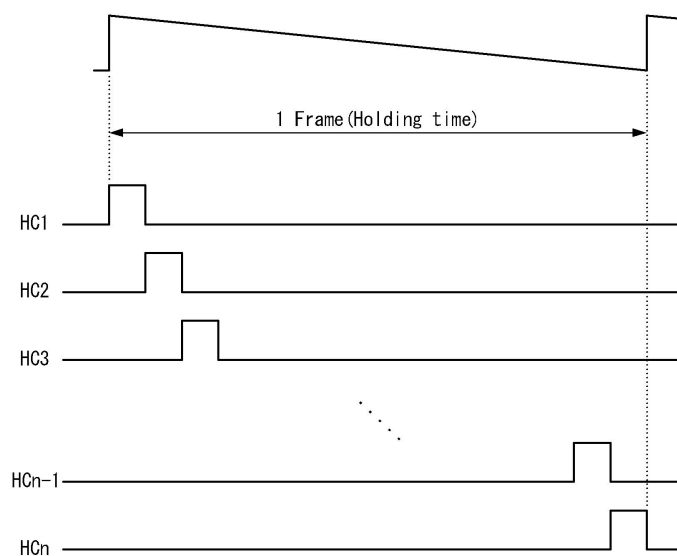
도면6



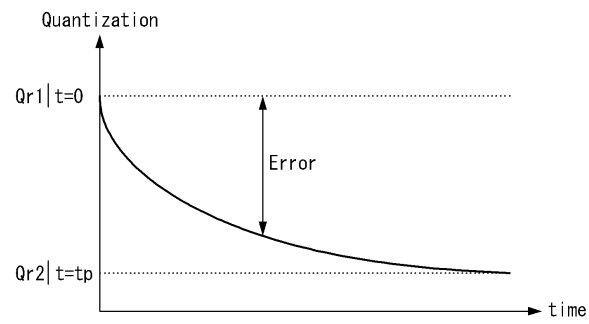
도면7



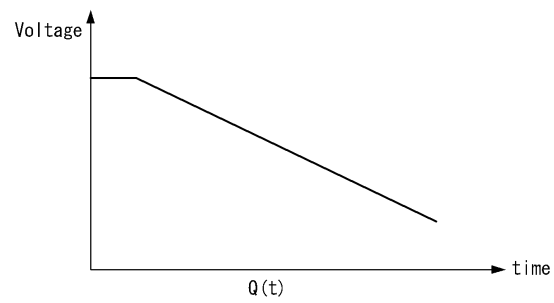
도면8



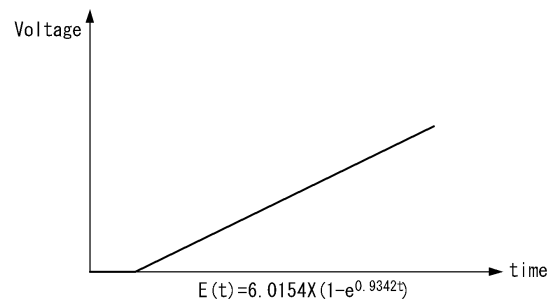
도면9



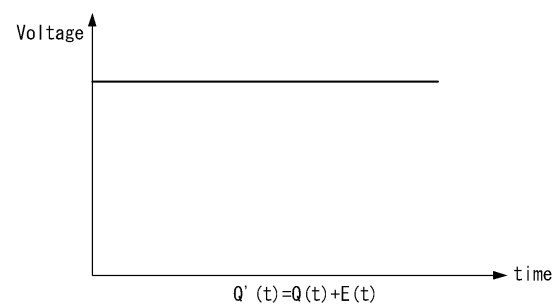
도면10a



도면10b



도면10c



专利名称(译)	标题：OLED显示器件		
公开(公告)号	KR101475085B1	公开(公告)日	2014-12-23
申请号	KR1020080135358	申请日	2008-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JI HUN 김지훈 LEE HYUN HAENG 이현행 YOON JOONG SUN 윤중선		
发明人	김지훈 이현행 윤중선		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H01L51/50		
CPC分类号	H01L2924/13069 H01L2924/1425 H01L2924/1426 H01L2924/1434		
其他公开文献	KR1020100077431A		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机发光二极管显示装置，通过校正相对于采样模拟信号的量化误差，在精确提取驱动TFT的阈值电压之后，通过施加阈值电压来显示数据，从而提高显示质量。组成：在显示面板（10）中交叉多条栅极线和多条数据线。采样和保持块（121）连续输出具有比阈值电压更短的保持时间的第一参考电压和具有比阈值电压更长的保持时间的第二参考电压。模拟数字转换器（14）将参考电压变为数字参考电压，并将参考电压变为数字参考电压。误差校正部分（15）基于由于保持时间差引起的数字参考电压之间的差值，产生数字阈值电压的每个量化误差值。定时控制器（11）通过使用与提供给显示面板的显示数据的位置相对应的校正数字阈值电压值来控制显示数据的灰度级。

