



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월14일  
(11) 등록번호 10-1093403  
(24) 등록일자 2011년12월06일

(51) Int. Cl.

*H01L 51/52* (2006.01) *H01L 27/32* (2006.01)

(21) 출원번호 10-2009-7005828

(22) 출원일자(국제출원일자) 2008년05월28일

심사청구일자 2009년03월20일

(85) 번역문제출일자 2009년03월20일

(65) 공개번호 10-2009-0088848

(43) 공개일자 2009년08월20일

(86) 국제출원번호 PCT/JP2008/060248

(87) 국제공개번호 WO 2008/152953

국제공개일자 2008년12월18일

(30) 우선권주장

JP-P-2007-155129 2007년06월12일 일본(JP)

(56) 선행기술조사문헌

JP2004253389 A\*

JP2006278128 A\*

US20050225232 A1\*

US20070015429 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가시오계산기 가부시키가이샤

일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자

야마모토 가즈토

일본국 도쿄도 205-8555 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산기 가부시키가이샤 하무라기쥬 츠센터 지적재산부내

(74) 대리인

손은진, 김문종

전체 청구항 수 : 총 14 항

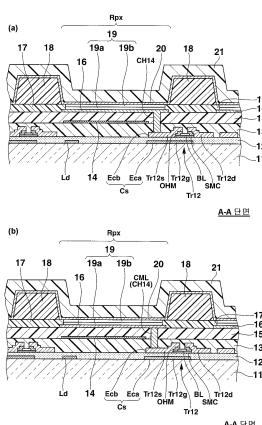
심사관 : 최창락

(54) 표시장치 및 그 제조방법

### (57) 요 약

표시장치는 발광 기능층(19), 제 1 전극(16), 제 2 전극(20), 플랫 반사층(14) 및 플랫 절연막(15)을 구비한다. 상기 발광 기능층(19)은 적어도 1층을 갖는다. 제 2 전극(20)은 상기 발광 기능층(19)을 통해 상기 제 1 전극(16)과 대향하도록 설치된다. 상기 플랫 절연막(15)은 상기 플랫 절연층(14)과 상기 제 1 전극(16) 사이에 설치된다. 상기 제 1 전극(16), 제 2 전극(20) 및 플랫 절연막(15)은 상기 발광 기능층(19)으로부터 발광된 광의 파장범위의 적어도 일부의 파장을 갖는 광에 대해 투과 특성을 갖는다. 상기 플랫 반사층(14)은 상기 발광 기능층(19)으로부터 발광된 광의 파장범위의 적어도 일부의 파장을 갖는 광에 대해 반사 특성을 갖는다.

### 대 표 도 - 도4



## 특허청구의 범위

### 청구항 1

컬러 표시를 실행하는 표시장치로서,

발광소자와, 상기 발광소자의 동작을 제어하는 화소 구동 회로와, 상기 화소 구동 회로를 피복하는 보호 절연막을 구비하는 복수의 표시 화소를 갖고,

상기 복수의 표시 화소의 각각의 상기 발광소자는 컬러 표시를 실행하는 복수의 다른 발광색의 어느 하나를 갖고, 상기 보호 절연막 위에 설치되고,

적어도 1층 이상의 발광 기능층과,

상기 발광 기능층이 발하는 광 중 적어도 일부의 파장역의 광에 대해 투과성을 갖는 제 1 전극과,

상기 발광 기능층을 통해 상기 제 1 전극에 대향하여 설치되고, 상기 발광 기능층이 발하는 광 중 적어도 일부의 파장역의 광에 대해 투과성을 갖는 제 2 전극과,

상기 발광 기능층이 발하는 광 중 적어도 일부의 파장역의 광에 대해 반사성을 갖는 플랫 반사층과,

상기 플랫 반사층과 상기 제 1 전극의 사이에 설치되고, 상기 발광 기능층이 발하는 광 중 적어도 일부의 파장역의 광에 대해 투과성을 갖고, 2000~7000nm의 막두께를 갖는 광방사 제어 절연막을 갖고,

상기 광방사 제어 절연막의 두께는 상기 복수의 표시화소의 전체에 대해 동일한 값으로 설정되어 있고,

상기 화소 구동 회로는, 표시 데이터에 대응하는 계조신호에 의거하는 전하를 전압 성분으로서 유지하는 커패시터와, 상기 발광소자에 접속되고 전하 유지 회로에 유지된 전압 성분에 따른 발광 구동 전류를 상기 발광소자에 공급하는 발광 구동 트랜지스터를 구비하고,

상기 발광 구동 트랜지스터는, 기판의 일면 위에 설치된 게이트 전극과, 상기 게이트 전극을 덮는 동시에 상기 기판의 일면 위에 설치된 게이트 절연막과, 상기 게이트 전극 위의 상기 게이트 절연막의 상면에 설치된 반도체 층과, 상기 반도체층의 양면측의 일부를 덮는 동시에 상기 게이트 절연막의 상면에 설치된 소스 전극 및 드레인 전극을 갖고, 상기 소스 전극과 상기 드레인 전극의 어느 한쪽이 상기 발광소자에 접속되고,

상기 커패시터는, 상기 게이트 전극과 일체적으로 상기 기판의 일면 위에 형성된 하부전극과, 상기 발광소자에 접속된 상기 소스 전극과 상기 드레인 전극의 한쪽과 일체적으로 상기 게이트 절연막의 상면에 형성되고, 상기 제 1 전극과 대향하는 상부전극을 갖고, 상기 하부전극과 상기 상부전극이 상기 게이트 절연막을 통해 대향하고 있고,

상기 상부전극은 적어도 일부에 상기 제 1 전극과 대향하는 영역을 갖고, 상기 제 1 전극은 상기 상부전극의 상기 제 1 전극과 대향하는 영역 위의 상기 광방사 제어 절연막 및 상기 보호 절연막을 관통하여 설치된 개구부를 통해, 상기 화소 구동 회로에 전기적으로 접속되어 있는 것을 특징으로 하는 표시장치.

### 청구항 2

제 1 항에 있어서,

상기 광방사 제어 절연막은 1.8 ~ 2.2의 굴절률을 갖는 것을 특징으로 하는 표시장치.

### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 전극은 도전성 산화 금속층을 구비하고, 상기 광방사 제어 절연막은 유기막을 구비하는 것을 특징으로 하는 표시장치.

### 청구항 4

제 1 항에 있어서,

상기 광방사 제어 절연막은 아크릴계 수지, 에폭시계 수지 및 폴리이미드계 수지 중의 어느 하나의 열경화성을

갖는 유기막으로 이루어지는 것을 특징으로 하는 표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 각 표시화소의 상기 발광 기능층은 발광층을 갖고, 상기 발광층은 상기 복수의 다른 발광색의 어느 하나를 갖는 것을 특징으로 하는 표시장치.

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

제 1 항에 있어서,

상기 플랫 반사층은 상기 화소 구동 회로에 전기적으로 접속되어 있는 것을 특징으로 하는 표시장치.

#### 청구항 9

제 1 항에 있어서,

상기 플랫 반사층은 상기 상부전극 위의 상기 보호 절연막에 형성된 제 1 개구부를 통해 상기 화소 구동 회로와 접속되고,

상기 제 1 전극은 상기 상부전극 위의 상기 광방사 제어 절연막에 형성된 제 2 개구부를 통해 상기 플랫 반사층에 전기적으로 접속되어 있는 것을 특징으로 하는 표시장치.

#### 청구항 10

제 1 항에 있어서,

상기 화소 구동 회로의 전극 및 배선층의 적어도 한쪽은 상기 광방사 제어 절연막을 통해 상기 제 1 전극과 평면적으로 중첩되어 있는 것을 특징으로 하는 표시장치.

#### 청구항 11

제 1 항에 있어서,

상기 발광 기능층은 유기 EL층을 포함하는 것을 특징으로 하는 표시장치.

#### 청구항 12

제 1 항에 있어서,

상기 발광 기능층은 고분자계의 유기 재료를 포함하는 것을 특징으로 하는 표시장치.

#### 청구항 13

삭제

#### 청구항 14

발광 기능층을 갖고, 컬러 표시를 실행하는 복수의 다른 발광색의 어느 하나를 갖는 발광소자와 상기 발광소자의 동작을 제어하는 화소 구동 회로를 구비하는 복수의 표시 화소를 갖고 컬러 표시를 실행하는 표시장치의 제조방법으로서,

상기 화소 구동 회로는, 표시 테이터에 대응하는 계조신호에 의거하는 전하를 전압 성분으로서 유지하는 커패시터와, 상기 발광소자에 접속되고 전하 유지 회로에 유지된 전압 성분에 따른 발광 구동 전류를 상기 발광소자에

공급하는 발광 구동 트랜지스터를 구비하고,

기판의 일면 위에 상기 화소 구동 회로를 형성하며,

상기 화소 구동 회로 위에 제 1 개구부를 갖는 보호 절연막을 형성하며,

상기 보호 절연막 위 및 상기 제 1 개구부에, 상기 발광 기능층이 발하는 광 중 적어도 일부의 광에 대해 반사성을 갖는 플랫 반사층을 형성하며,

상기 플랫 반사층의 일부를 개구하는 제 2 개구부를 갖고, 상기 플랫 반사층의 다른 부분을 덮는 상기 발광 기능층이 발하는 광 중 적어도 일부의 광에 대해 투과성을 갖는 광방사 제어 절연막을, 상기 복수의 표시화소의 전체에 대해 2000~7000nm의 동일한 막 두께로 형성하며,

상기 광방사 제어 절연막 위 및 상기 제 2 개구부에, 상기 발광 기능층이 발하는 광 중 적어도 일부의 광에 대해 투과성을 갖는 제 1 전극을 형성하며,

상기 제 1 전극 위에 상기 발광 기능층을 형성하며,

상기 발광 기능층 위에, 상기 발광 기능층이 발하는 광 중 적어도 일부의 광에 대해 투과성을 갖는 제 2 전극을 형성하며,

상기 화소 구동 회로의 형성은,

상기 기판의 일면 위에 게이트 전극을 형성하고, 상기 기판의 일면 위 및 상기 게이트 전극 위에 게이트 절연막을 형성하고, 상기 게이트 전극 위의 상기 게이트 절연막의 상면에 반도체층을 형성하고, 상기 반도체층의 양단 측의 일부를 덮는 동시에 상기 게이트 절연막의 상면에 소스 전극 및 드레인 전극을 형성하고, 상기 소스 전극과 상기 드레인 전극의 어느 한쪽을 상기 발광소자에 접속하고, 상기 발광 구동 트랜지스터를 형성하며,

상기 기판의 일면 위에 상기 게이트 전극과 일체적으로 하부전극을 형성하고, 상기 게이트 절연막의 상면의, 상기 발광소자에 접속된 상기 소스 전극과 상기 드레인 전극의 한쪽과 일체적으로, 상기 하부전극과 대향하는 동시에, 적어도 일부가 상기 제 1 전극과 대향하는 위치에 상부전극을 형성하고, 상기 게이트 절연막을 통해 대향하는 상기 하부전극과 상기 상부전극에 의해 상기 커패시터를 형성하며,

상기 상부전극의 상기 제 1 전극과 대향하는 영역 위의 상기 광방사 제어 절연막 및 상기 보호 절연막에, 상기 광방사 제어 절연막 및 상기 보호 절연막을 관통하는 개구부를 형성하고, 해당 개구부를 통해 상기 제 1 전극을 상기 화소 구동 회로에 전기적으로 접속하는 것을 포함하는 것을 특징으로 하는 표시장치의 제조방법.

### 청구항 15

제 14 항에 있어서,

상기 광방사 제어 절연막은 1.8 ~ 2.2의 굴절률을 갖는 것을 특징으로 하는 표시장치의 제조방법.

### 청구항 16

제 14 항에 있어서,

상기 광방사 제어 절연막은 아크릴계 수지, 에폭시계 수지 및 폴리이미드계 수지 중의 어느 하나의 열경화성을 갖는 유기막으로 이루어지는 것을 특징으로 하는 표시장치의 제조방법.

### 청구항 17

제 14 항에 있어서,

상기 각 화소의 상기 발광 기능층은 발광층을 갖고, 상기 발광층은 복수의 다른 발광색의 어느 하나를 갖는 것을 특징으로 하는 표시장치의 제조방법.

## 명세서

### 기술분야

[0001] 본 발명은 표시장치 및 그 제조방법에 관한 것으로서, 특히, 유기 전계 발광 소자 등의 발광소자를 갖는 표시

화소를 구비하는 표시장치 및 해당 표시장치의 제조방법에 관한 것이다.

## 배경기술

- [0002] 최근, 액정표시장치(LCD)에 계속되는 차세대의 표시 디바이스로서 유기 전계 발광 소자(이하, 「유기 EL 소자」로 약기함)와 발광 다이오드(LED) 등과 같은 자(self)발광 소자의 2차원 배열을 포함하는 발광소자형의 표시 패널을 구비하는 표시장치의 본격적인 실용화, 표시장치의 보급화를 위한 연구와 개발이 활발히 실행되고 있다.
- [0003] 특히, 액티브 매트릭스 구동 방식을 이용한 발광소자형의 표시장치는 액정표시장치에 비해 표시응답속도가 빠르고, 시야각 의존성도 없다고 하는 우수한 표시 특성을 갖는다. 또한, 발광소자형의 표시장치는 액정표시장치와는 달리 백라이트나 도광판을 필요로 하지 않는 장치 구성상의 특징을 갖는다. 이러한 이유로, 발광소자형의 표시장치는 향후 각종 전자 장치에의 적용이 기대되고 있다.
- [0004] 이러한 액티브 매트릭스 구동 방식에 의거하는 표시장치로서, 표시 패널에 배열되는 각 표시화소마다, 발광소자(유기 EL 소자)를 원하는 회로 계조로 발광 동작시키기 위한 화소 회로(화소 구동 회로)를 갖는 장치가 알려져 있다. 이 화소 회로로서, 예를 들면 일본국 특허공개공보 평8-330600호에 기재되어 있는 바와 같이, 1개 또는 복수의 박막 트랜ジ스터 등의 스위칭 소자와 배선층을 구비한 회로가 알려져 있다.
- [0005] 그리고, 기판의 일면측에 형성되고 각 표시 화소를 구성하는 화소 회로와 발광소자를 갖는 표시 패널로서, 각 발광소자의 디바이스 구조에 따라 기판의 일면측에 광을 방사하는 톱 에미션형의 표시 패널과, 기판의 다른면측에 광을 방사하는 보텀 에미션형의 표시 패널이 알려져 있다. 즉, 예를 들면 일본국 특허출원공개공보 제2005-222759호에 기재되어 있는 바와 같이, 톱 에미션형의 표시 패널은 일면측에 설치된 발광소자로부터 발광된 광이 투과하는 일 없이 기판에 의해 반사되고 일면측에 방사되는 구조인 한편, 보텀 에미션형의 표시 패널은 발광소자로부터 발광된 광이 기판을 통해 투과되고 다른면측에 방사되는 발광 구조를 갖는다.
- [0006] 액티브 매트릭스형의 표시 패널에 있어서, 상술한 바와 같이, 각 표시 화소마다 트랜지스터 등의 회로 소자를 갖는 화소 회로와, 유기 EL 소자 등의 발광소자를 동일 기판상에 형성할 필요가 있다. 상기 화소 회로에 각 회로소자와 각 발광소자를 기판상에 서로 2차원으로 중첩(즉, 격중 형성)할 수 있다. 이것은 화소 회로(회로 소자)와 발광소자를 2차원적으로 중첩되지 않도록 배열할 필요가 있는 보텀 에미션형의 발광 구조에 비해, 화소 개구율 뿐만 아니라, 회로 소자의 레이아웃 설계의 자유도를 높일 수 있다.
- [0007] 이와 같은 톱 에미션형의 발광 구조를 갖는 표시 패널에 있어서, 각 표시 화소에 형성되는 유기 EL 소자는 예를 들면 다음의 디바이스 구조를 갖는다. 각 화소 회로의 각각의 회로소자가 형성된 기판상에, 반사층, 투명한 화소 전극(예를 들면 애노드 전극), 유기 EL층 등의 발광층, 투명한 대향 전극(예를 들면 캐소드 전극)이 순차 중첩된다. 상기 발광층에 의해 발광된 광은 대향 전극을 거쳐서 시야측에 직접 방사된다. 또한, 기판 방향으로 방출된 광은 상기 반사층에 의해 반사된 후, 상기 발광층과 상기 대향 전극을 거쳐서 시야측에 방사된다. 이러한 동작으로, 원하는 화상 정보가 표시된다.
- [0008] 그러나, 상술한 바와 같은 톱 에미션형의 발광 구조를 갖는 표시 패널에 있어서, 상기 발광층에 의해 발광된 광이 대향 전극을 거쳐서 직접 시야측에 방사되고, 기판 방향으로 방출된 광이 반사층에 의해 반사된 후, 상기 발광층 및 상기 대향 전극을 거쳐서 시야측에 방사된다. 이것은 방사된 광빔간의 막두께에 대응하는 광로차를 야기하고, 색도 어긋남과 발광 회도(발광 강도)의 편차를 야기하며, 그 결과, 화상 멀림(blurring) 등의 표시 특성의 저하를 초래한다. 본 발명자들은 발광소자로서 고분자계의 유기 EL 소자가 이용된 경우, 상기 특성 저하가 현저한 것을 알아내었다. 또한, 표시 패널의 구체적인 특성 저하는 후술하는 본 발명의 실시형태의 기재에서 상세히 설명한다.

## 발명의 상세한 설명

- [0009] 본 발명에 관한 표시장치는, 발광소자와, 상기 발광소자의 동작을 제어하는 화소 구동 회로와, 상기 화소 구동 회로를 피복하는 보호 절연막을 구비하는 복수의 표시 화소를 갖고, 상기 복수의 표시 화소의 각각의 상기 발광 소자는 컬러 표시를 실행하는 복수의 다른 발광색의 어느 하나를 갖고, 상기 보호 절연막 위에 설치되고, 적어도 1층 이상의 발광 기능층과, 상기 발광 기능층을 통해 상기 제 1 전극에 대향하여 설치되고, 상기 발광 기능층이 발하는 광 중 적어도 일부의 광장역의 광에 대해 투과성을 갖는 제 2 전극과, 상기 발광 기능층이 발하는 광 중 적어도 일부의 광장역의 광에 대해 반사성을 갖는 플랫 반사층과, 상기 플랫 반사층과 상기 제 1 전극의 사이에 설치되고, 상기 발광 기능층이 발하는 광 중 적어도 일부의 광장역의 광에 대해 투과성을 갖고, 2000~7000nm의 막두

께를 갖는 광방사 제어 절연막을 갖고, 상기 광방사 제어 절연막의 두께는 상기 복수의 표시화소의 전체에 대해 동일한 값으로 설정되어 있고, 상기 화소 구동 회로는, 표시 데이터에 대응하는 계조신호에 의거하는 전하를 전압 성분으로서 유지하는 커패시터와, 상기 발광소자에 접속되고 전하 유지 회로에 유지된 전압 성분에 따른 발광 구동 전류를 상기 발광소자에 공급하는 발광 구동 트랜지스터를 구비하고, 상기 발광 구동 트랜지스터는, 기판의 일면 위에 설치된 게이트 전극과, 상기 게이트 전극을 덮는 동시에 상기 기판의 일면 위에 설치된 게이트 절연막과, 상기 게이트 전극 위의 상기 게이트 절연막의 상면에 설치된 반도체층과, 상기 반도체층의 양면측의 일부를 덮는 동시에 상기 게이트 절연막의 상면에 설치된 소스 전극 및 드레인 전극을 갖고, 상기 소스 전극과 상기 드레인 전극의 어느 한쪽이 상기 발광소자에 접속되고, 상기 커패시터는, 상기 게이트 전극과 일체적으로 상기 기판의 일면 위에 형성된 하부전극과, 상기 발광소자에 접속된 상기 소스 전극과 상기 드레인 전극의 한쪽과 일체적으로 상기 게이트 절연막의 상면에 형성되고, 상기 제 1 전극과 대향하는 상부전극을 갖고, 상기 하부전극과 상기 상부전극이 상기 게이트 절연막을 통해 대향하고 있고, 상기 상부전극은 적어도 일부에 상기 제 1 전극과 대향하는 영역을 갖고, 상기 제 1 전극은 상기 상부전극의 상기 제 1 전극과 대향하는 영역 위의 상기 광방사 제어 절연막 및 상기 보호 절연막을 관통하여 설치된 개구부를 통해, 상기 화소 구동 회로에 전기적으로 접속되어 있는 것을 특징으로 한다.

[0010] 상기 광방사 제어 절연막은 1.8 ~ 2.2의 굴절률을 갖는 것을 특징으로 한다.

[0011] 상기 제 1 전극은 도전성 산화 금속층을 구비하고, 상기 광방사 제어 절연막은 유기막을 구비하는 것을 특징으로 한다.

[0012] 상기 광방사 제어 절연막은 아크릴계 수지, 에폭시계 수지 및 폴리이미드계 수지 중의 어느 하나의 열경화성을 갖는 유기막으로 이루어지는 것을 특징으로 한다.

[0013] 상기 각각의 화소의 상기 발광 기능층은 발광층을 갖고, 상기 발광층은 복수의 다른 발광색의 어느 하나를 가지는 것을 특징으로 한다.

[0014] 삭제

[0015] 삭제

[0016] 삭제

[0017] 삭제

[0018] 발광 구동 전류를 공급하고, 전극과 배선층을 포함하는 화소 구동 회로를 더 포함하고, 상기 화소 구동 회로의 상기 전극과 상기 배선층 중의 적어도 하나는 상기 광방사 제어 절연막을 통해 상기 제 1 전극과 2차원적으로 중첩되는 것을 특징으로 한다.

[0019] 상기 발광 기능층은 유기 EL층 또는 고분자계의 유기 재료를 포함해도 좋다.

[0020] 삭제

[0021] 본 발명의 또 다른 실시예에서 제공되는 발광 기능층을 포함하는 표시장치의 제조방법은, 발광 기능층을 갖고, 컬러 표시를 실행하는 복수의 다른 발광색의 어느 하나를 갖는 발광소자와 상기 발광소자의 동작을 제어하는 화소 구동 회로를 구비하는 복수의 표시 화소를 갖고 컬러 표시를 실행하는 표시장치의 제조방법으로서, 상기 화소 구동 회로는, 표시 데이터에 대응하는 계조신호에 의거하는 전하를 전압 성분으로서 유지하는 커패시터와, 상기 발광소자에 접속되고 전하 유지 회로에 유지된 전압 성분에 따른 발광 구동 전류를 상기 발광소자에 공급하는 발광 구동 트랜지스터를 구비하고, 기판의 일면 위에 상기 화소 구동 회로를 형성하며, 상기 화소 구동 회로 위에 제 1 개구부를 갖는 보호 절연막을 형성하며, 상기 보호 절연막 위 및 상기 제 1 개구부에, 상기 발광 기능층이 발하는 광 중 적어도 일부의 광장역의 광에 대해 반사성을 갖는 플랫 반사층을 형성하며, 상기 플랫 반사층의 일부를 개구하는 제 2 개구부를 갖고, 상기 플랫 반사층의 다른 부분을 덮는 상기 발광 기능층이 발하

는 광 중 적어도 일부의 파장역의 광에 대해 투과성을 갖는 광방사 제어 절연막을, 상기 복수의 표시화소의 전체에 대해 2000~7000nm의 동일한 막 두께로 형성하며, 상기 광방사 제어 절연막 위 및 상기 제 2 개구부에, 상기 발광 기능층이 발하는 광 중 적어도 일부의 파장역의 광에 대해 투과성을 갖는 제 1 전극을 형성하며, 상기 제 1 전극 위에 상기 발광 기능층을 형성하며, 상기 발광 기능층 위에, 상기 발광 기능층이 발하는 광 중 적어도 일부의 파장역의 광에 대해 투과성을 갖는 제 2 전극을 형성하며, 상기 화소 구동 회로의 형성은, 상기 기판의 일면 위에 게이트 전극을 형성하고, 상기 기판의 일면 위 및 상기 게이트 전극 위에 게이트 절연막을 형성하고, 상기 게이트 전극 위의 상기 게이트 절연막의 상면에 반도체층을 형성하고, 상기 반도체층의 양단측의 일부를 덮는 동시에 상기 게이트 절연막의 상면에 소스 전극 및 드레인 전극을 형성하고, 상기 소스 전극과 상기 드레인 전극의 어느 한쪽을 상기 발광소자에 접속하고, 상기 발광 구동 트랜지스터를 형성하며, 상기 기판의 일면 위에 상기 게이트 전극과 일체적으로 하부전극을 형성하고, 상기 게이트 절연막의 상면의, 상기 발광소자에 접속된 상기 소스 전극과 상기 드레인 전극의 한쪽과 일체적으로, 상기 하부전극과 대향하는 동시에, 적어도 일부가 상기 제 1 전극과 대향하는 위치에 상부전극을 형성하고, 상기 게이트 절연막을 통해 대향하는 상기 하부전극과 상기 상부전극에 의해 상기 커페시터를 형성하며, 상기 상부전극의 상기 제 1 전극과 대향하는 영역 위의 상기 광방사 제어 절연막 및 상기 보호 절연막에, 상기 광방사 제어 절연막 및 상기 보호 절연막을 관통하는 개구부를 형성하고, 해당 개구부를 통해 상기 제 1 전극을 상기 화소 구동 회로에 전기적으로 접속하는 것을 포함하는 것을 특징으로 한다.

- [0022] 상기 광방사 제어 절연막은 1.8 ~ 2.2의 굴절률을 갖는 것을 특징으로 한다,
- [0023] 상기 광방사 제어 절연막은 아크릴계 수지, 에폭시계 수지 및 폴리이미드계 수지 중의 어느 하나의 열경화성을 갖는 유기막으로 이루어지는 것을 특징으로 한다.
- [0024] 상기 각 화소의 상기 발광 기능층은 발광층을 갖고, 상기 발광층은 복수의 다른 발광색의 어느 하나를 갖는 것을 특징으로 한다.
- [0025] 본 발명에 관한 표시장치 및 그 제조방법은 색도 어긋남과 발광 휘도(발광 강도)의 편차를 억제하는 것에 의해 화상의 떨림 등이 없는 우수한 표시 특성을 실현할 수 있다.
- [0026] 본 발명의 이점은 다음의 상세한 설명에 의해 설명되거나 본 발명의 실행에 의해 알게 될 것이다. 본 발명의 이점은 특히 여기에서 지적된 수단과 조합에 의해 실현되고 얻어질 것이다.

### 실시예

- [0052] 이하, 본 발명에 관한 표시장치 및 그 제조방법은 실시형태를 참조하여 상세하게 설명한다. 여기서, 이하의 실시형태는 표시 화소를 구성하는 발광소자로서, 프로세스 제어성과 생산성이 우수한 잉크젯법, 노즐 코트법 등을 이용하는 것에 의해 고분자계의 유기 재료를 도포하여 형성되는 유기 EL층을 구비하는 유기 EL 소자가 사용된 경우에 대해 설명한다.
- [0053] <표시 패널>
- [0054] 우선, 본 발명에 관한 표시장치에 사용되는 표시 패널(유기 EL 패널)과 표시 화소에 대해 설명한다.
- [0055] 도 1은 본 발명에 관한 표시장치에 이용되는 표시 패널의 화소 배열 상태의 예를 나타내는 개략 평면도이다. 도 2는 본 발명에 관한 표시장치의 표시 패널에 2차원으로 배열되는 각 표시 화소(발광소자와 화소 구동 회로)의 회로 배열예를 나타내는 등가 회로도이다. 설명의 편의상, 도 1의 평면도는 표시 패널(또는 절연성 기판)의 일면측(유기 EL 소자 형성측)에서 본 경우, 각 표시 화소(색화소)에 설치되는 화소 전극의 배열과 배선층의 구조의 관계와, 각 표시 화소의 형성 영역을 규정하는 뱅크(격벽)간의 레이아웃 관계만을 나타내고, 각 표시 화소의 유기 EL 소자를 발광 구동하기 위해, 각 표시 화소에 설치되는 도 2에 나타내는 화소 구동 회로내의 트랜지스터 등을 도시하지 않았다. 또, 도 1에 대해서는 편의를 위해, 화소 전극, 배선층, 뱅크는 빗금으로 표시하여 그들 배열을 명확하게 나타내었다.
- [0056] 본 발명에 관한 표시장치(표시 패널)는 도 1에 나타내는 바와 같이, 유리 기판 등의 절연성 기판(11)의 일면측에, 적(R), 녹(G), 청(B)의 3색의 색화소 PXr, PXg, PXb가 형성된 조를 갖는다. 이들 색화소의 조(3의 배수에 대응)는 각각 행방향(도면의 수평 방향)으로 배열되는 색화소 PXr, PXg, PXb를 구비한다. 동일색의 색화소 PXr, PXg, PXb의 조는 열방향(도면의 수직방향)으로 배열된다. 인접하는 3색 R, G, B의 색화소 PXr, PXg, PXb의 조는 하나의 표시 화소 PIX를 구성하고, 장치는 후술하는 표시 구동 동작에 의해 색 표시가 실행되도록 구성된다.

- [0057] 도 1에 나타내는 바와 같이, 표시 패널(10)상에, 절연성 기판(11)의 일면측으로부터 돌출되고, 평면의 울타리형 상 또는 격자패턴으로 배열된 뱅크(격벽)(18)에 의해, 열방향으로 배열된 동일색의 색화소 PXr, PXg, PXb의 화소 형성 영역(각 색화소 영역)이 규정된다. 또, 색화소 PXr, PXg, PXb의 화소 형성 영역에는 플랫 화소 전극(예를 들면, 애노드 전극)(16)이 형성된다. 또한, 상기 뱅크(18)의 배열 방향과 평행하게 열방향(도면 수직 방향)으로 데이터 라인 Ld가 배열된다. 또, 해당 데이터 라인 Ld에 직교하는 행방향(도면 수평 방향)으로 선택 라인 Ls와 전원 전압 라인(예를 들면 애노드 라인) Lv가 배열된다. 각 선택 라인 Ls의 일단부에 단자 패드 PLs가 설치된다. 각 전원 전압 라인 Lv의 일단부에 단자 패드 PLv가 설치된다.
- [0058] 표시 화소 PIX의 각 색화소 PXr, PXg, PXb는 예를 들면 도 2에 나타내는 바와 같이, 절연성 기판(11)상에 1개 이상의 트랜지스터(예를 들면 아몰퍼스 실리콘 박막 트랜지스터 등)를 포함하는 화소 구동 회로(상기 화소 회로에 대응함) DC와, 해당 화소 구동 회로 DC에 의해 생성된 발광 구동 전류가 상기 화소 전극(16)에 공급되면 광을 발광하는 유기 EL 소자(발광소자) OLED를 갖는 회로 배열을 갖는다.
- [0059] 구체적으로는 예를 들면 도 2에 나타내는 바와 같이, 화소 구동 회로 DC는 게이트 단자가 선택 라인 Ls에, 드레인 단자가 표시 패널(10)의 열방향으로 배치된 데이터 라인 Ld에, 소스 단자가 접점 N11에 각각 접속된 트랜지스터(선택 트랜지스터) Tr11, 게이트 단자가 접점 N11에, 드레인 단자가 전원 전압 라인 Lv에, 소스 단자가 접점 N12에 각각 접속된 트랜지스터(발광 구동 트랜지스터) Tr12와, 트랜지스터 Tr12의 게이트 단자와 소스 단자간에 접속된 캐페시터 Cs를 구비하고 있다.
- [0060] 여기서, 트랜지스터 Tr11과 Tr12로서, n채널형의 박막 트랜지스터(전계 효과형 트랜지스터)가 이용된다. 트랜지스터 Tr11과 Tr12가 p채널형이면, 소스 및 드레인 단자는 반대로 된다. 또, 캐페시터 Cs는 트랜지스터 Tr12의 게이트와 소스간에 형성된 기생 용량, 해당 게이트와 소스간에 부가적으로 설치되는 보조 용량, 또는 기생 용량과 보조 용량을 구비하는 용량 성분이다.
- [0061] 유기 EL 소자 OLED는 상기 화소 구동 회로 DC의 접점 N12(화소 구동 회로의 출력 단자)에 접속되는 애노드 단자(애노드 전극으로서 기능하는 화소 전극(16))를 갖는다. 유기 EL 소자 OLED의 캐소드 단자(캐소드 전극)는 대향 전극(20)과 일체적으로 형성되고 또한 소정의 기준 전압 Vcom(예를 들면, 접지 전위 Vgnd)에 직접 또는 간접적으로 접속된다. 대향 전극(20)은 절연성 기판(11)상에 2차원으로 배열된 표시 화소 PIX의 화소 전극(16)에 대해 공통으로 대향하도록, 단일의 전극층(솔리드 전극)으로 이루어져 있다. 이 구조에 의해, 표시 화소 PIX에 상기 기준 전압 Vcom이 공통으로 인가된다.
- [0062] 도 2에 나타낸 표시 화소 PIX(화소 구동 회로 DC와 유기 EL 소자 OLED)에 있어서, 선택 라인 Ls는 선택 드라이버(도시생략)에 접속되고, 소정의 타이밍에서 표시 패널(10)의 행방향으로 배열된 표시 화소 PIX(색화소 PXr, PXg, PXb)를 선택 상태에서 설정하기 위한 선택 신호 Ssel이 선택라인 Ls에 인가된다. 또, 데이터 라인 Ld는 데이터 드라이버(도시 생략)에 접속되고, 상기 표시 화소 PIX의 선택 상태와 동기하는 타이밍에서 표시 데이터에 대응하는 계조 신호 Vpix가 데이터 라인 Ld에 인가된다.
- [0063] 또, 전원 전압 라인 Lv는 예를 들면 소정의 고전위 전원에 직접 또는 간접적으로 접속된다. 각 표시 화소 PIX(색화소 PXr, PXg, PXb)에 설치되는 유기 EL 소자 OLED의 화소 전극(16)에 표시 데이터에 따른 발광 구동 전류를 공급하기 위해, 대향 전극(20)에 인가되는 기준 전압 Vcom보다 전위가 높은 소정의 고전압(전원 전압 Vdd)이 전원전압라인 Lv에 인가된다.
- [0064] 즉, 도 2에 나타내는 화소 구동 회로 DC에 있어서, 각 표시 화소 PIX에 직렬로 접속된 트랜지스터 Tr12와 유기 EL 소자 OLED의 조의 양단(트랜지스터 Tr12의 드레인 단자와 유기 EL 소자 OLED의 캐소드 단자)에 각각 전원 전압 Vdd와 기준 전압 Vcom을 인가하여, 유기 EL 소자 OLED에 순 바이어스를 부여하는 것에 의해, 유기 EL 소자 OLED가 발광 가능한 상태로 한다. 또한, 계조 신호 Vpix에 따라 유기 EL 소자 OLED에 흐르는 발광 구동 전류의 전류값이 제어된다.
- [0065] 그리고, 이러한 회로 배열을 갖는 표시 화소 PIX의 구동 제어 동작은 무엇보다도, 선택 드라이버(도시 생략)가 선택 라인 Ls에 대해 소정의 선택 기간에, 선택 레벨(온 레벨; 예를 들면 하이레벨)의 선택 신호 Ssel을 인가하는 것에 의해, 트랜지스터 Tr11이 온 동작하고 선택 상태로 설정된다. 이 타이밍과 동기해서, 데이터 드라이버(도시하지 않음)가 표시 데이터에 따른 전압값을 갖는 계조 신호 Vpix를 데이터 라인 Ld에 인가하도록 제어한다. 이러한 동작에 의해, 트랜지스터 Tr11을 거쳐서, 계조 신호 Vpix에 대응하는 전위가 접점 N11(즉, 트랜지스터 Tr12의 게이트 단자)에 인가된다.
- [0066] 도 2에 나타낸 회로 배열을 갖는 화소 구동 회로 DC에 있어서, 트랜지스터 Tr12의 드레인-소스간 전류(즉, 유기

EL 소자 OLED에 흐르는 발광 구동 전류)의 전류값은 드레인-소스간의 전위차와 게이트-소스간의 전위차에 의해 결정된다. 이 경우, 트랜지스터 Tr12의 드레인 단자(드레인 전극)에 인가되는 전원 전압 Vdd와 유기 EL 소자 OLED의 캐소드 단자(캐소드 전극)에 인가되는 기준 전압 Vcom은 고정값이므로, 트랜지스터 Tr12의 드레인-소스간의 전위차는 전원 전압 Vdd와 기준 전압 Vcom에 의해서 미리 고정되어 있다. 그리고, 트랜지스터 Tr12의 게이트-소스간의 전위차는 계조 신호 Vpix의 전위에 의해서 일의적으로 정해지므로, 트랜지스터 Tr12의 드레인과 소스간에 흐르는 전류의 전류값은 계조 신호 Vpix에 의해 제어할 수 있다.

[0067] 이와 같이, 트랜지스터 Tr12가 트랜지스터 Tr12의 접점 N11의 전위에 대응하는 온 상태(즉, 계조 신호 Vpix에 대응하는 온 상태)에서 온 동작하고, 고전위측의 전원 전압 Vdd로부터 트랜지스터 Tr12와 유기 EL 소자 OLED를 거쳐서 저전위측의 기준 전압 Vcom(접지 전위 Vgnd)에, 휘도레벨에 대응하는 전류값을 갖는 발광 구동 전류가 흐른다. 그 결과, 유기 EL 소자 OLED가 계조 신호 Vpix(즉, 표시 데이터)에 대응하는 휘도 계조로 발광 동작한다. 또, 이 때, 접점 N11에 인가된 계조 신호 Vpix에 의거하여, 트랜지스터 Tr12의 게이트와 소스간의 캐페시터 Cs에 전하가 축적(충전)된다.

[0068] 상기 선택 기간 후의 비선택 기간에 있어서, 선택 라인 Ls에 비선택 레벨(오프 레벨; 예를 들면 로우 레벨)의 선택 신호 Ssel이 인가하는 경우, 표시 화소 PIX의 트랜지스터 Tr11이 오프되고, 비선택 상태에서 설정된다. 그 결과, 데이터 라인 Ld는 화소 구동 회로 DC(구체적으로는 접점 N11)로부터 전기적으로 차단된다. 이 때, 상기 캐페시터 Cs에 축적된 전하를 유지함으로써, 트랜지스터 Tr12의 게이트 단자에서 계조 신호 Vpix에 대응하는 전압(즉, 게이트-소스간의 전위차)을 유지한다.

[0069] 상기 선택 상태에서의 발광 동작과 같이, 전원 전압 Vdd로부터 트랜지스터 Tr12를 통해 유기 EL 소자 OLED에 발광 구동 전류가 흐르는 것에 의해, 발광 동작 상태가 계속된다. 이 발광 동작 상태는 다음의 계조 신호 Vpix가 인가될(라이트될) 때까지, 예를 들면 1프레임 기간 계속하도록 제어된다. 그리고, 이러한 구동 제어 동작을, 표시 패널(10)에 2차원 배열된 모든 표시 화소 PIX(각 색화소 PXr, PXg, PXb)에 대해, 예를 들면 각 행은 원하는 화상 정보를 표시하는 화상 표시 동작을 실행할 수 있다.

[0070] 도 2를 참조하면, 표시 화소 PIX에 설치되는 화소 구동 회로 DC는 표시 데이터에 따라 각 표시 화소 PIX(구체적으로는 화소 구동 회로 DC의 트랜지스터 Tr12의 게이트 단자; 접점 N11)에 라이트되는 계조 신호 Vpix의 전압값을 조정(지정)하는 것에 의해, 유기 EL 소자 OLED에 공급될 발광 구동 전류의 전류값을 제어하여, 원하는 휘도 레벨로 소자를 발광 동작시키는 전압 지정형의 계조 제어 방식에 대응하는 회로 배열을 갖는다. 그러나, 표시 데이터에 따라 각 표시 화소 PIX에 공급되는(라이트되는) 전류의 전류값을 조정(지정)하는 것에 의해, 유기 EL 소자 OLED에 공급될 발광 구동 전류의 전류값을 제어하여, 원하는 휘도 레벨로 소자를 발광 동작시키는 전류 지정형의 계조 제어 방식의 회로 배열을 갖는 화소 구동 회로를 사용해도 좋다.

[0071] <제 1 실시형태>

[0072] (표시 화소의 디바이스 구조)

[0073] 상기의 회로 배열을 갖는 표시 화소(화소 구동 회로와 유기 EL 소자)의 디바이스 구조(평면 레이아웃과 단면 구조)에 대해 다음에 상세하게 설명한다.

[0074] 도 3은 제 1 실시형태에 관한 표시장치(표시 패널)에 적용 가능한 표시 화소의 예를 나타내는 평면 레이아웃도이다. 도 3은 도 1에 나타낸 표시 화소 PIX의 적(R), 녹(G), 청(B)의 색화소 PXr, PXg, PXb 중의 특정의 1개의 평면 레이아웃을 나타낸다. 또한, 도 3은 주로 화소 구동 회로 DC의 각 트랜지스터, 배선층 등이 형성된 층을 나타낸다. 각 배선층과 각 전극은 그들 배열을 명료하게 나타내기 위해서, 편의상 빛금으로 표시하였다. 또, 도 4의 (a), (b) 및 도 5는 각각, 도 3에 나타낸 평면 레이아웃을 갖는 표시 화소 PIX의 A-A단면 및 B-B단면을 나타내는 개략 단면도이다. 도 4의 (a)는 표시 화소 PIX의 A-A단면의 제1의 예이다. 도 4의 (b)는 표시 화소 PIX의 A-A단면의 제2의 예이다.

[0075] 좀 더 구체적으로, 도 2에 나타낸 표시 화소 PIX(색화소 PXr, PXg, PXb)는 절연성 기판(11)의 일면측에 설정된 화소 형성 영역(각 색화소 PXr, PXg, PXb의 유기 EL 소자의 형성 영역)에 설치되는 선택 라인 Ls와 전원 전압 라인을 지정한다. 선택 라인 Ls와 전원 전압 라인 Lv는 각각 도 3에 나타내는 바와 같이, 평면 레이아웃의 상부 및 하부 가장자리영역에 행방향(도면 수평 방향)으로 연장한다. 또한, 데이터 라인 Ld는 우측 코너에서 라인 Ls와 Lv에 직교하도록, 상기 평면 레이아웃의 좌측 가장자리영역에 열방향(도면 수직 방향)으로 연장한다. 또, 상기 평면 레이아웃의 우측 가장자리영역에는 우측에 인접하는 색화소에 걸쳐 열방향으로 연장하도록 뱅크(상세한 것은 후술함)(18)가 설치되어 있다.

- [0076] 예를 들면 도 3~도 5에 나타내는 바와 같이, 데이터 라인 Ld는 선택 라인 Ls와 전원 전압 라인 Lv보다 하층측(절연성 기판(11)측)에 설치된다. 데이터 라인 Ld는 트랜지스터 Tr11, Tr12의 게이트 전극 Tr11g, Tr12g의 형성을 위한 게이트 메탈층을 패터닝하는 것에 의해서 해당 게이트 전극 Tr11g, Tr12g와 동일한 공정으로 형성된다. 또, 데이터 라인 Ld는 데이터 라인 Ld를 덮는 게이트 절연막(12)에 설치된 컨택트홀 CH11을 거쳐서 트랜지스터 Tr11의 드레인 전극 Tr11d에 접속된다.
- [0077] 선택 라인 Ls와 전원 전압 라인 Lv는 데이터 라인 Ld와 게이트 전극 Tr11g, Tr12g보다 상층측에 설치된다. 선택 라인 Ls와 전원 전압 라인 Lv는 트랜지스터 Tr11, Tr12의 소스 전극 Tr11s, Tr12s와 드레인 전극 Tr11d, Tr12d의 형성을 위한 소스 및 드레인 메탈층을 패터닝하는 것에 의해 해당 소스 전극 Tr11s, Tr12s와 드레인 전극 Tr11d, Tr12d와 동일한 공정으로 형성된다.
- [0078] 선택 라인 Ls는 트랜지스터 Tr11의 게이트 전극 Tr11g의 양단에 위치하는 게이트 절연막(12)에 형성된 컨택트홀 CH12를 거쳐서 게이트 전극 Tr11g에 접속된다. 또, 전원 전압 라인 Lv는 트랜지스터 Tr12의 드레인 전극 Tr12d와 일체적으로 형성된다.
- [0079] 예를 들면 도 5에 나타내는 바와 같이, 선택 라인 Ls와 전원 전압 라인 Lv는 저항의 감소를 도모하기 위해, 상층 배선층 Ls2, Lv2에 적층된 하층 배선층 Ls1, Lv1을 갖는 배선 구조를 가져도 좋다. 예를 들면, 하층 배선층 Ls1, Lv1은 트랜지스터 Tr11, Tr12의 게이트 전극 Tr11g, Tr12g와 동일 층에 형성된다. 하부 배선층 Ls1, Lv1은 해당 게이트 전극 Tr11g, Tr12g의 형성을 위한 게이트 메탈층을 패터닝하는 것에 의해 해당 게이트 전극 Tr11g, Tr12g와 동일한 공정으로 형성된다. 상술한 바와 같이, 상층 배선층 Ls2, Lv2는 트랜지스터 Tr11, Tr12의 소스 전극 Tr11s, Tr12s와 드레인 전극 Tr11d, Tr12d와 동일 층에 형성된다. 상층 배선층 Ls2, Lv2는 해당 소스 전극 Tr11s, Tr12s와 드레인 전극 Tr11d, Tr12d의 형성을 위한 소스/드레인 메탈층을 패터닝하는 것에 의해 해당 소스 전극 Tr11s, Tr12s와 드레인 전극 Tr11d, Tr12d와 동일한 공정으로 형성된다.
- [0080] 또한, 하층 배선층 Ls1, Lv1은 각각 알루미늄(Al), 알루미늄-티탄(AlTi) 또는 알루미늄-네오듐-티탄(AlNdTi) 등의 알루미늄 합금, 또는 동(Cu) 등의 배선 저항을 저감하기 위한 저저항 금속 또는 금속으로 이루어지는 단층 금속층 또는 합금층으로 형성하는 것이어도 좋고, 크롬(Cr), 티탄(Ti) 등으로 이루어지는 마이그레이션(이동)을 저감하기 위한 천이 금속층이 상기 저저항 금속층의 아래에 설치된 적층 구조를 갖는 것이어도 좋다. 또, 상층 배선층 Ls2, Lv2는 각각 크롬(Cr), 티탄(Ti) 등으로 이루어지는 마이그레이션을 저감하기 위한 천이 금속층과, 해당 천이 금속층의 아래에 형성된 알루미늄, 알루미늄 합금 등으로 이루어지는 배선 저항을 저감하기 위한 저저항 금속층을 구비하는 적층 구조를 가져도 좋다.
- [0081] 더욱 구체적으로, 예를 들면 도 3에 나타내는 바와 같이, 화소 구동 회로 DC에 있어서, 도 2에 나타낸 트랜지스터 Tr11이 행방향으로 연장하고, 또, 트랜지스터 Tr12가 열방향을 따라 연장한다. 이 경우, 트랜지스터 Tr11, Tr12는 주지의 전계 효과형의 박막 트랜지스터 구조를 갖고, 각각이 게이트 전극 Tr11g, Tr12g와, 게이트 절연막(12)을 통해 각 게이트 전극 Tr11g, Tr12g에 대응하는 영역에 형성된 반도체층 SMC와, 해당 반도체층 SMC의 양단부상으로 연장하는 소스 전극 Tr11s, Tr12s와 드레인 전극 Tr11d, Tr12d를 갖고 있다.
- [0082] 또한, 트랜지스터 Tr11, Tr12의 소스 전극 Tr11s, Tr12s와 드레인 전극 Tr11d, Tr12d가 서로 대향하는 반도체층 SMC상에는 해당 반도체층 SMC에의 애칭 테미지를 방지하기 위한 산화 실리콘, 질화 실리콘 등의 채널 보호층 BL이 형성된다. 또, 소스 및 드레인 전극과 반도체층 SMC의 사이에 해당 반도체층 SMC와 소스 전극 Tr11s, Tr12s 및 드레인 전극 Tr11d, Tr12d의 옴 접속을 제공하기 위해 불순물층 OHM이 형성되어 있다.
- [0083] 도 3에 나타내는 바와 같이, 도 2에 나타낸 화소 구동 회로 DC의 회로 배열에 대응하기 위해, 트랜지스터 Tr11의 게이트 전극 Tr11g는 게이트 절연막(12)에 형성된 컨택트홀 CH12를 거쳐서 선택 라인 Ls에 접속되고, 트랜지스터 Tr11의 드레인 전극 Tr11d가 게이트 절연막(12)에 형성된 컨택트홀 CH11을 거쳐서 데이터 라인 Ld에 접속되어 있다.
- [0084] 도 3 및 도 4의 (a), (b)에 나타내는 바와 같이, 트랜지스터 Tr12의 게이트 전극 Tr12g는 게이트 절연막(12)에 형성된 컨택트홀 CH13을 거쳐서 상기 트랜지스터 Tr11의 소스 전극 Tr11s에 접속되고, 트랜지스터 Tr12의 드레인 전극 Tr12d는 전원 전압 라인 Lv와 일체로 형성된다. 트랜지스터 Tr12의 소스 전극 Tr12s(화소 구동 회로의 출력 단자)가 보호 절연막(13)과 플랫인 광방사 제어 절연막(15)에 형성된 컨택트홀 CH14를 거쳐서 유기 EL 소자 OLED의 화소 전극(16)에 접속된다.
- [0085] 또, 도 3 및 도 4의 (a), (b)에 나타내는 바와 같이, 캐패시터 Cs는 하부전극 Eca, 상부전극 Ecb를 구비한다. 하부전극 Eca는 절연성 기판(11)상에 트랜지스터 Tr12의 게이트 전극 Tr12g와 일체적으로 형성된다. 상부전극

Ecb는 게이트 절연막(12)상에 트랜지스터 Tr12의 소스 전극 Tr12s와 일체적으로 형성된다. 하부전극 Eca와 상부 전극Ecb는 게이트 절연막(12)을 통해 서로 대향한다. 또, 상부전극 Ecb 상의 보호 절연막(13)과 광방사 제어 절연막(15)에는 컨택트홀 CH14가 설치되고, 해당 컨택트홀(개구부; 제 1 및 제 2 개구부) CH14를 거쳐서 유기 EL 소자 OLED의 화소 전극(16)에 접속된다.

[0086] 도 3~도 5에 나타내는 바와 같이, 상기 트랜지스터 Tr11, Tr12를 덮는 보호 절연막(평탄화막)(13)상에 광반사 특성을 갖는 플랫 반사층(14)이 형성된다. 상기 광방사 제어 절연막(15)은 해당 반사층(14)을 덮도록 형성된다. 상기 유기 EL 소자 OLED는 보호 절연막(13)과 광방사 제어 절연막(15)을 통해 연장하는 컨택트홀 CH14를 통해 트랜지스터 Tr12의 소스 전극 Tr12s(화소 구동 회로의 출력 단자)에 접속된다.

[0087] 유기 EL 소자 OLED는 정공 수송층(19a)과 전자 수송성 발광층(19b)을 갖는 유기 EL층(발광 기능층)(19)과, 유기 EL층(19)으로부터 발광된 광의 파장범위의 적어도 일부의 파장을 갖는 광에 대해 투과 특성을 갖는 화소 전극(제 1 전극, 예를 들면 애노드 전극)(16)과, 해당 유기 EL층(19)을 통해 화소 전극(16)과 대향하도록 설치되고 또한 적어도 유기 EL층(19)으로부터 발광된 광의 파장영역의 일부에 파장을 갖는 광에 대해 투과 특성을 갖는 대향 전극(제 2 전극, 예를 들면 캐소드 전극)(20)을 갖는다. 해당 반사층(14)에는 각각 색화소 Px<sub>r</sub>, Px<sub>b</sub>, Px<sub>b</sub>가 설치되어 있다. 광방사 제어 절연막(15)은 플랫 반사층(14)과 플랫 화소전극(16) 사이에 개재된다.

[0088] 화소 형성 영역 Rpx에 있어서, 광방사 제어 절연막(15)의 두께는 균일하다. 이것에 의해, 플랫 화소전극(16)의 저면과 플랫 반사층(14)의 상면 사이의 최단 길이는 전체적으로 화소 형성 영역 Rpx와 동일하다.

[0089] 상기 광방사 제어 절연막(15)상에 하지막으로서 하지 절연막(17)이 형성되고, 상기 뱅크(18)는 돌출되도록 하지 절연막(17)상에 설치된다. 화소전극(16)은 트랜지스터 Tr12로부터 공급된 발광 구동 전류의 전극이다. 상기 화소전극(16)의 주변부는 하지 절연막(17)과 중첩된다. 이러한 구조에 의해, 상기 화소전극(16)이 노출되도록 각각의 화소 형성 영역 Rpx에 있어서 하지 절연막(17)과 뱅크내(18)에 개구부가 형성된다.

[0090] 유기 EL층(19)은 상기 뱅크(18)에 의해 둘러싸이는 화소 형성 영역 Rpx내에 형성되어 있다. 대향 전극(20)은 각 화소 형성 영역 Rpx의 유기 EL층(19)을 거쳐서 절연성 기판(11)상에 2차원 배열되는 화소 전극(16)과 대향하도록 설치된 광투과 특성을 갖는 단일 전극층이다. 대향 전극(20)은 화소 형성 영역 Rpx 뿐만 아니라, 화소 형성 영역 Rpx를 규정하는 뱅크(18)상으로 연장된다.

[0091] 도 3~도 5에 나타낸 패널 구조에 있어서, 선택 라인 Ls와 전원 전압 라인 Lv는 적층 배선 구조를 갖도록 이루어지고, 상층 배선층 Ls2, Lv2는 트랜지스터 Tr11, Tr12의 소스 전극 Tr11s, Tr12s과 드레인 전극 Tr11d, Tr12d를 형성하기 위한 소스/드레인 메탈층을 패터닝하는 것에 의해 형성된다. 또한, 선택 라인 Ls는 컨택트홀 CH12를 거쳐서 트랜지스터 Tr11의 게이트 전극 Tr11g에 접속되고, 전원 전압 라인 Lv는 트랜지스터 Tr12의 드레인 전극 Tr12d와 일체적으로 형성된다. 또, 데이터 라인 Ld는 트랜지스터 Tr11, Tr12의 게이트 전극 Tr11g, Tr12g를 형성하기 위한 게이트 메탈층을 패터닝하는 것에 의해서 형성되고, 컨택트홀 CH11을 거쳐서 트랜지스터 Tr11의 드레인 전극 Tr11d에 접속된다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 선택 라인 Ls와 전원 전압 라인 Lv는 상기 게이트 메탈층을 패터닝하는 것에 의해 게이트 절연막(12)의 아래에 형성되어도 좋다. 컨택트홀 CH11 및 CH12를 설치하는 일 없이 상기 드레인 메탈층을 패터닝하는 것에 의해 게이트 절연막(12)상에 데이터 라인 Ld를 형성하는 것에 의해서, 선택 라인 Ls가 게이트 전극 Tr11g와 일체적으로 형성되어도 좋고, 선택 라인 LS가 드레인 전극 Tr11d와 일체적으로 형성되어도 해도 좋다.

[0092] 또한, 화소 전극(16)이 다음의 구조에 의해 화소 구동 회로 DC의 트랜지스터 Tr12의 소스 전극 Tr12s(또는 캐페시터 Cs의 다른쪽 위의 전극 Ecb)와 전기적으로 접속되어도 좋다. 도 4의 (a)에 나타내는 바와 같이, 보호 절연막(13)과 광방사 제어 절연막(15)을 통해 연장하는 컨택트홀 CH14를 화소 전극(16)을 형성하는 전극 재료로 충전하는 것에 의해, 화소 전극(16)을 소스 전극 Tr12s에 직접 접속해도 좋다. 또한, 도 4의 (b)에 나타내는 바와 같이, 컨택트홀 CH14에 컨택트 메탈 CML을 충전하는 것에 의해, 컨택트 메탈 CML을 거쳐서 화소 전극(16)을 상기 소스 전극 Tr12s에 접속해도 좋다.

[0093] 뱅크(18)는 표시 패널(10)에 2차원 배열되는 표시 화소 PIX간(각 색화소 Px<sub>r</sub>, Px<sub>g</sub>, Px<sub>b</sub>)의 경계 영역(각 화소 전극(16)간의 영역)이고, 표시 패널(10)의 열방향에(도 1에 나타내는 바와 같이, 표시 패널(10)의 전체에 평면의 올타리형상 또는 격자 패턴을 갖도록) 설치되어 있다. 여기서, 도 3, 도 4의 (a), (b)에 나타내는 바와 같이, 상기 경계 영역에 있어서, 표시 패널(10)(절연성 기판(11))의 열방향으로 상기 트랜지스터 Tr12가 연장되고, 뱅크(18)는 통상 해당 트랜지스터 Tr12를 덮고, 각 화소 형성 영역 Rpx와 화소 전극(16) 사이에 형성된 하지 절연막(17)상에 형성되어, 절연성 기판(11)의 표면으로부터 연속적으로 돌출된다. 뱅크(18)에 의해 둘러싸이

고 열방향으로 연장하는 영역(열방향(도 1의 수직 방향)에 배열된 복수의 표시 화소 PIX의 화소 형성 영역 Rp<sub>x</sub>)은 유기 EL층(19)(정공 수송층(19a)과 전자 수송성 발광층(19b))이 형성할 때의 유기 화합물 재료의 도포 영역으로서 규정된다.

[0094] 각 뱅크(18)는 예를 들면 감광성의 수지 재료를 이용하여 형성되고, 적어도 그의 표면(측면 및 상면)이 화소 형성 영역 Rp<sub>x</sub>에 도포되는 유기 화합물 함유액에 대해 발액성을 갖도록 표면 처리가 실시된다.

[0095] 그리고, 도 4의 (a), (b), 도 5에 나타내는 바와 같이, 상기 화소 구동 회로 DC, 유기 EL 소자 OLED 및, 뱅크(18)가 형성된 절연성 기판(11)의 일면측의 전역을, 보호 절연막(페시베이션막)으로서의 기능을 갖는 밀봉층(21)이 덮는다. 또, 절연성 기판(11)에 대향하도록 유리 기판 등으로 이루어지는 밀봉 기판이 접합되어도 좋다.

[0096] 상기 정렬을 갖는 표시 패널(10)(표시 화소 PIX)에 있어서, 데이터 라인 Ld를 거쳐서 공급되는 표시 데이터에 대응하는 계조 신호 Vpix에 의거하여 전류값을 갖는 발광 구동 전류는 트랜지스터 Tr12의 소스와 드레인 사이에 흐르고, 유기 EL 소자 OLED의 화소 전극(16)에 공급된다. 이러한 동작에 의해, 각 표시 화소 PIX(각 색화소 Px<sub>r</sub>, Px<sub>g</sub>, Px<sub>b</sub>)의 유기 EL 소자 OLED가 상기 표시 데이터에 대응하는 원하는 휘도 레벨로 발광 동작한다.

[0097] 본 실시형태에 관한 표시 패널(10)에 있어서, 화소 전극(16)과 대향 전극(20)이 광투과 특성(가시광에 대해 높은 투과율)을 갖고, 플랫 반사층(14)이, 광반사 특성(가시광에 대해 높은 반사율)을 갖는 광방사 제어 절연막(15)를 통해 화소 전극(16)의 아래에 설치된다. 즉, 각 표시 화소 PIX의 유기 EL층(19)으로부터 발광된 광은 광투과 특성을 갖는 대향 전극(20)을 거쳐서 시야측(도 4의 (a), (b)의 위쪽)에 직접 방출되고, 광투과 특성을 갖는 화소 전극(16)을 거쳐서 광방사 제어 절연막(15) 아래에 광반사 특성을 갖는 플랫 반사층(14)에 의해 반사되고, 상기 광방사 제어 절연막(15)은 광방사 제어 절연막(15), 화소 전극(16) 및, 대향 전극(20)을 거쳐서 시야측으로 방출된다. 즉, 본 실시형태에 관한 표시 패널(10)은 톱 에미션형의 구조를 갖고, 절연성 기판(11)상에 형성된 화소 구동 회로 DC의 각 회로소자와 배선층이, 보호 절연막(13)상에 형성된 유기 EL 소자 OLED와 2차원으로 중첩된다.

[0098] (표시장치의 제조방법)

[0099] 다음에, 상기 표시장치(표시 패널)의 제조방법에 대해 설명한다.

[0100] 도 6의 (a), (b), (c), (d), 도 7의 (a), (b), (c), 도 8의 (a), (b)는 본 실시형태에 관한 표시장치(표시 패널)의 제조방법의 공정을 나타내는 단면도이다. 여기서는 본 발명에 관한 표시장치의 제조방법의 특징을 명확하게 하기 위해, 도 4 및 도 5에 있어서 A-A단면과 B-B단면에 의해 나타나는 패널 구조의 부분(트랜지스터 Tr12, 캐패시터 Cs, 데이터 라인 Ld, 선택 라인 Ls, 전원 전압 라인 Lv)을 포함하는 구조 및, 도 1에 나타낸 선택 라인 Ls의 단부에 설치되는 단자 패드 PLs, 전원 전압 라인 Lv의 단부에 설치되는 단자 패드 PLv를 편의상 추출해서 설명한다. 또, 선택 라인 Ls와 전원 전압 라인 Lv는 저항의 감소를 위한 적층 배선 구조를 갖는다.

[0101] 상기 표시장치(표시 패널)의 제조방법에 관해 우선, 도 6의 (a)에 나타내는 바와 같이, 유리 기판 등의 절연성 기판(11)의 일면측(도면 상면측)에 설정된 표시 화소 PIX(각 색화소 Px<sub>r</sub>, Px<sub>g</sub>, Px<sub>b</sub>)의 화소 형성 영역 Rp<sub>x</sub>에, 화소 구동 회로 DC의 트랜지스터 Tr11, Tr12, 캐패시터 Cs와, 데이터 라인 Ld, 선택 라인 Ls, 전원 전압 라인 Lv 등의 배선층이 형성한다(도 4의 (a), (b), 도 5 참조).

[0102] 구체적으로, 게이트 전극 Tr11g, Tr12g 및, 해당 게이트 전극 Tr12g와 일체적으로 형성되는 캐패시터 Cs의 한쪽 측의 하부전극 Eca, 데이터 라인 Ld, 선택 라인 Ls의 하층 배선층 Ls1 및, 해당 선택 라인 Ls에 접속된 단자 패드 PLs의 하층 배선층 PLs1, 전원 전압 라인 Lv의 하층 배선층 Lv1 및, 해당 전원 전압 라인 Lv에 접속된 단자 패드 PLv의 하층 배선층 PLv1이, 동일한 게이트 메탈층을 패터닝하는 것에 의해 절연성 기판(11)상에 동시에 형성된다. 그 후, 절연성 기판(11)의 전역을 덮도록 게이트 절연막(12)이 형성된다. 또한, 도 3에 나타낸 바와 같이, 데이터 라인 Ld, 선택 라인 Ls 및, 전원 전압 라인 Lv가 서로 교차하는 영역에 있어서, 이를 라인은 예를 들면 선택 라인 Ls와 전원 전압 라인 Lv의 각 하층 배선층 Ls1, Lv1을 형성하지 않고, 서로 전기적으로 접속되지 않는다(절연된다).

[0103] 다음에, 게이트 절연막(12)상의 각 게이트 전극 Tr11g, Tr12g에 대응하는 영역에, 예를 들면 아몰퍼스 실리콘, 폴리 실리콘 등으로 이루어지는 반도체층 SMC가 형성된다. 해당 반도체층 SMC의 각 양단부에 옴 접촉을 위한 불순물층 OHM이 형성되는 소스 전극 Tr11s, Tr12s와 드레인 전극 Tr11d, Tr12d가 형성한다.

[0104] 이 때, 소스 전극 Tr12s에 접속된 캐패시터 Cs의 다른쪽의 전극 Ecb는, 동일한 소스/드레인 메탈층을 패터닝하는 것에 의해, 상기 선택 라인 Ls의 상층 배선층 Ls2와 단자 패드 PLs의 상층 배선층 PLs2와, 전원 전압 라인

Lv의 상층 배선층 Lv2와 단자 패드 PLv의 상층 배선층 PLv2를 동시에 형성한다. 이 처리는 상층 배선층 Ls2와 하층 배선층 Ls1을 구비하는 적층 배선 구조를 갖는 선택 라인 Ls와, 상층 배선층 Lv2와 하층 배선층 Lv1을 구비하는 적층 배선 구조를 갖는 전원 전압 라인 Lv를 형성한다.

[0105] 선택 라인 Ls와 단자 패드 PLs의 각 상층 배선층 Ls2와 PLs2는 게이트 절연막(12)에 설치된 홈부를 거쳐서 상기 선택 라인 Ls와 단자 패드 PLs의 각 하층 배선층 Ls1, PLs1에 전기적으로 접속되도록 형성된다. 또, 전원 전압 라인 Lv와 단자 패드 PLv의 각 상층 배선층 Lv2, PLv2도 게이트 절연막(12)에 설치된 홈부를 거쳐서 상기 전원 전압 라인 Lv와 단자 패드 PLv의 각 하층 배선층 Lv1, PLv1에 전기적으로 접속되도록 형성된다.

[0106] 또한 상기 트랜지스터 Tr11, Tr12의 소스 전극 Tr11s, Tr12s 및 드레인 전극 Tr11d, Tr12d, 캐페시터 Cs의 다른쪽측의 전극 Ecb, 선택 라인 Ls의 상층 배선층 Ls2(단자 패드 PLs의 상층 배선층 PLs2를 포함), 전원 전압 라인 Lv의 상층 배선층 Lv2(단자 패드 PLv의 상층 배선층 PLv2를 포함)는, 배선 저항과 마이그레이션의 저감을 달성하기 위해, 예를 들면 알루미늄-티탄(AlTi) 또는 알루미늄-네오듐-티탄(AlNdTi)층 등의 알루미늄 합금층과, 크롬(Cr)층 등의 천이 금속층을 구비하는 적층 배선 구조를 가져도 좋다.

[0107] 다음에, 도 6의 (b)에 나타내는 바와 같이, 상기 트랜지스터 Tr11, Tr12, 캐페시터 Cs, 선택 라인 Ls의 상층 배선층 Ls2 및, 전원 전압 라인 Lv의 상층 배선층 Lv2를 포함하는 절연성 기판(11)의 일면측의 전역을 덮도록, 질화 실리콘(SiN) 등으로 이루어지는 평탄화막의 기능을 갖는 보호 절연막(13)이 형성된다. 그 후, 보호 절연막(13)은 에칭(드라이 에칭)되어 트랜지스터 Tr12의 소스 전극 Tr12s(또는 캐페시터 Cs의 다른쪽측의 전극 Ecb)의 상면이 노출되는 컨택트홀(제 1 개구부) CH14a를 형성하고, 선택 라인 Ls의 단자 패드 PLs의 상층 배선층 PLs2과 전원 전압 라인 Lv의 단자 패드 PLv의 상층 배선층 PLv2의 상면이 노출되는 개구부 CHs1, CHv1을 동시에 형성한다.

[0108] 또, 도 6의 (c)에 나타내는 바와 같이, 상기 컨택트홀 CH14a와 개구부 CHs1, CHv1을 포함하는 보호 절연막(13) 상에 스퍼터링법 등을 이용하여, 은(Ag) 또는 알루미늄(Al) 등의 금속재료, 혹은 알루미늄-네오듐-티탄(AlNdTi) 등의 합금 재료로 이루어지고, 광반사 특성(더욱 구체적으로는 가시광역에 대해 높은 반사율)을 갖는 금속 박막을 형성한다. 그 후, 상기 금속 박막은 패터닝되어, 각 화소 형성 영역 Rpx(유기 EL 소자 OLED의 형성 영역)에 대응하는 평면 형상을 갖는 플랫 반사층(반사 금속층)(14)을 형성하고, 상기 개구부 CHs1, CHv1내에 노출된 각 단자 패드 PLs, PLv의 상층 배선층 PLs2, PLv2에 각각 접속하도록 반사 금속층(14s, 14v)을 형성한다.

[0109] 다음에, 도 6의 (d)에 나타내는 바와 같이, 상기 플랫 반사층(14), 반사 금속층(14s, 14v) 및 컨택트홀 CH14a를 포함하는 절연성 기판(11)의 일면측의 전역을 덮도록, 예를 들면 2000nm 이상의 두께를 갖고 또한 평탄화막의 기능을 갖는 광방사 제어 절연막(15)을 형성한다. 그 후, 광방사 제어 절연막(15)은 에칭되어 상기 컨택트홀 CH14a가 형성되어 있던 영역에 트랜지스터 Tr12의 소스 전극 Tr12s(또는 캐페시터 Cs의 다른쪽측의 전극 Ecb)의 상면이 노출된 컨택트홀(제 2 개구부) CH14b를 형성하고, 단자 패드 PLs, PLv의 각 반사 금속층(14s, 14v)의 상면이 노출된 개구부 CHs2, CHv2를 동시에 형성한다.

[0110] 이 경우, 광방사 제어 절연막(15)을 형성하는 후막재료는 후술하는 공정에 있어서 광방사 제어 절연막(15)상에 형성된 화소 전극(16)과 대략 동등한 굴절률을 갖는 투명한 절연성 재료이다. 예를 들면, 이 재료로서 질화 실리콘(SiN) 등을 이용할 수 있다. 특히, 열강화성을 갖는 유기 재료(예를 들면, 아크릴계 수지, 에폭시계 수지, 또는 폴리이미드계 수지 등)를 이용할 수 있다. 이 경우, 상기 유기 재료를 함유하는 용액을 절연성 기판(11)상에 도포하는 것에 의해, 상기 2000nm이상의 비교적 두꺼운 막두께를 갖고 또한 절연성 기판(11) 표면의 단차를 저감하는 평탄화막의 기능을 갖는 광방사 제어 절연막(15)을 용이하게 형성할 수 있다.

[0111] 또, 광방사 제어 절연막(15)으로서 감광성의 후막재료(유기 재료)가 이용되면, 광방사 제어 절연막(15)에 형성될 컨택트홀 CH14b와 개구부 CHs2, CHv2는 해당 후막재료의 도포 후에 노광/현상 처리에 의해 형성할 수 있다. 또한, 광방사 제어 절연막(15)으로서 감광성을 갖지 않는 후막재료가 이용되면, 해당 후막재료상에 레지스트 또는 금속 박막을 이용하는 마스크를 형성하고, 광방사 제어 절연막(15)을 드라이 에칭하며, 해당 마스크를 제거하는 것에 의해, 상기 컨택트홀 CH14b와 개구부 CHs2, CHv2를 형성할 수 있다.

[0112] 다음에, 상기 컨택트홀 CH14b와 개구부 CHs2, CHv2를 포함하는 절연성 기판(11)의 일면의 전역에, 스퍼터링법 등을 이용하여, 주석 도프 산화 인듐(ITO), 아연 도프 산화 인듐(IZO), 텅스텐 도프 산화 인듐(IWO), 또는 텅스텐 아연 도프 산화 인듐(IWZO) 등의 투명 전극 재료로 이루어지는(광투과 특성을 갖는) 도전성 산화 금속층이 박막 형성된다. 그 후, 도 7의 (a)에 나타내는 바와 같이, 해당 도전성 산화 금속층이 패터닝되어, 컨택트홀 CH14b내의 상기 트랜지스터 Tr12의 소스 전극 Tr12s와 전기적으로 접속되고, 화소 형성 영역 Rpx에 대응하는 영

역(상기 플랫 반사층(14)에 대응하는 영역)의 광방사 제어 절연막(15)상으로 연장하는 화소 전극(예를 들면 애노드 전극)(16)을 형성하고, 개구부 CHs2, CHv2내의 상기 각 반사 금속층(14s, 14v)을 거쳐서 각 단자 패드 PLs, PLv의 상층 배선층 PLs2, PLv2와 전기적으로 접속하도록 도전성 산화 금속층(16s, 16v)을 형성한다. 이 처리는 하층 배선층 PLs1, 상층 배선층 PLs2, 반사 금속층(14s) 및 도전성 산화 금속층(16s)을 구비하는 적층 배선 구조를 갖는 단자 패드 PLs 및, 하층 배선층 PLv1, 상층 배선층 Lv2, 반사 금속층(14v), 도전성 산화 금속층(16v)을 구비하는 적층 배선 구조를 갖는 단자 패드 PLv를 형성한다.

[0113] 이 공정에 있어서, 상기 플랫 반사층(14)은 광방사 제어 절연막(15)에 의해 완전히 덮이고, 개구부 CHs2, CHv2 내의 반사 금속층(14s, 14v)은 도전성 산화 금속층에 의해 완전히 덮인다. 따라서, 상기 층은 노출되지 않은 반면, 상기 도전성 산화 금속층은 패터닝되므로, 상기 도전성 산화 금속층과 상기 플랫 반사층(14)이나 반사 금속층(14s, 14v)과의 사이의 전지 반응의 발생을 방지할 수 있다. 또한, 이것은 플랫 반사층(14)과 반사 금속층(14s, 14v)이 오버 에칭되거나 또는 에칭에 의해 손상되는 것을 방지한다.

[0114] 다음에, 상기 화소 전극(16)과 도전성 산화 금속층(16s, 16v)을 포함하는 절연성 기판(11)의 일면측의 전역을 덮도록, 화학 기상 성장법(CVD법) 등을 이용하여, 실리콘 산화막 또는 실리콘 질화막 등의 무기 절연성 재료로 이루어지는 절연층을 형성한다. 그 후, 이 절연층은 패터닝되는 것에 의해, 인접하는 표시 화소 PIX(색화소 PXr, PXg, PXb)와의 경계 영역(즉, 인접하는 화소 전극(16)간의 영역)을 덮고, 또한 각 화소 형성 영역 Rpx에, 화소 전극(16)의 상면이 노출된 개구부 및, 각 단자 패드 PLs, PLv의 도전성 산화 금속층(16s, 16v)이 노출된 개구부 CHs3, CHv3을 갖는 하지 절연막(17)을 형성한다.

[0115] 도 7의 (c)에 나타내는 바와 같이, 인접하는 표시 화소 PIX간의 경계 영역에 형성된 상기 하지 절연막(17)상에, 폴리이미드 또는 아크릴 재료 등의 감광성의 수지 재료로 이루어지는 뱅크(18)를 형성한다. 좀 더 구체적으로는 상기 하지 절연막(17)을 포함하는 절연성 기판(11)의 일면측의 전역을 덮도록 형성된 감광성의 수지층을 패터닝하는 것에 의해, 행방향으로 서로 인접하는 표시 화소 PIX간의 경계 영역에, 표시 패널(10)의 열방향으로 연장하는 영역을 포함하는 평면의 울타리형상 또는 격자 패턴(도 1 참조)을 갖는 뱅크(격벽)(18)를 형성한다.

[0116] 이 처리에 의해, 표시 패널(10)의 열방향으로 배열된 동일색의 표시 화소 PIX의 화소 형성 영역 Rpx(유기 EL 소자 OLED의 유기 EL층(19)의 형성 영역)가 뱅크(18)에 의해 둘러싸여 규정되고, 하지 절연막(17)에 형성된 개구부에 의해 외부 에지가 규정된 화소 전극(16)의 상면이 노출된다.

[0117] 그 후, 절연성 기판(11)을 순수한 물로 세정한 후, 산소 플라스마 처리, UV오존 처리 등을 실행하여, 각 화소 형성 영역 Rpx에 노출된 화소 전극(16)의 표면을, 후술하는 정공 수송 재료와 전자 수송성 발광재료의 유기 화합물 함유액에 대해 친액화한다. 그 후, 절연성 기판(11)을 예를 들면, 불소계(불소 화합물)의 발액처리 용액에 침지하고, 그것으로부터 제거한다. 그 후, 절연성 기판(11)을 순수한 물로 세정하고 건조시키고, 각 뱅크(18)의 표면에 발액성의 박막(피막)을 형성하여, 각 뱅크(18)의 표면을 유기 화합물 함유액에 대해 발액화한다.

[0118] 이 처리에 의해, 동일한 절연성 기판(11)상에, 뱅크(18)의 표면만이 발액화 처리되고, 해당 뱅크(18)에 의해 규정된 화소 형성 영역 Rpx에 노출되는 화소 전극(16)의 표면은 발액화되지 않는 상태(친액성)가 유지된다. 후술하는 바와 같이, 유기 화합물 함유액을 도포하는 것에 의해, 유기 EL층(19)(전자 수송성 발광층(19b))이 형성되어도, 인접하는 화소 형성 영역 Rpx으로의 유기 화합물 함유액의 누출이나 넘침을 방지할 수 있다. 이것은 인접하는 화소와 각각의 적, 녹, 청의 화소의 색이 혼합하는 것을 억제할 수 있다.

[0119] 또한, 본 실시형태에서 사용하는 “발액성”은 정공 수송층(19a)이 되는 정공 수송 재료를 함유하는 유기 화합물 함유액, 전자 수송성 발광층(19b)이 되는 전자 수송성 발광재료를 함유하는 유기 화합물 함유액, 또는 이들에 이용되는 유기용매가, 절연성 기판상에 적혀되고, 측정된 접촉각이 50° 이상이 되는 상태로서 규정된다. 또, “발액성”에 대치되는 “친액성”은 상기 접촉각이 40° 이하, 바람직하게는 10° 이하가 되는 상태로서 규정된다.

[0120] 다음에, 상기 뱅크(18)에 의해 둘러싸인(규정된) 각 색의 화소 형성 영역 Rpx에 대해, 잉크젯법, 노즐 코트법 등을 이용하여, 정공 수송 재료의 용액 또는 분산액을 도포하고, 수용액을 가열/건조시키거나 또는 분산하는 것에 의해, 정공 수송층(19a)을 형성한다. 계속해서, 해당 정공 수송층(19a)에 전자 수송성 발광 재료의 용액 또는 분산액을 도포하고, 수용액을 가열 건조시키거나 또는 분산하는 것에 의해, 전자 수송성 발광층(19b)을 형성한다. 이 처리에 의해, 도 8의 (a)에 나타내는 바와 같이, 화소 전극(16)상에 정공 수송층(19a)과 전자 수송성 발광층(19b)을 포함하는 유기 EL층(19)이 적층된다.

[0121] 구체적으로는 유기 고분자계의 정공 수송 재료를 포함하는 유기 화합물 함유액(화합물 함유액)으로서 예를

들면, 폴리에틸렌디옥시티오펜/폴리스티렌 술폰산 수용액(PEDOT/PSS; 도전성 폴리머로서 폴리에틸렌디옥시티오펜(PEDOT)과 폴리스티렌 술폰산(PSS)을 수계 용매에 분산시키는 것에 의해 얻어진 분산액)을 상기 화소 전극(16)상에 도포한다. 그 후, 이 도포된 수용액은 가열되고 건조되어, 용매를 제거하고 또한 해당 화소 전극(16)상에 유기 고분자계의 정공 수송 재료를 정착시키는 것에 의해, 담체 수송층으로서 정공 수송층(19a)을 형성한다.

[0122] 또, 유기 고분자계 전자 수송성 발광재료를 포함하는 유기 화합물 함유액(화합물 함유액)으로서, 폴리파라페닐렌계 재료 또는 폴리플루오렌계 재료 등의 공액 이중 결합 폴리머를 포함하는 발광재료를 용해하는 것에 의해 얻어진 용매가 상기 정공 수송층(19a)상에 도포된다. 그 후, 이 수용액은 가열되고 건조되어 용매를 제거하고 또한 정공 수송층(19a)상에 유기 고분자계의 전자 수송성 발광 재료를 정착시키는 것에 의해, 담체 수송층이고 발광층이기도 한 전자 수송성 발광층(19b)을 형성한다.

[0123] 계속해서, 도 8의 (b)에 나타내는 바와 같이, 적어도 각 표시 화소 PIX의 화소 형성 영역 Rpx를 포함하는 절연성 기판(11)상에 광투과성을 갖는 도전층(투명 전극층)을 형성하고, 상기 유기 EL층(19)(정공 수송층(19a)과 전자 수송성 발광층(19b))상에 각 화소 전극(16)에 대향하는 공통의 대향 전극(예를 들면 캐소드 전극)(20)을 형성한다.

[0124] 구체적으로는 대향 전극(20)으로서, 예를 들면 증착법 등에 의해 전자 주입층으로서 기능하는 바륨, 마그네슘, 또는 불화 리튬 등의 금속재료로 이루어지는 박막을 형성한 후, 스퍼터링법 등에 의해 박막상에 ITO 등으로 이루어지는 투명 전극층을 적층하는 것에 의해, 두께 방향으로 투명한 막구조를 이용할 수 있다. 이 경우, 대향 전극(20)은 상기 화소 전극(16)에 대향하는 영역으로 연장하고, 화소 형성 영역 Rpx(유기 EL 소자 OLED의 형성 영역)를 규정하는 뱅크(18)상으로 연장하는 단일의 도전층(고체 전극)으로서 형성된다.

[0125] 상기 대향 전극(20)이 형성된 후, 절연성 기판(11)의 일면측의 전역에 보호 절연막(페시베이션막)으로서 실리콘 산화막, 실리콘 질화막 등을 구비하는 밀봉층(21)을 CVD법 등에 의해 형성하는 것에 의해, 도 4의 (a), (b) 및 도 5에 나타낸 바와 같은 단면 구조를 갖는 표시 패널(10)이 완성된다. 또한, 도시를 생략했지만, 도 4의 (a), (b), 도 5에 나타낸 패널 구조 대신에, 절연성 기판(11)에 대향하도록 유리 기판 등을 구비하는 밀봉 덮개 또는 밀봉 기판을 접합하는 것에 의해 형성된 패널을 이용해도 좋다.

[0126] <작용과 효과의 검증>

[0127] 다음에, 상술한 디바이스 구조를 갖는 표시장치(표시 패널)의 작용과 효과에 대해 상세하게 검증한다.

[0128] "배경기술"란에 설명한 바와 같이, 유기 EL 소자의 발광 구조로서, 발광층으로부터의 광을 화소 구동 회로의 각 회로소자가 형성된 기판을 투과하여 방출하는 보텀 에미션 방식에 의거하는 구조와, 화소 구동 회로가 형성된 기판을 투과하는 일 없이 광을 방출하는 톱 에미션 방식에 의거하는 구조가 알려져 있다. 후자의 방식에 따르면, 발광된 광이 화소 구동 회로(기판층)를 투과하는 일 없이 시야측에 방출되므로, 화소 개구율을 크게 설정할 수 있다. 이것은 후자의 방식이 소비 전력, 패널 수명 등의 점에서 전자의 방식보다 우수하다.

[0129] 그러나, 톱 에미션 방식은 다음의 기술적인 문제점을 갖고 있다.

[0130] 즉, 톱 에미션 방식은 기판상에 형성된 박막 트랜지스터 등의 회로 소자를 구비하는 각 화소 구동 회로의 상층 층에 각 유기 EL 소자의 발광층이 형성된 패널 구조를 사용하고 있으므로, 박막 트랜지스터 등의 회로 소자간의 단차를 줄이기 위해 평탄화층(보호 절연막)을 형성할 필요가 있다. 또, 평탄화층이 형성된 경우, 해당 평탄화층의 상층층과 하층층에 형성된 도전층간, 예를 들면 기판상의 박막 트랜지스터의 소스 및 드레인 전극과 유기 EL 소자의 화소 전극간에 도통을 취하기 위해, 컨택트홀을 형성할 필요가 있다.

[0131] 또한, 유기 EL 소자의 발광층으로부터 화소 구동 회로(기판) 방향으로 방출된 광을 반사하기 위한 플랫 반사층을 각 화소 형성 영역에 설치할 필요가 있다. 이 경우, 반사층을 애노드 전극(즉, 화소 전극)으로서 이용하는 디바이스 구조를 이용할 수 있다. 그러나, 통상, 애노드 전극의 정공 주입성을 개선하기 위해, 정공 주입층과 LUMO(the lowest unoccupied molecular orbital; 최저 공분자 궤도)가 근사하는 ITO 등으로 이루어지는 투명 도전막(투명 전극 재료로 이루어지는 도전성 산화 금속층)이 반사층상에 꾀복 형성되어, 애노드 전극으로서 이용된다(일本国 특허공개공보 평성8-330600호 참조). 또한, 본 명세서에 있어서, 이러한 디바이스 구조를 이하, "비교 대상"이라 한다.

[0132] 이러한 톱 에미션 방식에 의거하는 발광 구조에 대해, 본원 발명자가 각종 실험을 실행하여 검증한 결과, 발광층으로부터 직접 시야측에 방출되는 광과, 발광층 아래의 플랫 반사층에 의해 반사되고 시야측으로 방출되는 광

의 사이에 간섭 효과가 생성되는 것을 알아내었다. 후술하는 바와 같이, 간섭 효과는 광의 파장에 의해 특성이 변화하며, 간섭 효과의 강도를 나타내는 특성 곡선은 피크를 갖고 있다. 간섭 효과의 피크 위치는 발광층의 발광 위치 또는 투명 도전막을 구비하는 화소 전극의 두께에 따라 시프트된다. 이것은 발광 강도 또는 색도를 변화시킨다.

[0133] 특히, 본 실시형태에 나타낸 바와 같이, 유기 EL층(발광 기능층)의 성막 방법으로서, 유기 고분자계의 유기 화합물 함유액을 도포하는 것에 의해 담체 수송층을 형성하는 고분자 도포법은 화소 형성 영역의 화소 전극상에 형성되는 막의 두께는 주위의 온도와 습도에 크게 영향을 받는다. 즉, 소정의 값(균일한 값)으로 막두께를 제어하는 것은 매우 곤란하다. 이것은 표시 패널간과 동일한 표시 패널내의 표시 화소간에서 현저한 발광 강도와 색도의 편차를 일으킨다.

[0134] 이하, 간섭 계산 모델을 이용하는 것에 의해 상술한 문제점에 대해 상세하게 설명한다.

[0135] 도 9는 본 실시형태의 비교 대상으로서 유기 EL 소자의 디바이스 구조의 간섭 계산 모델을 나타내는 모식도이다.

[0136] 도 9에 나타내는 바와 같이, 비교 대상에 관한 간섭 계산 모델은 광반사 특성을 갖는 금속재료(예를 들면 은(Ag))로 이루어지는 반사 메탈(0)을 최하층으로서 형성하고, 반사 메탈(0)에, ITO 등의 투명 전극 재료로 이루어지는 투명 애노드 전극(1), 발광 기능층으로서 전계 발광층(2), ITO 등의 투명 전극 재료로 이루어지는 투명 캐소드 전극(3), 질화 실리콘(SiN)으로 이루어지는 패시베이션막(4)을 순차 적층한다.

[0137] 이 경우, 반사 메탈(0)은 상술한 실시형태의 플랫 반사층(14)에 대응하고, 투명 애노드 전극(1)은 화소 전극(16)에, 전계 발광층(2)은 유기 EL층(19)에, 투명 캐소드 전극(3)은 대향 전극(20)에, 패시베이션막(4)은 밀봉층(21)에 각각 대응한다.

[0138] 또, 유기 EL 소자는 EL 발광층(2)내의 주어진 점(상술한 실시형태에 있어서 정공 수송층(19a)과 전자 수송성 발광층(19b)의 경계면 부근의 위치에 대응함)에서 발광하는(광을 방사하는) 것으로 가정한다. 해당 발광점에서 투명 애노드 전극(1)까지의 거리에 대응하는 EL 발광층(2)의 막두께를  $X_p$ , 발광점에서 투명 캐소드 전극(3)까지의 거리에 대응하는 EL 발광층(2)의 막두께를  $X_q$ 로 한다. 또한, 투명 애노드 전극(1)과 투명 캐소드 전극(3)의 막두께를 각각  $da$ ,  $dc$ 로 한다. 반사 메탈(0)과 패시베이션막(4)의 두께는 무한대로 가정한다.

[0139] 도 10의 (a), (b)는 비교 대상에 관한 간섭 계산 모델에 대해 상정되는 방사광의 광로를 나타내는 개략도 및, 간섭 계산 모델에 있어서의 입사광, 반사광, 투파광의 진폭의 정의 방향의 정의를 나타내는 개념도이다. 또, 도 11, 도 12는 각각 비교 대상에 관한 간섭 계산 모델의 계산에 이용된 매질의 각 파장에 대한 굴절률을 나타내는 표이다.

[0140] 도 9에 나타낸 바와 같은 디바이스 구조에 있어서, 도 10의 (a)에 나타내는 바와 같이, EL 발광층(2)내의 발광점 PL로부터 도면 상측(시야 방향에 있어서 투명 캐소드 전극(3)과 패시베이션막(4)을 통해 연장)으로 전파하는 광의 광로  $R_1$ 과, 상기 발광점 PL로부터 도면 하측(반사 메탈(0)측)으로 전파하고, 투명 애노드 전극(1)의 표면(EL 발광층(2)과 투명 애노드 전극(1)의 경계면) 또는 반사 메탈(0)의 표면(투명 애노드 전극(1)과 반사 메탈(0)의 경계면)에 의해 반사되고, 도면 상측으로 전파하는 광로  $R_2$ 와의 사이의 간섭 효과에 의해, 전체의 간섭 효과가 가장 큰 영향을 받고 있는 것으로 예상된다. 이 검증 처리에 있어서, 다중 반사를 고려한 광로  $R_3$ ,  $R_4$ 도 포함하여 간섭 계산을 실행하였다.

[0141] 이 경우, 간섭 계산에 포함되는 다중 반사의 광로의 예는 상기 발광점 PL로부터 도면 상측으로 전파하고, 투명 캐소드 전극(3)의 표면(EL 발광층(2)과 투명 캐소드 전극(3)의 경계면) 또는 패시베이션막(4)의 표면(투명 캐소드 전극(3)과 패시베이션막(4)의 경계면)에 의해 반사되며, 도면 하측(반사 메탈(0)측)으로 전파하는 광로  $R_3$ 이다. 광로  $R_2$ 와 마찬가지로, 이 광은 광로  $R_2$ 와 마찬가지로 그 후, 투명 애노드 전극(1)의 표면 또는 반사 메탈(0)의 표면에 의해 재차 반사되고, 도면 상측으로 전파한다. 또, 광의 광로  $R_4$ 의 다른 예는 광로  $R_2$ 와 마찬가지로, 상기 발광점 PL로부터 도면 하측으로 전파하고, 투명 애노드 전극(1)의 표면 또는 반사 메탈(0)의 표면에 의해 반사되며, 도면 상측으로 전파한다. 상기 광로  $R_3$ 과 마찬가지로, 이 광은 그 후, 투명 캐소드 전극(3)의 표면 또는 패시베이션막(4)의 표면에 의해 재차 반사되고, 도면 하측으로 전파하며, 투명 애노드 전극(1)의 표면 또는 반사 메탈(0)의 표면에 의해 재차 반사되며, 도면 상측으로 전파한다.

[0142] 또, 도 10의 (a)에 나타낸 광로  $R_1$ ~ $R_4$ 에 관해, 입사광, 반사광, 투파광의 진폭의 정의 방향은 도 10의 (b)에 나타내는 바와 같이 정의된다. 즉, 광이 매질 MD<sub>i</sub>(굴절률  $n_i$ )로부터 매질 MD<sub>o</sub>(굴절률  $n_o$ )에 입사한다고

가정하면, 입사면에 수직으로 전계가 진동하는 편광(s편광)의 정의 방향은 입사광 LT<sub>i</sub>와 투과광 LT<sub>p</sub>에서 보면 광로에 대해 수직이고, 또한 입사면에 대해 수직인 축방향과 일치한다. 또한, 이 방향은 반사광 LTr에서 보면 광로에 대해 수직이고, 또한 입사면 방향(매질 MD<sub>i</sub>와 매질 MD<sub>o</sub>의 경계면측)과 일치한다. 한편, 입사면내에 전계가 진동하는 편광(p편광)의 정의 방향은 입사광 LT<sub>i</sub>와 투과광 LT<sub>p</sub>에서 보면 광로에 대해 수직이고, 또한 도면(지면)의 앞쪽 방향으로서 나타내어진다. 이 방향은 반사광 LTr에서 보면 광로에 대해 수직이고 또한 도면(지면)의 안쪽 방향으로서 나타내어진다.

[0143] 또, 도 10의 (b)에 관해, 각 경계면(계면)에서의 진폭 반사율  $r_{i,o}$ 와 투과 진폭율  $t_{i,o}$ 는 각각

$$r_{i,o} = \frac{Y_o - Y_i}{Y_o + Y_i} \quad \cdots (11)$$

$$t_{i,o} = \frac{2(Y_o Y_i)^{1/2}}{Y_o + Y_i} \left( \frac{\cos \theta_i}{\cos \theta_o} \right)^{1/2} \quad \cdots (12)$$

[0145] 과 같이 나타낼 수 있다.

[0146] 여기서,  $\theta_i$ 는 입사각과 반사각이고,  $\theta_o$ 는 굴절각이다. 또한,  $Y_i$ ,  $Y_o$ 는

$$Y_i = n_i \cdot \cos \theta_i, \quad Y_o = n_o / \cos \theta_o \quad (\text{s편광}) \quad \cdots (13)$$

$$[0147] Y_i = n_i / \cos \theta_i, \quad Y_o = n_o \cdot \cos \theta_o \quad (\text{p편광}) \quad \cdots (14)$$

[0149] 와 같이 나타낼 수 있다.

[0150] 또한, 상기 비교 대상에 관한 간접 계산 모델에 있어서의 계산에 이용된 매질의 각 파장에 대응하는 굴절률은 도 11, 도 12에 나타내었다.

[0151] 그리고, 유기 EL층으로부터 도 10의 (a)에 나타낸 광로 R1~R4를 통해 시야측(패시베이션막(4)측)에 방사된 광의 분광 강도  $I(\lambda)$ (간접 효과에 대응함)를 상기의 식 11~식 14에 의거하여 다음의 식 15와 같이 나타낼 수 있다. 이 분광 강도  $I(\lambda)$ 는 다수 반사 모델에 대응하고, 각 파장  $\lambda$ 의 발광층으로부터 등방적으로 방사된 광의 강도(진폭)에 외측으로 방사된 광의 강도의 비를 나타내는 식 15에 의해 산출된다. 즉, 이 식에 의해 얻어진 값은 방사된 광의 각 파장의 광의 강도(진폭)에 대한 상대값이고, 상기 값이 방사된 광의 각 파장에서 광의 강도와 동일한 경우 "1"로, 강도가 2배인 경우 "2"로, 강도가 간접에 의해 취소되면 0으로 정규화된다. 분광 강도  $I(\lambda)$ 는 방사된 광의 파장 분포(방사 휘도)를 고려하지 않고 얻어진 값이다. 상술한 바와 같이, s편광과 p편광의 분광 강도를 얻고, 그들 평균을 취하는 것에 의해, 각 파장에 대한 분광 강도를 얻을 수 있다.

$$I(\lambda) = \text{Abs}[t_{2,4} \{1 - r_{2,4} \exp(i\gamma p)\} + r_{2,4} r_{2,0} t_{2,4} \exp(i\gamma P + q) \{1 - r_{2,0} \exp(i\gamma p)\} / \sqrt{2}]^2 \quad \cdots (15)$$

[0152] 여기서,  $r_{2,3}$ 은 EL 발광층(2)(입사측)과 투명 캐소드 전극(3)의 경계면에서의 진폭 반사율,  $r_{3,4}$ 는 투명 캐소드 전극(3)(입사측)과 패시베이션막(4)의 경계면에서의 진폭 반사율,  $r_{2,1}$ 은 EL 발광층(2)(입사측)과 투명 애노드 전극(1)의 경계면에서의 진폭 반사율,  $r_{1,0}$ 은 투명 애노드 전극(1)(입사측)과 반사 메탈(0)의 경계면에서의 진폭 반사율,  $t_{2,3}$ 은 EL 발광층(2)(입사측)과 투명 캐소드 전극(3)의 사이의 투과 진폭율,  $t_{3,2}$ 는 투명 캐소드 전극(3)(입사측)과 EL 발광층(2)의 사이의 투과 진폭율,  $t_{2,4}$ 는 투명 캐소드 전극(3)(입사측)과 패시베이션막(4)의 사이의 투과 진폭율,  $t_{2,1}$ 은 EL 발광층(2)(입사측)과 투명 애노드 전극(1)의 사이의 투과 진폭율,  $t_{1,2}$ 는 투명 애노드 전극(1)(입사측)과 EL 발광층(2)의 사이의 투과 진폭율이며, 투과 진폭율  $r_{2,4}$ ,  $r_{2,0}$ 과 투과 진폭율  $t_{2,4}$ 는

$$r_{2,4} = r_{2,3} + t_{2,3}t_{3,2}r_{3,4} \exp(i\gamma c) \quad \cdots (16)$$

$$t_{2,4} = t_{2,3}t_{3,4} \exp(-i\gamma c / 2) \quad \cdots (17)$$

$$[0154] \quad r_{2,0} = r_{2,1} + t_{2,1}t_{1,2}r_{1,0} \exp(i\gamma a) \quad \cdots (18)$$

[0155] 와 같이 나타낼 수 있다.

[0156] 또, 상기 식 15~18에 있어서, 투명 애노드 전극(1)에서의 위상차  $\gamma a$ , 투명 캐소드 전극(3)에서의 위상차  $\gamma c$ , 발광점 PL에 관해 투명 애노드 전극(1)측상에 위치된 EL 발광층(2)에서의 위상차  $\gamma p$ , EL 발광층(2)에서의 위상차  $\gamma p+q$ 는

$$\gamma a = 4\pi n_1 d a \cdot \cos \theta_1 / \lambda \quad \cdots (19)$$

$$\gamma c = 4\pi n_3 d c \cdot \cos \theta_3 / \lambda \quad \cdots (20)$$

$$\gamma p = 4\pi n_2 X p \cdot \cos \theta_2 / \lambda \quad \cdots (21)$$

$$[0157] \quad \gamma p + q = 4\pi n_2 (X p + X q) \cdot \cos \theta_2 / \lambda \quad \cdots (22)$$

[0158] 과 같이 나타낼 수 있다.

[0159] 식 19~22에 있어서,  $\Theta_m$ (m은 도 10에 나타낸 간접 계산 모델에 있어서의 각 층의 부호이며,  $\Theta$ 는 시각을 나타냄)은 스넬(Snell)의 법칙, 즉  $n_m \cdot \sin \Theta_m = \sin \Theta$ 로부터 얻을 수 있다. 따라서, EL 발광층(2), 투명 애노드 전극(1), 투명 캐소드 전극(3)의 굴절률은 서로 근사하며, 반사의 영향은 작다고 고려되며, 따라서 굴절률은  $r_{2,3}=0$ ,  $r_{2,1}=0$ 을 간주하여 계산되었다.

[0160] 다음에, 유기 EL층으로부터 방사되는 빛을 정의하였다. 간접 전의 방사 휘도  $Le(\lambda)$ 는

$$\left. \begin{aligned} & (\lambda p - \lambda \geq 0) \\ & Le(\lambda)[W / sr \times m^2] = \left[ 1 / \exp \left( \frac{1}{2} \left( \frac{\lambda_p - \lambda}{\sigma} \right)^2 \right) \cdot \frac{\sigma^2}{((\lambda_p - \lambda)^2 + \sigma^2)} \right]^{\lambda_p} \\ & (\lambda p - \lambda < 0) \\ & Le(\lambda)[W / sr \times m^2] = \left[ 1 / \exp \left( \frac{1}{2} \left( \frac{\lambda_p - \lambda}{\sigma} \right)^2 \right) \right]^2 \cdot \frac{\sigma^2}{((\lambda_p - \lambda)^2 + \sigma^2)} \end{aligned} \right\} \quad \cdots (23)$$

[0161]

[0162] 와 같이 정의한다.

[0163] 여기서,  $\lambda p$ 는 EL 발광층(2)의 피크 파장,  $\sigma$ 는 선풍,  $\gamma a$ 는 단파장 감쇠 계수이다. 표 1은 본 검증 처리에서 이용된 적(R), 녹(B), 청(G)의 EL 발광층의 파라미터를 나타낸다. 각 파장에서의  $Le$ 에 분광 강도  $I(\lambda)$ 를 곱해 얻어진  $Le'(\lambda) = I(\lambda) \cdot Le(\lambda)$ 는 최종적으로 시각  $\Theta$ 에서 관찰되는 방사 휘도이다.

## 표 1

	청 (B)	녹 (G)	적 (R)
$\gamma a$	4	5	5
$\lambda p$	462	534	643
$\sigma$	48.0	62.0	102.0

[0164]

[0165] 또, 각 색의 색도 CIE(x,y)는  $x=X/(X+Y+Z)$ ,  $y=Y/(X+Y+Z)$ 로 나타내어진다. 여기서, 3개의 자극 순값 X, Y, Z는 다음의 식 24~26에 관해 계산된다.

$$X = k \int_{380}^{780} Le'(\lambda) x * (\lambda) d\lambda \quad \cdots (24)$$

$$Y = k \int_{380}^{780} Le'(\lambda) y * (\lambda) d\lambda \quad \cdots (25)$$

$$Z = k \int_{380}^{780} Le'(\lambda) z * (\lambda) d\lambda \quad \cdots (26)$$

[0166]

[0167] 여기서,  $x*(\lambda)$ ,  $y*(\lambda)$ ,  $z*(\lambda)$ 는 각각의 파장에서의 스펙트럼 3개의 자극 순값이다. 상기의 계산은 계수  $k$ 를 5로 설정하여 실행되었다. 또, 방사 휘도  $= Y \times 683/100$ 이다.

[0168]

[0168] 상기에 의해 각 파라미터로부터 최종적으로 도출된 방사 휘도  $Le'(\lambda)$ , 색도 CIE(x,y) 및 분광 강도  $I(\lambda)$ 가 평가에 이용되었다.

[0169]

[0169] 도 13은 비교 대상에 관한 간접 계산 모델에 있어서의 분광 강도(간접 효과)의 계산의 예를 나타내는 그래프이다. 도 14는 비교 대상에 관한 간접 계산 모델에 있어서의 방사 휘도의 계산의 예를 나타내는 그래프이다. 이 경우, 도 13은 표 2에 나타낸 파라미터를 이용하여 계산된 분광 강도(간접 효과)의 피크 시프트의 예를 나타낸다. 도 14는 해당 간접 효과에 의해 영향을 받은 방사 휘도의 피크 시프트의 예를 나타낸다.

## 표 2

사용색	청(B)
$\theta [^\circ]$	0
dc [nm]	100
Xp [nm]	35 - 45
Xq [nm]	70
da [nm]	50

[0170]

[0171] 도 13에 나타내는 바와 같이, EL 발광층(2)의 두께  $X_p$ 만을 변경한 경우에 있어서, 분광 강도의 피크의 시프트(편차)가 막두께  $X_p$ 를 35nm로 설정하여 계산된 경우, 청색의 영역에서 파장(440~510nm) 부근의 간접 효과는 모두 1이하이며, 진폭이 서로 부정하는 방향으로 작용되고 있는 것을 알 수 있었다. 또, 파장이 420nm 부근에 진폭을 감소시키는 효과가 최대한으로 되는 피크(극소값)가 있고, 두께  $X_p$ 를 40nm, 45nm로 증가시켜 가면, 해당 피크는 높은 파장측으로 시프트하는 경향을 나타낸다. 한편, 도 14에 나타내는 바와 같이, 간접 효과에 의해 영향을 받은 방사 휘도의 피크(극대값)도 EL 발광층(2)의 막두께  $X_p$ 가 증가함에 따라 높은 파장측으로 시프트하는 경향을 나타낸다.

[0172]

[0172] 상술한 바와 같이, 간접 효과의 피크 위치는 EL 발광층(2)의 발광 위치 또는 투명 애노드 전극(1)의 두께에 의존해서 시프트되고, 그 결과, 발광 강도 또는 색도가 변경되는 것이 판명되었다. 이 경우, 유기 EL 소자의 막형성 방법으로서 고분자 도포법이 선택된 경우, 표시 화소(화소 형성 영역)에 형성된 막두께는 주위의 온도와 습도에 현저하게 의존하는 경향이 있다. 즉, 막두께를 소정의 값으로 제어하는 것이 매우 곤란하다. 이것은 표시 패널과 동일한 표시 패널내의 표시 화소의 사이에 발광 강도와 색도의 변경을 야기한다.

[0173]

[0173] 또, 상술한 계산에는 광이 패널 기판(절연성 기판)으로부터 곧바로 발광, 즉 시각  $\theta=0^\circ$ 인 경우에 얻어지는 결과이다. 그러나, 예를 들면  $\theta=30^\circ$  또는  $60^\circ$ 와 같이, 패널 기판으로부터 비스듬히 방출되는 광은 패널기판으로부터 곧바로 방출되는 광과는 간접 경로가 다르기 때문에, 상기와는 다른 간접 효과에 의해 영향을 받는다. 표 3은 시각  $\theta$ 를 변경시켰을 때의 녹(G)의 유기 EL 소자의 색도와 휘도를 나타낸다. 시각  $\theta$ 가  $0^\circ$ 으로부터 증가함에 따라, 색도와 휘도는 증가한다. 시각  $\theta$ 가  $90^\circ$ 에 도달하면, 색도는 대략 0.4로 증가하고, 휘도는 시각  $\theta=0^\circ$ 인 경우 2배로 된다. 이들 차이는 표시 패널의 시야각 의존성으로서 문제가 된다.

표 3

시각 $\theta[^\circ]$	0	15	30	45	60	75	90
색도 CIE_X	0.538605	0.541221	0.54819	0.55754	0.566915	0.573782	0.576274
색도 CIE_Y	0.451528	0.448517	0.440484	0.429674	0.418741	0.410614	0.407629
휘도	290	305.5681	350.6611	416.0189	482.4947	528.1853	543.4382

[0174]

본 발명에 있어서는 상술한 실시형태(도 4의 (a), (b), 도 5 참조)에 나타낸 바와 같이, 애노드 전극으로서 기능하는 투명한 화소 전극(16)과 화소 전극(16)의 아래에 설치되는 플랫 반사층(14)의 사이에 광투과성을 갖는 후막의 광방사 제어 절연막(15)을 설치하는 것에 의해, 간접 피크를 광범위하게 생성한다. 이것은 발광층(유기 EL층(19))의 막두께에 기인하는 발광 강도와 색도의 편차를 억제하고, 시야각 의존성을 저감하는 것을 허용하고 있다.

[0176]

도 15는 본 실시형태에 관한 유기 EL 소자의 디바이스 구조의 간접 계산 모델을 나타내는 모식도이다. 도 16은 본 실시형태에 관한 간접 계산 모델에서 상정되는 방사광의 광로를 나타내는 모식도이다. 상기 비교 대상에 관한 간접 계산 모델과 동일한 구성에 대해서는 동일한 부호를 붙여 설명한다.

[0177]

도 15에 나타내는 바와 같이, 본 실시형태에 관한 간접 계산 모델은 비교 대상에 관한 간접 계산 모델(도 9 참조)에 있어서, 광반사 특성을 갖는 금속재료 등으로 이루어지는 반사 메탈(0)과 ITO 등의 투명 전극 재료로 이루어지는 투명 애노드 전극(1)의 사이에, 광투과 특성을 갖는 (투명한) 절연성 재료로 이루어지고 두께 df를 갖는 후막층 F를 새로이 삽입하는(개재시키는) 것에 의해 얻어진 디바이스 구조를 갖고 있다. 이 경우, 후막층 F는 상술한 실시 형태에 있어서 광방사 제어 절연막(15)에 대응한다.

[0178]

이러한 디바이스 구조에 있어서 상정되는 방사광의 광로는 예를 들면 도 16에 나타내는 바와 같이, 상기 비교 대상의 경우(도 10의 (a) 참조)와 같이, EL 발광층(2)내의 발광점 PL로부터 도면의 상측(투명 캐소드 전극(3)과 패시베이션막(4)을 통해 시야측 방향으로 전파)으로 전파하는 광의 광로 R1과, 상기 발광점 PL로부터 도면의 하부 위치(반사 메탈(0)측)로 전파하고, 투명 애노드 전극(1)의 표면(EL 발광층(2)과 투명 애노드 전극(1)의 경계면) 또는 후막층 F의 표면(투명 애노드 전극(1)과 후막층 F의 경계면)에 의해 반사되고, 도면의 상측으로 전파하는 광로 R2'에 부가해서, 후막층 F를 개재시키는 것에 의해, 새로이 광로 R11~R13을 포함한다.

[0179]

여기서, 간접계산에 포함된 새로운 광로의 예는 광로 R11~R13이다. 광로 R11은 상기 발광점 PL로부터 도면 하측(반사 메탈(0)측)로 전파하고, 투명 애노드 전극(1)과 후막층 F를 통해 전송되며, 반사 메탈(0)의 표면(후막층 F와 반사 메탈(0)의 경계면)에 의해 반사되고, 도면 상측(투명 애노드 전극(1), EL 발광층(2), 투명 캐소드 전극(3) 및 패시베이션막(4)을 통해 시야 방향)으로 전파한다. 또, 광로 R12는 광로 R11과 마찬가지로, 상기 발광점 PL로부터 도면 하측으로 진행하고, 반사 메탈(0)의 표면에 의해 반사되며, 도면의 상측으로 전파하며, 투명 애노드 전극(1)의 표면(후막층 F와 투명 애노드 전극(1)의 경계면)에 의해 재차 반사되고, 도면 하측으로 전파하며, 반사 메탈(0)의 표면에 의해 재차 반사되고, 도면 상측으로 전파하는 광의 광로이다. 또, 광로 R13은 광로 R11과 마찬가지로, 상기 발광점 PL로부터 도면 하측으로 전파하고, 반사 메탈(0)의 표면에 의해 반사되며, 도면 상측으로 전파하고, EL 발광층(2)의 표면(투명 애노드 전극(1)과 EL 발광층(2)의 경계면)에 의해 재차 반사되며, 도면 하측으로 전파하고, 반사 메탈(0)의 표면에 의해 또한 반사되며, 도면 상측으로 전파하는 광의 광로이다.

[0180]

도 17은 본 실시형태에 관한 간접 계산 모델에 있어서의 분광 강도(간접 효과)의 계산예를 나타내는 그래프이다. 도 18은 본 실시형태에 관한 간접 계산 모델에 있어서의 방사 휘도의 계산예를 나타내는 그래프이다. 도 17은 후막층 F로서  $2.5\mu m$ (2500nm)의 두께를 갖는 유기막(모든 과장에 걸쳐 굴절률  $n=1.6$ 으로 가정)을 이용한 디바이스 구조에 있어서 표 4에 나타낸 파라미터를 이용하는 것에 의해 계산된 분광 강도(간접 효과)의 예를 나타낸다. 도 18은 해당 간접 효과에 의해 영향 받은 방사 휘도의 예를 나타낸다. 또, 도 19는 표 4에 나타낸 파라미터를 이용하는 계산의 경우에 있어서의 방사 휘도의 피크 시프트의 예를 나타내는 그래프이다.

표 4

사용색	청 (B)
$\theta [^\circ]$	0
dc [nm]	100
Xp [nm]	35 - 45
Xq [nm]	70
df [nm]	2500
da [nm]	50

[0181]

[0182] 도 17에 나타내는 바와 같이, 상술한 비교 대상(도 13 참조)에 비해, 이 분광 강도는 많은 피크(최대값과 최소값)를 갖는 주기 구조를 갖고 있다. 본 출원에서는 이 특성을 갖는 간섭 효과를 편의상 “다중 피크 효과”로서 표기한다. 그리고, 이 다중 피크 효과의 영향이 겹증되면, 다중 피크 효과에 의해 영향을 받은 방사 휘도 스펙트럼은 도 18에 실선(굵은선)으로 나타내는 피크를 갖고 있다. 또한, 도 18에 얇은 점선에 의해 나타내는 특성 곡선은 다중 피크 효과의 영향을 받지 않은 방사 휘도 스펙트럼이며, 도 14에 나타낸 간섭 효과가 없는 특성 곡선과 동등하다.

[0183]

또, 발광점 PL로부터 투명 애노드 전극(1)까지의 거리에 대응하는 EL 발광층(2)의 두께 Xp를 변화시켜 계산한 방사 휘도의 스펙트럼이 겹증되면, 상술한 비교 대상(도 14 참조)에 비해, 막두께 Xp의 변화에 대한 피크 시프트가 감소되어 있는 것이 명백하다. 즉, 후막층 F의 삽입에 의해 얻어진 다중 피크 효과는 EL 발광층(2)의 두께 Xp의 변화에 의한 간섭 효과의 피크 시프트와 방사 휘도의 피크 시프트를 억제시키는 것을 계산으로부터 알 수 있었다.

[0184]

도 20은 본 실시형태에 관한 간섭 계산 모델에 의거하여 시작(試作)된 발광소자로부터의 광의 스펙트럼의 변화를 나타내는 그래프이다.

[0185]

상기 계산 결과에 의거하여, 실제로 후막층 F가 삽입되면, 다수의 피크를 갖는 스펙트럼을 관찰할 수 있는지 아닌지를 검증하기 위해, 다른 파라미터를 갖는 발광소자(유기 EL 소자)를 시작하였다. 유리 기판상에 도 15에 나타낸 간섭 계산 모델과 동일한 디바이스 구조를 갖는 청색의 발광소자 A를 제작하였다. 후막층 F로서, 굴절률  $n=1.6$ , 막두께  $2.2\mu\text{m}$ (2200nm)를 갖는 투명한 절연성 후막을 이용하였다. 또, 참조 소자로서, 반사 메탈(0)을 제외한 발광소자 A와 동일한 디바이스 구조를 갖는 발광소자 B를 제작하였다. 이들 제작된 소자의 발광 스펙트럼은 서로 비교하였다.

[0186]

이 비교에 의하면, 후막층 F에 의한 다중 피크 효과를 갖는 발광소자 A의 스펙트럼은 피크를 갖는 것이 명백하며, 상술한 계산 모델이 정확한 것이 확인되었다. 또한, 도 20에 있어서 얇은 점선으로 나타낸 특성 곡선은 다중 피크 효과의 영향을 받지 않은 발광소자 B의 스펙트럼이다. 이 스펙트럼은 단지 하나의 피크를 갖는 것이 확인되었다.

[0187]

이 결과에 의거하여, 스펙트럼의 시프트를 최소한으로 할 수 있는 후막층의 굴절률 및 두께가 얻어진다. 여기서의 평가 기준은 다음과 같다.

[0188]

즉, EL 발광층(2)의 두께를 변경되었을 때의 색도와 휘도의 이상값으로부터의 괴리를 평가한다. 발광점 PL로부터 투명 애노드 전극(1)까지의 거리에 대응하는 EL 발광층(2)의 두께 Xp(즉, 유기 EL층(19)의 정공 수송층(홀주입층)(19a)의 두께)는 35~45nm로 설정하고, EL 발광층(2)의 발광점 PL로부터 투명 캐소드 전극(3)까지의 거리에 대응하는 두께 Xq(즉, 유기 EL층(19)의 전자 수송성 발광층(19b)의 두께)는 녹(G)의 발광소자(유기 EL 소자)의 경우에는 55~75nm로 설정하고, 청(B) 또는 적(R)의 발광소자의 경우에는 60~80nm로 설정한다. 각 두께를 1nm의 공정에서 변화시키고, 색도 CIE(x,y)와 휘도의 값이 얻어진다. 그 결과,  $11 \times 21 = 231$ 개의 데이터가 산출된다. 평균값과 오차((최대값-최소값)/평균값; %로 표기)가 얻어진다. 그 후, 데이터의 평균값이 이상값에 가까울수록, 또 오차가 적을수록, 간섭 효과로 인한 색의 변화가 없고 또한 두께가 변화했을 때의 시프트가 감소한다고 정의된다.

[0189]

우선, 후막층 F의 굴절률이  $n=1.4 \sim 2.4$ , 두께  $df=1000, 3000, 5000\text{nm}$ 의 경우의 평균값과 오차를 계산하였다. 표 5에 나타낸 파라미터를 이용하는 것에 의해 얻어진 계산 결과를 표 6~표 8에 나타낸다.

표 5

	청 (B)	녹 (G)	적 (R)
Xqmin [nm]	60	55	60
Xqmax [nm]	80	75	80
θ [°]	0		
dc [nm]	100		
Xp [nm]	35 - 45		
df [nm]	1000, 3000, 5000		
nf	1.4 - 2.4		
da [nm]	50		

[0190]

표 6

[청]

굴절률	CIE_X 논리값: 0.14049			CIE_Y 논리값: 0.17856			휘도 논리값: 108.413		
	두께 [nm]			두께 [nm]			두께 [nm]		
	1000	3000	5000	1000	3000	5000	1000	3000	5000
1.4	0.13099	0.14001	0.13986	0.21696	0.17022	0.17062	88.439	94.258	94.423
	0.59813%	0.83216%	0.80677%	1.43863%	2.66540%	2.54758%	10.44340%	8.62043%	8.52155%
1.6	0.13640	0.14018	0.14015	0.19300	0.17522	0.17551	94.307	98.208	98.476
	1.26283%	0.64508%	0.65595%	5.63006%	1.56401%	1.79412%	4.50423%	6.15209%	6.17120%
1.8	0.13796	0.14078	0.14040	0.18078	0.17893	0.18171	104.031	101.630	101.574
	1.40600%	0.54699%	0.06623%	5.59574%	1.26781%	1.56858%	2.49628%	4.24337%	4.30465%
2.0	0.14012	0.14110	0.14112	0.17383	0.18326	0.18496	108.351	104.360	104.212
	1.39365%	0.39792%	0.42479%	4.18775%	0.83712%	3.20203%	2.75068%	2.58866%	2.74723%
2.2	0.14190	0.14147	0.14100	0.17173	0.18603	0.18411	107.816	107.182	108.412
	1.15155%	0.44742%	0.35630%	1.90932%	0.57174%	1.33476%	2.50298%	3.56156%	2.51842%
2.4	0.14381	0.14169	0.14021	0.17687	0.18895	0.19282	107.792	109.739	112.021
	0.65973%	0.51902%	1.31477%	1.40865%	1.01768%	1.29422%	4.38284%	4.73403%	6.95396%

[0191]

표 7

[녹]

굴절률	CIE_X 논리값: 0.37720			CIE_Y 논리값: 0.59918			휘도 논리값: 424.765		
	두께 [nm]			두께 [nm]			두께 [nm]		
	1000	3000	5000	1000	3000	5000	1000	3000	5000
1.4	0.44748	0.37346	0.37438	0.53204	0.60221	0.60115	319.026	319.026	357.611
	1.82360%	1.01625%	1.26383%	1.35807%	0.26822%	0.36249%	4.63972%	4.63972%	4.67836%
1.6	0.35198	0.37763	0.37635	0.63307	0.59835	0.59969	427.292	427.292	380.464
	4.85796%	0.89651%	0.92578%	1.74168%	0.26466%	0.26633%	2.63259%	2.63259%	3.17546%
1.8	0.34982	0.37758	0.37754	0.62778	0.59908	0.59896	434.230	434.230	401.476
	1.94924%	0.74022%	0.65656%	0.87932%	0.21864%	0.19032%	4.27442%	4.27442%	2.00810%
2.0	0.38659	0.37821	0.37868	0.58534	0.59843	0.59813	406.331	406.331	419.633
	2.14950%	0.43333%	0.44728%	0.87783%	0.12418%	0.12957%	3.81200%	3.81200%	1.14063%
2.2	0.38873	0.37985	0.37991	0.58586	0.59725	0.59703	411.567	411.567	436.075
	0.48773%	0.63708%	0.60997%	0.26098%	0.19080%	0.18634%	2.26550%	2.26550%	2.10856%
2.4	0.38446	0.38078	0.38136	0.59495	0.59665	0.59537	449.022	449.022	448.737
	1.34315%	0.78413%	1.06608%	0.55220%	0.24163%	0.29968%	4.67652%	4.67652%	3.39995%

[0192]

표 8

[적]

굴절률	CIE_X 논리값: 0.67627			CIE_Y 논리값: 0.32349			휘도 논리값: 105.604		
	두께 [nm]			두께 [nm]			두께 [nm]		
	1000	3000	5000	1000	3000	5000	1000	3000	5000
1.4	0.61971	0.67465	0.67634	0.37979	0.32509	0.32344	57.092	85.975	87.422
	0.40644%	0.10409%	0.09497%	0.65825%	0.21463%	0.19653%	18.47661%	0.76080%	0.61061%
1.6	0.70016	0.67590	0.67637	0.29970	0.32385	0.32338	86.788	93.481	94.224
	0.48686%	0.07675%	0.06495%	1.13068%	0.15894%	0.13318%	12.60823%	0.35478%	0.37401%
1.8	0.67835	0.67635	0.67634	0.32142	0.32342	0.32341	127.268	99.956	100.149
	0.95012%	0.04232%	0.03875%	1.99548%	0.08776%	0.08120%	2.70559%	0.16830%	0.18575%
2.0	0.65152	0.67642	0.67636	0.34811	0.32334	0.32341	85.489	105.536	105.438
	0.39881%	0.02671%	0.02539%	0.74233%	0.05494%	0.05166%	5.17028%	0.15263%	0.13909%
2.2	0.68990	0.67642	0.67632	0.30994	0.32334	0.32345	111.882	110.448	110.393
	0.27373%	0.04979%	0.04886%	0.60598%	0.10237%	0.10181%	5.33308%	0.24299%	0.22546%
2.4	0.67626	0.67642	0.67640	0.32351	0.32334	0.32336	125.847	114.879	114.992
	0.64345%	0.06834%	0.07191%	1.33660%	0.14052%	0.14985%	2.04373%	0.32465%	0.40670%

[0193]

모든 색에 있어서, 두께 df가 1000nm로 설정된 경우보다, 두께 df가 3000nm, 5000nm로 설정되면, 평균값의 이상값으로부터의 괴리가 작다. 또, 굴절률 n이 1.8~2.2의 범위내이고, 평균값의 이상값으로부터의 괴리가 굴절률 2.0에 대해 가장 적었다. 이 경우, 굴절률 n=1.8~2.2는 투명 전극 재료로서 ITO의 굴절률(1.9~2.1)과 대략 동일하다. 후막층 F의 굴절률이 투명 애노드 전극(1)을 형성하는 ITO와 동일하면, 투명 애노드 전극(1)(ITO)과 후막층 F의 사이의 반사와 굴절의 효과는 무시할 수 있다. 도 16에 나타낸 광로 R11~R13의 간섭 효과는 없어지며, 막두께 변화시의 시프트가 최소로 된다고 추측된다.

[0194]

표 6~표 8에 나타낸 계산 결과에 따라, 후막층 F는 굴절률 n이 대략 2.0, 막두께 df가 3000nm 이상을 필요로 하고, 또한 상기 막은 광투과 특성을 갖고 있을 필요가 있기 때문에, 투명도가 높은 막이 바람직하다. 그러나, 실제로 이 조건을 만족시키는 후막층을 형성하는 것은 매우 곤란하다.

[0195]

즉, 통상의 박막 트랜지스터(TFT) 제조 프로세스에서 이용되고 또한 굴절률이 대략 2.0인 투명한 막의 예는 ITO 막과 등의 투명한 산화 금속막과 질화 실리콘막이 있다. 이를 막을 이용하는 후막 형성에 진공 프로세스 예를 들면 PECVD(Plasma Enhanced Chemical Vapor Deposition)법 또는 스퍼터법이 불가결하다. 상기의 프로세스를 이용하는 것에 의해 1000nm 이상의 두께를 갖는 후막이 형성되면, 스루풋이 저하되거나 또는 막응력에 기인하여 막에 균열이 생긴다.

[0197]

한편, 후막층 F로서, 아크릴계 수지, 에폭시계 수지, 또는 폴리이미드계 수지막 등의 열강화성을 갖는 유기막을 이용하면, 스판 코트법 등의 도포방식을 이용할 수 있다. 이 프로세스는 ITO 또는 SiN막 등의 무기막을 이용하는 프로세스보다 1000nm 이상의 두께의 후막을 형성하는데 훨씬 용이하다. 그러나, 이를 유기막의 굴절률 n은 대략 1.6이므로, 막두께에 의한 스펙트럼 시프트의 억제 효과를 최대화할 수 없다.

[0198]

톱 에미션 방식에 의거한 발광 구조를 갖는 유기 EL 소자에 있어서 상술한 후막층 F를 형성하는 경우, ITO와 SiN막 등의 무기막은 상술한 프로세스상의 문제로부터 사용하는 것이 곤란하다.

[0199]

상기의 설명에 의거하여, 후막층 F로서 굴절률 n=대략 1.6의 유기막을 이용한 두께 df에 의한 시프트 억제 효과의 유효성의 변화를 계산하는 것에 의해 스펙트럼 시프트 억제 효과를 최대화할 수 있는 막두께가 얻어졌다.

[0200]

도 21의 (a), (b), (c)는 본 실시형태에 관한 간섭 계산 모델(녹(G))에 있어서의 후막층의 두께, 색도 CIE(x, y)의 x좌표, 색도 CIE(x,y)의 y좌표와 휘도 사이의 관계의 계산 결과를 나타내는 그래프이다.

[0201]

도 22의 (a), (b), (c)는 본 실시형태에 관한 간섭 계산 모델(청(B))에 있어서의 후막층의 두께, 색도 CIE(x, y)의 x좌표, 색도 CIE(x,y)의 y좌표와 휘도 사이의 관계의 계산 결과를 나타내는 그래프이다.

[0202]

도 23의 (a), (b), (c)는 본 실시형태에 관한 간섭 계산 모델(적(R))에 있어서의 후막층의 두께, 색도 CIE(x, y)의 x좌표, 색도 CIE(x,y)의 y좌표와 휘도 사이의 관계의 계산 결과를 나타내는 그래프이다.

[0203]

이 경우, RGB 각 색에 대해, 표 9에 나타낸 파라미터를 이용하여 계산된 색도(x,y), 휘도의 평균값, 및 오차를 후막층 F의 막두께 df에 대해 플롯하였다.

표 9

	청 (B)	녹 (G)	적 (R)
Xqmin [nm]	60	55	60
Xqmax [nm]	80	75	80
$\theta [^\circ]$	0		
dc [nm]		100	
Xp [nm]		35 - 45	
df [nm]		1000 - 7000	
nf	ITO의 nf와 동일		
da [nm]	50		

[0204]

도 21의 (a), (b), (c), 도 22의 (a), (b), (c), 도 23의 (a), (b), (c)에 관해, 후막층 F의 두께 df가 0, 즉 후막층 F가 사용되지 않고, 녹(G)과 청(B)의 색도(x,y)와 휘도의 오차가 크고, 또 평균값도 이상값으로부터 시프트되어 있다. 또, 두께 df가 증가함에 따라, 오차는 감소한다. df=2000nm이상이면, 평균값도 이상값에 수렴된다. 적(R)의 경우도 마찬가지로, 두께 df=2000nm이상이면, 유사한 경향을 나타낸다. 즉, RGB의 전체 색에 대해 후막층 F의 막두께 df가 2000nm이상으로 설정되면, EL 발광층(2)의 막두께에 기인하는 시프트를 충분히 억제할 수 있는 것이 판명되었다. 또, 후막층 F의 두께 df를 7000nm 이상으로 설정해도, 오차가 크게 감소하지 않는다. 또한, 프로세스상에서 막(후막층)의 패터닝이 곤란하게 된다. 이 이유에 의해, 본 실시형태에 적용 가능한 후막층 F의 두께 df는 2000nm~7000nm의 범위인 것이 바람직하다. 또, 후막층 F가 삽입된 경우의 시각에 의한 색도와 휘도의 변화가 겸증되면, 표 10에 나타내는 바와 같이, 후막층 F가 삽입되지 않는 경우에 비해 시각에 의한 색도와 휘도의 시프트가 억제되고 있는 것이 판명되었다.

표 10

	시각 $\Theta [^\circ]$	0	15	30	45	60	75	90
후막층 없음	색도 CIE_X	0.538605	0.541221	0.54819	0.5575402	0.566915	0.5737819	0.576274
	색도 CIE_Y	0.451528	0.448517	0.440484	0.4296739	0.418741	0.4106141	0.407629
	휘도	290	305.5681	350.6611	416.01895	482.4947	528.18528	543.4382
후막층 2,000 nm 굴절률 1.6	색도 CIE_X	0.596096	0.599611	0.608206	0.5943508	0.606125	0.6034725	0.597136
	색도 CIE_Y	0.379713	0.376868	0.367953	0.3802122	0.370876	0.3710584	0.376923
	휘도	384.2308	387.9807	392.0542	361.16495	369.178	351.06147	339.4033

[0206]

이 실시형태에 있어서, 톱 에미션 구조에 의거하는 발광 구조를 갖는 유기 EL 소자를 갖는 표시 화소가 설치된 표시 패널은, 유기 EL 소자를 구성하는 화소 전극(투명 애노드 전극)과 플랫 반사층(반사 메탈)의 사이에, 화소 전극과 대략 동등(대략 1.6)한 굴절률, 두께가 2000nm이상이며, 광투과 특성을 갖는 광방사 제어 절연막(15)(후막층)을 개재시키는 것에 의해 간접의 피크를 광범위에 걸쳐 다수 생성할 수 있다. 이것에 의해, 유기 EL층(EL 발광층)의 두께에 기인하는 발광 강도와 색도의 편차를 대폭 억제할 수 있는 동시에, 시야각 의존성을 저감할 수 있으며, 화상의 떨림 등이 없는 시인성이 우수한 표시장치를 실현할 수 있다.

[0208]

또한, 본 실시형태의 특징인 후막층 F의 두께 df와 스펙트럼 시프트 억제 효과의 관계에 관한 상기 작용/효과의 겸증은 도 21의 (a), (b), (c), 도 22의 (a), (b), (c), 도 23의 (a), (b), (c)에 나타낸 계산 결과에 의거하여 나타내고, RGB의 모든 색에 대해 후막층 F의 막두께 df를 2000nm이상으로 설정하면, EL 발광층(2)의 두께에 기인하는 시프트를 충분히 억제할 수 있다. 더욱 구체적으로는 RGB의 각 색(발광색)마다 다른 특성(계산 결과)이 관측되기 때문에, 후막층 F의 두께 df를 각 색의 발광소자(유기 EL 소자)마다 적절히 다르도록 설정할 수 있다. 이것에 의해, 후막층 F의 두께 df를 2000nm 이상의 동일한 두께(균일한 두께)로 설정한 경우에 비해, 각 색의 특성에 관한 적절한 스펙트럼 시프트 억제 효과를 얻을 수 있다.

[0209]

&lt;제 2 실시형태&gt;

- [0210] (표시 화소의 디바이스 구조)
- [0211] 다음에, 본 발명에 관한 표시장치 및 그 제조방법의 제 2 실시형태에 대해 설명한다.
- [0212] 도 24는 제 2 실시형태에 관한 표시장치의 패널 구조를 나타내는 개략 단면도이다. 여기서, 상기 제 1 실시형태와 동일한 구성에 대해서는 그 설명을 생략하거나 간략화한다.
- [0213] 상술한 제 1 실시형태(도 4의 (a), (b) 참조)는 유기 EL 소자 OLED의 화소 전극(16)의 아래에 설치된 플랫 반사층(14)이, 보호 절연막(13)과 광방사 제어 절연막(15)의 사이에 전기적으로 독립해서 형성된 패널 구조를 갖고 있다. 제 2 실시형태는 해당 플랫 반사층(14)이 화소 전극(16)과 트랜지스터 Tr12의 소스 전극 Tr12s(또는 캐패시터 Cs의 다른쪽측 위의 상부전극 Ecb)에 전기적으로 접속된 패널 구조를 갖고 있다.
- [0214] 구체적으로는 본 실시형태에 관한 표시 패널에 있어서 도 24에 나타내는 바와 같이, 절연성 기판(11)의 일면측에 형성된 각 화소 구동 회로 DC의 각각의 회로소자(트랜지스터 Tr11, Tr12, 캐패시터 Cs 등)와 배선층(데이터 라인 Ld, 선택 라인 Ls, 전원 전압 라인 Lv 등)을 덮도록 형성된 보호 절연막(13)상에 설치된 플랫 반사층(14)이, 화소 형성 영역 Rpx(유기 EL 소자 OLED의 형성 영역)에 대응하는 평면 형상을 갖고, 해당 보호 절연막(13)에 설치된 컨택트홀 CH14를 거쳐서 트랜지스터 Tr12의 소스 전극 Tr12s(캐패시터 Cs의 다른쪽측상의 하부전극 Eca)에 전기적으로 접속된다.
- [0215] 또, 플랫 반사층(14)상을 덮는 광방사 제어 절연막(15)상에 설치된 화소 전극(16)은 상기 플랫 반사층(14)에 대응하는 영역으로 연장되고, 해당 광방사 제어 절연막(15)에 설치된 컨택트홀 CH14내에 상기 플랫 반사층(14)을 거쳐서 트랜지스터 Tr12의 소스 전극 Tr12s와 전기적으로 접속되어 있다. 즉, 트랜지스터 Tr12의 소스 전극 Tr12s(캐패시터 Cs의 다른쪽측의 하부전극 Eca), 플랫 반사층(14), 및 화소 전극(16)은 표시 화소 PIX의 표시 구동 동작에 대해 항상 동일한 전위를 유지한다.
- [0216] 따라서, 본 실시형태에 관한 표시장치는 상술한 제 1 실시형태의 작용 및 효과에 부가하여 다음의 효과를 갖는다. 트랜지스터 Tr12의 소스 전극 Tr12s(캐패시터 Cs의 다른쪽측의 하부전극 Eca), 반사층(14), 및 화소 전극(16)은 동일한 전위로 설정하므로, 보호 절연막(13)을 통해 서로 대향하는 플랫 반사층(14)과 트랜지스터 Tr12의 소스 전극 Tr12s의 사이, 및 광방사 제어 절연막(15)을 통해 서로 대향하는 플랫 반사층(14)과 화소 전극(16)의 사이에 정전 용량이 형성되지 않는다. 이것은 표시 화소 PIX의 표시 구동시에 라이트 동작의 지연과 계조 신호의 전압 변동을 억제할 수 있고, 표시 화소 PIX를 표시 데이터에 대응하는 더욱 적절한 휘도 계조로 발광 동작시킬 수 있다.
- [0217] <표시장치의 제조방법>
- [0218] 다음에, 상술한 표시장치(표시 패널)의 제조방법에 대해 설명한다.
- [0219] 도 25의 (a), (b), (c), (d)는 본 실시형태에 관한 표시장치(표시 패널)의 제조방법의 예를 나타내는 단면도이다. 여기서, 상기 제 1 실시형태에 관한 제조방법과 동등한 공정에 대해서는 그 설명을 간략화한다. 또, 화소 구동 회로의 각 회로소자와 배선층에 동시에 형성되는 선택 라인 Ls와 전원 전압 라인 Lv의 각 단자 패드 PLs와 PLv는 상술한 제 1 실시형태와 동일하므로, 그 설명을 생략한다.
- [0220] 본 실시형태에 관한 표시장치의 제조방법은 상기 제 1 실시형태에 관한 제조방법으로서, 도 6의 (a)에 나타낸 바와 같이, 우선, 절연성 기판(11)의 일면측에 화소 구동 회로 DC의 트랜지스터 Tr11, Tr12와 캐패시터 Cs, 데이터 라인 Ld, 선택 라인 Ls 및 전원 전압 라인 Lv 등의 배선층을 형성한 후, 도 25의 (a)에 나타내는 바와 같이, 보호 절연막(평탄화막)(13)이 결과물 구조를 덮도록 형성하고, 적어도 트랜지스터 Tr12의 소스 전극 Tr12s(캐패시터 Cs의 다른 측의 상부전극 Ecb)가 노출하도록 컨택트홀(제 1 개구부) CH14a를 형성한다.
- [0221] 다음에, 상기 컨택트홀 CH14a를 포함하는 보호 절연막(13)상에 스퍼터링법 등을 이용하여 형성된 광반사 특성을 갖는 금속 박막을 패터닝하여, 도 25의 (b)에 나타내는 바와 같이, 각 화소 형성 영역 Rpx(유기 EL 소자 OLED의 형성 영역)에 대응하는 평면 형상을 갖고, 컨택트홀 CH14a내에 트랜지스터 Tr12의 소스 전극 Tr12s와 전기적으로 접속된 플랫 반사층(14)을 형성한다.
- [0222] 도 25의 (c)에 나타내는 바와 같이, 상기 플랫 반사층(14)을 포함하는 절연성 기판(11)의 일면측의 전역을 덮도록, 예를 들면 2000nm이상의 두께를 갖는 광방사 제어 절연막(15)를 형성한 후, 해당 광방사 제어 절연막(15)을 에칭하여, 상기 컨택트홀 CH14a가 형성된 영역에 플랫 반사층(14)의 상면이 노출된 컨택트홀(제 2 개구부) CH14b를 형성한다.

- [0223] 계속해서, 상기 컨택트홀 CH14b를 포함하는 절연성 기판(11)의 일면측의 전역에, ITO로 이루어지는 도전성 산화 금속층을 박막 형성한 후, 해당 도전성 산화 금속층을 패터닝하여, 도 25의 (d)에 나타내는 바와 같이, 컨택트 홀 CH14b내에 상기 플랫 반사층(14)과 전기적으로 접속되고 또한 화소 형성 영역 Rpx에 대응하는 영역(즉, 상기 플랫 반사층(14)에 대응하는 영역)의 광방사 제어 절연막(15)상으로 연장하는 광투과 특성을 갖는 화소 전극(16)을 형성한다.
- [0224] 그 후, 도 7의 (b), (c)에 나타낸 바와 같이, 인접하는 표시 화소 PIX간의 경계 영역(화소 전극(16)간의 영역)을 덮고, 각 화소 전극(16)의 상면이 노출된 개구부를 갖는 하지 절연막(17)을 형성한다. 또한, 해당 하지 절연막(17)상에 연속적으로 돌출된 뱅크(18)를 형성한다. 이 처리에 의해, 각 표시 화소 PIX의 화소 형성 영역 Rpx(각 유기 EL 소자 OLED의 유기 EL층(19)의 형성 영역)가 규정된다.
- [0225] 다음에, 도 8의 (a), (b)에 나타낸 바와 같이, 각 화소 형성 영역 Rpx의 화소 전극(16)상에, 정공 수송층(19a)과 전자 수송성 발광층(19b)을 순차 적층하는 것에 의해 유기 EL층(19)을 형성한다. 또한, 적어도 각 표시 화소 PIX의 화소 전극(16)에 대향하도록 공통의 대향 전극(20)을 형성하는 것에 의해, 각 표시 화소 PIX(화소 형성 영역 Rpx)의 유기 EL 소자 OLED가 완성된다. 그리고, 절연성 기판(11)의 일면측의 전역에 보호 절연막으로서 기능하는 밀봉층(21)을 형성하여, 도 24에 나타낸 바와 같은 단면 구조를 갖는 표시 패널(10)이 완성된다.
- [0226] 상술한 바와 같이, 본 실시형태에 관한 표시장치의 제조방법에 있어서, 각 화소 구동 회로의 각 회로소자와 배선층이 형성된 절연성 기판상에 보호 절연막(13)이 형성된 플랫 반사층을 형성하는 경우, 해당 보호 절연막(13)에 설치된 컨택트홀 CH14a를 거쳐서 트랜지스터 Tr12의 소스 전극 Tr12s에 접속되고, 해당 컨택트홀 CH14를 덮도록, 플랫 반사층(14)을 형성한다. 따라서, 반사 금속층을 패터닝하는 것에 의해 플랫 반사층을 형성하고, 광방사 제어 절연막(15)을 패터닝하는 것에 의해 컨택트홀 CH14b를 형성하는 경우, 트랜지스터 Tr12의 소스 전극 Tr12s에의 데미지(부식액에 의한 소스 메탈의 용해)를 경감할 수 있어 소스 전극 Tr12s와 화소 전극(16)을 적절한 접속 상태로 서로 전기적으로 접속할 수 있다.
- [0227] 또한, 상술한 각 실시형태에 있어서는 각 표시 화소 PIX의 화소 형성 영역 Rpx를 규정하도록, 기판의 표면으로부터 연속적으로 돌출되고 수지 재료로 이루어지는 되는 뱅크를 형성하는 경우에 대해 설명했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 적어도 뱅크의 표면을 도전성의 박막에 의해 형성하고, 표시 화소 PIX에 공통으로 형성된 대향 전극(20)을 해당 뱅크에 전기적으로 접속한다. 그 결과물 구조는 기준 전압 Vcom을 인가하는 공통 전압 라인(예를 들면, 캐소드 라인)으로서 이용될 수 있다.
- [0228] 또, 상술한 각 실시형태는 표시 패널(10)의 표시 화소 PIX(각 색화소 PXr, PXg, PXb)에 설치되는 화소 구동 회로 DC로서 도 2에 나타낸 바와 같이, 2개의 n채널형 트랜지스터(즉, 단일의 채널극성을 갖는 박막 트랜지스터) Tr11, Tr12를 이용하는 회로 배열을 예시하였다. 그러나, 본 발명에 관한 표시장치는 이것에 한정되는 것은 아니다. 이 장치는 3개 이상의 트랜지스터를 이용하는 다른 회로 배열을 이용할 수 있거나, 또는 p채널형 트랜지스터만을 이용하거나, 또는 양 채널 극성 예를 들면 n 및 p채널형을 갖는 트랜지스터를 이용할 수 있다.
- [0229] 또한, 본 실시형태에 나타낸 바와 같이, n채널형 트랜지스터만을 이용한 경우, 이미 제조 기술이 확립된 아몰퍼스 실리콘 반도체 제조 기술을 이용하는 것에 의해, 동작 특성이 안정된 트랜지스터를 용이하게 제조할 수 있다. 또한, 상기 표시 화소의 발광 특성의 불균형을 억제한 화소 구동 회로를 실현할 수 있다.
- [0230] 또, 상술한 각 실시형태는 각 표시 화소에 대해, 표시 데이터에 대응하는 전압을 갖는 계조 신호(계조 전압)를 공급하는 것에 의해, 유기 EL 소자 OLED의 휘도 레벨을 설정하는 전압 지정(전압 계조 제어)형의 화소 구동 회로를 이용한 경우에 대해 예시하였다. 그러나, 본 발명에 관한 표시장치는 이것에 한정되는 것은 아니다. 표시 데이터에 대응하는 계조 전류를 공급하는 것에 의해 유기 EL 소자 OLED의 휘도 레벨을 설정하는 전류 지정(전류 계조 제어)형의 표시 구동 회로를 각 표시화소에 적용할 수 있다.
- [0231] 또한, 상술한 각 실시형태는 발광 기능층으로서 기능하는 유기 EL층(19)에 있어서 정공 수송층(19a) 및 전자 수송성 발광층(19b)을 적층 형성한 디바이스 구조에 대해 예시하였다. 그러나 본 발명은 이것에 한정되는 것은 아니다. 각 실시형태는 정공 수송성 발광층 및 전자 수송층을 포함하는 디바이스 구조, 정공 수송층과 전자 수송성 발광층으로서 기능하는 단층만을 구비하는 디바이스 구조, 정공 수송층, 발광층, 전자 수송층을 구비하는 3층 구조를 갖는 디바이스 구조, 또는 인터 레이어 등의 다른 개재층을 구비하는 적층 구조를 갖는 디바이스 구조를 이용할 수 있다.
- [0232] 추가적인 이점 및 변형은 이를 숙련된 기술에서 간단히 발생한다. 따라서, 본 발명의 더 넓은 양태는 여기에 나타내고 기술한 특정의 상세한 설명 및 실시형태에 한정되는 것은 아니다. 즉, 각종 변형은 첨부하는 청구의 범

위와 그들과 동등한 것에 의해 규정된 일반적인 발명 개념의 정신 또는 범위를 이탈하지 않고 이루어질 수 있다.

### 산업상 이용 가능성

- [0233] 본 발명에 관한 표시장치 및 그 제조방법에 따르면, 색도차와 발광 휘도(발광 강도)의 편차를 억제하는 것에 의해 화상의 떨림 등이 없는 우수한 표시 특성을 실현할 수 있다.
- 도면의 간단한 설명**
- [0027] 도 1은 본 발명에 관한 표시장치에 적용되는 표시 패널의 화소 배열 상태의 예를 나타내는 개략 평면도.
- [0028] 도 2는 본 발명에 관한 표시장치의 표시 패널에 2차원 배열되는 각 표시 화소(발광소자 및 화소 구동 회로)의 회로 구성예를 나타내는 등가 회로도.
- [0029] 도 3은 제 1 실시형태에 관한 표시장치(표시 패널)에 적용 가능한 표시 화소의 예를 나타내는 평면 레이아웃도.
- [0030] 도 4의 (a), (b)는 각각 제 1 실시형태에 관한 평면 레이아웃을 갖는 표시 화소의 A-A단면을 나타내는 개략 단면도.
- [0031] 도 5는 제 1 실시형태에 관한 평면 레이아웃을 갖는 표시 화소의 B-B단면을 나타내는 개략 단면도.
- [0032] 도 6의 (a), (b), (c), (d)는 제 1 실시형태에 관한 표시장치(표시 패널)의 제조방법의 예를 나타내는 단면도(그 1).
- [0033] 도 7의 (a), (b), (c)는 제 1 실시형태에 관한 표시장치(표시 패널)의 제조방법의 예를 나타내는 단면도(그 2).
- [0034] 도 8의 (a), (b)는 제 1 실시형태에 관한 표시장치(표시 패널)의 제조방법의 예를 나타내는 단면도(그 3).
- [0035] 도 9는 제 1 실시형태의 비교 대상으로서 유기 EL 소자의 디바이스 구조의 간접 계산 모델을 나타내는 모식도.
- [0036] 도 10의 (a), (b)는 각각 비교 대상에 관한 간접 계산 모델에서 상정되는 방사광의 광로를 나타내는 개략도, 및 간접 계산 모델에 있어서의 입사광, 반사광, 투과광의 진폭의 정의 방향의 정의를 나타내는 개념도.
- [0037] 도 11은 비교 대상에 관한 간접 계산 모델에 있어서의 계산에 이용된 매질의 각 파장에 대한 굴절률을 나타내는 표(그 1).
- [0038] 도 12는 비교 대상에 관한 간접 계산 모델에 있어서의 계산에 이용된 매질의 각 파장에 대한 굴절률을 나타내는 표(그 2).
- [0039] 도 13은 비교 대상에 관한 간접 계산 모델에 있어서의 분광 강도(간접 효과)의 계산예를 나타내는 그래프.
- [0040] 도 14는 비교 대상에 관한 간접 계산 모델에 있어서의 방사 휘도의 계산예를 나타내는 그래프.
- [0041] 도 15는 제 1 실시형태에 관한 유기 EL 소자의 디바이스 구조의 간접 계산 모델을 나타내는 모식도.
- [0042] 도 16은 제 1 실시형태에 관한 간접 계산 모델에서 상정되는 방사광의 광로를 나타내는 개략도.
- [0043] 도 17은 제 1 실시형태에 관한 간접 계산 모델에 있어서의 분광 강도(간접 효과)의 계산예를 나타내는 그래프.
- [0044] 도 18은 제 1 실시형태에 관한 간접 계산 모델에 있어서의 방사 휘도의 계산예를 나타내는 그래프.
- [0045] 도 19는 제 1 실시형태에 관한 간접 계산 모델에 있어서의 방사 휘도의 피크 시프트의 예를 나타내는 그래프.
- [0046] 도 20은 제 1 실시형태에 관한 간접 계산 모델에 의거하여 시작된 발광소자로부터 광의 스펙트럼의 변화를 나타내는 그래프.
- [0047] 도 21의 (a), (b), (c)는 제 1 실시형태에 관한 간접 계산 모델(녹(G))에 있어서의 후막층의 두께와 색도 및 휘도와의 관계의 계산 결과를 나타내는 그래프.
- [0048] 도 22의 (a), (b), (c)는 제 1 실시형태에 관한 간접 계산 모델(청(B))에 있어서의 후막층의 두께와 색도 및 휘도와의 관계의 계산 결과를 나타내는 그래프.
- [0049] 도 23의 (a), (b), (c)는 제 1 실시형태에 관한 간접 계산 모델(적(R))에 있어서의 후막층의 막두께와 색도 및 휘도와의 관계의 계산 결과를 나타내는 그래프.

[0050]

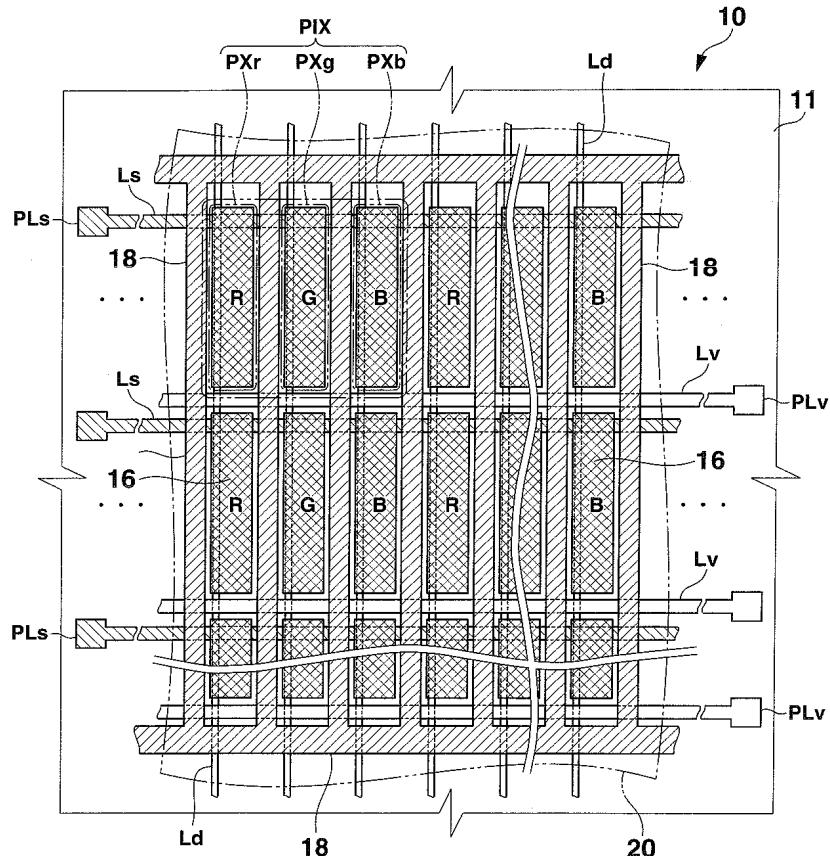
도 24는 제 2 실시형태에 관한 표시장치에 있어서의 패널 구조를 나타내는 개략 단면도.

[0051]

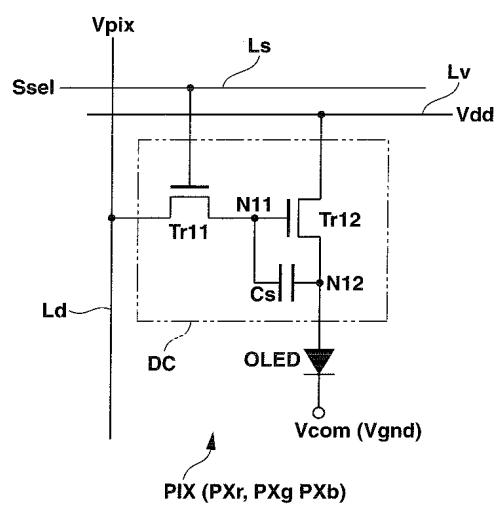
도 25의 (a), (b), (c), (d)는 제 2 실시형태에 관한 표시장치(표시 패널)의 제조방법의 예를 나타내는 단면도.

## 도면

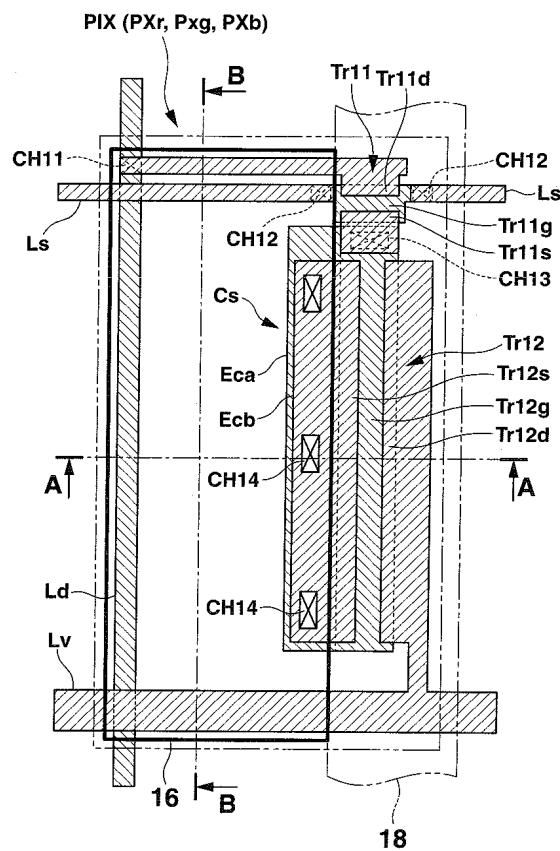
### 도면1



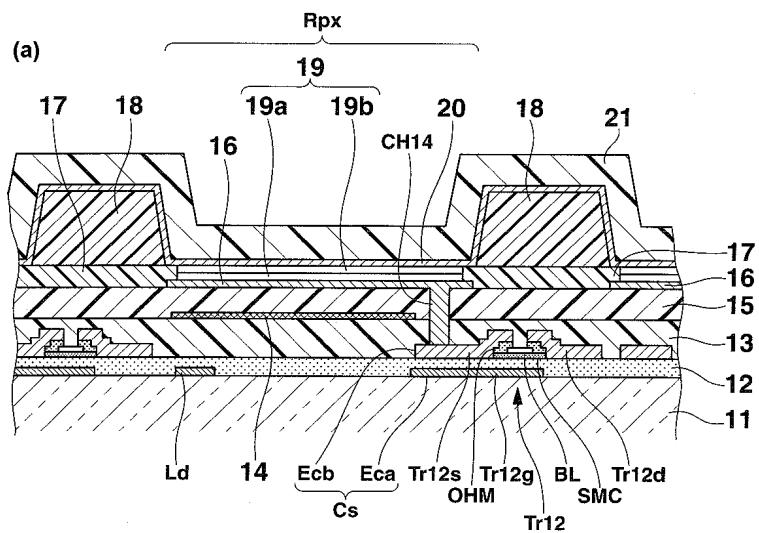
### 도면2



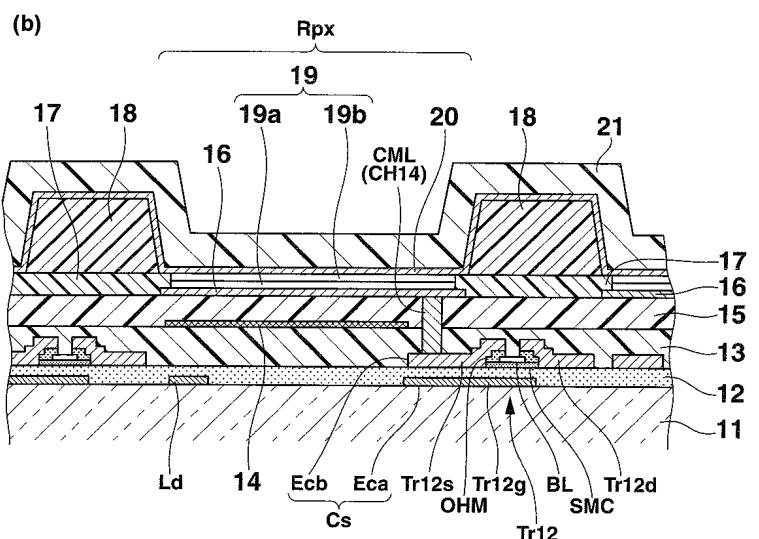
## 도면3



## 도면4

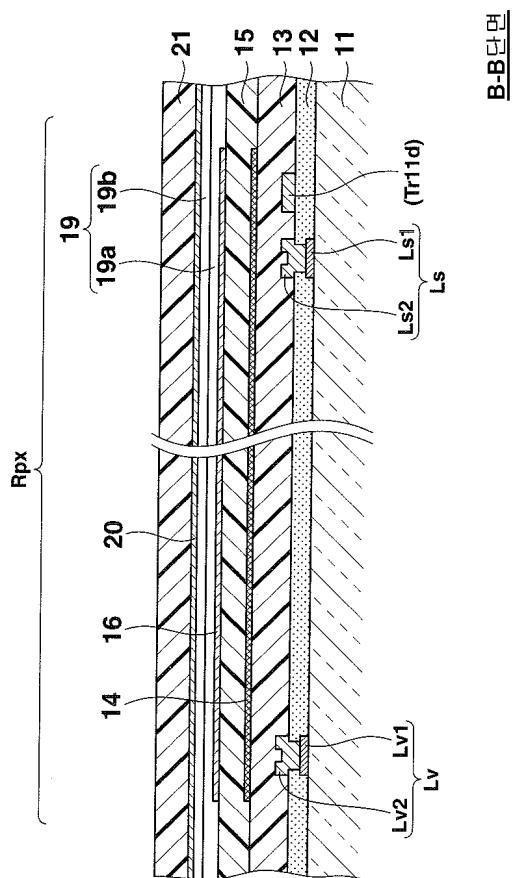


A-A 단면

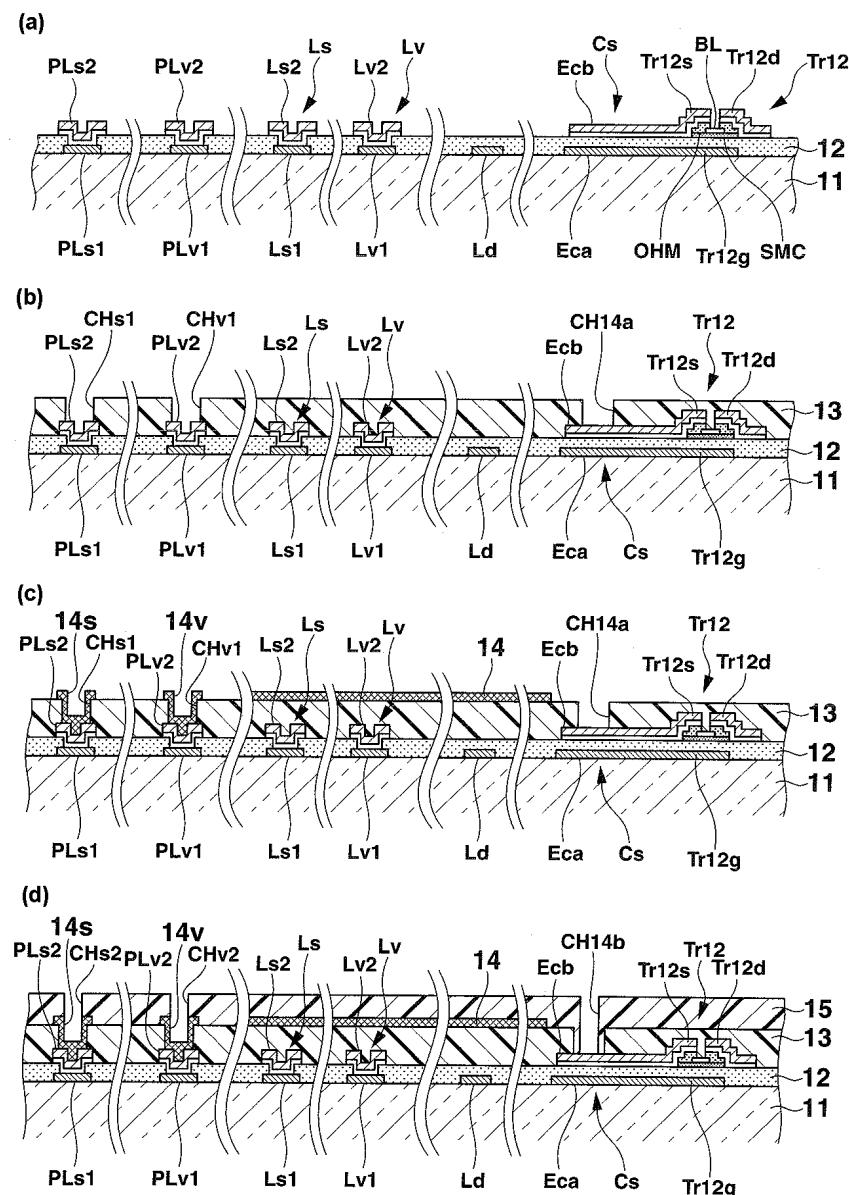


A-A 단면

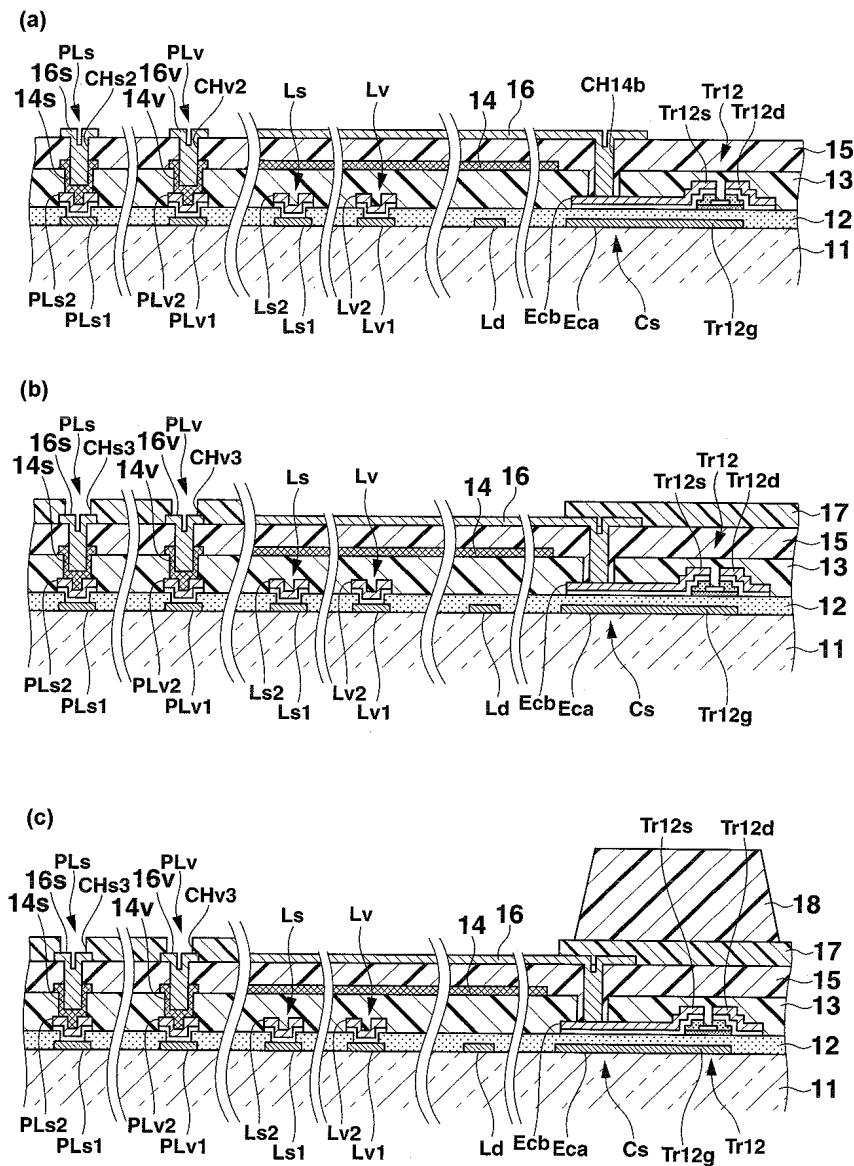
도면5



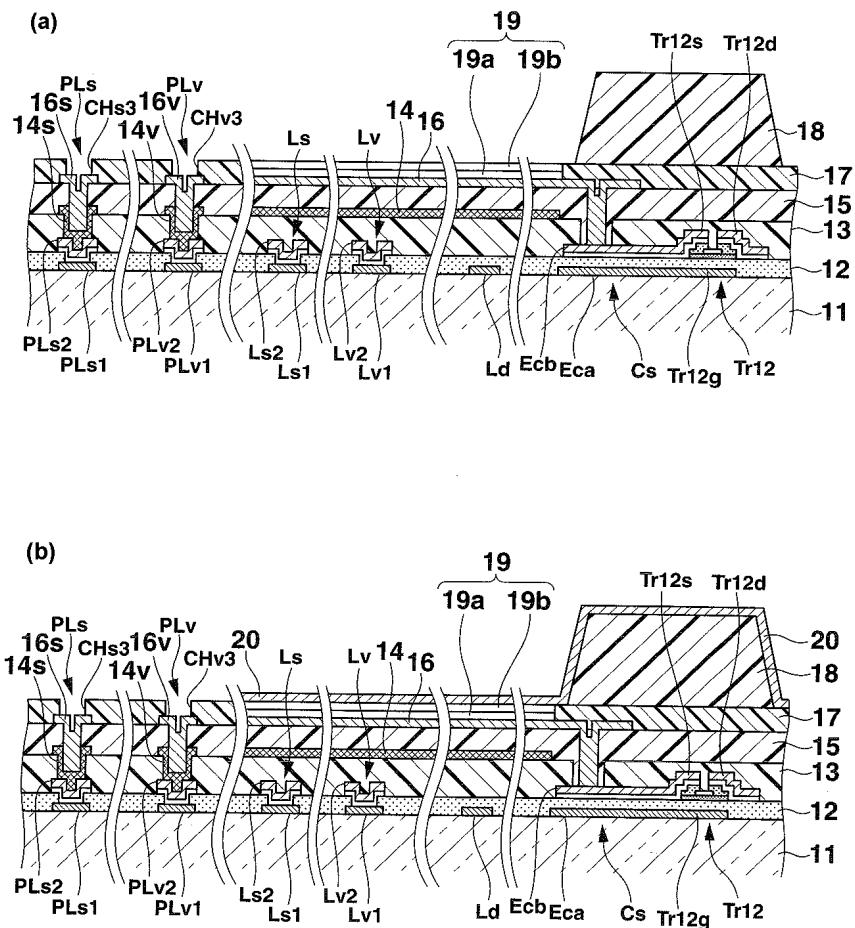
도면6



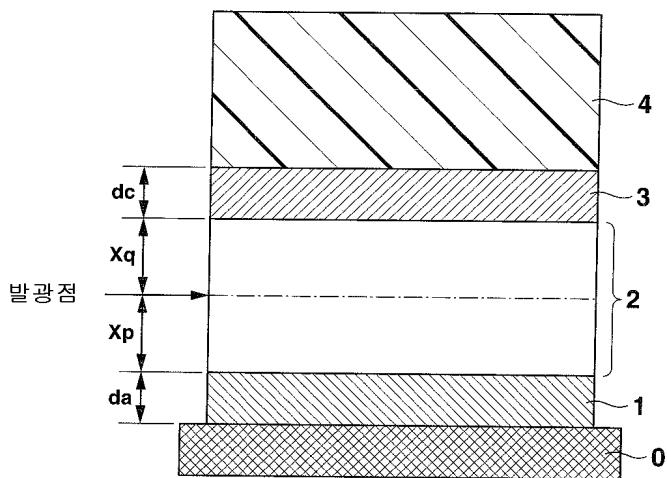
## 도면7



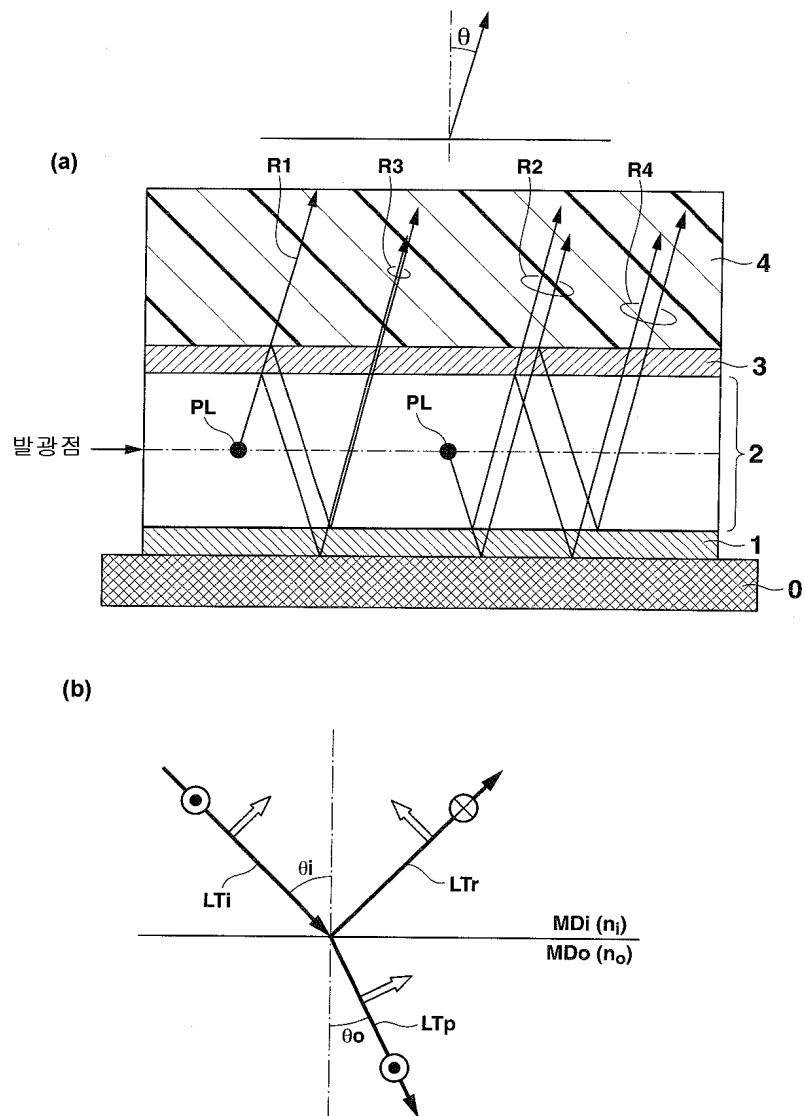
## 도면8



## 도면9



도면10



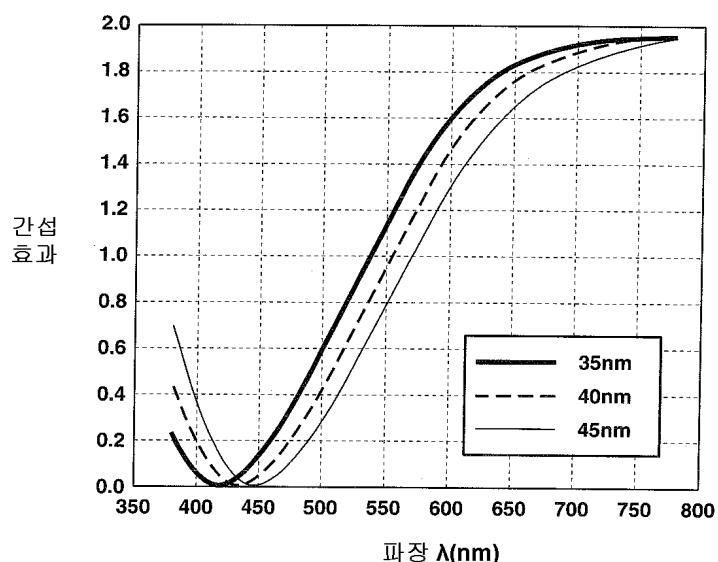
## 도면11

파장(nm)	굴절률					
	절연막(SiN)	두명 애노드, 투명 케소드(ITO)		EL 발광층	반사매탈(Ag)	
		n	k		n	k
380	1.92	2.10	0.00	1.84	0.02	2.47
385	1.92	2.10	0.00	1.82	0.02	2.50
390	1.92	2.11	0.00	1.81	0.02	2.54
395	1.91	2.11	0.00	1.79	0.02	2.58
400	1.91	2.11	0.00	1.78	0.02	2.62
405	1.91	2.11	0.01	1.76	0.02	2.65
410	1.91	2.11	0.01	1.75	0.02	2.69
415	1.91	2.11	0.01	1.74	0.02	2.73
420	1.90	2.11	0.01	1.73	0.02	2.77
425	1.90	2.11	0.01	1.71	0.02	2.80
430	1.90	2.10	0.01	1.70	0.03	2.84
435	1.90	2.10	0.01	1.69	0.03	2.88
440	1.90	2.10	0.01	1.69	0.03	2.91
445	1.90	2.09	0.01	1.68	0.03	2.95
450	1.89	2.09	0.01	1.67	0.03	2.99
455	1.89	2.09	0.01	1.66	0.03	3.03
460	1.89	2.08	0.01	1.65	0.03	3.06
465	1.89	2.08	0.01	1.65	0.03	3.10
470	1.89	2.07	0.01	1.64	0.03	3.14
475	1.89	2.07	0.01	1.63	0.03	3.17
480	1.89	2.06	0.01	1.63	0.03	3.21
485	1.89	2.06	0.01	1.62	0.03	3.25
490	1.88	2.05	0.01	1.62	0.03	3.28
495	1.88	2.05	0.01	1.61	0.03	3.32
500	1.88	2.04	0.01	1.61	0.03	3.36
505	1.88	2.04	0.01	1.60	0.03	3.39
510	1.88	2.03	0.01	1.60	0.03	3.43
515	1.88	2.03	0.01	1.59	0.04	3.46
520	1.88	2.02	0.01	1.59	0.04	3.50
525	1.88	2.02	0.01	1.59	0.04	3.54
530	1.88	2.01	0.01	1.58	0.04	3.57
535	1.88	2.01	0.01	1.58	0.04	3.61
540	1.88	2.00	0.01	1.58	0.04	3.65
545	1.87	1.99	0.01	1.57	0.04	3.68
550	1.87	1.99	0.01	1.57	0.04	3.72
555	1.87	1.98	0.01	1.57	0.04	3.76
560	1.87	1.98	0.02	1.56	0.04	3.79
565	1.87	1.97	0.02	1.56	0.04	3.83
570	1.87	1.97	0.02	1.56	0.04	3.86
575	1.87	1.96	0.02	1.56	0.04	3.90

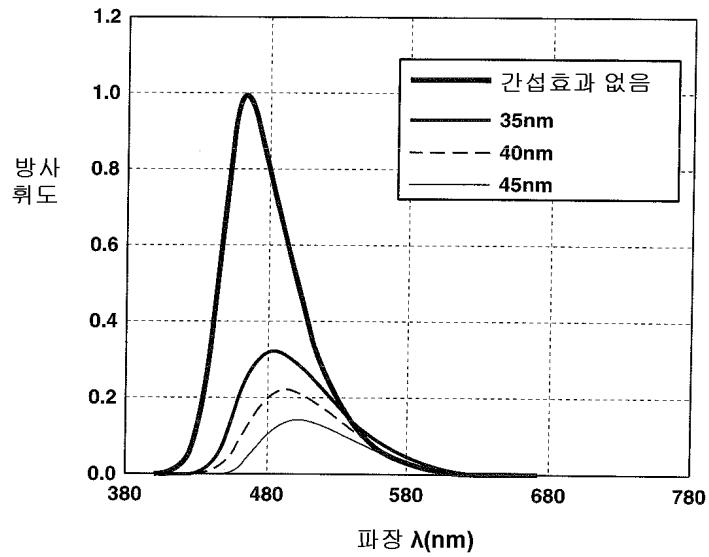
도면12

파장(nm)	절연막(SiN)	굴절률					
		투명 애노드, 투명 캐소드(ITO)		EL 발광층		반사 매크로(Ag)	
		n	k	n	k	n	k
580	1.87	1.96	0.02	1.55	0.04	3.94	
585	1.87	1.95	0.02	1.55	0.05	3.97	
590	1.87	1.95	0.02	1.55	0.05	4.01	
595	1.7	1.94	0.02	1.55	0.05	4.04	
600	1.87	1.94	0.02	1.55	0.05	4.08	
605	1.87	1.93	0.02	1.54	0.05	4.12	
610	1.87	1.93	0.02	1.54	0.05	4.15	
615	1.87	1.92	0.02	1.54	0.05	4.19	
620	1.86	1.92	0.02	1.54	0.05	4.22	
625	1.86	1.92	0.02	1.54	0.05	4.26	
630	1.86	1.91	0.02	1.54	0.05	4.30	
635	1.86	1.91	0.02	1.53	0.05	4.33	
640	1.86	1.90	0.02	1.53	0.05	4.37	
645	1.86	1.90	0.03	1.53	0.05	4.40	
650	1.86	1.89	0.03	1.53	0.06	4.44	
655	1.86	1.89	0.03	1.53	0.06	4.48	
660	1.86	1.89	0.03	1.53	0.06	4.51	
665	1.86	1.88	0.03	1.53	0.06	4.55	
670	1.86	1.88	0.03	1.53	0.06	4.58	
675	1.86	1.87	0.03	1.52	0.06	4.62	
680	1.86	1.87	0.03	1.52	0.06	4.66	
685	1.86	1.87	0.03	1.52	0.06	4.69	
690	1.86	1.86	0.03	1.52	0.06	4.73	
795	1.86	1.86	0.03	1.52	0.06	4.76	
700	1.86	1.85	0.03	1.52	0.06	4.80	
705	1.86	1.85	0.03	1.52	0.07	4.83	
710	1.86	1.85	0.03	1.52	0.07	4.87	
715	1.86	1.84	0.04	1.52	0.07	4.91	
720	1.86	1.84	0.04	1.52	0.07	4.94	
725	1.86	1.84	0.04	1.52	0.07	4.98	
730	1.86	1.83	0.04	1.52	0.07	5.01	
735	1.86	1.83	0.04	1.51	0.07	5.05	
740	1.85	1.83	0.04	1.51	0.07	5.08	
745	1.85	1.82	0.04	1.51	0.07	5.12	
750	1.85	1.82	0.04	1.51	0.07	5.16	
755	1.85	1.82	0.04	1.51	0.07	5.19	
760	1.85	1.81	0.04	1.51	0.08	5.23	
765	1.85	1.81	0.04	1.51	0.08	5.26	
770	1.85	1.81	0.05	1.51	0.08	5.30	
775	1.85	1.80	0.05	1.51	0.08	5.33	
780	1.85	1.80	0.05	1.51	0.08	5.37	

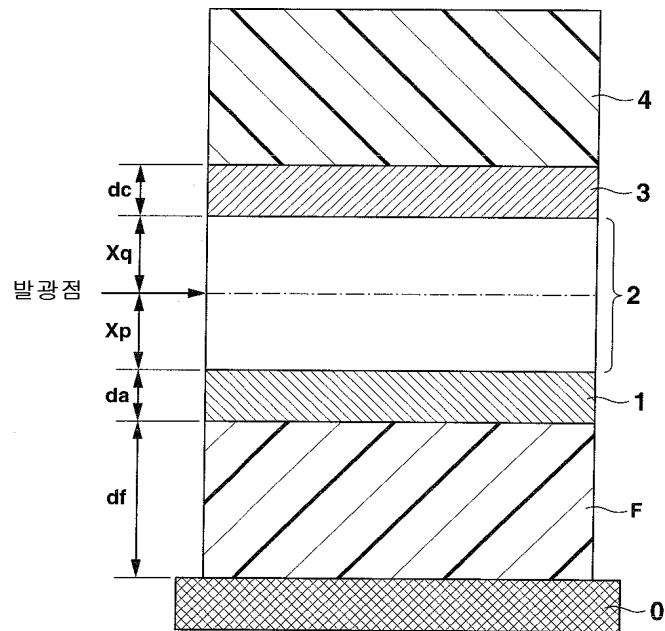
도면13



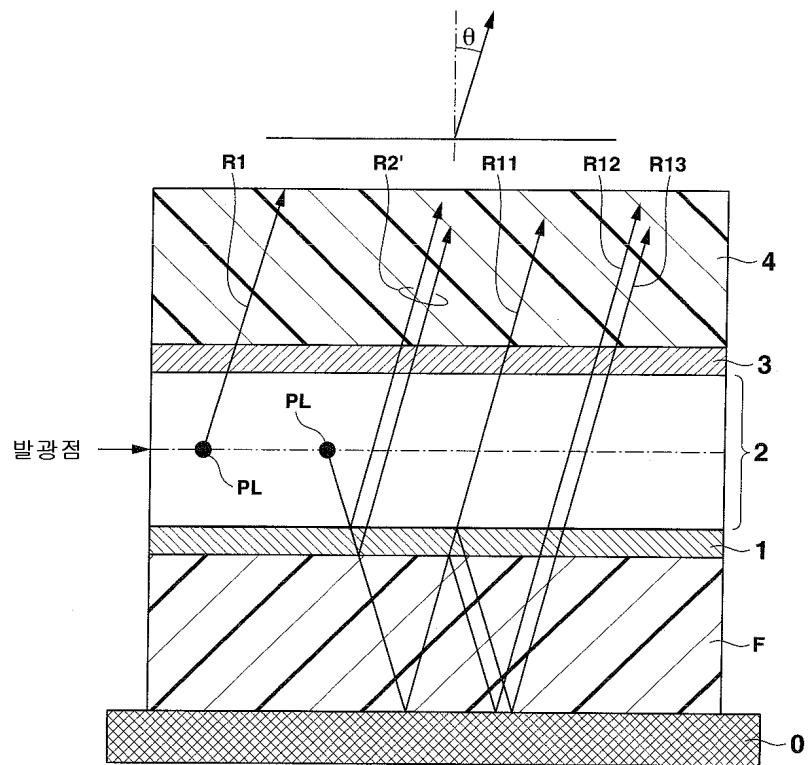
도면14



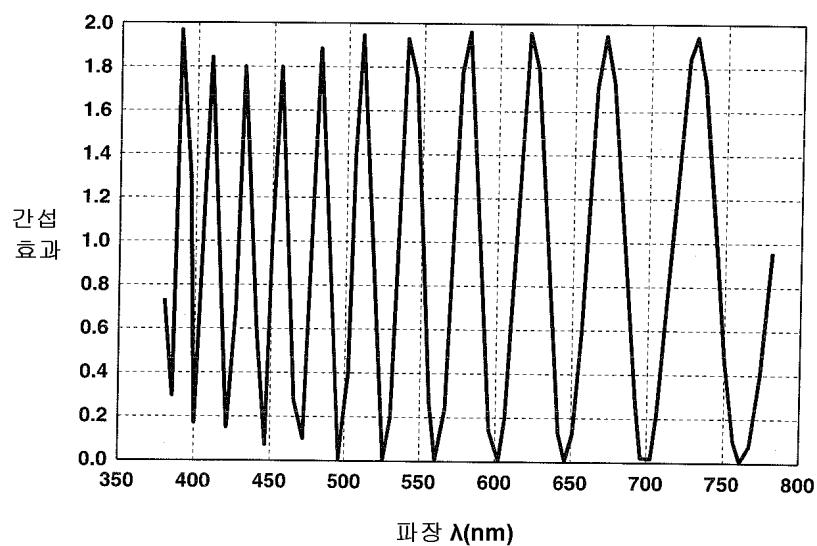
도면15



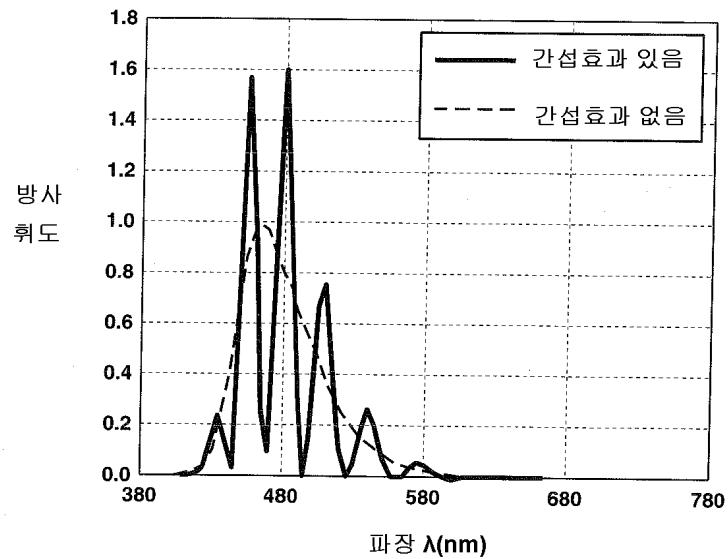
도면16



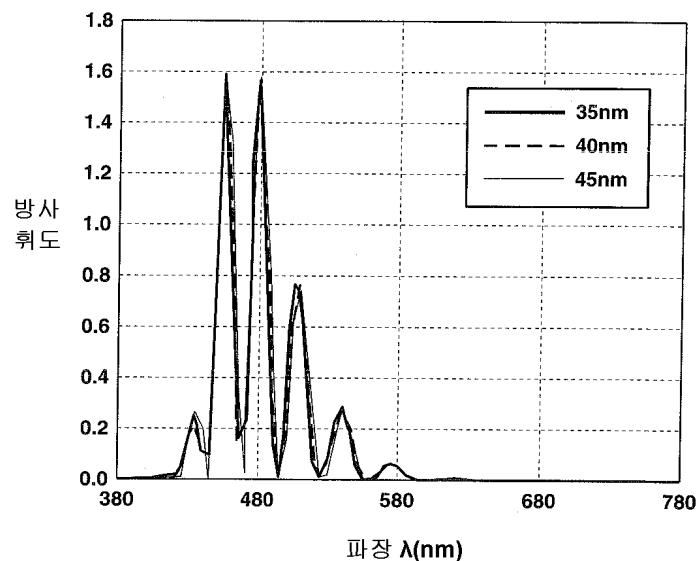
도면17



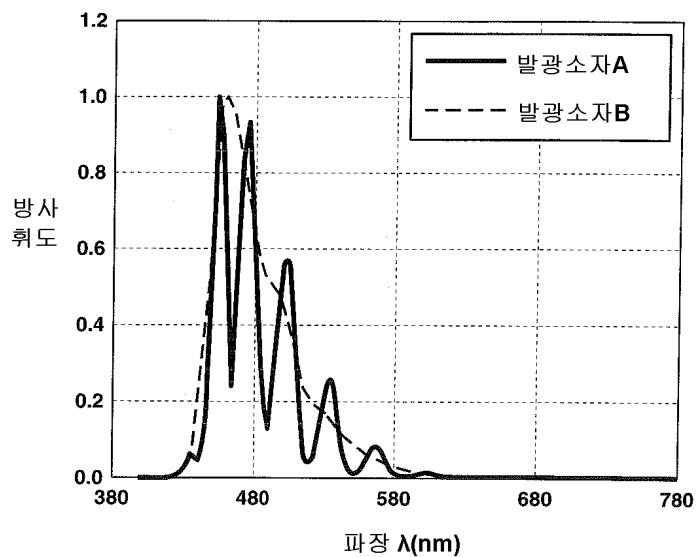
도면18



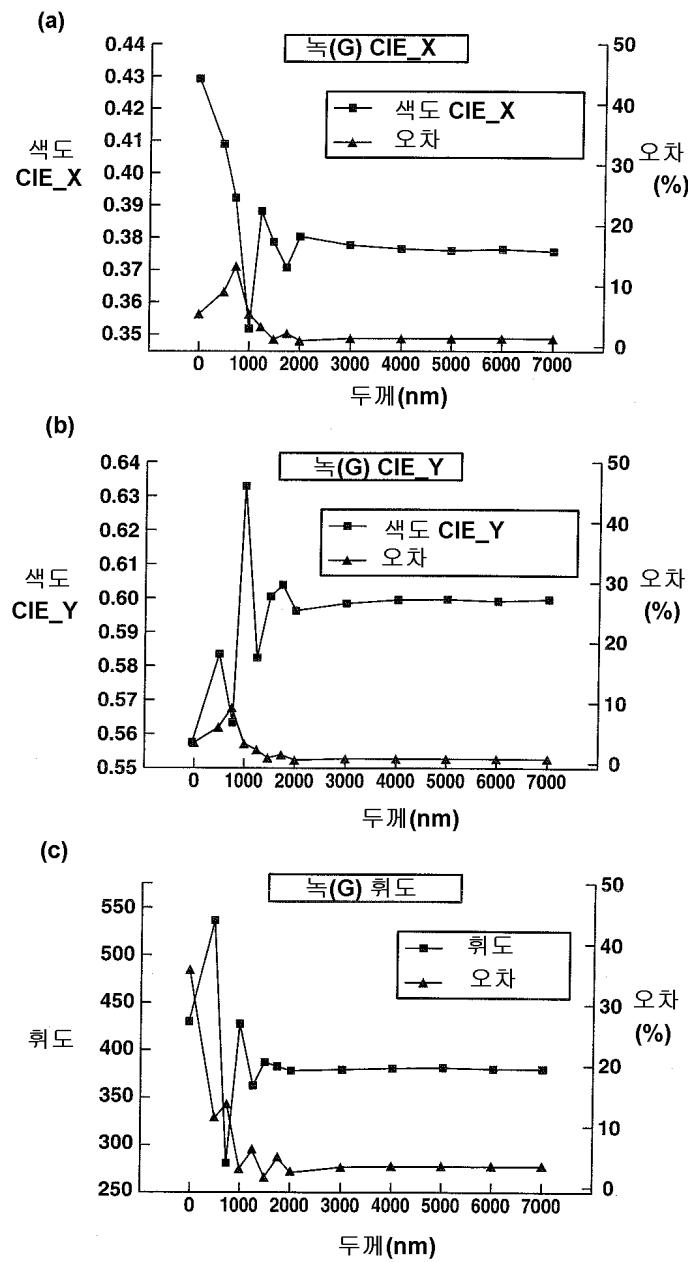
도면19



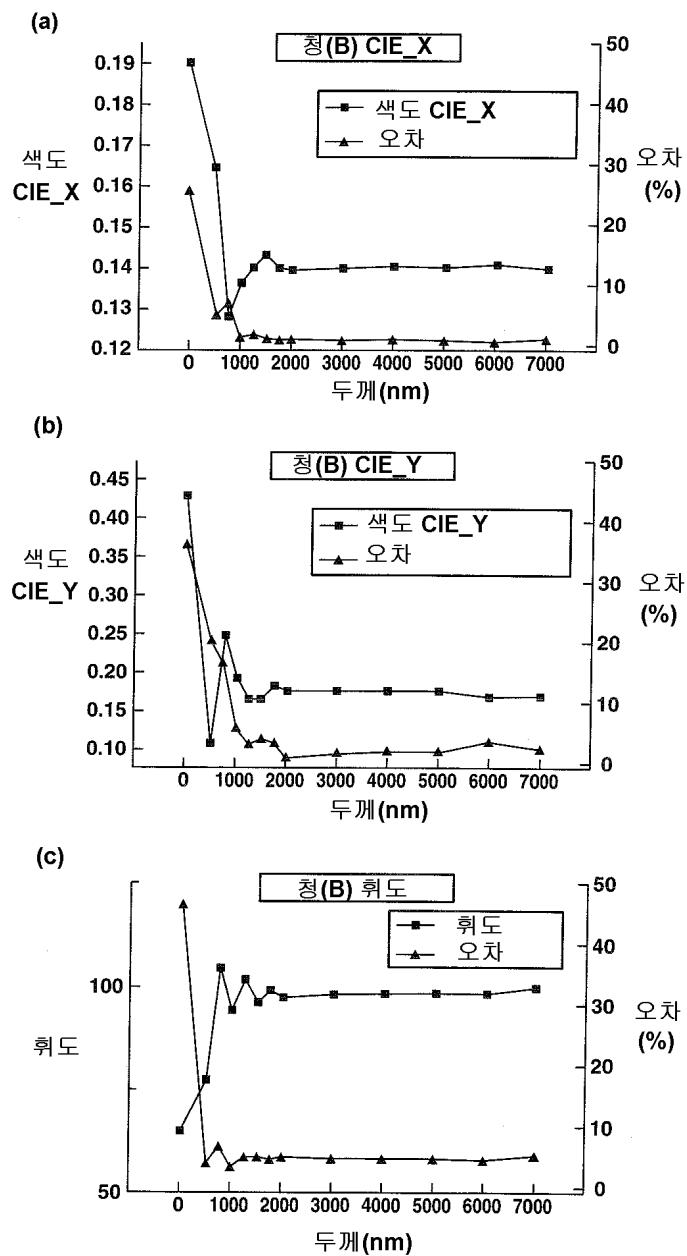
도면20



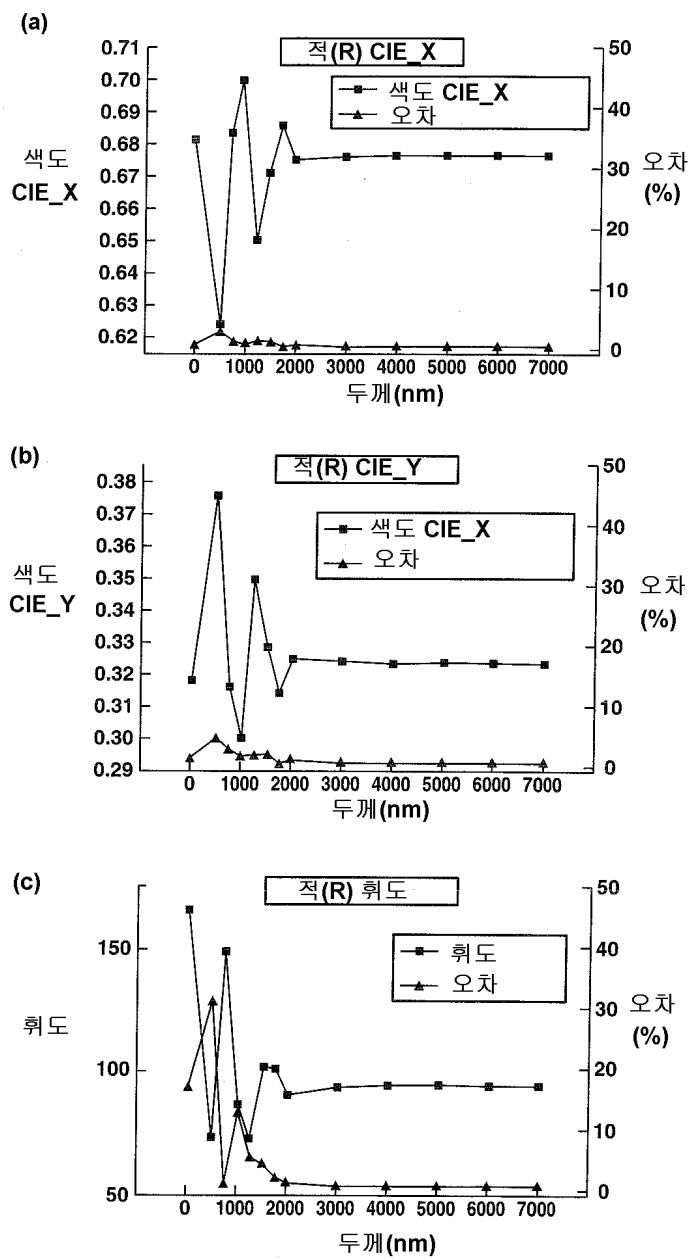
## 도면21



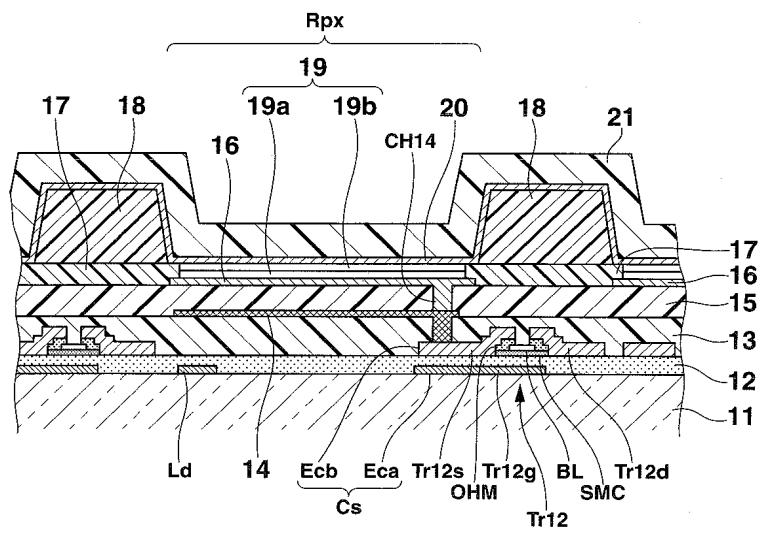
## 도면22



## 도면23

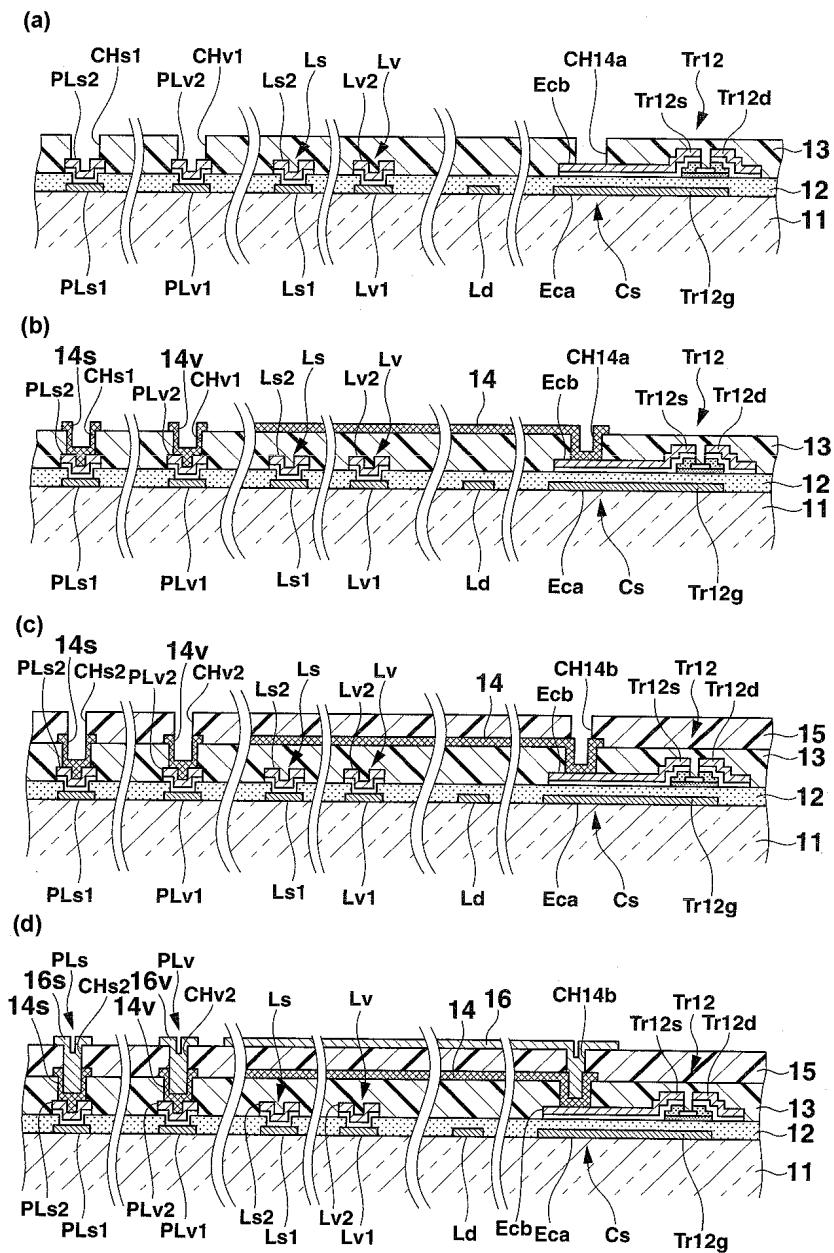


도면24



A-A 단면

도면25



专利名称(译)	显示装置及其制造方法		
公开(公告)号	<a href="#">KR101093403B1</a>	公开(公告)日	2011-12-14
申请号	KR1020097005828	申请日	2008-05-28
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	YAMAMOTO KAZUTO		
发明人	YAMAMOTO, KAZUTO		
IPC分类号	H01L27/32 H01L H01L51/52		
CPC分类号	H01L27/3244 H01L51/5265 H01L27/3211		
代理人(译)	KIM JONG MUN 孙某EUN JIN		
优先权	2007155129 2007-06-12 JP		
其他公开文献	<a href="#">KR1020090088848A</a>		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

显示装置包括发光功能层 (19) , 第一电极 (16) , 第二电极 (20) 和平坦反射层 (14) , 以及平坦绝缘层 (15) 。发光功能层 (19) 至少具有第一层。安装成使第二电极 (20) 与第一电极 (16) 面对发光功能层 (19) 。平坦绝缘层 (15) 安装在平坦绝缘层 (14) 和第一电极 (16) 之间。第一电极 (16) , 第二电极 (20) 和平坦绝缘层 (15) 具有关于具有从发光功能发出的光的波长范围的至少一部分的波长的光的穿透特性。层 (19) 。平坦反射层 (14) 具有关于具有从发光功能层 (19) 发射的光的波长范围的至少一部分的波长的光的回波损耗。用于驱动像素的电路 , EL发光层 , 反射层 , 发光功能层 , 绝缘层。

