

대표도

도 1

특허청구의 범위

청구항 1.

기관(10)과,

하부 전극(20)과,

평탄화층(30)과, 적층층(40)과, 발광층(50)을 포함하는 유기층(30 내지 50)과,

상부 전극(80)으로 이루어지고,

하부 전극(20)과, 유기층(30 내지 50)과, 상부 전극(80)은 기관(10) 상에 이 순서로 적층되고,

평탄화층(30)과 적층층(40)은 하부 전극(20)과 발광층(50) 사이에 배치되고,

평탄화층(30)은 정공 수송성 재료로 이루어져 하부 전극(20) 상의 요철을 평탄화하고,

적층층(40)은 정공 수송성 재료 단독으로 이루어져 평탄화층(30)의 유리 전이 온도보다도 높은 유리 전이 온도를 갖고, 평탄화층(30) 상에 형성되어 있는 것을 특징으로 하는 유기 EL 패널.

청구항 2.

제1항에 있어서, 적층층(40)의 두께가 8 nm 이상인 것을 특징으로 하는 유기 EL 패널.

청구항 3.

제1항에 있어서, 전압 인가 소자(90)를 더 구비하고 있고,

전압 인가 소자(90)는 하부 전극(20)과 상부 전극(80) 사이에, 발광 시에는 순방향의 전계를 인가하고, 비발광 시에는 발광 시와 역방향의 전계를 인가하여 역방향의 전계의 강도가 적층층(40)의 두께에 대해 1.88 V/nm 이하인 것을 특징으로 하는 유기 EL 패널.

청구항 4.

제1항에 있어서, 전압 인가 소자(90)를 더 구비하고 있고,

전압 인가 소자(90)는 하부 전극(20)과 상부 전극(80) 사이에, 발광 시에는 순방향의 전계를 인가하고, 비발광 시에는 발광 시와 역방향의 전계를 인가하고,

역방향의 전계의 강도가 평탄화층(30)을 제외한 유기층(40, 50)의 두께에 대해 0.2 V/nm 이하인 것을 특징으로 하는 유기 EL 패널.

청구항 5.

제1항에 있어서, 평탄화층(30)과 적층층(40)은 각각 트리페닐아민계 재료로 이루어지는 것을 특징으로 하는 유기 EL 패널.

청구항 6.

제5항에 있어서, 평탄화층(30)은 트리페닐아민 A로 이루어지고,

적층층(40)은 트리페닐아민 B, C 또는 D로 이루어지는 것을 특징으로 하는 유기 EL 패널.

청구항 7.

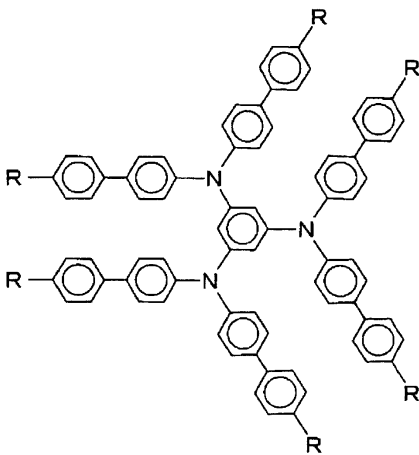
제1항 내지 제6항 중 어느 한 항에 있어서, 평탄화층(30)의 두께가 40 nm 이상인 것을 특징으로 하는 유기 EL 패널.

청구항 8.

제1항 내지 제6항 중 어느 한 항에 있어서, 적층층(40)의 유리 전이 온도는 평탄화층(30)의 유리 전이 온도보다도 25 °C 이상 높은 것을 특징으로 하는 유기 EL 패널.

청구항 9.

제1항 내지 제6항 중 어느 한 항에 있어서, 적층층(40)을 구성하는 정공 수송성 재료는 다음의 화학식

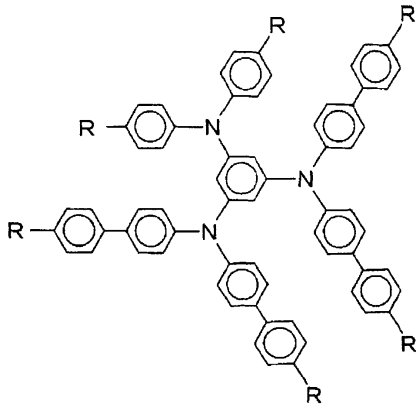


으로 나타내는 것이고,

화학식 중의 R은 H 또는 CH₃인 것을 특징으로 하는 유기 EL 패널.

청구항 10.

제1항 내지 제6항 중 어느 한 항에 있어서, 적층층(40)을 구성하는 정공 수송성 재료는 다음의 화학식



으로 나타내는 것이고,

화학식 중의 R은 H 또는 CH₃인 것을 특징으로 하는 유기 EL 패널.

청구항 11.

제1항 내지 제6항 중 어느 한 항에 기재된 유기 EL 패널을 제조하는 방법이며,

기관(10) 상에 하부 전극(20)을 형성하는 공정과,

하부 전극(20) 상에 평탄화층(30)이 되는 막을 형성하는 공정과,

평탄화층(30)이 되는 막을, 평탄화층(30)을 구성하는 정공 수송성 재료의 유리 전이 온도 이상의 온도에서 용융 처리하여 평탄화층(30)을 형성하는 공정과,

평탄화층(30) 상에 용융 처리의 온도보다도 높은 유리 전이 온도를 갖는 정공 수송성 재료를 이용하여 적층층(40)을 형성하는 공정으로 이루어지는 것을 특징으로 하는 유기 EL 패널을 제조하는 방법.

청구항 12.

제11항에 있어서, 평탄화층(30)이 되는 막의 용융 처리는 평탄화층(30)이 되는 막을 형성하는 공정에 있어서, 기관(10)을 가열함으로써 행하는 것을 특징으로 하는 유기 EL 패널을 제조하는 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL(일렉트로 루미네이션스) 패널 및 그 제조 방법에 관한 것이다.

일반적으로 유기 EL 패널은 유리 등의 기관 상에 ITO(인듐틴옥사이드) 등의 하부 전극을 형성하고, 그 위에 증착법 등에 의해 정공(hole) 수송층, 발광층, 전자 수송층을 차례로 형성하고, 또한 그 위에 상부 전극을 형성하여 이루어지는 것이다.

이와 같은 유기 EL 패널은 유기 재료를 사용하고 있으므로, 전계나 열에 의해 변질이나 확산이 일어나기 쉽고, 그 결과로서 상하 전극의 단락이 발생하는 일이 있다. 특히, 기관 상에 하부 전극을 형성했을 때에 공정 중에 발생하는 도전성의 이물질이 하부 전극 상에 존재하고, 이것이 요철이 되어 상하 전극의 단락이 발생하기 쉽다.

이는 하부 전극 상의 이물질 상에 발광층 등의 유기층을 증착하여 형성하는 경우에 새도우잉 현상이 발생하기 때문이다. 이 현상은 직진성이 양호한 증착 입자가 이물질의 그림자에는 부착하지 않으므로, 이물질 상 및 그 주위에 성막된 유기층에 있어서, 막 두께를 확보할 수 없는 박막부가 국부적으로 생기는 것이다.

그리고, 이와 같은 이물질 주위의 박막부가 생기면, 이 부분에서 상하 전극 사이에 리크 전류가 흘러 단락에 이른다. 여기서, 유기 EL 패널에 있어서는 발광층을 발광시키는 발광 시에 인가하는 순바이어스 방향의 전계 외에, 비발광 시에 있어서 크로스 토크를 방지하기 위해 상하 전극 사이에 발광 시와는 역방향의 전계, 소위 역바이어스 전압을 인가한다.

리크 전류라 함은, 이 역바이어스 전압의 인가 시에 있어서, 상하 전극 사이에 흐르는 전류이다. 그리고, 이 리크 전류는 과대한 전류가 되어 절연 파괴를 초래하므로, 유기 EL 패널의 파괴에 도달할 우려가 있다.

이와 같은 하부 전극 상에 존재하는 이물질에 의한 단락을 방지하는 것으로서, 종래에는 유기 재료를 용융하여 이물질을 임베딩(embedding)하는 방법이 제안되어 있다. 예를 들어, 일본 특허 공개 제2000-91067호에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 본 발명자들이 일본 특허 공개 제2000-91067호 개시에 기재한 방법에 대해 검토한바, 유기 EL 패널의 구동 초기에 있어서는 리크 전류를 방지할 수 있지만, 예를 들어 80℃ 정도의 고온에서 구동시키거나, 혹은 이와 같은 고온에서 보존한 후에 구동시킬 때에는 리크 전류가 발생하기 쉬워지는 것을 알 수 있었다.

본 발명은 상기 문제에 비추어 이루어진 것으로, 유기 EL 패널에 있어서, 고온에서의 구동이나 보존에 의한 리크 전류의 발생을 최대한 억제할 수 있도록 하는 것을 목적으로 한다.

발명의 구성

본 개시 내용의 일 형태에 따르면, 유기 EL 패널은 기관과, 하부 전극과, 평탄화층과, 적층(積層)층과, 발광층을 포함하는 유기층과, 상부 전극으로 이루어진다. 하부 전극과, 유기층과, 상부 전극은 기관 상에 이 순서로 적층된다. 평탄화층과 적층층은 하부 전극과 발광층 사이에 배치된다. 평탄화층은 정공 수송성 재료로 이루어져 하부 전극 상의 요철을 평탄화한다. 적층층은 정공 수송성 재료 단독으로 이루어져 평탄화층의 유리 전이 온도보다도 높은 유리 전이 온도를 갖고, 평탄화층 상에 형성되어 있다.

그것에 따르면, 고온에서의 구동이나 보존에 의한 리크 전류의 발생을 최대한 억제할 수 있다.

본 개시 내용의 다른 형태에 따르면, 유기 EL 패널을 제조하는 제조 방법은 기관 상에 하부 전극을 형성하는 공정과, 하부 전극 상에 평탄화층이 되는 막을 형성하는 공정과, 평탄화층이 되는 막을, 평탄화층을 구성하는 정공 수송성 재료의 유리 전이 온도 이상의 온도에서 용융 처리하여 평탄화층을 형성하는 공정과, 평탄화층 상에 용융 처리의 온도보다도 높은 유리 전이 온도를 갖는 정공 수송성 재료를 이용하여 적층층을 형성하는 공정으로 이루어지는 것을 특징으로 한다.

그것에 따르면, 고온에서의 구동이나 보존에 의한 리크 전류의 발생을 최대한 억제한 유기 EL 패널을 제공할 수 있다.

본 발명에 대한 상기 목적 및 그 밖의 목적, 특징이나 이점은 첨부한 도면을 참조하면서 하기의 상세한 기술에 의해 더 명확해진다.

본 발명자는 유기 EL 패널에 관한 예비적 실험을 행하였다. 즉, 본 발명자는 다음에 서술하는 바와 같은 검토를 행하였다. 도8은 하부 전극 상에 정공 수송층, 발광층, 상부 전극을 갖는 일반적인 유기 EL 패널의 에너지 준위 모델을 도시하는 도면이다.

이 도8에 있어서, 준위(lp1, lp2, lp3, lp4)는 각각 하부 전극, 정공 수송층, 발광층, 상부 전극의 HOMO 준위이고, LUMO1, LUMO2는 각각 정공 수송층, 발광층의 LUMO 준위(전도대 최저 준위)이다. 또한, 차($\Delta E1$, $\Delta E2$)는 각각 하부 전극의 준위(lp1)와 정공 수송층의 LUMO1과의 차, 하부 전극의 준위(lp1)와 발광층의 LUMO2와의 차이다.

유기 EL 패널에 있어서, 역바이어스 전압을 인가하였을 때, 도8에 도시된 바와 같이 하부 전극으로부터 정공 수송층으로 전자(e)가 들어오려고 한다. 이때, 정공 수송층에 의한 차($\Delta E1$)가 확보되어 있으면, 이 전자(e)의 주입은 이루어지지 않고, 리크 전류도 발생하지 않는다.

그러나, 하부 전극 상에 이물질이 존재하면, 그 부분에서 국부적으로 정공 수송층의 막 두께가 확보되지 않고, 역바이어스 전압 인가 시에 있어서의 하부 전극측으로부터의 전자(e)의 주입 장벽, 즉 리크 장벽은 외관상 차($\Delta E2$) 정도까지 작아져 리크 전류가 발생한다.

그래서, 본 발명자는 우선 하부 전극 상의 요철을 평탄화하기 위한 평탄화층을 설치함으로써 이물질 주위의 요철을 저감시키면 이 평탄화층 상의 정공 수송층의 막 두께를 균일하게 확보할 수 있다고 판단하였다. 또한, 당연하지만, 평탄화층은 하부 전극측, 즉 정공 주입측에 설치하기 위해, 정공 수송성 재료로 이루어지는 것으로 한다.

또한, 이 평탄화층 상에 정공 수송층으로서 기능하는 층을 적층할 때에 이 적층되는 층을 정공 수송성 재료 단독으로 이루어지는 것으로 하였다. 즉, 하부 전극과 발광층 사이에 평탄화층, 정공 수송성 재료 단독으로 이루어지는 층의 2층을 개재시키는 것으로 하였다.

통상, 유기 EL 패널에 이용되는 정공 수송성 재료는, 도8에 도시된 바와 같이 충분한 리크 장벽으로서의 차($\Delta E1$)를 확보할 수 있는 것이다. 그러나, 전자 수송성 재료와 혼합하면, 리크 장벽은 차($\Delta E2$) 정도까지 작아져 리크가 발생할 가능성이 있다. 그로 인해, 상기 적층되는 층은 정공 수송성 재료 단독으로 한다.

또한, 검토를 진행시킨바, 종래의 유기 EL 패널에서는 고온에서의 구동이나 보존에 있어서, 정공 수송층이 열에 의해 변형되므로, 정공 수송층의 막 두께를 확보할 수 없었거나, 정공 수송층 중에 그 위의 발광층 중의 전자 수송성 재료가 혼입되는 것을 알 수 있었다. 이는 도8에 있어서, 외관상 상기 리크 장벽이 차($\Delta E2$) 정도까지 작아지는 것에 상당한다.

그로 인해, 하부 전극과 발광층 사이에 개재시키는 평탄화층 및 정공 수송성 재료 단독으로 이루어지는 층의 열안정성을 높이는 것을 고려하였다. 여기서, 이들 2층 중 리크 장벽을 담당하는 정공 수송성 재료 단독으로 이루어지는 층을 열변형하기 어렵게 하는 것이 중요하고, 이 점을 고려하여 정공 수송성 재료 단독으로 이루어지는 층의 유리 전이상의 온도에서 용융시키는 처리를 행하여 평탄화층을 형성하고, 계속해서 평탄화층 상에 평탄화층의 용융 처리의 온도보다도 높은 유리 전이 온도를 갖는 정공 수송성 재료를 이용하여 층을 형성하는 것을 제3 특징으로 한다.

그것에 따르면, 상기 제1 특징을 갖는 유기 EL 패널을 적절하게 제조하는 유기 EL 패널의 제조 방법이 제공된다.

이하, 본 발명의 실시 형태에 대해 도면을 기초로 하여 설명한다. 도1은 본 발명의 실시 형태에 관한 유기 EL 패널(100)의 개략 단면 구성을 도시하는 도면이다.

기판(10)은 광학적으로 투명한 것이고, 이 기판(10) 상에는 투명 도전막인 ITO 등으로 이루어지는 하부 전극으로서의 양극(20)이 형성되어 있다.

이 양극(20) 상에는 평탄화층(30)이 형성되어 있다. 이 평탄화층(30)은, 예를 들어 트리페닐아민계 재료 등의 일반적인 정공 수송성 재료로 이루어져 양극(20) 상의 요철을 평탄화하기 위한 것이다. 그 막 두께(d1)(도2 참조)로서는 40 nm 이상이 바람직하다.

여기서, 도2는 현미경 관찰을 기초로 하는 평탄화층(30)에 의한 평탄화의 모습을 도시하는 개략 단면도이다. 도2에 도시된 바와 같이, 양극(20) 상에 도전성의 이물질(K)이 존재한다. 이 이물질(K)은, 예를 들어 양극(20)의 패터닝을 할 때의 에칭 등에 의한 잔류물이다.

그리고, 평탄화층(30)은 이 이물질(K)을 포입하고 또한 이물질(K)에 의한 단차를 매립하도록 형성되어 있고, 그것에 의해 이물질(K)에 의한 요철이 없어져 평탄화층(30)의 표면에서는 평탄화가 이루어져 있다.

또한, 이 평탄화층(30) 상에는 층(40)이 형성되어 있다. 이하, 이 층(40)을 적층층(40)이라 한다. 그리고, 평탄화층(30)에 의한 평탄화가 이루어져 있으므로, 도2에 도시된 바와 같이 이물질(K)이 존재하고 있어도 적층층(40)은 막 두께를 균일하게 확보할 수 있다.

이 적층층(40)은 그 유리 전이 온도(이하, Tg라 함)가 평탄화층(30)보다도 높은 정공 수송성 재료를 이용하여 증착법에 의해 형성된 막이다. 구체적으로는, 시판되고 있는 트리페닐아민 B, C, D 등의 트리페닐아민계 재료를 채용할 수 있다.

여기서, 트리페닐아민 C는 주지의 것이고, 그 Tg는 154 °C이다. 또한, 도9에 나타내는 화학식을 갖는 것이며, 이 식 중, R = CH₃인 것이 트리페닐아민 B이고, R = H인 것이 트리페닐아민 D이고, 이들의 Tg는 모두 200 °C 이상이다.

또한, 도10에 나타내는 화학식을 갖는 것이며, 이 식 중, R = CH₃인 것이 트리페닐아민 E이고, R = H인 것이 트리페닐아민 F이고, 이들 Tg는 모두 180 °C이다.

또한, Tg는 물질에 따라서는 명확하게 나타나지 않는 것이고, 트리페닐아민 B 및 트리페닐아민 D의 Tg는 모두 명확하게 규정할 수 없지만, 현미경 관찰 등에 의해 200 °C까지 연화되지 않는 것은 확인되어 있다.

또한, 도2에 도시된 바와 같이, 이물질(K)의 정상부에서는, 평탄화층(30)은 거의 존재하지 않고, 이 부분에 있어서의 실질적인 평탄화층(30)의 두께는 0인 경우가 많다. 그래서, 상기 부분에 있어서의 적층층(40)의 두께를 어느 정도 확보할 필요가 있으므로, 본 실시 형태에서는 적층층(40)의 두께(d2)를 8 nm 이상으로 하고 있다.

이 적층층(40) 상에는 전자 수송성 재료를 호스트 재료로 하고, 이것에 도펀트로서 발광 첨가 재료를 혼합하여 이루어지는 발광층(50)이 형성되어 있다. 이 발광층(50) 상에는 전자 수송성 재료로 이루어지는 전자 수송층(60)이 형성되어 있다.

유기 EL 패널(100)이 전압 인가 소자(90)를 더 구비하고 있고, 전압 인가 소자(90)는 하부 전극(20)과 상부 전극(80) 사이에 발광 시에는 순방향의 전계를 인가하고, 비발광 시에는 발광 시와 역방향의 전계를 인가하여, 역방향의 전계의 강도가 평탄화층(30)을 제외한 유기층(40, 50)의 두께에 대해 0.2 V/nm 이하인 경우, 이 적층하는 유기층 전체의 두께가 두꺼울수록 상하 전극 사이의 리크를 방지하는 효과가 높은 것을 알 수 있었다. 특히, 역방향의 전계 강도 의존성이 높고, 그 리크 발생률과의 상관을 도11에 나타낸다. 이는 PN 접합을 형성함으로써 역방향의 전계에 대한 리크를 억제하기 위해서는 정공 수송층 단독층에 부가하여 전자 수송층 단독층의 두께도 필요하기 때문이라고 사료된다. 따라서, PN 접합을 형성하기 위해 충분한 두께로서, 정공 수송층 단독층과 함께 전체 적층 유기층의 두께로서 0.2 V/nm 이하가 되는 것이 중요하다.

또한, 전자 수송층(60) 상에는 LiF 등으로 이루어지는 전자 주입층(70)이 형성되고, 그 위에는 Al 등의 금속 등으로 이루어지는 음극(80)이 형성되어 있다.

이와 같이 하여, 기관(10) 상에 있어서 한 쌍의 전극(20, 80) 사이에는 평탄화층(30), 적층층(40), 발광층(50), 전자 수송층(60) 및 전자 주입층(70)이 적층되어 끼워져 있고, 유기 EL 패널(100)이 형성되어 있다. 여기서, 유기층은 평탄화층(30), 적층층(40), 발광층(50), 전자 수송층(60)에 의해 구성된다.

또한, 이 유기 EL 패널(100)에 있어서는 양극(20)과 음극(80) 사이에 교류 전계를 인가하기 위한 전압 인가 수단(90)이 마련되어 있다. 이는 발광 시에 양 전극(20, 80) 사이에 순방향의 전계를 인가하고, 비발광 시에는 발광 시와는 역방향의 전계를 인가함으로써, 예를 들어 전원 회로 등으로 이루어져 기관(10)의 주변부로 인출된 양극(20) 및 음극(80)의 부분과 결선된 것이다.

이 전압 인가 수단(90)에 의해 양극(20)을 플러스, 음극(80)을 마이너스로 한 순바이어스 전압이 인가되면 발광층(50)이 발광하고, 비발광 시에는 양극(20)을 마이너스, 음극(80)을 플러스로 한 역바이어스 전압이 인가된다. 여기서, 발광층(50)의 발광은, 예를 들어 기관(10)측으로부터 취출되어 눈으로 확인되도록 되어 있다.

또한, 이 유기 EL 패널(100)은 다음과 같이 하여 제조된다. 기관(10) 상에 스퍼터법 등에 의해 양극(20)을 형성한 후, 필요에 따라서 UV 오존과 산소를 함유하는 가스에 의한 플라즈마 처리 등에 의해 양극(20)의 표면 처리를 행한다.

그 후, 양극(20) 상에 증착법 등에 의해 평탄화층(30)이 되는 막을 형성하는 동시에, 이 막을 평탄화층(30)을 구성하는 정공 수송성 재료의 Tg 이상의 온도에서 용융시키는 처리를 행한다.

여기서, 평탄화층(30)이 되는 막을 형성하는 공정 후에 상기 막의 용융 처리 공정을 행해도 좋지만, 평탄화층(30)이 되는 막을 형성하는 공정에 있어서 상기 막을 형성할 때에 동시에 기관(10)을 가열함으로써 용융 처리를 행해도 좋다.

이 용융 처리에 의해, 상기 도2에 도시된 바와 같이 이물질(K)이 존재하고 있었다고 해도 용융하는 평탄화층(30)에 의해 이물질(K) 주위의 단차가 매립되어 양극(20) 상의 요철이 평탄화된다.

계속해서, 이 평탄화층(30) 상에 증착법 등에 의해 적층층(40)을 형성한다. 그 후에는 증착법 등에 의해 발광층(50), 전자 수송층(60) 및 전자 주입층(70)을 형성하고, 그 위에 증착법이나 스퍼터법 등에 의해 음극(80)을 형성한다. 그리고, 전압 인가 수단(90)의 마련을 행한다. 이와 같이 하여, 상기 도1에 나타내는 본 실시 형태의 유기 EL 패널(100)이 완성된다.

또한, 이후, 유기 EL 패널(100)은 기관(10) 상에 있어서의 양극(20)으로부터 음극(80)까지의 적층부를 습기 등으로부터 보호하기 위해, 통상 이 적층부를 흡습제를 넣어 건조 질소 등이 봉입된 커버에 의해 밀봉한다.

그런데, 상술한 바와 같이, 하부 전극인 양극(20) 상에 이물질(K)이 존재한 경우, 역바이어스 전압의 인가 시에 있어서, 상하 전극(20, 80) 사이에 리크 전류가 흐르기 쉬워지지만, 본 실시 형태에서는 이 리크 전류를 방지하기 위해, 양극(20)과 발광층(50) 사이에 상기 평탄화층(30) 및 적층층(40)을 개재시키고 있다.

이와 같은 구성을 채용한 근거에 대해 다음의 제1 검토에 및 제1, 제2 비교예를 참조하여 서술하는 것으로 한다.

(제1 검토예)

본 예에서는 기관(10)으로서 유리 기관(10)을 준비하고, 이 기관(10) 상에 스퍼터법에 의해 두께 150 nm의 ITO로 이루어지는 양극(20)을 형성하였다. 그 후, 기관 온도 200 °C에서 5분, UV 오존 처리를 행한다. 또는, 기관(10)을 진공 챔버에 넣고, 파워가 0.4 W/cm²인 플라즈마에 의해 50초 처리를 행한다.

그 후, 진공 증착에 의해 각 층의 형성을 행한다. 본 예에서는, 일반적인 트리페닐아민 A(Tg : 135 °C)를 이용하여 두께 60 nm의 막을 형성하고, 그 후, 이 막을 160 °C, 10분간 가열하고 용융 처리를 행하여 평탄화층(30)을 형성하였다. 또한, 트리페닐아민 A의 성막 시에 있어서의 기관(10)의 온도를 160 °C로 설정해도 좋고, 이 경우에는 성막과 동시에 용융 처리가 행해져 간다.

다음에, 평탄화층(30) 상에 두께 24 nm의 트리페닐아민 B(Tg : 200 °C 이상)로 이루어지는 적층층(40)을 형성하였다. 그 후, 적층층(40) 상에 발광층(50)으로서 쿠마린을 1 % 도핑한 알루미늄 키노리놀(Tg : 167 °C)과 트리페닐아민 B를 1 : 1의 비로 혼합한 것이며, 두께 60 nm로 성막된 것을 형성하였다.

다음에, 두께 30 nm의 알루미늄 키노리놀로 이루어지는 전자 수송층(60)을 형성하고, 계속해서 두께 0.5 nm의 LiF 등으로 이루어지는 전자 주입층(70)을 형성하고, 두께 300 nm의 Al-0.2 % Cu로 이루어지는 음극(80)을 형성하였다.

그리고, 이 유기 EL 패널을 이슬점 -70 °C 이하의 건조 질소 분위기에 넣고, 밀봉용 흡파기 유리로 이루어지는 커버에 흡습제를 붙여 밀봉하는 동시에, 전압 인가 수단(90)을 마련하였다.

그리고, 이것에 대해 80 °C의 고온 환경에서 구동을 행하였다. 구동으로서는, 1/64 듀티비로 순방향은 정전류 구동이고, 초기 휘도가 200 cd/m²이 되도록 조정하였다. 그때의 순방향 펄스 전압은 10 V 정도였다. 순방향 펄스 이외의 때에는 15 V의 역바이어스 펄스를 인가하였다.

이 고온 내구 구동 테스트에 있어서, 내구 시간과 리크 전류의 관계를 조사하였다. 또한, 비교예로서, 본 제1 검토예에 나타난 상기 구성의 유기 EL 패널에 있어서, 적층층(40)을 생략한 구성, 즉 평탄화층(30)의 바로 위가 발광층(50)인 것을 제작하였다. 이를 제1 비교예로 한다. 그리고, 이 제1 비교예에 대해서도 동일한 고온 내구 구동 테스트를 행하였다.

또한, 본 제1 검토예 및 이 제1 비교예의 유기 EL 패널에 있어서, 양극(20) 상의 이물질(K)의 발생 상황은 동일한 정도의 것으로 하고, 양에 모두 이물질(K) 부분의 평탄화층(30)에 의한 평탄화는 상기 도2와 같은 상태로 하여 실현되어 있다.

도3은 본 제1 검토예 및 제1 비교예의 유기 EL 패널에 있어서의 내구 시간(단위 : 시간)과 리크 전류(단위 : A)의 관계를 나타내는 그래프이다. 적층층(40)이 존재하지 않는 제1 비교예에서는 내구 시간의 경과와 함께 리크 전류가 증가해 가는 것에 반해, 본 제1 검토예에서는 고온에서의 구동에 의한 리크 전류의 발생이 실질적으로 방지되어 있다. 이것으로부터 고온 보존에 의한 리크 전류의 발생 방지에 대해서도 마찬가지로 효과가 있다고 할 수 있다.

또한, 상기 도2에도 도시한 바와 같이 평탄화층(30)에 의한 평탄화를 행하면, 이물질(K)의 정상부에서는 평탄화층(30)은 거의 존재하지 않고, 이 부분에 있어서의 실질적인 평탄화층(30)의 두께는 0이다. 그래서, 이와 같은 상태에 있어서, 상기 부분에 있어서의 적층층(40)의 두께(d2)가 어느 정도 이상이면 리크 전류의 발생을 방지할 수 있는지 조사하였다.

도4는 적층층(40)의 두께(단위 : nm)와 리크 전류(단위 : A)의 관계를 나타내는 그래프이다. 여기서 본 제1 검토예에 나타난 상기 구성의 유기 EL 패널에 있어서, 적층층(40)의 두께(d2)(도2 참조)를 다양하게 바꾼 것을 제작하고, 이에 대해 상기 고온 내구 구동 테스트와 동일한 조건으로 100 시간 구동 후, 리크 전류를 측정하였다.

이 도4에 도시된 바와 같이, 평탄화층(30)의 막 두께가 실질적으로 0인 부분이 존재해도 평탄화층(30)에 의해 이물질(K)의 요철이 평탄화되어 적층층(40)의 막 두께가 균일하게 확보되어 있으면, 적층층(40)의 두께(d2)를 8 nm 이상으로 함으로써 고온 구동 시에 있어서의 리크 전류의 발생을 억제할 수 있는 것을 알 수 있다.

즉, 적층층(40)의 두께(d2)를 8 nm 이상으로 하면, 평탄화층(30)의 두께(d1)에 의존하지 않고 고온 구동 시에 있어서의 리크 전류의 발생을 억제할 수 있다.

또한, 본 제1 검토예에서는 적층층(40)의 Tg를 평탄화층(30)의 Tg보다도 높은 것으로 함으로써 리크 장벽을 담당하는 적층층(40)을 열변형하기 어렵게 하고, 고온 구동 시에 있어서 리크 발생을 방지하고 있다. 이는, 가령 평탄화층(30)이 열변형되었다고 해도 그 변형에 부수하여 적층층(40)까지도 열변형되는 것을 방지하는 것을 겨냥한 것이다.

이에 대한 비교예로서, 본 제1 검토예에 나타난 상기 구성의 유기 EL 패널에 있어서, 평탄화층(30)과 동일한 Tg를 갖는 적층층(40)으로서, 평탄화층(30)과 동일한 트리페닐아민 A(Tg : 135 °C)를 24 nm 성막하였다. 이를 제2 비교예로 한다.

본 제2 비교예의 것과 본 제1 검토예의 것에 대해 상기 고온 내구 구동 테스트와 마찬가지로 80 °C의 고온 구동을 행하였다. 또한, 100 °C에서의 고온 보존을 행한 후에 마찬가지로 80 °C의 고온 구동을 행하였다.

어떠한 경우에 있어서도, 본 제1 검토예에서는 적층층 1000 시간 이상, 상하 전극(20, 80)의 단락에 이르는 문제점은 전혀 발생하지 않았던 것에 반해, 제2 비교예에서는 100 시간 이내에 80 % 이상의 불량률로 상하 전극(20, 80)의 단락이 생겼다.

그리고, 현미경 관찰에 따르면, 제1 검토예에서는 적층층(40)의 열변형은 발생하고 있지 않고, 이물질(K)의 부분에 있어서도 8 nm 이상의 막 두께가 확보되어 있었던 것에 반해, 제2 비교예에서는 적층층(40)이 열변형되어 그 막 두께의 확보가 이루어지지 않았다.

또한, 이들 도3 및 도4에 나타내는 결과는 적층층(40)이 8 nm의 두께로 균일하게 확보되면, 적층층(40)을 구성하는 단독의 정공 수송성 재료의 작용에 의해 상기 도8에 도시된 바와 같은 충분한 리크 장벽으로서의 차($\Delta E1$)가 확보되는 것이 이유라고 사료된다.

유기 EL에 이용되는 정공 수송성 재료는, 통상, 어떤 재료라도 상기 차($\Delta E1$)를 확보할 수 있는 동일 정도의 LUMO 준위를 갖는 것이다. 이로부터 적층층(40)을 정공 수송성 재료 단독으로 구성하고, 그 두께를 8 nm 이상으로 확보하면, 본 제1 검토예에 나타난 트리페닐아민 B 이외의 정공 수송성 재료라도 충분한 리크 장벽을 확보할 수 있다고 사료된다.

또한, 적층층(40)의 Tg를 평탄화층(30)의 Tg보다도 높게 함으로써 리크 발생의 방지 효과에 대해서도 본 제1 검토예에 나타난 트리페닐아민 B 이외의 정공 수송성 재료라도 마찬가지로 발휘된다고 사료된다.

이와 같은 이유로부터 적층층(40)에 적용 가능한 정공 수송성 재료로서는, 평탄화층(30)보다도 높은 Tg를 갖는 것이면 본 제1 검토예의 것 이외라도 좋다고 사료된다.

덧붙여서, 트리페닐아민 B 대신에, 상기한 도9에 나타난 화학식 2에 있어서 R = H인 트리페닐아민 D 및 상기 트리페닐아민 C, 또는 도10의 화학식의 트리페닐아민 E나 트리페닐아민 F를 각각 이용하여 두께 24 nm의 적층층(40)을 형성한 것을 제작하였다.

그리고, 이들의 것에 대해 상기 고온 내구 구동 테스트와 마찬가지로 80 °C의 고온 구동 및 100 °C의 고온 보존을 행한 후의 80 °C의 고온 구동을 행하였지만, 이들 경우에 있어서도 1000 시간 이상, 상하 전극(20, 80)의 단락에 이르는 문제점은 전혀 발생하지 않았다.

이와 같이, 본 실시 형태에 따르면, 적층층(40)은 상기 도8에 도시되는 모델에 있어서, 정공 수송층으로서의 기능을 충분히 발휘하는 것이고, 평탄화층(30)과의 조합에 의해 초기 작동 시의 리크뿐만 아니라, 고온에서의 구동이나 보존에 의한 리크 전류의 발생을 최대한 억제할 수 있다.

또한, 본 실시 형태에 있어서는 전압 인가 수단(90)에 의해 상하 전극(20, 80) 사이에 발광 시와는 역방향의 전계, 즉 역바이어스 전압을 인가하도록 되어 있지만, 이 역방향의 전계 강도를 적층층(40)의 두께에 대해 1.88 V/nm 이하로 하면, 상기 리크 전류의 발생을 더 억제할 수 있다. 이에 대해, 다음의 제2 검토예를 참조하여 구체적으로 서술하는 것으로 한다.

(제2 검토예)

본 제2 검토예에서는 상기 제1 검토예와 동일한 유기 EL 패널 구성에 있어서, 상기 고온 내구 구동 테스트에 있어서의 역바이어스 전압으로서의 역바이어스 펄스의 값을 다양하게 바꾸어 조사를 행하였다.

도5는 상기 역방향의 전계 강도(단위 : V/nm)와 상기 고온 내구 구동 테스트의 100 시간 구동 후의 리크 전류(단위 : A)의 관계를 나타내는 그래프이다. 여기서, 전계 강도는 상기 역바이어스 전압의 값을 적층층(40)의 두께로 나눈 값이다.

이 도5에 나타내는 결과로부터 전압 인가 수단(90)에 있어서의 역방향의 전계 강도를 1.88 V/nm 이하로 하면, 고온 구동 시에 있어서의 상기 리크 전류의 발생을 더 억제할 수 있다.

또한, 본 실시 형태에서는 적층층(40)의 Tg를 평탄화층(30)의 Tg보다도 높은 것으로 하지만, 바람직하게는 25 °C 이상 높은 것으로 한다.

적층층(40)과 같은 유기 재료는 Tg보다도 높은 온도에서 유리화되어 변형되기 쉬워진다. 여기서, 본 발명자는 정공 수송성 재료로서, 각각 Tg가 135 °C, 154 °C인 트리페닐아민 A, 트리페닐아민 C에 대해 가열에 의한 변형의 모습을 원자간력 현미경(AFM)으로 관찰한 결과, 각각 111 °C 이상, 130 °C 이상에서 열변형이 생겼다.

이들 양 재료는 모두 정공 수송성 재료로서, 평탄화층(30) 및 적층층(40)에 적용 가능한 것이다. 즉, 본 실시 형태에 적용되는 정공 수송성 재료에 대해서는 (Tg - 25) °C를 넘은 온도에 있어서 열변형이 발생하기 쉬워지는 경향이 있다고 사료된다.

그로 인해, 적층층(40)의 Tg가 평탄화층(30)의 Tg보다도 25 °C 이상 높은 것이면, 가령 평탄화층(30)의 Tg 정도의 고온이 되어 평탄화층(30)이 변형되었다고 해도 그 위의 적층층(40)에 대해서는 적층층(40)의 Tg보다도 25 °C 이상 낮은 온도가므로 변형이 억제된다.

또한, 통상, 유기 EL 패널의 제조 공정에 있어서 하부 전극 상에 발생하는 이물질은 유기층의 두께 미만, 예를 들어 200 nm 미만의 크기이지만, 이 범위에 있어서는, 상기한 평탄화층(30) 및 적층층(40)의 구성에 의해 충분히 리크 전류의 발생을 방지할 수 있다.

그러나, 때로는 배선의 에칭 잔류물 등에 의해 그것보다도 큰 이물질이 발생하는 경우도 있다. 이 경우에는 평탄화층(30)에 의한 평탄화가 불충분해지고, 적층층(40)의 균일한 막 두께의 확보가 이루어지지 않아 리크가 발생하는 경우도 생긴다.

이와 같은 이물질, 예를 들어 직경이 200 nm 이상인 이물질이 존재하는 상태에 있어서, 평탄화층(30)이 어느 정도의 막 두께이면 충분한 평탄화를 확보할 수 있는지에 대해 조사를 행하였다. 그 예를 제3 검토예로서 나타낸다.

(제3 검토예)

여기서는, 특별히 직경 200 nm의 이물질(K)을 존재시켜 평탄화층(30)의 막 두께(d1)(도2 참조)를 바꾸고, 상기 각 검토에와 마찬가지로 고온 내구 구동 테스트를 행하여 리크 전류를 조사하였다. 그 결과를 도6에 나타낸다.

도6은 평탄화층(30)의 두께(단위 : nm)와 리크 전류(단위 : A)의 관계를 나타내는 그래프이다. 이 도면에 나타내는 결과로부터 더 확실하게 평탄화층(30)에 의한 평탄화를 행하기 위해서는 평탄화층(30)의 두께가 40 nm 이상이면 된다.

덧붙여서, 현미경 관찰에 따르면, 평탄화층(30)의 두께가 40 nm 이상인 경우에는 상기한 바와 같은 큰 이물질(K)이라도 상기 도2에 도시된 바와 같은 충분한 평탄화가 실현된다. 그러나, 40 nm 미만인 경우에는, 도7에 도시된 바와 같이 큰 이물질(K)에 의한 단차가 남은 상태가 된다. 그로 인해, 이 단차 상에 형성되는 적층층(40)의 막 두께를 균일하게 확보할 수 없어 리크가 발생한다고 사료된다.

또한, 본 실시 형태에 있어서는 하부 전극인 양극(20)과 평탄화층(30) 사이에 이들 양층(20, 30)의 밀착성을 더 높이기 위한 동 프타로시아닌(CuPc)층이 개재되어 있어도 좋다. 이 CuPc층은 정공 주입층으로서 기능한다.

이 CuPc층을 개재시킨 예에 대해서도 검토를 행하였다. 상기 제1 검토에 나타낸 구성의 유기 EL 패널에 있어서, 증착법에 의해 두께 15 nm의 CuPc층을 양극(20)과 평탄화층(30) 사이에 개재시킨 것을 제작하였다.

그리고, 이 패널에 대해 상기 고온 내구 구동 테스트와 마찬가지로 80 °C의 고온 구동 및 100 °C의 고온 보존을 행한 후의 80 °C의 고온 구동을 행하였지만, 이들의 경우에 있어서도 1000 시간 이상, 상하 전극(20, 80)의 단락에 이르는 문제점은 전혀 발생하지 않았다. 또한, 고온 작동 및 고온 보존에 의한 휘도 저하도 10 % 이상 억제할 수 있었다.

또한, 적층층(40)은 평탄화층(30)의 Tg 이상의 온도를 갖는 정공 수송성 재료로 이루어지지만, 상기 제조 방법에서는, 적층층(40)의 형성에 있어서는 평탄화층(30)의 용융 처리 온도 이상의 Tg를 갖는 정공 수송성 재료를 채용하는 쪽이 좋다.

이는, 평탄화층(30)은 평탄화층(30)의 Tg 이상의 온도에서 용융 처리가 이루어지지만, 이 용융 처리 후에는 상기 용융 처리 온도 이하에서는 열변형되지 않는 것으로 되기 쉬워지기 때문이다. 그래서, 평탄화층(30)의 용융 처리 온도 이상의 Tg를 갖는 정공 수송성 재료를 이용하여 적층층(40)의 형성을 행하면, 적층층(40)을 평탄화층(30)보다도 열안정성이 높은 것으로 하기 쉽다.

또한, 본 실시 형태에서는, 상기 제조 방법에 나타낸 바와 같이 평탄화층(30)이 되는 막을 형성하는 동시에, 상기 막의 용융 처리를 행함으로써 평탄화층(30)을 완성시킨다. 여기서, 평탄화층(30)이 되는 막을 형성하는 공정에 있어서 상기 막을 형성할 때에 동시에 기관(10)을 가열함으로써 용융 처리를 행하면, 상기 막의 형성과 동시에 평탄화층(30)이 완성되므로, 공정 수의 저감 등의 이점이 있다.

또한, 상기 도1에 도시되는 유기 EL 패널(100)의 구성은 어디까지나 일 실시 형태를 나타내는 것이고, 예를 들어 각 부(10 내지 80)의 재질은 상기 예에 나타낸 바와 같은 것으로 한정되는 것은 아니다.

또한, 기관 상에 하부 전극, 발광층을 포함하는 유기층, 상부 전극을 적층하여 이루어지는 유기 EL 패널에 있어서, 하부 전극과 발광층 사이에 상기 평탄화층과 상기 적층층이 개재되어 있으면, 예를 들어 전자 수송층이나 전자 주입층 등이 없는 것이라도 좋다. 또한, 적층층과 발광층 사이에 정공 수송층이 더 개재되어 있어도 좋다.

본 발명은 적절한 실시예를 참고로 하여 기술되었지만, 본 발명은 상기 실시예나 구조로 한정되는 것은 아니라고 이해된다. 본 발명은 다양한 변형예나 균등 범위 내의 변형도 포함하는 것으로 되어 있다. 게다가, 적절한 다양한 조합이나 형태, 혹은 이들에 1요소만, 그 이상, 혹은 그 이하를 포함하는 것 외의 조합이나 형태도 본 발명의 범주나 사상 범위에 들어간다고 이해된다.

발명의 효과

본 발명은 유기 EL 패널에 있어서, 고온에서의 구동이나 보존에 의한 리크 전류의 발생을 최대한 억제할 수 있다.

도면의 간단한 설명

도1은 본 발명의 실시 형태에 관한 유기 EL 패널의 개략 단면도.

도2는 평탄화층에 의한 평탄화의 모습을 도시하는 개략 단면도.

도3은 제1 검토예 및 제1 비교예의 유기 EL 패널에 있어서의 내구 시간과 리크 전류의 관계를 나타내는 그래프.

도4는 적층층의 두께와 리크 전류의 관계를 나타내는 그래프.

도5는 역방향의 전계 강도와 리크 전류의 관계를 나타내는 그래프.

도6은 평탄화층의 두께와 리크 전류의 관계를 나타내는 그래프.

도7은 이물질에 의한 단차가 남은 상태를 도시하는 개략 단면도.

도8은 일반적인 유기 EL 패널의 에너지 준위 모델을 도시하는 도면.

도9는 정공 수송성 재료의 화학식을 나타내는 도면.

도10은 다른 정공 수송성 재료의 화학식을 나타내는 도면.

도11은 적층 두께 전계 강도와 리크 발생률의 관계를 나타내는 그래프.

<도면의 주요 부분에 대한 부호의 설명>

10 : 유리 기판

20, 80 : 상하 전극

30 : 평탄화층

40 : 적층층

50 : 발광층

60 : 전자 수송층

70 : 전자 주입층

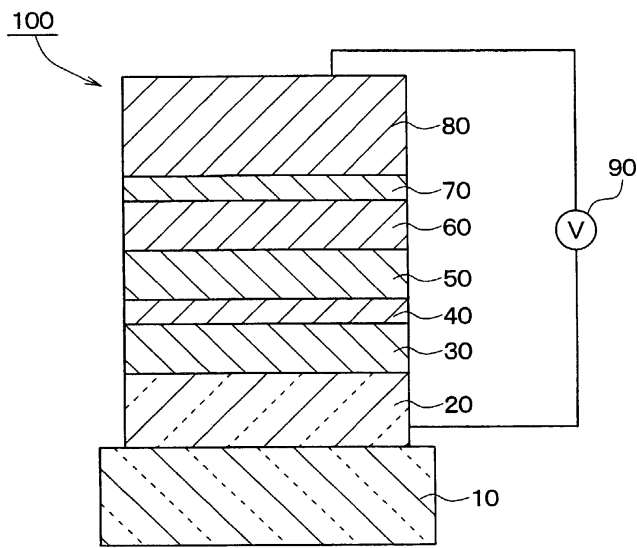
90 : 전압 인가 수단

100 : 유리 EL 패널

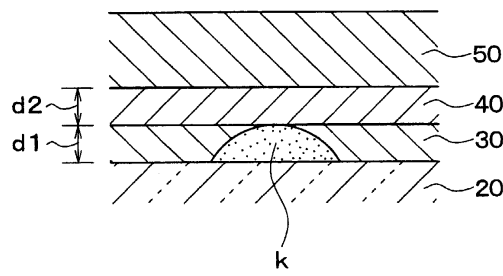
K : 이물질

도면

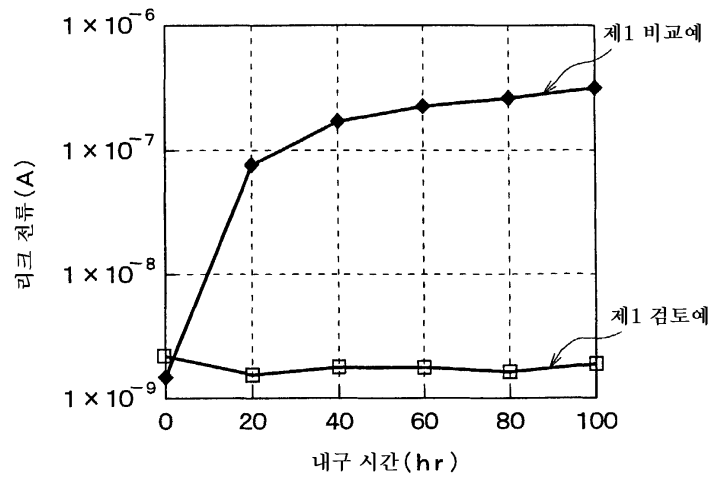
도면1



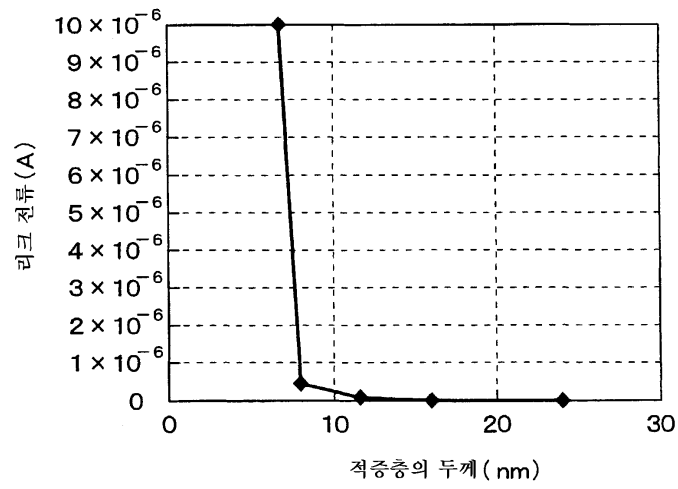
도면2



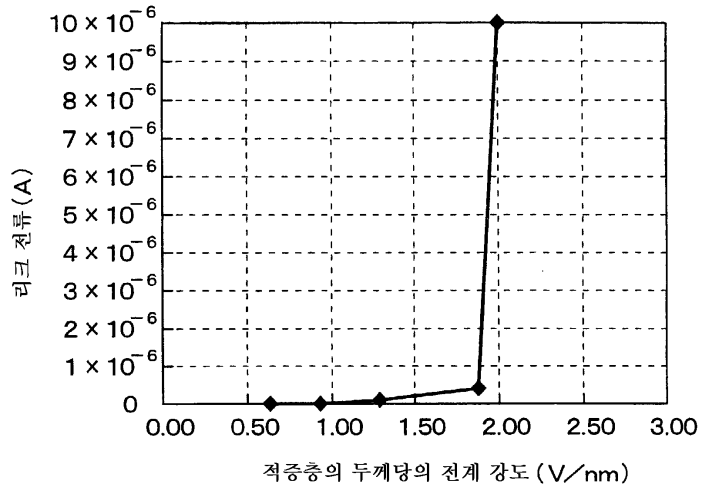
도면3



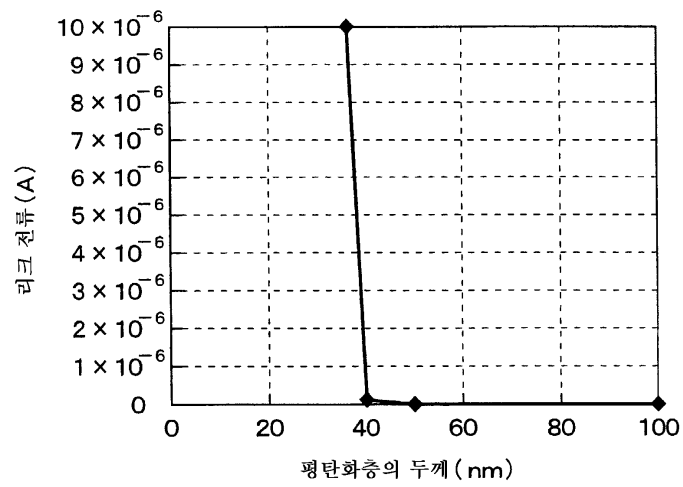
도면4



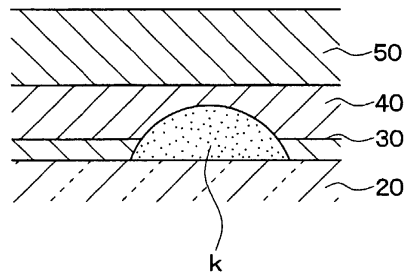
도면5



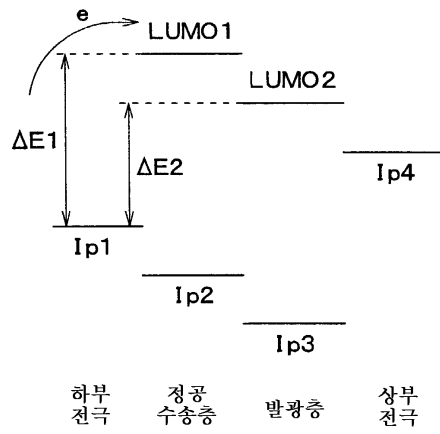
도면6



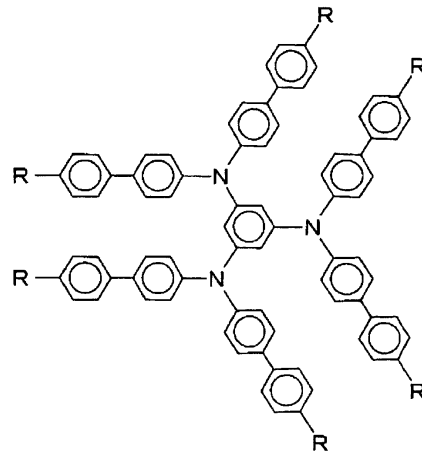
도면7



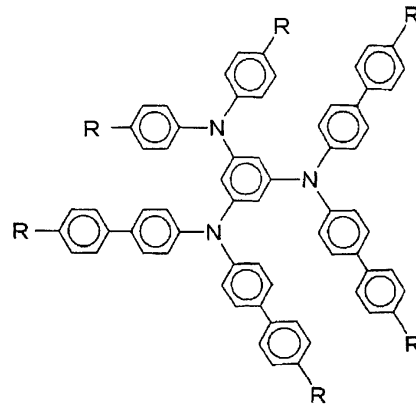
도면8



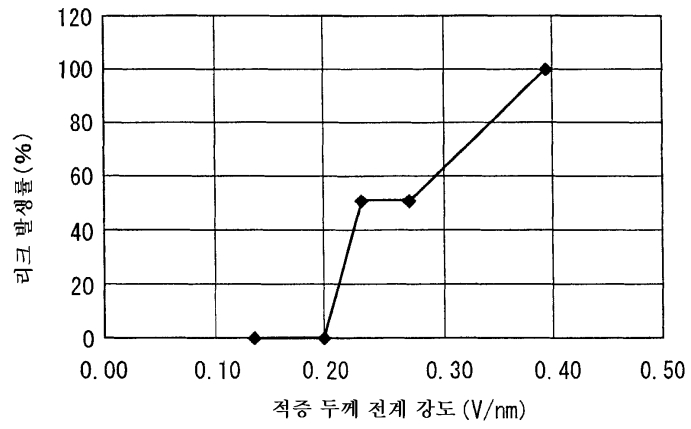
도면9



도면10



도면11



专利名称(译)	有机EL面板及其制造方法		
公开(公告)号	KR100744282B1	公开(公告)日	2007-07-30
申请号	KR1020060080824	申请日	2006-08-25
[标]申请(专利权)人(译)	日本电装株式会社		
申请(专利权)人(译)	株式会社电装		
当前申请(专利权)人(译)	株式会社电装		
[标]发明人	SUZUKI HARUMI 스즈끼하루미 KATO HIROMICHI 가토오히로미찌 KATAYAMA MASAYUKI 가따야마 마사유키 KATO TETSUYA 가토오데쯔야		
发明人	스즈끼하루미 가토오히로미찌 가따야마 마사유키 가토오데쯔야		
IPC分类号	H05B33/10 H05B33/14		
CPC分类号	H01L51/5056 H05B33/20 H01L51/56 H05B33/10		
代理人(译)	Juseongmin 浮石前		
优先权	2005245518 2005-08-26 JP 2006206169 2006-07-28 JP		
其他公开文献	KR1020070024409A		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机电致发光板及其制造方法，以防止在高温下产生漏电流。结构：有机电致发光板包括基板（10），下电极（20），有机层（30-50）和上电极（80）。有机层包括平坦化层，叠层和发光层。下电极，有机层和上电极依次层叠在基板上。平坦化层和叠层设置在下电极和发光层之间。平坦化层由空穴接收材料制成，以在下电极上执行凹凸的平面化。叠层由空穴接收材料制成，其玻璃化转变温度高于平坦化层的温度。©KIPO 2007

