

도 3

특허청구의 범위

청구항 1.

도전성 기관과;

상기 기관의 일면상에 형성되어 상기 기관의 일부분을 노출시키는 콘택홀을 구비하는 제1절연막과;

상기 제1절연막상에 형성된 반도체층, 게이트 및 소오스/드레인 전극을 구비한 박막 트랜지스터와;

상기 박막 트랜지스터의 소오스/드레인 전극중 하나의 전극에 연결된 화소전극을 구비하는 표시소자를 포함하며,

상기 박막 트랜지스터의 소오스/드레인 전극중 다른 하나의 전극이 상기 콘택홀을 통해 상기 기관과 전기적으로 연결되는 것을 특징으로 하는 평판표시장치.

청구항 2.

제1항에 있어서, 상기 기관은 금속막으로 된 플렉서블 기관을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 3.

제1항에 있어서, 상기 제1절연막은 버퍼층을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 4.

제1항에 있어서, 상기 표시소자는

상기 화소전극과;

상기 화소전극의 일부분을 노출시키는 개구부를 구비하는 제2절연막과;

상기 개구부내의 화소전극상에 형성된 유기막층과;

기관상에 형성된 상부전극을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 5.

삭제

청구항 6.

제4항에 있어서, 상기 기관의 다른 면상에 형성되어, 상기 기관의 다른 면을 절연시켜 주기 위한 제3절연막을 더 포함하는 것을 특징으로 하는 평판표시장치.

청구항 7.

다수의 화소영역을 구비하는 도전성 기관과;

상기 기관상에 형성되고, 상기 다수의 화소영역의 일부분을 각각 노출시키는 다수의 콘택홀을 구비하는 제1절연막과;

각 화소영역마다 상기 제1절연막상에 형성되고, 섬형태의 소오스/드레인 전극을 구비하는 다수의 박막 트랜지스터와;

각 화소영역마다 상기 제1절연막상에 형성되고, 상기 박막 트랜지스터의 소오스/드레인 전극중 하나의 전극에 연결되는 화소전극을 구비하는 표시소자를 포함하며,

상기 기관은 상기 콘택홀을 통해 각 박막 트랜지스터의 소오스/드레인 전극중 다른 하나의 전극에 연결되어, 상기 다수의 박막 트랜지스터로 전원전압을 공급하는 전원전압층으로 작용하는 것을 특징으로 하는 평판표시장치.

청구항 8.

제7항에 있어서, 상기 기관은 금속막으로 된 플렉서블 기관을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 9.

제6항에 있어서, 상기 제1절연막은 버퍼층인 것을 특징으로 하는 평판표시장치.

청구항 10.

제6항에 있어서, 상기 각 표시소자는

상기 화소전극과;

상기 화소전극의 일부분을 노출시키는 개구부를 구비하는 제2절연막과;

상기 개구부내의 화소전극상에 형성된 유기막층과;

기관상에 형성된 상부전극을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 11.

삭제

청구항 12.

제11항에 있어서, 상기 기관의 다른 면상에 형성되어, 상기 기관의 다른 면을 절연시켜 주기 위한 제3절연막을 더 포함하는 것을 특징으로 하는 평판표시장치.

청구항 13.

도전성 기관상에 제1절연막을 형성하는 단계와;

상기 제1절연막상에 소오스/드레인 영역을 구비하는 반도체층과 게이트를 형성하는 단계와;

기관상에 제2절연막을 형성하는 단계와;

상기 제1절연막과 제2절연막을 식각하여 상기 반도체층의 소오스/드레인 영역의 일부분을 노출시키는 제1콘택홀과 상기 기관의 일부분을 노출시키는 제2콘택홀을 형성하는 단계와;

상기 제1콘택홀을 통해 상기 반도체층의 소오스/드레인 영역과 각각 콘택되는 소오스전극/드레인 전극을 형성하는 단계와;

상기 소오스/드레인 전극중 하나의 전극에 연결되는 화소전극을 구비하는 표시소자를 형성하는 단계를 포함하며,

상기 소오스/드레인 전극중 다른 하나의 전극은 상기 제2콘택홀을 통해 상기 기관과 전기적으로 연결되는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 14.

제13항에 있어서, 상기 기관은 금속막으로 된 플렉서블 기관을 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 15.

제13항에 있어서, 상기 제1절연막은 버퍼층을 포함하고, 상기 제2절연막은 층간 절연막을 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 16.

제13항에 있어서, 상기 표시소자를 제조하는 방법은

상기 화소전극을 형성하는 단계와;

상기 화소전극의 일부분을 노출시키는 개구부를 구비하는 제3절연막을 형성하는 단계와;

상기 개구부내의 화소전극상에 유기막층을 형성하는 단계와;

기관상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 17.

삭제

청구항 18.

제16항에 있어서, 상기 기관의 다른 면상에 형성되어, 상기 기관의 다른 면을 절연시켜 주기 위한 제4절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로서, 보다 구체적으로는 금속박막(metal foil)의 기판을 전원공급층으로 이용한 플렉서블 유기전계 발광표시장치 및 그의 제조방법에 관한 것이다.

유기전계 발광소자는 발광층이 개재되는 두 전극에 인가되는 전압에 따라 발광층으로부터 광이 발광되는 자발광형 표시소자로서, 액정표시소자에 비하여 시야각이 넓고, 콘트라스트가 우수하며, 응답속도가 빠르다는 이점으로 차세대 평판표시소자로 주목받고 있다.

도 1은 종래의 유기전계 발광표시장치의 평면구조를 도시한 것이다.

도 1을 참조하면, 종래의 유기전계 발광표시장치는 게이트 라인(10), 데이터 라인(20) 및 전원라인(30)과 화소영역(40)에 배열되는 화소(50)를 구비한다. 상기 화소(50)는 스위칭 박막 트랜지스터(60), 캐패시터(70), 구동 박막 트랜지스터(80) 및 화소전극(160)을 구비한 유기전계 발광소자를 포함한다.

상기 스위칭 박막 트랜지스터(60)는 반도체층(61), 게이트 전극(63) 및 콘택홀(64), (66)을 통해 상기 반도체층(61)에 연결되는 소오스/드레인 전극(65), (67)을 구비한다. 상기 캐패시터(70)는 콘택홀(68)을 통해 상기 스위칭 박막 트랜지스터(60)의 드레인 전극(67)에 연결되는 하부전극(127)과 상부전극(147)을 구비한다.

상기 구동 박막 트랜지스터(80)는 반도체층(110), 게이트전극(125) 및 콘택홀(131), (135)를 통해 상기 반도체층(110)에 연결되는 소오스전극(141)과 드레인 전극(145)을 구비한다. 상기 EL소자는 상기 구동 박막 트랜지스터(80)에 연결되어 개구부(175)를 통해 노출되는 화소전극인 애노드전극(160)을 구비한다.

도 2는 종래의 유기전계 발광표시장치의 단면구조를 도시한 것으로서, 도 1의 I-I 선에 따른 단면구조를 도시한 것이다. 도 2에는 유기전계 발광표시장치중 EL소자와 상기 EL소자를 구동하기 위한 구동박막 트랜지스터 및 캐패시터의 단면구조에 한정하여 도시한 것이다.

도 2를 참조하면, 유리기판(100)상에 소오스/드레인 영역(111), (115) 및 채널영역(113)을 구비하는 반도체층(110)이 형성되고, 게이트 절연막(120)상에 캐패시터(70)의 하부전극(127)과 게이트(125)가 형성된다. 층간 절연막(130)상에 상기 소오스/드레인 영역(111), (115)과 콘택되는 소오스/드레인 전극(141), (145) 그리고 캐패시터(70)의 상부전극(145)이 형성된다.

보호막(150)상에 비어홀(155)을 통해 상기 소오스/드레인 전극(141), (145)중 드레인전극(145)에 연결되는 화소전극인 애노드전극(160)이 형성된다. 화소분리막(170)은 상기 애노드전극(160)을 노출시키는 개구부(175)를 구비하며, 상기 개구부(175)내의 애노드전극(160)상에 유기막층(170)이 형성되고, 기판상에 캐소드전극(190)이 형성된다.

상기 한 바와같은 종래의 유기전계 발광표시장치는 게이트전극(125)을 형성할 때 게이트라인(10) 및 캐패시터 하부전극(127)을 형성하고, 소오스/드레인 전극(141), (145)을 형성할 때 데이터라인(20) 및 전원공급층(30) 그리고 캐패시터 상부전극(147)을 형성한다.

그러므로, 하나의 층상에 2개의 신호라인이 존재하기 때문에, 상기 전원라인은 라인형태를 갖도록 패터닝된다. 따라서, 전원라인을 통해 전원전압을 화소에 공급할 때, 라인형태의 전원공급라인을 통해 발생하는 전압강하에 의해 화소의 위치에 따라 화소에 인가되는 전원전압이 불균일하게 된다. 이로 인하여 휘도불균일이 발생하여 표시품질이 저하되는 문제점이 있었다.

또한, 하나의 층상에 2개의 신호라인이 인접하여 배열되는 경우, 공정중에 발생하는 파티클에 의해 도 1에 도시된 바와같이 데이터라인(20)과 전원라인(30)간에 쇼트(90)가 발생하는 문제점이 있었다.

종래에는 라인결합을 방지하고 전압강하를 방지하기 위하여 별도의 전원공급층을 형성하는 기술이 제안되었다. 국내 공개특허 제2003-0049385호에는 기판상에 전원전압을 공급하기 위한 전원공급층을 별도로 형성한 전면발광구조를 갖는 유기전계 발광표시장치가 개시되었다. 상기 특허는 유리기판상에 전면전극을 형성하고, 유리기판상에 전면전극을 형성하고, 이 전면전극을 통해 각 화소로 전원공급층을 공급한다. 그러나, 상기 특허는 별도의 전원공급층을 형성하기 위한 공정이 추가되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 종래기술의 문제점을 해결하기 위한 것으로서, 금속박으로 된 기판을 전원공급층으로 이용하여 라인결합 및 전압강하를 방지할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명은 도전성 기판과; 상기 기판의 일면상에 형성되어 상기 기판의 일부분을 노출시키는 콘택홀을 구비하는 제1절연막과; 상기 제1절연막상에 형성된 반도체층, 게이트 및 소오스/드레인 전극을 구비한 박막 트랜지스터와; 상기 박막 트랜지스터의 소오스/드레인 전극중 하나의 전극에 연결된 화소전극을 구비하는 표시소자를 포함하며, 상기 박막 트랜지스터의 소오스/드레인 전극중 다른 하나의 전극이 상기 콘택홀을 통해 상기 기판과 전기적으로 연결되는 평판표시장치를 제공하는 것을 특징으로 한다.

상기 기판은 금속박으로 된 플렉서블 기판을 포함하고, 상기 제1절연막은 버퍼층을 포함한다.

상기 표시소자는 상기 화소전극과; 상기 화소전극의 일부분을 노출시키는 개구부를 구비하는 제2절연막과; 상기 개구부내의 화소전극상에 형성된 유기막층과; 기판상에 형성된 상부전극을 포함한다. 상기 제2절연막은 0.5 μ m 이상의 두께를 갖는다.

본 발명의 평판표시장치는 상기 기판의 다른 면상에 형성되어, 상기 기판의 다른 면을 절연시켜 주기 위한 제3절연막을 더 포함한다.

또한, 본 발명은 다수의 화소영역을 구비하는 도전성 기판과; 상기 기판의 일면상에 형성되고, 상기 다수의 화소영역의 일부분을 각각 노출시키는 다수의 콘택홀을 구비하는 제1절연막과; 각 화소영역마다 상기 제1절연막상에 형성되고, 섬형태의 소오스/드레인 전극을 구비하는 다수의 박막 트랜지스터와; 각 화소영역마다 상기 제1절연막상에 형성되고, 상기 박막 트랜지스터의 소오스/드레인 전극중 하나의 전극에 연결되는 화소전극을 구비하는 표시소자를 포함하며, 상기 기판은 상기 콘택홀을 통해 각 박막 트랜지스터의 소오스/드레인 전극중 다른 하나의 전극에 연결되어, 상기 다수의 박막 트랜지스터로 전원전압을 공급하는 전원전압층으로 작용하는 평판표시장치를 제공하는 것을 특징으로 한다.

또한, 본 발명은 도전성 기판상에 제1절연막을 형성하는 단계와; 상기 제1절연막상에 소오스/드레인 영역을 구비하는 반도체층과 게이트를 형성하는 단계와; 기판상에 제2절연막을 형성하는 단계와; 상기 제1절연막과 제2절연막을 식각하여 상기 반도체층의 소오스/드레인 영역의 일부분을 노출시키는 제1콘택홀과 상기 기판의 일부분을 노출시키는 제2콘택홀을 형성하는 단계와; 상기 제1콘택홀을 통해 상기 반도체층의 소오스/드레인 영역과 각각 콘택되는 소오스전극/드레인 전극을 형성하는 단계와; 상기 소오스/드레인 전극중 하나의 전극에 연결되는 화소전극을 구비하는 표시소자를 형성하는 단계를 포함하며, 상기 소오스/드레인 전극중 다른 하나의 전극은 상기 제2콘택홀을 통해 상기 기판과 전기적으로 연결되는 평판표시장치의 제조방법을 제공하는 것을 특징으로 한다.

상기 표시소자를 제조하는 방법은 상기 화소전극을 형성하는 단계와; 상기 화소전극의 일부분을 노출시키는 개구부를 구비하는 제3절연막을 형성하는 단계와; 상기 개구부내의 화소전극상에 유기막층을 형성하는 단계와; 기판상에 상부전극을 형성하는 단계를 포함한다. 상기 제3절연막은 0.5 μ m 이상의 두께를 갖는다.

이하 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 3은 본 발명의 실시예에 따른 플렉서블 유기전계 발광표시장치의 평면도를 도시한 것이다.

도 3을 참조하면, 본 발명의 유기전계 발광표시장치는 금속박으로 된 플렉서블 기판(300)을 구비한다. 상기 기판(300)상에 게이트 라인(210) 및 데이터 라인(220)이 배열되고, 상기 게이트라인(210) 및 데이터라인(220)에 의해 한정되는 화소영역(240)에 화소(250)를 배열된다. 상기 화소(250)는 스위칭 박막 트랜지스터(260), 캐패시터(270), 구동 박막 트랜지스터(280) 및 화소전극(260)을 구비한 유기전계 발광소자를 포함한다.

상기 스위칭 박막 트랜지스터(260)는 소오스/드레인 영역(도면상에는 도시되지 않음)을 구비한 반도체층(261), 게이트라인(210)에 연결되는 게이트 전극(263) 및 콘택홀(264), (266)을 통해 상기 반도체층(261)의 소오스/드레인 영역에 연결되는 소오스/드레인 전극(265), (267)을 구비한다. 상기 소오스전극(265)은 데이터라인(220)에 연결된다.

상기 캐패시터(270)는 콘택홀(268)을 통해 상기 스위칭 박막 트랜지스터(260)의 드레인 전극(267)에 연결되는 하부전극(327)과, 상기 하부전극(327) 상부에 형성된 상부전극(347)을 구비한다.

상기 구동 박막 트랜지스터(280)는 소오스/드레인 영역(311), (315)이 형성된 반도체층(310), 상기 캐패시터(270)의 하부전극(327)에 연결되는 게이트전극(325) 및 상기 반도체층(310)에 형성된 소오스/드레인 영역(311), (315)과 콘택(331), (335)을 통해 전기적으로 콘택되는 소오스/드레인 전극(341), (345)을 구비한다. 상기 소오스전극(341)은 상기 캐패시터(270)의 상부전극(347)에 연결된다.

상기 EL소자는 상기 구동 박막 트랜지스터(280)의 드레인전극(345)에 비어홀(355)을 통해 연결되는 화소전극인 애노드전극(360)과, 개구부(375)에 의해 노출되는 상기 애노드전극(360)상에 형성된 유기막층(380) 및 기판상에 형성된 캐소드전극(390)을 구비한다.

도 4는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 4는 도 3의 II-II 선에 따른 유기전계 발광표시장치의 단면도를 도시한 것으로서, 구동 박막 트랜지스터(280), 캐패시터(270) 및 EL소자에 한정하여 도시한 것이다.

도 4를 참조하여 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 제조방법을 설명하면 다음과 같다.

먼저, 금속박으로 된 기판(300)의 일면상에 제1절연막(305)을 형성한다. 상기 제1절연막(305)은 버퍼층을 포함한다. 상기 버퍼층(305)상에 폴리실리콘막을 형성한 다음 패터닝하여 구동 박막 트랜지스터(280)의 반도체층을 형성한다. 상기 반도체층(310)으로 폴리실리콘막 대신에 비정질 실리콘막을 사용할 수도 있다.

기판상에 제2절연막으로서 게이트 절연막(320)을 형성하고, 게이트 절연막(320)상에 게이트 전극물질을 증착한 다음 패터닝하여 상기 반도체층(310)상부에 게이트(325)를 형성하고, 상기 게이트(325)와 떨어져 캐패시터(270)의 하부전극(327)을 형성한다. 상기 반도체층(310)으로 소정 도전형의 불순물, 예를 들어 p형 도전형의 불순물을 주입하여 상기 반도체층(310)에 소오스/드레인 영역(311), (315)을 형성한다.

기판상에 제3절연막으로서 층간 절연막(330)을 형성하고, 상기 게이트 절연막(320)과 층간 절연막(330)을 식각하여 상기 소오스/드레인 영역(311), (315)의 일부분을 노출시키는 콘택홀(331), (335)을 형성한다. 상기 콘택홀(331), (335) 형성시, 상기 층간 절연막(330), 게이트 절연막(320) 및 버퍼층(310)을 식각하여 상기 기판(300)의 일부분을 노출시키는 콘택홀(337)을 형성한다.

기판상에 소오스/드레인 전극물질을 증착한 다음 패터닝하여 상기 콘택홀(331), (335)을 통해 상기 반도체층(310)의 소오스/드레인 영역(311), (315)과 연결되는 소오스/드레인 전극(342), (345)을 형성한다. 상기 소오스/드레인 전극(342), (345)을 형성할 때, 상기 소오스전극(342)으로부터 연장 형성되는 상기 캐패시터(270)의 상부전극(347)을 상기 하부전극(327)상에 형성한다.

이때, 도전패턴(341)은 도 3에 도시된 바와 같이 섬형태의 패턴구조를 갖으며, 상기 구동 박막 트랜지스터(280)의 소오스전극(342)과 캐패시터(270)의 상부전극(347)으로 작용한다. 따라서, 상기 도전패턴(341)은 상기 콘택홀(337)을 통해 상기 기판(300)과 전기적으로 콘택되므로, 기판(300)으로부터 전원전압이 상기 구동 박막 트랜지스터(280)와 캐패시터(270)에 제공된다.

기판상에 제4절연막으로서 보호막(350)을 증착한 다음 상기 소오스/드레인 전극(342), (345)중 하나, 예를 들어 드레인 전극(345)의 일부분을 노출시키는 비어홀(355)을 형성한다. 기판상에 화소전극물질을 증착한 다음 패터닝하여 상기 비어홀(355)을 통해 상기 드레인 전극(345)에 연결되는 화소전극인 애노드전극(360)을 형성한다.

기판상에 제5절연막으로서 화소분리막(370)을 형성한 다음 상기 화소전극(360)의 일부분을 노출시키는 개구부(375)를 형성한다. 상기 개구부(375)내의 애노드전극(360)상에 유기막층(380)을 형성하고, 기판전면에 캐소드전극(390)을 형성한다. 상기 유기막층(380)은 전자주입층, 전자수송층, 발광층, 정공수송층, 정공주입층 및 정공억제층으로부터 선택되는 유기막층 포함한다.

본 발명의 실시예에 따른 유기전계 발광표시장치는 전면발광구조를 가지므로, 상기 애노드전극은 반사막을 포함하는 투명전극을 구비하고, 상기 캐소드전극은 투과전극을 포함한다.

상기한 바와같은 유기전계 발광표시장치는 도 3에 도시된 바와같이, 금속박으로 된 기판이 전원공급층으로 작용하므로, 전면전극형태의 전원공급층을 통해 각 화소로 전원전압을 공급하게 된다. 그러므로, 종래의 라인형태를 갖는 전원공급라인을 통해 각 화소로 전원전압을 공급하는 구조에 비하여 전면전극형태의 기판을 통해 각 화소로 전원전압을 공급하는 본 발명에서는 도 3의 화살표로 표시된 바와같이 모든 방향에서 전원전압이 인가되어 전압강하를 최소화할 수 있을 뿐만 아니라 화소의 배열위치에 따라 전원공급라인에서의 전압강하에 의한 전압불균일을 개선할 수 있다.

도 5는 본 발명의 일 실시예에 따른 플렉서블 유기전계 발광표시장치에 있어서, 기판과 소오스/드레인전극의 연결관계를 개략적으로 도시한 것이다.

도 5를 참조하면, 금속박으로 된 기판(300)은 다수의 화소영역(240)을 구비하며, 다수의 화소영역(240)의 일부분을 각각 노출시켜 주는 다수의 콘택홀(337)을 구비한다. 상기 다수의 화소영역(240)에는 섬형태를 갖는 다수의 도전패턴(341)이 각각 배열되며, 상기 다수의 도전패턴(341)은 콘택홀(337)을 통해 각각 상기 기판(300)과 전기적으로 연결된다.

상기 도전패턴(341)은 도 4에 도시된 바와 같이, 캐패시터(270)의 상부전극(347)과 상기 캐패시터(270)의 상부전극(347)에 연결되는 박막 트랜지스터(280)의 소오스/드레인 전극중 하나, 예를 들어 소오스 전극으로 작용한다. 그러므로, 기판(300)으로부터 섬형태의 도전패턴(341)으로 공급되어 캐패시터(170)와 박막 트랜지스터(280)로 전원전압이 공급되어진다.

도 6은 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 단면구조를 도시한 것이다. 도 3의 II-II선에 따른 단면구조를 도시한 것으로서, 유기전계 발광소자, 캐패시터 및 구동 박막 트랜지스터에 한정하여 도시한 것이다. 본 발명의 다른 실시예에 따른 유기전계 발광표시장치는 일 실시예에 따른 유기전계 발광표시장치와 동일한 구조를 갖는다. 다만, 기판의 타면에 전원공급층으로 사용되는 기판을 절연시켜 주기 위한 절연막이 형성되는 것만이 다르다.

도 6을 참조하면, 본 발명의 다른 실시예에 따른 유기전계 발광표시장치는 금속박으로 된 플렉서블 기판(400)을 구비한다. 상기 기판(400)의 일면상에 제1절연막으로서 버퍼층(405)이 형성되고, 상기 버퍼층(405)상에 구동 박막 트랜지스터(380)의 반도체층(410)이 형성된다. 상기 반도체층(410)은 소정 도전형, 예를 들어 p형 불순물이 도핑된 소오스/드레인 영역(411), (415)을 구비한다.

기판상에 제2절연막으로서 게이트 절연막(420)이 형성되고, 상기 게이트 절연막(420)중 상기 반도체층(410)에 대응하는 부분에 게이트(425)가 형성되고, 상기 게이트(425)과 떨어져 캐패시터(370)의 하부전극(427)이 형성된다.

기판상에 제3절연막으로서 층간 절연막(430)이 형성된다. 상기 게이트 절연막(420)과 층간 절연막(430)에는 상기 반도체층(410)의 소오스/드레인 영역(411), (415)의 일부분을 노출시키는 콘택홀(431), (435)가 형성된다. 또한, 상기 층간 절연막(430)과 게이트 절연막(420) 및 버퍼층(405)에는 상기 기판(400)의 일부분을 노출시키는 콘택홀(437)이 형성된다.

상기 층간 절연막(430)상에 상기 콘택홀(431), (435)을 통해 상기 반도체층(410)의 소오스/드레인 영역(411), (415)과 전기적으로 콘택되는 소오스/드레인 전극(442), (445)을 형성하고, 상기 소오스/드레인 전극(442), (445)중 하나의 전극, 예를 들어 소오스전극(442)으로부터 연장되는 상기 캐패시터(370)의 상부전극(447)을 형성한다.

이때, 상기 구동 박막 트랜지스터(380)의 소오스/드레인 전극(442), (445)중 하나의 전극 즉 소오스 전극(442)과 상기 캐패시터(370)의 상부전극(447)을 구성하는 도전패턴(441)은 상기 콘택홀(437)을 통해 상기 금속박으로 된 기판(400)과 전기적으로 콘택되어진다. 따라서, 상기 기판(400)으로부터 상기 도전패턴(441)으로 전원전압이 공급되므로, 상기 구동 박막 트랜지스터(380)의 소오스전극(442)과 캐패시터(370)의 상부전극(447)에 전원전압이 인가되어진다.

기판상에 제4절연막으로서 보호막(450)이 형성된다. 상기 보호막(450)은 상기 구동 박막 트랜지스터(380)의 소오스/드레인 전극(442), (445)중 다른 하나의 전극, 즉 드레인 전극(445)의 일부분을 노출시키는 비어홀(455)을 구비한다.

상기 보호막(450)상에 상기 비어홀(455)을 통해 상기 구동 박막 트랜지스터(380)의 드레인 전극(445)에 연결되는 화소전극인 애노드전극(460)을 형성한다. 기판상에 상기 애노드전극(480)의 일부분을 노출시키는 개구부(475)를 구비하는 화소분리막(470)이 형성된다.

이때, 상기 화소분리막(480)과 버퍼층(405)과 같은 절연막은 버퍼층에 형성되는 박막 트랜지스터의 오동작을 방지하고, 기생 캐패시턴스를 방지하기 위하여 두께와 물질이 적절하게 선택되어야 한다. 특히, 상기 화소분리막(470)은 전원공급층으로 사용되는 기관(400)과의 기생 캐패시턴스를 고려하여 0.5 μ m 이상의 두께를 갖는 것이 바람직하다.

상기 개구부(475)내의 애노드전극(460)상에 유기막층(480)이 형성되고, 기관전면에 캐소드전극(490)이 형성된다. 상기 유기막층(480)은 정공주입층, 정공수송층, 발광층, 전자주입층, 전자수송층 및 정공억제층으로부터 선택되는 유기막을 포함한다.

또한, 본 발명의 다른 실시예에 따른 유기전계 발광표시장치는 기관(400)의 다른 면상에 형성되어, 전원공급층으로 사용하는 기관을 절연시켜 주기 위한 절연막(401)이 더 구비한다.

본 발명의 다른 실시예에 따른 유기전계 발광표시장치는 전면발광구조를 가지므로, 상기 애노드전극은 반사막을 포함하는 투명전극을 구비하고, 상기 캐소드전극은 투과전극을 포함한다.

본 발명은 표시소자의 화소전극을 구동하는 스위칭소자로서 박막 트랜지스터를 사용하고 기관으로 금속박과 같은 플렉서블 기관을 사용하는 평판표시장치에 있어서, 상기 기관을 전원공급층으로 사용하는 구조에는 모두 적용가능하다.

본 발명의 실시예에 따른 유기전계 발광표시장치의 화소가 하나의 스위칭 박막 트랜지스터, 하나의 구동 박막 트랜지스터 및 캐패시터와 유기전계 발광소자를 구비하는 것으로 예시하였으나, 이에 반드시 한정되는 것이 아니라 다양한 구조를 갖는 화소에 적용가능하다.

본 발명의 실시예는 도 4 및 도 6에 도시된 바와 같은 단면구조를 갖는 유기발광표시장치에 한정되는 것이 아니라 다양한 구조를 갖는 유기전계 발광표시장치에 적용가능하다.

발명의 효과

상기한 바와같은 본 발명의 실시예에 따르면, 금속박으로 된 기관을 전원공급층으로 사용하므로써 종래의 전원전압을 라인형태의 전원공급라인을 통해 화소에 제공하는 경우보다 전압강하를 방지할 수 있어 박막 트랜지스터의 특성 균일도를 개선시킬 수 있는 이점이 있다. 또한, 추가공정없이 기관을 박막 트랜지스터의 소오스/드레인 전극에 연결하여 전원공급층으로 사용하므로써 공정을 단순화할 수 있다.

또한, 금속박으로 된 기관을 전원공급층으로 사용하므로써 인접하는 라인에 공정중의 파티클에 의해 쇼트가 발생하는 것을 방지할 수 있으므로, 소자의 수율 및 신뢰성을 향상시킬 수 있는 이점이 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 종래의 유기전계 발광표시장치의 평면도,

도 2는 종래의 유기전계 발광표시장치의 단면도,

도 3은 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 평면도,

도 4는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면도,

도 5는 본 발명의 일 실시예에 따른 유기전계 발광표시장치에 있어서, 전원전압 공급층과 소오스/드레인 전극과의 관계를 보여주는 도면,

도 6는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 단면도,

* 도면의 주요 부분에 대한 부호의 설명 *

300, 400 : 금속기판 305, 405 : 버퍼층

310, 410 : 반도체층 320, 420 : 게이트 절연막

330, 430 : 층간 절연막 350, 450 : 보호막

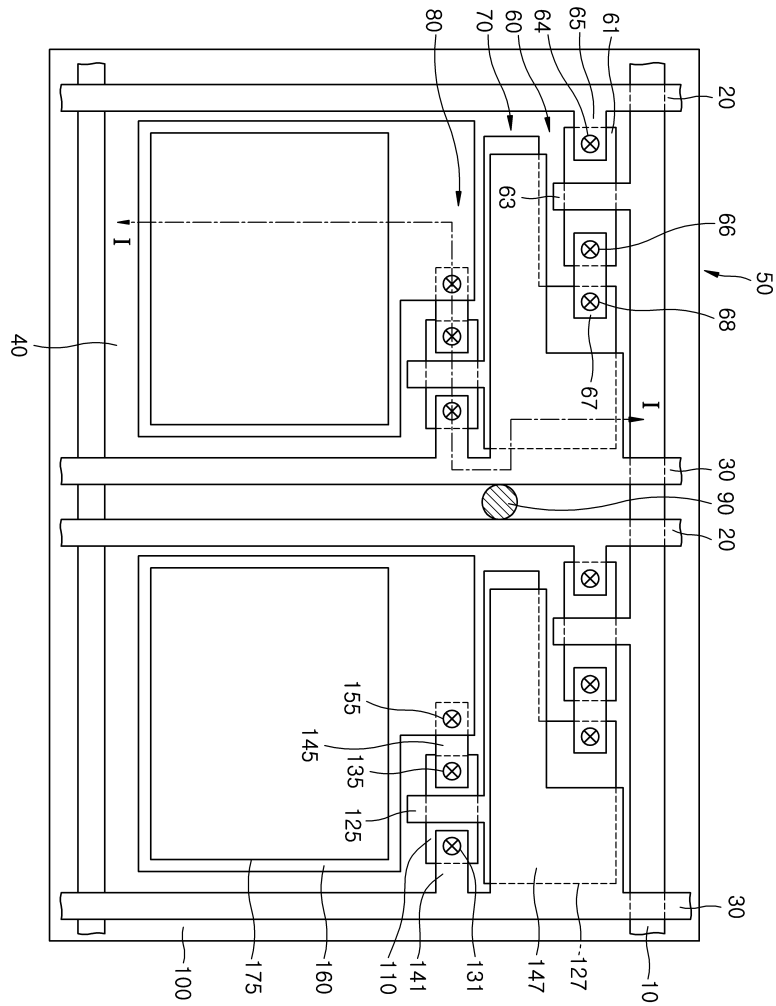
341, 345, 441, 445 : 소오스/드레인 전극

360, 460 : 애노드전극 370, 470 : 화소분리막

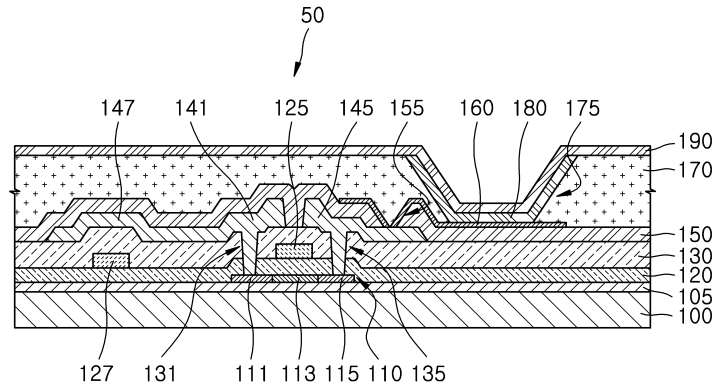
380, 480 : 유기막층 390, 490 : 캐소드전극

도면

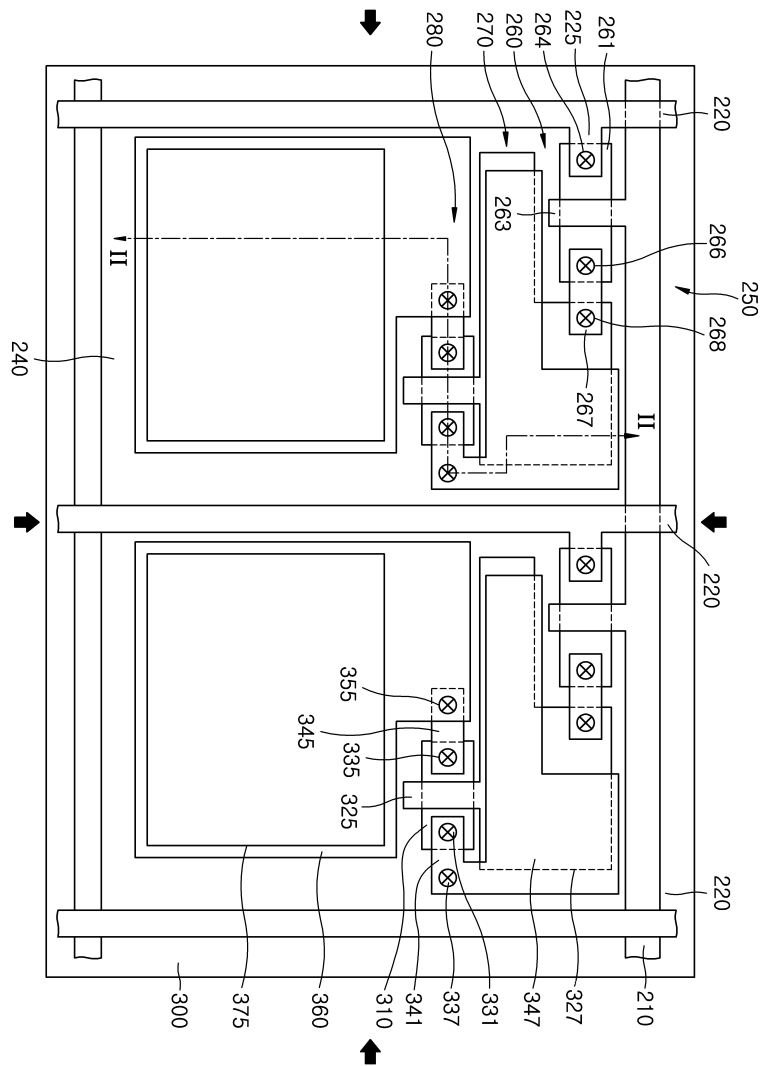
도면1



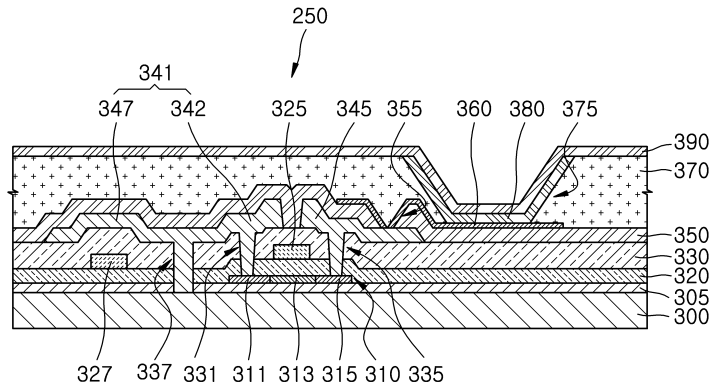
도면2



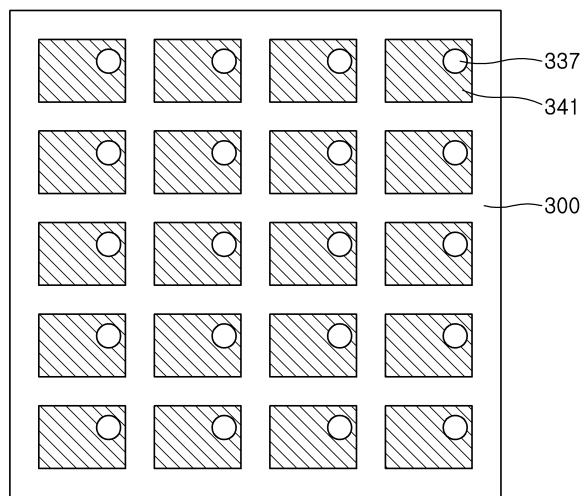
도면3



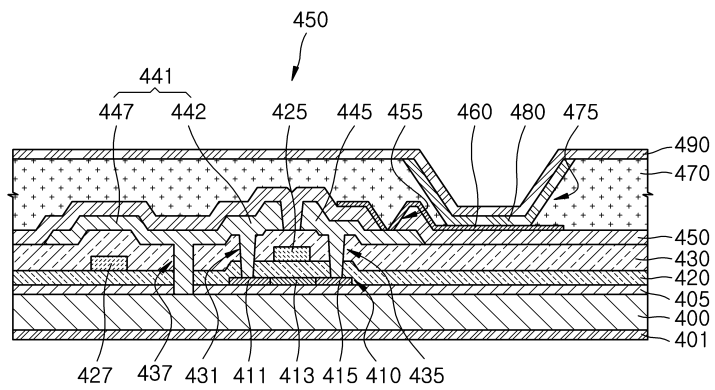
도면4



도면5



도면6



专利名称(译)	平板显示器及其制造方法		
公开(公告)号	KR100696479B1	公开(公告)日	2007-03-19
申请号	KR1020040094512	申请日	2004-11-18
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SHIN HYUNSOO 신현수 KOO JAEBON 구재본 MO YEONGON 모연곤		
发明人	신현수 구재본 모연곤		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L2251/5338 H01L51/52 H01L27/3276 H01L51/0096		
代理人(译)	李, 杨HAE		
其他公开文献	KR1020060055620A		
外部链接	Espacenet		

摘要(译)

一种平板显示装置，其能够使用由金属箔形成的导电基板作为电源层来防止线路缺陷和电压降，包括：导电基板（300）；第一绝缘层（305），形成在基板的一侧上，并具有暴露导电基板的一部分的接触孔；薄膜晶体管（TFT），具有形成在第一绝缘层上的半导体层（310），栅电极（325），以及源电极和漏电极（342,345）；显示元件具有连接到TFT的源极和漏极之一的像素电极（360）。TFT的源极和漏极中的另一个经由接触孔（337）电连接到导电基板（300）。

