



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월26일 10-0661041 2006년12월18일
--------------------------------------	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0091283 2005년09월29일 2005년09월29일	(65) 공개번호 (43) 공개일자	10-2006-0051848 2006년05월19일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2004-00289366 2004년09월30일 일본(JP)

(73) 특허권자 산요덴키가부시킴이샤
 일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 사사끼 아끼후미
 일본 기후켄 오가끼시 시즈사또쵸 1162-1

 마쓰모토 쇼이찌로
 일본 기후켄 오가끼시 미도리쵸 4-5 레일시티 오가끼 에끼마에507

(74) 대리인 장수길
 이중희
 구영창

심사관 : 최정윤

전체 청구항 수 : 총 6 항

(54) 유기 EL 화소 회로

(57) 요약

효과적으로 구동 TFT의 임계값 전압의 변동을 보상한다. 선택 TFT(20) 및 제어 TFT(30)를 오프, 단락 TFT(28) 및 리셋 제어 TFT(26)를 온하여, 구동 TFT(24)의 게이트 전압을 리셋한다. 다음으로, 제어 TFT(30)를 오프한 채로, 선택 TFT(20)를 온함과 함께, 단락 TFT(28) 및 리셋 제어 TFT(26)를 오프하여, 구동 TFT(24)의 게이트에 데이터 신호를 인가한다. 그 후, 선택 TFT(20)가 온인 기간에서 제어 TFT(30)를 온하고, 그 후 선택 TFT(20)를 오프함으로써 제어 TFT(30)가 온하였을 때에, 구동 TFT(24)의 게이트 전압이 내려 가는 것을 방지한다.

대표도

도 1

특허청구의 범위

청구항 1.

제어단의 전위에 따른 구동 전류를 전원으로부터 유기 EL 소자에 흘리는 구동 트랜지스터와,
 상기 구동 트랜지스터와 상기 유기 EL 소자 사이에 삽입 배치되고, 상기 구동 전류를 온 오프하는 제어 트랜지스터와,
 상기 구동 트랜지스터를 다이오드 접속할지의 여부를 제어하는 단락 트랜지스터와,
 데이터 라인으로부터의 데이터 신호를 상기 구동 트랜지스터의 제어단에 공급할지의 여부를 제어하는 선택 트랜지스터와,
 상기 선택 트랜지스터와 상기 구동 트랜지스터의 제어단 사이에 삽입 배치된 용량과,
 상기 용량의 상기 선택 트랜지스터측과 상기 전원 간의 접속을 온 오프하는 리세트 제어 트랜지스터
 를 구비하고,

선택 트랜지스터가 오프, 제어 트랜지스터가 온인 상태에서 단락 트랜지스터 및 리세트 제어 트랜지스터를 온한 후, 제어 트랜지스터를 오프하여 구동 트랜지스터의 제어단 전압을 소정 전압에 세트하고, 다음으로, 제어 트랜지스터를 오프한 채로, 단락 트랜지스터 및 리세트 제어 트랜지스터를 오프함과 함께, 선택 트랜지스터를 온하여, 구동 트랜지스터의 제어단에 데이터 전압을 인가하고, 그 후, 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후, 선택 트랜지스터를 오프하는 것을 특징으로 하는 유기 EL 화소 회로.

청구항 2.

제1항에 있어서,
 상기 선택 트랜지스터의 제어단이 접속되고, 선택 트랜지스터의 온 오프를 제어하는 제1 제어 라인과,
 상기 단락 트랜지스터 및 리세트 제어 트랜지스터의 제어단이 접속되고, 이들 트랜지스터의 온 오프를 제어하는 제2 제어 라인과,
 상기 제어 트랜지스터의 온 오프를 제어하는 제3 제어 라인
 을 구비하고,
 상기 제1 제어 라인을 활성화하고 있는 상태에서, 제3 제어 라인을 활성화하고, 그 후, 제1 제어 라인을 불활성화함으로써, 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후, 선택 트랜지스터를 오프하는 것을 특징으로 하는 유기 EL 화소 회로.

청구항 3.

제1항 또는 제2항에 있어서,
 상기 구동 트랜지스터는 p채널 트랜지스터이고, 상기 제어 트랜지스터는 n채널 트랜지스터인 것을 특징으로 하는 유기 EL 화소 회로.

청구항 4.

제3항에 있어서,

상기 구동 트랜지스터와 제어 트랜지스터 사이에 다이오드가 형성되어 있는 것을 특징으로 하는 유기 EL 화소 회로.

청구항 5.

제어단의 전위에 따른 구동 전류를 전원으로부터 유기 EL 소자에 흘리는 구동 트랜지스터와,
 상기 구동 트랜지스터와 상기 유기 EL 소자 사이에 삽입 배치되고, 상기 구동 전류를 온 오프하는 제어 트랜지스터와,
 상기 구동 트랜지스터를 다이오드 접속할지의 여부를 제어하는 단락 트랜지스터와,
 데이터 라인으로부터의 데이터 신호를 상기 구동 트랜지스터의 제어단에 공급할지의 여부를 제어하는 선택 트랜지스터와,
 상기 선택 트랜지스터와 상기 구동 트랜지스터의 제어단 사이에 삽입 배치된 제1 용량과,
 일단이 상기 구동 트랜지스터의 제어단과 접속되고 타단이 상기 전원에 접속된 제2 용량
 을 구비하고,

선택 트랜지스터가 오프, 제어 트랜지스터가 온인 상태에서, 단락 트랜지스터를 온한 후, 제어 트랜지스터를 오프하여 구동 트랜지스터의 제어단 전압을 소정 전압에 세트하고, 다음으로, 제어 트랜지스터를 오프한 채로, 단락 트랜지스터를 오프함과 함께, 선택 트랜지스터를 온하여, 구동 트랜지스터의 제어단에 데이터 전압을 인가하고, 그 후, 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후, 선택 트랜지스터를 오프하는 것을 특징으로 하는 유기 EL 화소 회로.

청구항 6.

제어단의 전위에 따른 구동 전류를 전원으로부터 유기 EL 소자에 흘리는 구동 트랜지스터와,
 상기 구동 트랜지스터와 상기 유기 EL 소자 사이에 삽입 배치되고, 상기 구동 전류를 온 오프하는 제어 트랜지스터와,
 상기 구동 트랜지스터를 다이오드 접속할지의 여부를 제어하는 단락 트랜지스터와,
 데이터 라인으로부터의 데이터 신호를 상기 구동 트랜지스터의 제어단에 공급할지의 여부를 제어하는 선택 트랜지스터와,
 상기 선택 트랜지스터와 상기 구동 트랜지스터의 제어단 사이에 삽입 배치된 용량
 을 구비하고,

데이터 라인을 소정 전위에 세트한 상태에서, 선택 트랜지스터 및 단락 트랜지스터를 온하여, 상기 용량의 일단을 데이터 라인과 동 전위로 함과 함께, 상기 구동 트랜지스터의 제어단 전하를 방전하고,

다음으로, 제어 트랜지스터를 오프하여 구동 트랜지스터의 제어단 전위를 소정 전위로 세트한 후, 단락 트랜지스터를 오프하고,

다음으로, 제어 트랜지스터를 오프한 채로, 데이터 라인에 데이터 전압을 세트하여 용량에 데이터 전압을 유지함과 함께, 구동 트랜지스터의 제어단에 데이터 신호를 인가하고, 그 후, 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후, 선택 트랜지스터를 오프하는 것을 특징으로 하는 유기 EL 화소 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

유기 EL 소자에 공급하는 구동 전류를 데이터 신호에 따라 제어하는 유기 EL 화소 회로에 관한 것이다.

자발광 소자인 일렉트로루미네센스(Electroluminescence : 이하, EL) 소자를 각 화소에 발광 소자로서 이용한 EL 표시 장치는, 자발광형임과 함께, 얇고 소비 전력이 작다는 등의 유리한 점이 있어, 액정 표시 장치(LCD)나 CRT 등의 표시 장치를 대체하는 표시 장치로서 주목받고 있다.

특히, EL 소자를 개별로 제어하는 박막 트랜지스터(TFT) 등의 스위치 소자를 각 화소에 설치하고, 화소마다 EL 소자를 제어하는 액티브 매트릭스형 EL 표시 장치에서는, 고정밀도의 표시가 가능하다.

이 액티브 매트릭스형 EL 표시 장치에서는, 기판 상에 복수개의 게이트 라인이 행(수평) 방향으로 신장되고, 복수개의 데이터 라인 및 전원 라인이 열(수직) 방향으로 신장되어 있고, 각 화소는 유기 EL 소자와, 선택 TFT, 구동 TFT 및 축적용량을 구비하고 있다. 게이트 라인을 선택함으로써 선택 TFT를 온하여, 데이터 라인 상의 데이터 전압(전압 비디오 신호)을 축적 용량에 충전하고, 이 전압으로 구동 TFT를 온하여, 전원 라인으로부터의 전력을 유기 EL 소자에 흘리고 있다.

발명이 이루고자 하는 기술적 과제

그러나, 이러한 화소 회로에서, 매트릭스 형상으로 배치된 화소 회로의 구동 TFT의 임계값 전압이 변동되면, 휘도가 변동되게 되어, 표시 품질이 저하된다고 하는 문제가 있다. 그리고, 표시 패널 전체의 화소 회로를 구성하는 TFT에 대하여, 그 특성을 동일하게 하는 것은 어려워져서, 그 온 오프의 임계값이 변동하는 것을 방지하는 것은 어렵다.

따라서, 구동 TFT에서의 임계값의 변동의 표시에 대한 영향을 방지하는 것이 요망된다.

여기서, TFT의 임계값의 변동에의 영향을 방지하기 위한 회로에 대해서는, 종래부터 각종 제안이 있다(예를 들면, 상기 특허 문헌 1).

그러나, 이 제안에서는, 임계값 변동의 보상을 하기 위한 회로를 필요로 한다. 따라서, 이러한 회로를 이용하면, 화소 회로의 소자 수가 증가하고, 개구율이 작아진다고 하는 문제가 있었다. 또한, 보상을 위한 회로를 추가한 경우, 화소 회로를 구동하기 위한 주변 회로에 대해서도 변경이 필요하게 된다고 하는 문제도 있었다.

본 발명은, 효과적으로 구동 트랜지스터의 임계값 전압의 변동을 보상할 수 있는 화소 회로를 제공한다.

발명의 구성

본 발명은, 제어단의 전위에 따른 구동 전류를 전원으로부터 유기 EL 소자에 흘리는 구동 트랜지스터와, 상기 구동 트랜지스터와 상기 유기 EL 소자 사이에 삽입 배치되고, 상기 구동 전류를 온 오프하는 제어 트랜지스터와, 상기 구동 트랜지스터를 다이오드 접속할지의 여부를 제어하는 단락 트랜지스터와, 데이터 라인으로부터의 데이터 신호를 상기 구동 트랜지스터의 제어단에 공급할지의 여부를 제어하는 선택 트랜지스터와, 상기 선택 트랜지스터와 상기 구동 트랜지스터의 제어단 사이에 삽입 배치된 용량과, 상기 용량의 상기 선택 트랜지스터측과 상기 전원 간의 접속을 온 오프하는 리셋 제어 트랜지스터를 구비하고, 선택 트랜지스터가 오프, 제어 트랜지스터가 온인 상태에서 단락 트랜지스터 및 리셋 제어 트랜지스터를 온한 후, 제어 트랜지스터를 오프하여 구동 트랜지스터의 제어단 전압을 소정 전압에 세트하고, 다음으로 제어 트랜지스터를 오프한 채로, 단락 트랜지스터 및 리셋 제어 트랜지스터를 오프함과 함께, 선택 트랜지스터를 온하여, 구동 트랜지스터의 제어단에 데이터 전압을 인가하고, 그 후 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후 선택 트랜지스터를 오프하는 것을 특징으로 한다.

또한, 상기 선택 트랜지스터의 제어단이 접속되고, 선택 트랜지스터의 온 오프를 제어하는 제1 제어 라인과, 상기 단락 트랜지스터 및 리셋 제어 트랜지스터의 제어단이 접속되고, 이들 트랜지스터의 온 오프를 제어하는 제2 제어 라인과, 상기 제어 트랜지스터의 온 오프를 제어하는 제3 제어 라인을 구비하고, 상기 제1 제어 라인을 활성화하고 있는 상태에서, 제3 제어 라인을 활성화하고, 그 후 제1 제어 라인을 불활성화함으로써, 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후 선택 트랜지스터를 오프하는 것이 바람직하다.

또한, 상기 구동 트랜지스터는 p채널 트랜지스터이고, 상기 제어 트랜지스터는 n채널 트랜지스터인 것이 바람직하다.

또한, 상기 구동 트랜지스터와 제어 트랜지스터 사이에 다이오드가 형성되어 있는 것이 바람직하다.

또한, 본 발명은, 제어단의 전위에 따른 구동 전류를 전원으로부터 유기 EL 소자에 흘리는 구동 트랜지스터와, 상기 구동 트랜지스터와 상기 유기 EL 소자 사이에 삽입 배치되고, 상기 구동 전류를 온 오프하는 제어 트랜지스터와, 상기 구동 트랜지스터를 다이오드 접속할지의 여부를 제어하는 단락 트랜지스터와, 데이터 라인으로부터의 데이터 신호를 상기 구동 트랜지스터의 제어단에 공급할지의 여부를 제어하는 선택 트랜지스터와, 상기 선택 트랜지스터와 상기 구동 트랜지스터의 제어단 사이에 삽입 배치된 제1 용량과, 일단이 상기 구동 트랜지스터의 제어단과 접속되고 타단이 상기 전원에 접속된 제2 용량을 구비하고, 선택 트랜지스터가 오프, 제어 트랜지스터가 온인 상태에서, 단락 트랜지스터를 온한 후, 제어 트랜지스터를 오프하여 구동 트랜지스터의 제어단 전압을 소정 전압에 세트하고, 다음으로 제어 트랜지스터를 오프한 채로, 단락 트랜지스터를 오프함과 함께, 선택 트랜지스터를 온하여, 구동 트랜지스터의 제어단에 데이터 전압을 인가하고, 그 후 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후 선택 트랜지스터를 오프하는 것을 특징으로 한다.

또한, 본 발명은, 제어단의 전위에 따른 구동 전류를 전원으로부터 유기 EL 소자에 흘리는 구동 트랜지스터와, 상기 구동 트랜지스터와 상기 유기 EL 소자 사이에 삽입 배치되고, 상기 구동 전류를 온 오프하는 제어 트랜지스터와, 상기 구동 트랜지스터를 다이오드 접속할지의 여부를 제어하는 단락 트랜지스터와, 데이터 라인으로부터의 데이터 신호를 상기 구동 트랜지스터의 제어단에 공급할지의 여부를 제어하는 선택 트랜지스터와, 상기 선택 트랜지스터와 상기 구동 트랜지스터의 제어단 사이에 삽입 배치된 용량을 구비하고, 데이터 라인을 소정 전위에 세트한 상태에서 선택 트랜지스터 및 단락 트랜지스터를 온하여, 상기 용량의 일단을 데이터 라인과 동 전위로 함과 함께, 상기 구동 트랜지스터의 제어단 전하를 방전하고, 다음으로 제어 트랜지스터를 오프하여 구동 트랜지스터의 제어단 전위를 소정 전위로 세트한 후 단락 트랜지스터를 오프하고, 다음으로 제어 트랜지스터를 오프한 채로, 데이터 라인에 데이터 전압을 세트하여 용량에 데이터 전압을 유지함과 함께, 구동 트랜지스터의 제어단에 데이터 신호를 인가하고, 그 후 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후 선택 트랜지스터를 오프하는 것을 특징으로 한다.

이하, 본 발명의 실시예에 대하여, 도면에 기초하여 설명한다.

도 1은 실시예에 따른 1 화소의 화소 회로의 구성을 도시하는 도면이다. 수직 방향으로 신장되는 데이터 라인 DL에는, n채널의 선택 TFT(20)의 드레인이 접속되어 있다. 이 선택 TFT(20)의 게이트는 수평 방향으로 신장되는 게이트 라인 GL에 접속되고, 소스는 커패시터(22)의 일단에 접속되어 있다. 커패시터(22)의 타단은 p채널의 구동 TFT(24)의 게이트에 접속되어 있다. 또한, 선택 TFT(20)의 소스와 커패시터(22)의 접속부에는 n채널의 리세트 제어 TFT(26)의 드레인이 접속되어 있고, 이 리세트 제어 TFT(26)의 소스는 수직 방향으로 신장되는 전원 라인 PVDD에 접속되어 있다. 또한, 구동 TFT(24)의 게이트에는 n채널의 단락 TFT(28)의 소스가 접속되고, 이 단락 TFT(28)의 드레인은 구동 TFT(24)의 드레인에 접속되어 있다. 그리고, 리세트 제어 TFT(26)와 단락 TFT(28)의 게이트는 리세트 라인 RST1에 접속되어 있다.

또한, 구동 TFT(24)의 소스는 전원 라인 PVDD에 접속되고, 드레인은 다이오드(40)를 통하여 n채널의 제어 TFT(30)의 드레인에 접속되어 있다. 여기서, 구동 TFT(24)와 제어 TFT(30)는 1개의 연속하는 반도체층을 이용하여 구성되어 있고, 구동 TFT(24)의 드레인은 p형 불순물이 도핑되어 있고, 한편, 제어 TFT(30)의 드레인은 n형 불순물이 도핑되어 있다. 다이오드(40)는 이 연속하는 반도체층에서의 pn 접합에 의해 발생하는 것이다. 여기서, 도시하는 바와 같이, 다이오드(40)를 단락 TFT(28)와의 접속부로부터 구동 TFT(24)측에 배치함으로써, 단락 TFT(28)로부터 제어 TFT(30)로의 전류가 저지되는 일이 없게 되어, 구동 TFT(24)의 게이트 전압의 리셋을 문제 없이 행할 수 있다. 또한, 구동 TFT(24)와 제어 TFT(30)를 별개의 반도체층을 이용하여 구성하고, 그 접속은 메탈층을 이용하면, 다이오드(40)를 생략할 수 있지만, 이 경우, 메탈층과의 2개의 콘택트가 필요하게 되어, 레이아웃 시에 불리하게 된다.

제어 TFT(30)의 소스는 유기 EL 소자(32)의 애노드에 접속되고, 게이트는 수평 방향으로 신장되는 리세트 라인 RST2에 접속되어 있다. 유기 EL 소자(32)의 캐소드는 캐소드 전원 CV에 접속되어 있다. 여기서, 통상의 경우, 유기 EL 소자(32)의 캐소드는 전체 화소 공통으로 되어 있고, 이 캐소드가 소정의 전위의 캐소드 전원 CV에 접속되어 있다.

다음으로, 이 화소 회로의 동작에 대하여, 도 2에 기초하여 설명한다. 게이트 라인 GL이 해당 수평 라인(행)의 화소가 선택되는 1H(수평 기간)의 선택 기간만 H 레벨로 된다. 도면에서, 게이트 라인 GL(-1)은 해당 수평 라인의 1개 위의 수평 라인에 대한 게이트 라인으로서, 1H 전의 타이밍에서 H 레벨로 된다. 그리고, GL(-1)이 H 레벨로 되면, 이와 동시에 리세트 라인 RST1이 H 레벨로 된다. 이 리세트 라인 RST1의 H 레벨에 의해, 선택 TFT(20)가 오프, 제어 TFT(30)가 온인 상태에

서, 리셋 제어 TFT(26) 및 단락 TFT(28)가 온하여, 유기 EL 소자(32)에 소정의 전류가 흐른다. 이에 의해, 컨덴서(22)의 선택 TFT(20)측이 전원 전압 PVDD의 상태에서, 구동 TFT(24)의 드레인 소스 사이가 단락되고, 구동 TFT(24)의 게이트로부터 전하가 방출되어, 리셋된다.

다음으로, 소정의 단기간 Δ 만큼 지연되어 리셋 라인 RST2가 L 레벨로 되고, 제어 TFT(30)가 오프한다. 한편, 리셋 제어 TFT(26)와 단락 TFT(28)는 온하여 있기 때문에, 컨덴서(22)의 구동 TFT(24)의 게이트에 접속되어 있는 것과 반대측이 PVDD의 전위에 유지되고 있는 상태에서, 구동 TFT(24)의 게이트-드레인 사이는 단락 TFT(28)에 의해 단락되고, 구동 TFT(24)는 다이오드 접속된다. 따라서, 구동 TFT(24)의 게이트 전위는 PVDD보다 임계값 전압 V_t 만큼 낮은 전압으로 되고, 이 임계값 전압 V_t 의 전압이 컨덴서(22)에 유지된다.

이와 같이, 1H 전의 수평 기간에서, 컨덴서(22)에 구동 TFT(24)의 임계값 전압 V_t 가 충전된다. 다음으로, 리셋 라인 RST1이 L 레벨로 되고, 리셋 제어 TFT(26)와 단락 TFT(28)가 오프된다. 여기서, 리셋 라인 RST2는 L 레벨에 유지되고, 제어 TFT(30)는 오프인 그대로 한다.

다음으로, 해당 수평 라인의 선택 기간에 들어가고, 게이트 라인 GL이 H 레벨로 되고, 이에 의해 선택 TFT(20)가 온으로 된다. 이 상태에서, 수평 드라이버는, 데이터 라인 DL로부터 공급되는 각 화소의 비디오 신호를 각 데이터 라인 DL에 순차적으로 공급한다. 따라서, 데이터 라인 DL에는, 대응하는 화소에 대하여 비디오 신호가 설정된다. 그리고, 이 데이터 라인 DL은, 게이트 라인 GL이 L 레벨로 될 때까지, 비디오 신호의 전위를 유지한다.

데이터 라인 DL이 비디오 신호의 전위로 설정되면, 컨덴서(22)의 타단인 구동 TFT(24)의 게이트 전위는 비디오 신호의 전압(데이터 전압)에 의해 시프트된다. 그리고, 리셋 라인 RST2가 H 레벨로 되고, 제어 TFT(30)가 온으로 되어, 구동 TFT(24)에 그 게이트 전위에 따른 전류가 흐르고, 이것이 제어 TFT(30)를 통하여 유기 EL 소자(32)에 흐른다. 그 후, 게이트 라인 GL이 L 레벨로 복귀하여 선택 TFT(20)가 오프한 후에도, 구동 TFT(24)의 게이트 전위는 이 때의 전압대로 유지되고, 유기 EL 소자(32)에는 비디오 신호의 전압에 따른 전류가 흘러, 발광한다.

이와 같이, 본 실시예에서는, 최초에 구동 TFT(24)의 게이트에, PVDD보다 구동 TFT(24)의 임계값 전압 V_t 분만큼 낮은 전압을 설정하고, 이것을 컨덴서(22)에 유지한다. 따라서, 각 화소의 구동 TFT(24) 사이에서 임계값 전압 V_t 에 변동이 있어도, 이것을 보상하여, 비디오 신호에 따른 전류를 유기 EL 소자(32)에 공급할 수 있다.

특히, 리셋 제어 TFT(26)에 의해, 컨덴서(22)의 선택 TFT(20)측의 전압을 일정 전위(본 예에서는, PVDD)로 설정하고 있다. 이 때문에, 전 프레임에서의 기입 데이터 영향을 배제하고, 단락 TFT(28)를 온한 때에, 컨덴서(22)에 구동 TFT(24)의 임계값 전압 V_t 에 따른 전압을 확실하게 유지할 수 있다. 또한, 임계값 전압 V_t 의 세트 시에는, 데이터 라인 DL의 전압을 변경할 필요는 없어, 수평 드라이버의 동작이 간략화된다. 또한, 해당하는 게이트 라인 GL이 L 레벨의 기간이면, 구동 트랜지스터의 게이트 전압의 리셋을 어느 타이밍에서나 행할 수도 있고, 리셋의 시간을 길게 하여, 확실한 임계값 전압의 세트를 행할 수 있다.

또한, 제어 TFT(30)가 온하고 있는 상태에서, 리셋 제어 TFT(26)와 단락 TFT(28)를 동시에 온한다. 이 때문에, 구동 TFT(24)의 게이트 전압의 리셋을 확실하게 행할 수 있다.

그리고, 본 실시예에서는, 게이트 라인 GL이 H 레벨에서 선택 TFT(20)가 온하고 있는 상태에서, 리셋 라인 RST2를 H 레벨로 하여, 제어 TFT(30)를 온한다. 제어 TFT(30)가 온하면, 유기 EL 소자(32)에 전류가 흐르기 시작하고, 구동 TFT(24)의 드레인 전압이 내려가며, 그 영향으로, 그 게이트 전압도 내려가기 쉽다. 본 실시예에서는, 이 제어 TFT(30)가 온할 때에, 선택 TFT(20)가 온이고, 컨덴서(22)의 일단이 데이터 라인 DL에 접속되어 있다. 따라서, 제어 TFT(30)가 온함으로써, 구동 TFT(24)의 드레인 전위가 변동하여도, 컨덴서(22)의 일단의 전위는 변동하기 어렵기 때문에 게이트 전위는 변동하기 어려워, 입력된 비디오 데이터에 따른 전위를 유지할 수 있어서, 데이터 전압에 따른 유기 EL 소자(32)의 발광을 달성할 수 있다.

또한, 제어 TFT(30)를 p채널로 하면, 리크 전류가 발생하기 쉬워, 구동 TFT(24)의 게이트 드레인 사이를 단락 TFT(28)를 온하여 구동 TFT(24)의 게이트 전압을 PVDD-VF에 세트할 때에, 게이트 전압이 낮게 되는 경향이 있다. 제어 TFT(30)를 n채널로 함으로써, 리크 전류를 감소하여, 구동 TFT(24)의 정확한 게이트 전압 세트를 행할 수 있다.

또한, 본 실시예에서, PVDD는 5V 미만, 데이터 라인 DL에 세트되는 데이터 전압의 흑 레벨 전압은 PVDD보다 2V 정도 높은 전압으로 설정된다. 이에 의해, 흑 레벨 시에 구동 TFT(24)의 게이트를 소스의 전압인 PVDD에 대하여 충분히 높은 전압으로 하여 전류가 흐르는 것을 방지해서, 흑 레벨을 달성할 수 있다.

「화소 회로의 다른 구성예」

도 3에는 화소 회로의 다른 구성예를 도시하고 있다. 이 회로에서는, 리세트 제어 TFT(26)를 생략하고, 그 대신에, 일단이 전원 라인 PVDD, 타단이 구동 TFT(24)의 게이트에 접속되는 용량(34)이 설치되어 있다. 또한, 선택 TFT(20), 단락 TFT(28), 제어 TFT(30)는 모두 p채널 TFT로 형성되어 있다. 이 화소 회로는 특허 문헌 1에 기재된 것과 마찬가지로, 마찬가지로 동작한다.

여기서, 본 실시예에서는, 단락 TFT(28)의 온과 제어 TFT(30)의 온의 타이밍을 도 2에 도시한 바와 같이 약간 어긋나게 한다. 또한, 본 실시예에서는, p채널 TFT를 이용하고 있기 때문에, 각 라인에 공급되는 신호의 극성은 반대로 된다.

그리고, 본 실시예에서는, 선택 TFT(20)가 온하고 있을 때에, 제어 TFT(30)를 온시킨다. 이에 의해, 상술한 경우와 마찬가지로, 제어 TFT(30)의 온에 수반하여 구동 TFT(24)의 게이트 전압이 저하되는 것을 방지할 수 있다.

「타이밍 발생 회로의 구성」

도 4에는 상술한 바와 같은 리세트 라인 RST1, RST2에 공급하는 신호 RST1, RST2의 발생 회로가 도시되어 있다.

입력 신호로서는, 1 수평 라인 상의 게이트 신호의 반전 신호인 XGL(-1)과, 해당 수평 라인의 게이트 신호의 반전 신호인 XGL과, 수평 방향의 드라이버 최종 단의 출력 신호의 반전 신호인 XHOUT를 이용한다.

XGL은 인버터(50)에 의해 반전되어 GL이 출력된다. 또한, XGL(-1)이 인버터(52)에 의해 반전되어 리세트 신호 RST1으로서 출력된다.

XGL과 XHOUT은 NOR 게이트(54)에 입력된다. 이 NOR 게이트(54)의 출력은 n채널 TFT(56)의 게이트에 공급됨과 함께 NOR 게이트(58)에 입력된다.

TFT(56)는 소스가 그라운드에 접속되고, 드레인은 p채널 TFT(60)의 드레인에 접속되고, 이 TFT(60)의 소스가 전원에 접속되어 있다. 또한, TFT(60)의 게이트에는 XGL(-1)이 공급되어 있다.

TFT(60)와 TFT(56)의 접속부는 NOR 게이트(58)에 입력됨과 함께, 이 입력 라인에는 인버터(62a, 62b)의 직렬 접속으로 이루어지는 래치 회로(62)가 접속되어 있다. 즉, TFT(60)와 TFT(56)의 접속부로부터 NOR 게이트(58)의 입력 라인에는 인버터(62a)에 입력되고, 인버터(62b)의 출력이 되돌려진다. 따라서, TFT(60)와 TFT(56)의 접속부가 변화한 경우에, 그 변화가 래치 회로(62)에 받아들여진 후, NOR 게이트(58)에의 입력이 변화한다.

이러한 회로에서의 동작에 대하여, 도 5에 기초하여 설명한다. XGL(-1), XGL은 1 수평 라인의 선택 기간만큼 L 레벨로 되는 신호로서, L 레벨로 되는 기간이 1H만큼 시프트하고 있다. XHOUT은 1H에 1회 L 레벨로 되는 신호로서, 각 라인의 게이트 신호가 L 레벨로 되는 기간의 종료 전에서 L 레벨로 되고, 게이트 신호가 H 레벨로 되기 약간 전에 H 레벨로 되돌아간다.

이러한 신호에 의해, TFT(60)의 게이트에 입력되는 신호 A는 XGL(-1)과 동일한 신호로 된다. NOR 게이트(54)의 출력 신호인 신호 B는 XGL과 XHOUT의 양쪽이 L 레벨일 때에만 H 레벨로 된다.

또한, NOR 게이트(58)의 입력 라인의 신호 C는 XGL(-1)의 L 레벨에 의해 상승하고, NOR 게이트(54)의 H 레벨에 의해 하강하는 신호로 된다. 여기서, TFT(60, 56)의 능력과, 래치 회로(62)의 능력에 차이가 있어, 래치 회로(62)의 기입에 시간이 걸리면, 그 능력 차이에 따라서 지연되게 된다. 즉, XGL(-1)의 하강에 따라서 TFT(60, 56)의 접속점은 상승하려고 하지만, 래치 회로(62)의 출력이 H 레벨로 되기까지의 시간 Δ만큼 상승하는 것이 지연된다. 한편, NOR 게이트(54)의 출력이 H 레벨로 된 경우에도, 신호 B는 Δ만큼 지연되어 L 레벨로 된다.

또한, 리세트 신호 RST2는 NOR 게이트(58)의 출력으로서, NOR 게이트(58)의 입력이 2개 모두 L 레벨일 때에만 H 레벨을 출력한다. 따라서, 리세트 신호 RST2는 신호 C의 상승에 의해 L 레벨로 되고, 그 후의 신호 B의 하강에 의해 H 레벨로 된다.

이와 같이 하여, 리셋 신호 RST2의 하강 타이밍은 리셋 신호 RST1의 상승 타이밍에 비해 약간 지연된다. 이 지연 시간은, TFT(60, 56)의 능력과, 래치 회로(62)를 구성하는 인버터(62a, 62b)의 능력의 차이에 의해 결정된다. 예를 들면, 래치 회로(62)를 구성하는 인버터(62a, 62b)의 능력을 TFT(60, 56)의 능력의 2배 정도로 설정하는 것이 바람직하다. 이에 의해, 예를 들면 400nsec 정도의 지연이 얻어진다. 한편, 이 정도의 지연을 용량에 의해 얻고자 하면, 상당한 면적이 필요하게 된다. 이 때문에, 이 회로에 의해, 효과적인 신호의 지연을 도모할 수 있다.

한편, RST2의 상승은 신호 XHOUT의 상승에 동기하고 있고, 미리 정해진 타이밍이다. 게이트 라인 GL의 하강보다 소정의 단시간 1fH(여기서, 1fH는 최소 주기로서, 예를 들면 200nsec 정도임)만큼 빠르다. 따라서, 이 회로에 의해, 소정 시간만큼, 선택 TFT(20)와 제어 TFT(30)를 양쪽 온하는 시간, 설치할 수 있다.

이와 같이, 본 회로에 따르면, 소정의 지연 시간을 2개의 TFT(56, 60)의 직렬 접속으로 이루어지는 드라이버와 래치 회로(62)의 능력 차이에 의해 얻을 수 있다. 따라서, 통상과 같이 용량을 설치하여 그 충전 시간을 이용하는 회로에 비해, 소요 면적을 작게 할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 선택 트랜지스터가 온인 기간에서 제어 트랜지스터를 온하고, 그 후 선택 트랜지스터를 오프한다. 제어 트랜지스터를 온하면, 유기 EL 소자에 전류가 흐르기 시작하고, 이에 의해, 구동 트랜지스터의 유기 EL 소자측의 단자의 전압이 낮게 되고, 이에 의해 구동 트랜지스터의 제어단 전압이 낮게 되기 쉽다. 그러나, 본 발명에서는, 이 때에 선택 트랜지스터가 온하고 있다. 따라서, 컨덴서의 데이터 라인측의 전압이 변화하기 어렵고, 따라서 구동 트랜지스터의 제어단 전압의 변동을 억제할 수 있다.

또한, 상기 구동 트랜지스터는 p채널 트랜지스터이고, 상기 제어 트랜지스터는 n채널 트랜지스터이며, 상기 구동 트랜지스터와 제어 트랜지스터 사이에 다이오드가 형성되어 있으므로, 구동 트랜지스터와 제어 트랜지스터를 동일한 반도체층을 이용하여 형성할 수 있어, 효율적인 레이아웃이 가능하게 된다.

또한, 리셋 제어 트랜지스터를 생략하는 것도 바람직하다. 이 경우에는, 데이터 라인에, 소정의 전압(예를 들면, 전원 전압)을 세트하여, 선택 트랜지스터를 온하면 된다.

도면의 간단한 설명

도 1은 실시예의 구성을 도시하는 회로도.

도 2는 실시예의 동작을 설명하기 위한 신호의 파형도.

도 3은 다른 실시예의 구성을 도시하는 회로도.

도 4는 리셋 신호 RST1, RST2를 생성하는 회로의 구성을 도시하는 도면.

도 5는 도 4의 회로의 동작을 설명하기 위한 신호의 파형도.

<도면의 주요 부분에 대한 부호의 설명>

20 : 선택 TFT

22 : 컨덴서

24 : 구동 TFT

26 : 리셋 제어 TFT

28 : 단락 TFT

30 : 제어 TFT

34 : 용량

50 : 인버터

52 : 인버터

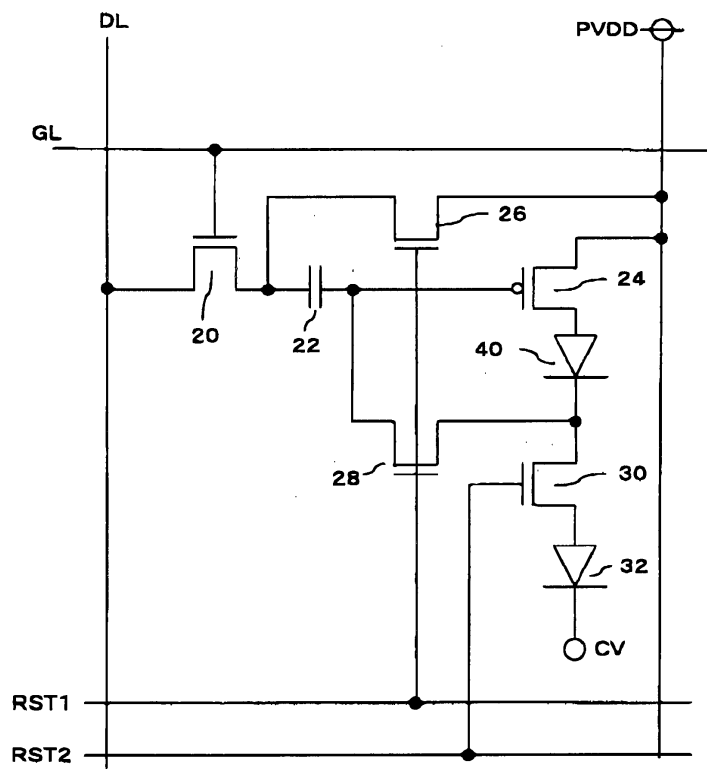
54, 58 : NOR 게이트

56, 60 : TFT

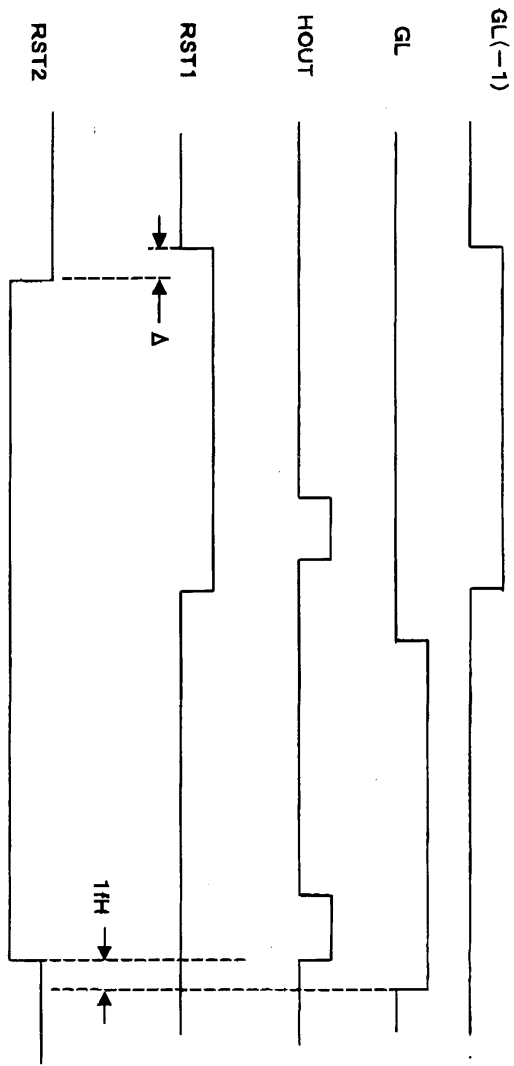
62 : 래치 회로

도면

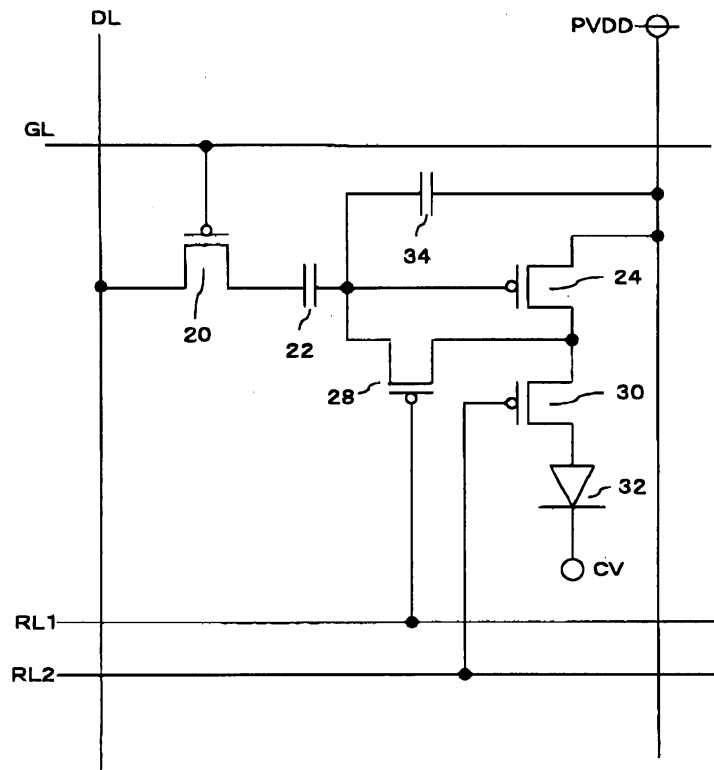
도면1



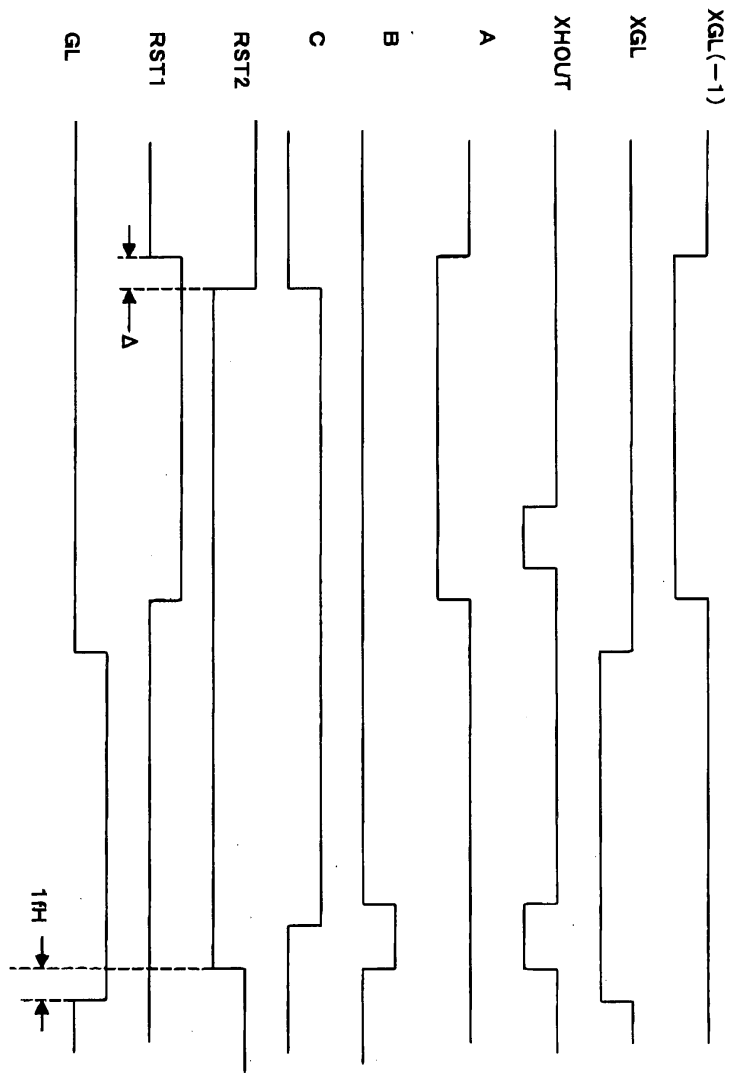
도면2



도면3



도면5



专利名称(译)	有机EL像素电路		
公开(公告)号	KR100661041B1	公开(公告)日	2006-12-26
申请号	KR1020050091283	申请日	2005-09-29
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	SASAKI AKIFUMI 사사끼아끼후미 MATSUMOTO SHOICHIRO 마쯔모또쇼이찌로		
发明人	사사끼아끼후미 마쯔모또쇼이찌로		
IPC分类号	G09G3/30		
CPC分类号	G09G2300/0852 G09G2300/0842 G09G2300/0861 G09G2320/043 G09G2300/089 G09G2310/066 G09G3/3233 G09G2300/0819		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2004289366 2004-09-30 JP		
其他公开文献	KR1020060051848A		
外部链接	Espacenet		

摘要(译)

用途：提供有机EL像素电路，通过保持选择TFT导通来限制驱动TFT（薄膜晶体管）的控制侧的电压变化。

