



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0123525
(43) 공개일자 2011년11월15일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2010-0043051

(22) 출원일자 2010년05월07일

심사청구일자 2010년05월07일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정보용

경기도 용인시 기흥구 농서동 산24

김동휘

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

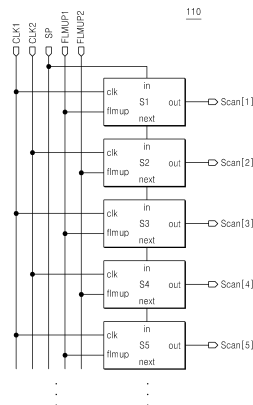
전체 청구항 수 : 총 22 항

(54) 주사 구동부와 그 구동 방법 및 이를 포함하는 유기 전계 발광 표시 장치

(57) 요약

본 발명의 실시 예는 복수 개의 스테이지를 포함하는 주사 구동부의 각 스테이지에서 출력되는 주사 신호의 오버랩(overlap) 구동이 가능한 주사 구동부, 그 구동 방법 및 이를 포함한 유기 전계 발광 표시 장치를 제공하는데 있다.

대표도 - 도2



특허청구의 범위

청구항 1

제1 클럭선에 클럭 단자가 전기적으로 연결되고, 제1 FLMUP선에 flmup 단자가 전기적으로 연결된 제1 스테이지;
및

제2 클럭선에 클럭 단자가 전기적으로 연결되고, 제2 FLMUP선에 flmup 단자가 전기적으로 연결된 제2 스테이지;
를 포함하는 주사 구동부.

청구항 2

제1항에 있어서,

상기 제1 스테이지는

입력단이 초기 입력선에 전기적으로 연결되고, 넥스트단이 상기 제2 스테이지의 입력단에 연결되며, 출력단이 제1 주사선인 주사 구동부.

청구항 3

제1항에 있어서,

상기 제2 스테이지는

입력단이 상기 제1 스테이지의 넥스트단에 연결되고, 넥스트단이 다음 스테이지의 입력단에 연결되며, 출력단이 제2 주사선인 주사 구동부.

청구항 4

제1항에 있어서,

상기 제1 스테이지 및 제2 스테이지는

제1 내지 제9 스위칭 소자 및 제1 내지 제3 커패시터를 구비하며,

입력선에 제어 전극이 전기적으로 연결되고, 제1 전원 전압선과 제1 노드 사이에 전기적으로 연결된 제1 스위칭 소자;

상기 입력선에 제어 전극이 전기적으로 연결되고, 제2 전원 전압선과 상기 제7 스위칭 소자의 제어 전극 사이에 전기적으로 연결된 제2 스위칭 소자;

상기 제1 스위칭 소자에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 제4 스위칭 소자 사이에 전기적으로 연결된 제3 스위칭 소자;

상기 제1 스위칭 소자에 제어 전극이 전기적으로 연결되고 상기 제3 스위칭 소자와 상기 제1 노드 사이에 전기적으로 연결된 제4 스위칭 소자;

상기 제1 FLMUP선에 제어 전극이 전기적으로 연결되고 상기 제2 전원 전압선과 상기 제1 노드 사이에 전기적으로 연결된 제5 스위칭 소자;

상기 제1 노드에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 제7 스위칭 소자 사이에 전기적으로 연결된 제6 스위칭 소자;

제2 노드에 제어 전극이 전기적으로 연결되고 제 3노드와 제2 전원 전압선사이에 전기적으로 연결된 제7 스위칭 소자;

상기 제1 노드에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 출력선 사이에 전기적으로 연결된 제8 스위칭 소자;

상기 제2 노드에 제어 전극이 전기적으로 연결되고 상기 출력선과 제2 전원 전압선 사이에 전기적으로 연결된

제9 스위칭 소자;

상기 제1전원 전압선과 상기 제6 스위칭 소자의 제어 전극 사이에 전기적으로 연결된 제1 커패시터;

상기 제7 스위칭 소자의 제어 전극과 상기 제3 노드 사이에 전기적으로 연결된 제2 커패시터; 및

상기 제9 스위칭 소자의 제어 전극과 상기 출력선 사이에 전기적으로 연결된 제3 커패시터;

를 포함하는 주사 구동부.

청구항 5

제4항에 있어서,

상기 제1 스테이지는

상기 입력선은 초기 입력선이며, 상기 출력선은 제1 주사선이며, 상기 넥스트선은 상기 제2 스테이지의 입력단과 전기적으로 연결되는 주사 구동부.

청구항 6

제4항에 있어서,

상기 제2 스테이지는

상기 입력선은 제1 주사 구동부의 넥스트선이며, 상기 출력선은 제2 주사선이며, 상기 넥스트선은 다음 스테이지의 입력단과 전기적으로 연결되는 주사 구동부.

청구항 7

제4항에 있어서,

상기 제1 내지 제9 스위칭 소자는 PMOS 트랜지스터인 주사 구동부.

청구항 8

제4항에 있어서,

리셋선에 제어 전극이 전기적으로 연결되고 상기 제1 노드와 상기 제2 전원 전압 사이에 전기적으로 연결된 제10 스위칭 소자;

를 더 포함하는 주사 구동부.

청구항 9

제1항에 있어서

제1 클럭선에 클럭 단자가 전기적으로 연결되고, 제3 FLMUP선에 f1mup 단자가 전기적으로 연결된 제3 스테이지;

를 더 포함하는 주사 구동부.

청구항 10

제1항에 있어서

제3 클럭선에 클럭 단자가 전기적으로 연결되고, 제3 FLMUP선에 f1mup 단자가 전기적으로 연결된 제3 스테이지;

를 더 포함하는 주사 구동부.

청구항 11

복수의 스테이지를 구비하여, 각각의 스테이지에서 순차적으로 출력 신호를 구동하는 주사 구동부의 구동 방법에 있어서,

초기 입력 신호에 의해, 제1 주사선으로 제1 출력 신호를 출력하고 제1 클럭 신호에 의해 다음 스테이지로 제1 넥스트 신호를 출력하는 단계;

상기 제1 넥스트 신호에 의해 제2 주사선으로 제2 출력 신호를 출력하는 단계;
상기 제2 출력 신호를 출력하는 동안 제1 FLMUP 신호에 의해 상기 제1 출력 신호의 출력을 중지하는 단계; 및
제2 FLMUP 신호에 의해 상기 제2 출력 신호의 출력을 중지하는 단계;
를 포함하며
상기 제1 출력 신호 및 상기 제2 출력 신호가 일부 오버랩되는 주사 구동부의 구동 방법.

청구항 12

제11항에 있어서
상기 제1 넥스트 신호에 의해 제2 주사선으로 제2 출력 신호를 출력하는 단계;는
상기 제1 넥스트 신호에 의해 제2 주사선으로 제2 출력 신호를 출력하고 제2 클럭 신호에 의해 다음 스테이지로 제2 넥스트 신호를 출력하는 단계;이며,
상기 제2 넥스트 신호에 의해 제3 주사선으로 제3 출력 신호를 출력하는 단계;를 더 포함하며,
상기 제2 FLMUP 신호에 의해 상기 제2 출력 신호의 출력을 중지하는 단계;는
상기 제3 출력 신호를 출력하는 동안 제2 FLMUP 신호에 의해 상기 제2 출력 신호의 출력을 중지하는 단계;
이며,
제3 FLMUP 신호에 의해 상기 제3 출력 신호의 출력을 중지하는 단계;
를 더 포함하며,
상기 제2 출력 신호 및 상기 제3 출력 신호가 일부 오버랩되는 주사 구동부의 구동 방법.

청구항 13

유기 전계 발광 표시 패널;
복수개의 주사선을 통하여 상기 유기 전계 발광 표시 패널에 주사 신호를 순차적으로 공급하는 주사 구동부; 및
복수개의 데이터선을 통하여 상기 유기 전계 발광 표시 패널에 데이터 신호를 공급하는 데이터 구동부;
를 포함하는 유기 전계 발광 표시 장치에 있어서,
상기 주사 구동부는
제1 클럭선에 클럭 단자가 전기적으로 연결되고, 제1 FLMUP선에 flmup 단자가 전기적으로 연결된 제1 스테이지;
 및
제2 클럭선에 클럭 단자가 전기적으로 연결되고, 제2 FLMUP선에 flmup 단자가 전기적으로 연결된 제2 스테이지;
를 포함하는 유기 전계 발광 표시 장치.

청구항 14

제13항에 있어서,
상기 제1 스테이지는
입력단이 초기 입력선에 전기적으로 연결되고, 넥스트단이 상기 제2 스테이지의 입력단에 연결되며, 출력단이 제1 주사선인 유기 전계 발광 표시 장치.

청구항 15

제13항에 있어서,
상기 제2 스테이지는
입력단이 상기 제1 스테이지의 넥스트단에 연결되고, 넥스트단이 다음 스테이지의 입력단에 연결되며, 출력단이

제2 주사선인 유기 전계 발광 표시 장치.

청구항 16

제13항에 있어서,

상기 제1 스테이지 및 제2 스테이지는

제1 내지 제9 스위칭 소자 및 제1 내지 제3 커패시터를 구비하며,

입력선에 제어 전극이 전기적으로 연결되고, 제1 전원 전압선과 제1 노드 사이에 전기적으로 연결된 제1 스위칭 소자;

상기 입력선에 제어 전극이 전기적으로 연결되고, 제2 전원 전압선과 상기 제7 스위칭 소자의 제어 전극 사이에 전기적으로 연결된 제2 스위칭 소자;

상기 제1 스위칭 소자에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 제4 스위칭 소자 사이에 전기적으로 연결된 제3 스위칭 소자;

상기 제1 스위칭 소자에 제어 전극이 전기적으로 연결되고 상기 제3 스위칭 소자와 상기 제1 노드 사이에 전기적으로 연결된 제4 스위칭 소자;

상기 제1 FLMUP선에 제어 전극이 전기적으로 연결되고 상기 제2 전원 전압선과 상기 제1 노드 사이에 전기적으로 연결된 제5 스위칭 소자;

상기 제1 노드에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 제7 스위칭 소자 사이에 전기적으로 연결된 제6 스위칭 소자;

제2 노드에 제어 전극이 전기적으로 연결되고 제 3노드와 제2 전원 전압선사이에 전기적으로 연결된 제7 스위칭 소자;

상기 제1 노드에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 출력선 사이에 전기적으로 연결된 제8 스위칭 소자;

상기 제2 노드에 제어 전극이 전기적으로 연결되고 상기 출력선과 제2 전원 전압선 사이에 전기적으로 연결된 제9 스위칭 소자;

상기 제1 전원 전압선과 상기 제6 스위칭 소자의 제어 전극 사이에 전기적으로 연결된 제1 커패시터;

상기 제7 스위칭 소자의 제어 전극과 상기 제3 노드 사이에 전기적으로 연결된 제2 커패시터; 및

상기 제9 스위칭 소자의 제어 전극과 상기 출력선 사이에 전기적으로 연결된 제3 커패시터;

를 포함하는 유기 전계 발광 표시 장치.

청구항 17

제16항에 있어서,

상기 제1 스테이지는

상기 입력선은 초기 입력선이며, 상기 출력선은 제1 주사선이며, 상기 넥스트선은 상기 제2 스테이지 의 입력단과 전기적으로 연결되는 유기 전계 발광 표시 장치.

청구항 18

제16항에 있어서,

상기 제2 스테이지는

상기 입력선은 제1 주사 구동부의 넥스트선이며, 상기 출력선은 제2 주사선이며, 상기 넥스트선은 다음 스테이지 의 입력단과 전기적으로 연결되는 유기 전계 발광 표시 장치.

청구항 19

제16항에 있어서,

상기 제1 내지 제9 스위칭 소자는 PMOS 트랜지스터인 유기 전계 발광 표시 장치.

청구항 20

제16항에 있어서,

리셋선에 제어 전극이 전기적으로 연결되고 상기 제1 노드와 상기 제2 전원 전압 사이에 전기적으로 연결된 제10 스위칭 소자;

를 더 포함하는 유기 전계 발광 표시 장치.

청구항 21

제13항에 있어서

제1 클럭선에 클럭 단자가 전기적으로 연결되고, 제3 FLMP선에 flmp 단자가 전기적으로 연결된 제3 스테이지;

를 더 포함하는 유기 전계 발광 표시 장치.

청구항 22

제13항에 있어서

제3 클럭선에 클럭 단자가 전기적으로 연결되고, 제3 FLMP선에 flmp 단자가 전기적으로 연결된 제3 스테이지;

를 더 포함하는 유기 전계 발광 표시 장치.

명세서

기술분야

[0001] 본 발명은 주사 구동부와 그 구동 방법 및 이를 포함하는 유기 전계 발광 표시 장치에 관한 것이다.

배경기술

[0002] 유기 전계 발광 표시 장치는 컴퓨터, 휴대 전화기, PDA 등 단말기 등의 표시 장치나 각종 정보 기기의 표시 장치로서 사용되고 있다. 유기 전계 발광 표시 장치는 음극선관에 비하여 무게와 부피가 작은 장점이 있으며, 발광 효율, 휘도 및 시야각이 뛰어나고 응답속도가 빨라 최근 주목받고 있다.

[0003] 유기 전계 발광 표시 장치에 포함된 주사(scan) 구동부는 다수의 화소를 구동하기 위하여 하나의 행을 단위로 선택된 행에 배열된 화소에 데이터가 인가되도록 한다. 즉, 주사 구동부는 주사 신호를 주사선에 인가하고, 상기 주사 신호를 공급받은 화소에 원하는 데이터가 인가되도록 한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시 예는 복수 개의 스테이지를 포함하는 주사 구동부의 각 스테이지에서 출력되는 주사 신호의 오버랩(overlap) 구동이 가능한 주사 구동부, 그 구동 방법 및 이를 포함한 유기 전계 발광 표시 장치를 제공하는 데 있다.

과제의 해결 수단

[0005] 본 발명의 일 측면에 따르면, 제1 클럭선에 클럭 단자가 전기적으로 연결되고, 제1 FLMP선에 flmp 단자가 전기적으로 연결된 제1 스테이지; 및 제2 클럭선에 클럭 단자가 전기적으로 연결되고, 제2 FLMP선에 flmp 단자가 전기적으로 연결된 제2 스테이지; 를 포함할 수 있다.

[0006] 여기서 상기 제1 스테이지는 입력단이 초기 입력선에 전기적으로 연결되고, 넥스트단이 상기 제2 스테이지의 입력단에 연결되며, 출력단이 제1 주사선일 수 있다.

[0007] 여기서 상기 제2 스테이지는 입력단이 상기 제1 스테이지의 넥스트단에 연결되고, 넥스트단이 다음 스테이지의

입력단에 연결되며, 출력단이 제2 주사선일 수 있다.

- [0008] 여기서 상기 제1 스테이지 및 제2 스테이지는 제1 내지 제9 스위칭 소자 및 제1 내지 제3 커패시터를 구비하며, 입력선에 제어 전극이 전기적으로 연결되고, 제1 전원 전압선과 제1 노드 사이에 전기적으로 연결된 제1 스위칭 소자; 상기 입력선에 제어 전극이 전기적으로 연결되고, 제2 전원 전압선과 상기 제7 스위칭 소자의 제어 전극 사이에 전기적으로 연결된 제2 스위칭 소자; 상기 제1 스위칭 소자에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 제4 스위칭 소자 사이에 전기적으로 연결된 제3 스위칭 소자; 상기 제1 스위칭 소자에 제어 전극이 전기적으로 연결되고 상기 제3 스위칭 소자와 상기 제1 노드 사이에 전기적으로 연결된 제4 스위칭 소자; 상기 제1 FLMUP선에 제어 전극이 전기적으로 연결되고 상기 제2 전원 전압선과 상기 제1 노드 사이에 전기적으로 연결된 제5 스위칭 소자; 상기 제1 노드에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 제7 스위칭 소자 사이에 전기적으로 연결된 제6 스위칭 소자; 제2 노드에 제어 전극이 전기적으로 연결되고 제3 노드와 제2 전원 전압선 사이에 전기적으로 연결된 제7 스위칭 소자; 상기 제1 노드에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 출력선 사이에 전기적으로 연결된 제8 스위칭 소자; 상기 제2 노드에 제어 전극이 전기적으로 연결되고 상기 출력선과 제2 전원 전압선 사이에 전기적으로 연결된 제9 스위칭 소자; 상기 제1 전원 전압선과 상기 제6 스위칭 소자의 제어 전극 사이에 전기적으로 연결된 제1 커패시터; 상기 제7 스위칭 소자의 제어 전극과 상기 제3 노드 사이에 전기적으로 연결된 제2 커패시터; 및 상기 제9 스위칭 소자의 제어 전극과 상기 출력선 사이에 전기적으로 연결된 제3 커패시터; 를 포함할 수 있다.
- [0009] 여기서 상기 제1 스테이지는 상기 입력선은 초기 입력선이며, 상기 출력선은 제1 주사선이며, 상기 넥스트선은 상기 제2 스테이지의 입력단과 전기적으로 연결될 수 있다.
- [0010] 여기서 상기 제2 스테이지는 상기 입력선은 제1 주사 구동부의 넥스트선이며, 상기 출력선은 제2 주사선이며, 상기 넥스트선은 다음 스테이지의 입력단과 전기적으로 연결될 수 있다.
- [0011] 여기서 상기 제1 내지 제9 스위칭 소자는 PMOS 트랜지스터일 수 있다.
- [0012] 여기서 리셋선에 제어 전극이 전기적으로 연결되고 상기 제1 노드와 상기 제2 전원 전압 사이에 전기적으로 연결된 제10 스위칭 소자; 를 더 포함할 수 있다.
- [0013] 여기서 제1 클럭선에 클럭 단자가 전기적으로 연결되고, 제3 FLMUP선에 flmup 단자가 전기적으로 연결된 제3 스테이지; 를 더 포함할 수 있다.
- [0014] 여기서 제3 클럭선에 클럭 단자가 전기적으로 연결되고, 제3 FLMUP선에 flmup 단자가 전기적으로 연결된 제3 스테이지; 를 더 포함할 수 있다.
- [0015] 본 발명의 다른 측면에 따르면, 복수의 스테이지를 구비하여, 각각의 스테이지에서 순차적으로 출력 신호를 구동하는 주사 구동부의 구동 방법에 있어서, 초기 입력 신호에 의해, 제1 주사선으로 제1 출력 신호를 출력하고 제1 클럭 신호에 의해 다음 스테이지로 제1 넥스트 신호를 출력하는 단계; 상기 제1 넥스트 신호에 의해 제2 주사선으로 제2 출력 신호를 출력하는 단계; 상기 제2 출력 신호를 출력하는 동안 제1 FLMUP 신호에 의해 상기 제1 출력 신호의 출력을 중지하는 단계; 및 제2 FLMUP 신호에 의해 상기 제2 출력 신호의 출력을 중지하는 단계; 를 포함하며 상기 제1 출력 신호 및 상기 제2 출력 신호가 일부 오버랩되는 주사 구동부의 구동 방법을 제공한다.
- [0016] 여기서 상기 제1 넥스트 신호에 의해 제2 주사선으로 제2 출력 신호를 출력하는 단계;는 상기 제1 넥스트 신호에 의해 제2 주사선으로 제2 출력 신호를 출력하고 제2 클럭 신호에 의해 다음 스테이지로 제2 넥스트 신호를 출력하는 단계; 이며, 상기 제2 넥스트 신호에 의해 제3 주사선으로 제3 출력 신호를 출력하는 단계;를 더 포함하며, 상기 제2 FLMUP 신호에 의해 상기 제2 출력 신호의 출력을 중지하는 단계;는 상기 제3 출력 신호를 출력하는 동안 제2 FLMUP 신호에 의해 상기 제2 출력 신호의 출력을 중지하는 단계; 이며, 제3 FLMUP 신호에 의해 상기 제3 출력 신호의 출력을 중지하는 단계; 를 더 포함하며, 상기 제2 출력 신호 및 상기 제3 출력 신호가 일부 오버랩될 수 있다.
- [0017] 본 발명의 또 다른 측면에 따르면, 유기 전계 발광 표시 패널; 복수개의 주사선을 통하여 상기 유기 전계 발광 표시 패널에 주사 신호를 순차적으로 공급하는 주사 구동부; 및 복수개의 데이터선을 통하여 상기 유기 전계 발광 표시 패널에 데이터 신호를 공급하는 데이터 구동부; 를 포함하는 유기 전계 발광 표시 장치에 있어서, 상기 주사 구동부는 제1 클럭선에 클럭 단자가 전기적으로 연결되고, 제1 FLMUP선에 flmup 단자가 전기적으로 연결된 제1 스테이지; 및 제2 클럭선에 클럭 단자가 전기적으로 연결되고, 제2 FLMUP선에 flmup 단자가 전기

적으로 연결된 제2 스테이지; 를 포함하는 유기 전계 발광 표시 장치를 제공한다.

- [0018] 여기서 상기 제1 스테이지는 입력단이 초기 입력선에 전기적으로 연결되고, 넥스트단이 상기 제2 스테이지의 입력단에 연결되며, 출력단이 제1 주사선일 수 있다.
- [0019] 여기서 상기 제2 스테이지는 입력단이 상기 제1 스테이지의 넥스트단에 연결되고, 넥스트단이 다음 스테이지의 입력단에 연결되며, 출력단이 제2 주사선일 수 있다.
- [0020] 여기서 상기 제1 스테이지 및 제2 스테이지는 제1 내지 제9 스위칭 소자 및 제1 내지 제3 커패시터를 구비하며, 입력선에 제어 전극이 전기적으로 연결되고, 제1 전원 전압선과 제1 노드 사이에 전기적으로 연결된 제1 스위칭 소자; 상기 입력선에 제어 전극이 전기적으로 연결되고, 제2 전원 전압선과 상기 제7 스위칭 소자의 제어 전극 사이에 전기적으로 연결된 제2 스위칭 소자; 상기 제1 스위칭 소자에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 제4 스위칭 소자 사이에 전기적으로 연결된 제3 스위칭 소자; 상기 제1 스위칭 소자에 제어 전극이 전기적으로 연결되고 상기 제3 스위칭 소자와 상기 제1 노드 사이에 전기적으로 연결된 제4 스위칭 소자; 상기 제1 FLMUP선에 제어 전극이 전기적으로 연결되고 상기 제2 전원 전압선과 상기 제1 노드 사이에 전기적으로 연결된 제5 스위칭 소자; 상기 제1 노드에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 제7 스위칭 소자 사이에 전기적으로 연결된 제6 스위칭 소자; 제2 노드에 제어 전극이 전기적으로 연결되고 제3 노드와 제2 전원 전압선 사이에 전기적으로 연결된 제7 스위칭 소자; 상기 제1 노드에 제어 전극이 전기적으로 연결되고 상기 제1 전원 전압선과 상기 출력선 사이에 전기적으로 연결된 제8 스위칭 소자; 상기 제2 노드에 제어 전극이 전기적으로 연결되고 상기 출력선과 제2 전원 전압선 사이에 전기적으로 연결된 제9 스위칭 소자; 상기 제1 전원 전압선과 상기 제6 스위칭 소자의 제어 전극 사이에 전기적으로 연결된 제1 커패시터; 상기 제7 스위칭 소자의 제어 전극과 상기 제3 노드 사이에 전기적으로 연결된 제2 커패시터; 및 상기 제9 스위칭 소자의 제어 전극과 상기 출력선 사이에 전기적으로 연결된 제3 커패시터; 를 포함하는 유기 전계 발광 표시 장치.
- [0021] 여기서 상기 제1 스테이지는 상기 입력선은 초기 입력선이며, 상기 출력선은 제1 주사선이며, 상기 넥스트선은 상기 제2 스테이지의 입력단과 전기적으로 연결될 수 있다.
- [0022] 여기서 상기 제2 스테이지는 상기 입력선은 제1 주사 구동부의 넥스트선이며, 상기 출력선은 제2 주사선이며, 상기 넥스트선은 다음 스테이지의 입력단과 전기적으로 연결될 수 있다.
- [0023] 여기서 상기 제1 내지 제9 스위칭 소자는 PMOS 트랜지스터일 수 있다.
- [0024] 여기서 리셋선에 제어 전극이 전기적으로 연결되고 상기 제1 노드와 상기 제2 전원 전압선 사이에 전기적으로 연결된 제10 스위칭 소자; 를 더 포함할 수 있다.
- [0025] 여기서 제1 클럭선에 클럭 단자가 전기적으로 연결되고, 제3 FLMUP선에 flmup 단자가 전기적으로 연결된 제3 스테이지; 를 더 포함할 수 있다.
- [0026] 여기서 제3 클럭선에 클럭 단자가 전기적으로 연결되고, 제3 FLMUP선에 flmup 단자가 전기적으로 연결된 제3 스테이지; 를 더 포함할 수 있다.
- [0027] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0028] 본 발명의 실시 예에 따르면 복수 개의 스테이지를 포함하는 주사 구동부의 각 스테이지에서 출력되는 주사 신호의 오버랩(overlap) 구동을 실현함으로써 대형 표시 장치의 큰 로드(load)를 구동할 수 있으며, 고속 구동을 가능하게 한다.
- [0029] 또한 본 발명의 실시 예에 따르면 비교적 단순한 회로로 주사 구동부를 구성할 수 있는 특징이 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 실시 예에 의한 유기 전계 발광 표시 장치를 도시한 블록도이다.
- 도 2는 본 발명의 실시 예에 의한 주사 구동부의 블록도이다.
- 도 3은 도 2에 도시된 주사 구동부의 주사 회로도이다.

- 도 4는 도 3에 도시된 주사 회로의 동작을 나타내는 타이밍도이다.
- 도 5 및 도 6은 도 3에 따른 도 4의 동작 상태를 도시한 주사 회로도이다.
- 도 7은 본 발명의 다른 실시 예에 의한 주사 구동부의 블록도이다.
- 도 8은 도 7의 주사 구동부의 동작의 일 실시 예를 나타낸 타이밍도이다.
- 도 9는 본 발명의 또 다른 실시 예에 의한 주사 구동부의 블록도이다.
- 도 10은 도 9의 주사 구동부의 동작의 일 실시 예를 나타낸 타이밍도이다.
- 도 11은 본 발명의 다른 실시 예에 의한 주사 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0032] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0033] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0034] 이하, 본 발명에 따른 실시 예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0035] 도 1은 본 발명의 실시 예에 의한 유기 전계 발광 표시 장치(100)의 구성을 나타내는 블록도이다.
- [0036] 도 1을 참조하면, 유기 전계 발광 표시 장치(100)는 주사 구동부(110), 데이터 구동부(120) 및 유기 전계 발광 표시 패널(이하, 패널 (130))를 포함 할 수 있다.
- [0037] 상기 주사 구동부(110)는 주사선(Scan[1], Scan[2], ..., Scan[3n])을 통하여 상기 패널(130)에 주사신호를 순차적으로 공급할 수 있다.
- [0038] 상기 데이터 구동부(120)는 데이터선 (Data[1], Data[2], ..., Data[m])을 통하여 상기 패널(130)에 데이터 신호를 공급할 수 있다.
- [0039] 또한 상기 패널(130)은 열 방향으로 배열되어 있는 다수의 주사선(Scan[1], Scan[2], ..., Scan[3n])과, 행방향으로 배열되는 다수의 데이터선 (Data[1], Data[2], ..., Data[m])과, 상기의 다수의 주사선(Scan[1], Scan[2], ..., Scan[3n]) 및 데이터선 (Data[1], Data[2], ..., Data[m])에 의해 정의되는 화소 회로(131, Pixel)를 포함 할 수 있다.
- [0040] 여기서 상기 화소 회로(Pixel)(131)는 이웃하는 두 주사선과 이웃하는 두 데이터선에 의해 정의 되는 화소 영역에 형성될 수 있다. 물론, 상술한 바와 같이 상기 주사선(Scan[1], Scan[2], ..., Scan[3n])에는 상기 주사 구동부(110)로부터 주사 신호가 공급되고, 상기 데이터선 (Data[1], Data[2], ..., Data[m])에는 상기의 데이터 구동부(120)로부터 데이터 신호가 공급될 수 있다.
- [0041] 상기 패널(130)은 외부로부터 제1 전원 전압 및 제2 전원 전압을 공급받아 각각의 화소 회로(131)로 공급한다. 제1 전원 전압 및 제2 전원 전압을 공급받은 화소 회로(131) 각각은 데이터신호에 대응하여 제2 전원 전압으로부터 발광소자를 경유하여 제1 전원 전압으로 흐르는 전류를 제어함으로써 데이터신호에 대응되는 발광을 한다.
- [0042] 도 2는 본 발명의 실시 예에 의한 주사 구동부(110)의 블록도이다.

- [0043] 도 2를 참조하면, 주사 구동부(110)는 제1 스테이지(S1), 제2 스테이지(S2), 제3 스테이지(S3), 제4 스테이지(S4), 제5 스테이지(S5)를 비롯하여 복수개의 스테이지를 포함한다.
- [0044] 제1 스테이지(S1)는 제1 클럭선(CLK1)에 클럭 단자(c1k)가 전기적으로 연결되고, 제1 FLMUP선(FLMUP 1)에 flmup 단자(flmup)가 전기적으로 연결된다. 그리고 제1 스테이지(S1)는 입력단(in)이 초기 입력선(SP)에 전기적으로 연결되어 초기 입력 신호를 입력받아 출력단(out)의 제1 주사선(Scan[1])으로 제1 주사 신호를 출력한다. 또한 제1 스테이지(S1)는 넥스트단(next)이 제2 스테이지(S2)의 입력단(in)에 연결되어 제2 스테이지(S2)의 입력단(in)으로 제1 넥스트 신호를 출력한다.
- [0045] 제2 스테이지(S2)는 제2 클럭선(CLK2)에 클럭 단자(c1k)가 전기적으로 연결되고, 제2 FLMUP선(FLMUP 2)에 flmup 단자(flmup)가 전기적으로 연결된다. 그리고 제2 스테이지(S2)는 입력단(in)이 상기 제1 스테이지(S1)의 넥스트단(next)에 연결되어 제1 넥스트 신호를 입력 받아 출력단(out)의 제2 주사선(Scan[2])으로 제2 주사 신호를 출력한다. 또한 제2 스테이지(S2)는 넥스트단(next)이 제3 스테이지(S3)의 입력단(in)에 연결되어 제3 스테이지(S3)의 입력단(in)으로 제3 넥스트 신호를 출력한다. 즉, 입력단에 이전 스테이지의 넥스트단이 연결되어 이전 스테이지의 넥스트 신호를 인가받아 주사 신호를 출력한다. 본 발명의 실시 예에 의하면 넥스트 신호는 출력단의 로드(load)에 영향을 받지 않아 RC-딜레이(RC-delay) 없는 신호가 다음 스테이지에 사용되는 특징이 있다.
- [0046] 제3 내지 제5 스테이지(S3 내지 S5)는 제1 및 제2 스테이지(S1, S2)와 동일한 방식으로 연결 및 동작되므로 이에 대한 자세한 설명은 생략한다.
- [0047] 도 3은 도 2에 도시된 주사 구동부(110)의 주사 회로도이다. 이하에서 설명하는 주사 회로는 모두 도 2에 도시된 스테이지 하나에 해당하는 주사 회로를 의미한다. 즉, 제1 스테이지 내지 제5 스테이지(S1 내지 S5)에 포함된 주사 회로는 모두 도 3과 같은 주사 회로로 이루어져 있다. 여기서는 제1 스테이지(S1)를 대표로 설명한다.
- [0048] 도 3을 참조하면, 제1 스테이지(S1)는 제1 내지 제9 스위칭 소자(T1 내지T9) 및 제1 내지 제3 커패시터(C1 내지 C3)를 포함한다. 여기서 상기 제1 내지 제 9 스위칭 소자(T1 내지T9)는 PMOS 트랜지스터(p-type metal-oxide-semiconductor field effect transistors)일 수 있다.
- [0049] 제1 스위칭 소자(T1)는 입력단(in)에 제어 전극(게이트 전극에 해당함)이 전기적으로 연결되고, 제1 전극(드레인 전극 또는 소스 전극에 해당함)에 제1 전원 전압(VGH)에 전기적으로 연결되고, 제2 전극(소스 전극 또는 드레인 전극에 해당함)이 제3 스위칭 소자(T3)의 제어 전극, 제4 스위칭 소자(T4)의 제어 전극, 제6 스위칭 소자(T6)의 제어 전극 및 제8 스위칭 소자(T8)의 제어 전극에 전기적으로 연결된 제1 노드(N1)에 전기적으로 연결된다. 제1 스위칭 소자(T1)는 제어 전극에 로우(low) 레벨의 입력 신호가 인가되면 턴 온(turn on) 되어 제1 전원 전압(VGH)을 제3 스위칭 소자(T3)의 제어 전극, 제4 스위칭 소자(T4)의 제어 전극, 제6 스위칭 소자(T6)의 제어 전극 및 제8 스위칭 소자(T8)의 제어 전극으로 인가한다.
- [0050] 제2 스위칭 소자(T2)는 상기 입력단(in)에 제어 전극이 전기적으로 연결되고, 제1 전극이 제7 스위칭 소자(T7)의 제어 전극이 전기적으로 연결된 제2 노드(N2)에 연결되며, 제2 전극이 제2 전원 전압(VGL)과 전기적으로 연결된다. 제2 스위칭 소자(T2)는 제어 전극에 로우(low) 레벨의 입력 신호가 인가되면 턴 온(turn on)되어 제2 전원 전압(VGL)을 제7 스위칭 소자(T7)의 제어 전극으로 인가한다.
- [0051] 제3 스위칭 소자(T3)는 상기 제1 스위칭 소자(T1)의 제2 전극이 전기적으로 연결된 제1 노드(N1)에 제어 전극이 전기적으로 연결되고, 제1 전극이 제1 전원 전압(VGH)에 전기적으로 연결되며, 제2 전극이 제4 스위칭 소자(T4)의 제1 전극에 전기적으로 연결된다.
- [0052] 제4 스위칭 소자(T4)는 상기 제1 스위칭 소자(T1)의 제2 전극이 전기적으로 연결된 제1 노드(N1)에 제어 전극이 전기적으로 연결되고, 제1 전극이 제3 스위칭 소자(T3)의 제2 전극에 전기적으로 연결되며, 제2 전극이 제2 노드(N2)에 전기적으로 연결된다. 상기 제2 노드(N2)에는 제2 스위칭 소자(T2)의 제1 전극, 제7 스위칭 소자(T7)의 제어 전극, 제9 스위칭 소자(T9)의 제어 전극이 전기적으로 연결되어 있다. 상기 제3 스위칭 소자(T3) 및 제4 스위칭 소자(T4)는 하나의 스위칭 소자로 구현될 수도 있다.
- [0053] 제5 스위칭 소자(T5)는 flmup 단자(flmup)에 제어 전극이 전기적으로 연결되고 제1 전극이 제1 노드(N1)에 전기적으로 연결되며, 제2 전극이 제2 전원 전압(VGL)에 전기적으로 연결된다. 상기 제1 노드(N1)에는 제3 스위칭 소자(T3)의 제어 전극, 제4 스위칭 소자(T4)의 제어 전극, 제6 스위칭 소자(T6)의 제어 전극 및 제8 스위칭 소자(T8)의 제어 전극이 전기적으로 연결되어 있다.

- [0054] 제5 스위칭 소자(T5)의 제어 전극에 전기적으로 연결된 flmup 단자(flmp)에 로우(low) 레벨의 신호가 인가되면 제5 스위칭 소자(T5)는 턴 온(turn on)되어 제2 전원 전압(VGL)을 제1 노드(N1)로 인가한다. 제3 스위칭 소자(T3)의 제어 전극 및 제4 스위칭 소자(T4)의 제어 전극에 상기 제2 전원 전압(VGL)이 인가되면 제3 스위칭 소자(T3) 및 제4 스위칭 소자(T4)는 턴 온(turn on) 되어 제1 전원 전압(VGH)을 제2 노드(N2)로 인가한다.
- [0055] 제6 스위칭 소자(T6)는 제1 노드(N1)에 제어 전극이 전기적으로 연결되고 제1 전극이 제1 전원 전압(VGH)과 전기적으로 연결되며, 제2 전극이 제7 스위칭 소자(T7)의 제1 전극이 전기적으로 연결된 제3 노드(N3)에 전기적으로 연결된다. 제6 스위칭 소자(T6)는 제1 노드(N1)에 로우(low) 레벨의 신호가 인가되면 턴 온(turn on)되어 제1 전원 전압(VGH)을 제3 노드(N3)로 인가한다.
- [0056] 제7 스위칭 소자(T7)는 제2 노드(N2)에 제어 전극이 전기적으로 연결되고 제1 전극이 넥스트 단자(next)가 전기적으로 연결된 제3 노드(N3)에 전기적으로 연결되며, 제2 전극이 클럭 단자(clk)에 전기적으로 연결된다. 제7 스위칭 소자(T7)는 제2 노드(N2)에 로우(low) 레벨의 신호가 인가되면 턴 온(turn on)된다.
- [0057] 제8 스위칭 소자(T8)는 상기 제1 노드(N1)에 제어 전극이 전기적으로 연결되고 제1 전극이 제1 전원 전압(VGH)에 전기적으로 연결되며, 제2 전극이 출력단(out)에 전기적으로 연결된다. 제8 스위칭 소자(T8)는 제1 노드(N1)에 로우(low) 레벨의 신호가 인가되면 턴 온(turn on) 되어 제1 전원 전압(VGH)을 출력단(out)으로 출력한다.
- [0058] 제9 스위칭 소자(T9)는 상기 제2 노드(N2)에 제어 전극이 전기적으로 연결되고 제1 전극이 출력단(out)에 전기적으로 연결되며, 제2 전극이 제2 전원 전압(VGL)에 전기적으로 연결된다. 제9 스위칭 소자(T9)는 제2 노드(N2)에 로우(low) 레벨의 신호가 인가되면 턴 온(turn on)되어 제2 전원 전압(VGL)을 출력단(out)으로 출력한다.
- [0059] 제1 커패시터(C1)는 상기 제1 전원 전압(VGH), 제6 스위칭 소자(T6)의 제1 전극 및 제8 스위칭 소자(T8)의 제1 전극과 상기 제6 스위칭 소자(T6)의 제어 전극 및 제8 스위칭 소자(T8)의 제어 전극 사이에 전기적으로 연결된다. 제1 커패시터(C1)는 제6 스위칭 소자(T6)의 제어 전극과 제6 스위칭 소자(T6)의 제1 전극 사이의 전압차를 저장한다.
- [0060] 제2 커패시터(C2)는 상기 제7 스위칭 소자(T7)의 제어 전극과 제7 스위칭 소자(T7)의 제1 전극 사이에 전기적으로 연결된다. 제2 커패시터(C2)는 제7 스위칭 소자(T7)의 제어 전극과 제1 전극 사이의 전압차를 저장한다.
- [0061] 제3 커패시터(C3)는 상기 제9 스위칭 소자(T9)의 제어 전극과 상기 출력선(out) 및 제9 스위칭 소자(T9)의 제1 전극 사이에 전기적으로 연결된다. 제3 커패시터(C3)는 제9 스위칭 소자(T9)의 제어 전극과 제9 스위칭 소자(T9)의 제1 전극 사이의 전압차를 저장한다.
- [0062] 도 4는 도 3에 도시된 주사 회로의 동작을 나타내는 타이밍도이다.
- [0063] 도 5 및 도 6은 도 3에 따른 도 4의 동작 상태를 도시한 주사 회로도이다.
- [0064] 도 4를 참고하면, 주사 회로의 타이밍도는 제1 구동 기간(P1), 제2 구동 기간(P2), 제3 구동 기간(P3) 및 제4 구동 기간(P4)을 포함한다.
- [0065] 제1 구동 기간(P1)은 제1 스테이지(S1)와 관련된다. 제1 구동 기간(P1) 동안 입력단(out)에 초기 입력선(SP)으로부터 로우(low) 레벨의 초기 입력 신호가 인가되며, 제1 FLMUP선(FLMUP 1)으로부터 flmup 단자(flmp)에 하이(high) 레벨의 제1 FLMUP 신호가 인가된다. 도 5를 참조하면, 제1 스테이지(S1)의 입력단(in)에 로우(low) 레벨의 초기 입력 신호가 인가되어 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)가 턴 온(turn on) 된다. 제1 스위칭 소자(T1)가 턴 온(turn on) 되면서 제1 노드(N1)에 제1 전원 전압(VGH)이 인가된다. 또한 제2 스위칭 소자(T2)가 턴 온(turn on) 되면서 제2 노드(N2)에 제2 전원 전압(VGL)이 인가된다. 제2 노드(N2)에 제2 전원 전압(VGL)이 인가되면 제9 스위칭 소자(T9)가 턴 온(turn on) 되어 출력단(out)으로 제2 전원 전압(VGL)을 출력한다. 또한 제2 노드(N2)에 제2 전원 전압(VGL)이 인가되면 제7 스위칭 소자(T7)가 턴 온된다. 구체적으로 제3 커패시터(C3)에 의해 제2 노드(N2)에 제2 전원 전압(VGL)과 제7 스위칭 소자(T7)의 문턱 전압(Vth)만큼 이 프리차지(pre-charge)되며, 제7 스위칭 소자(T7)가 턴 온된다. 또한 제5 스위칭 소자(T5)의 제어 전극에 제1 FLMUP선(FLMUP 1)으로부터 하이(high) 레벨의 제1 FLMUP 신호가 인가되므로 제5 스위칭 소자(T5)는 턴 오프(turn off) 상태를 유지한다.
- [0066] 제2 구동 기간(P2)은 제1 스테이지(S1) 및 제2 스테이지(S2)와 연관된다. 먼저 제1 스테이지(S1)의 동작을 살펴보자. 도 5를 참조하면 제2 구동 기간(P2)동안 제1 클럭선(CLK1)으로부터 제1 클럭 신호가 제1 스테이지(S1)의 클럭 단자(clk)에 인가된다. 이 때 제1 스테이지(S1)의 제7 스위칭 소자(T7)의 제2 전극에 로우(low) 레벨의 제1 클럭 신호가 인가되면 제7 스위칭 소자(T7)를 통해 제3 노드(N3)의 전압이 제2 전원 전압(VGL)을 향해 떨어지

기 시작한다. 이 때 제3 커패시터(C3)를 통해 부스트랩(bootstrap)이 일어나 제2 노드(N2)의 전압이 제2 전원 전압(VGL)보다 훨씬 낮은 전압으로 떨어져 제7 스위칭 소자(T7)가 완전히 턴 온(turn on)된다. 따라서 제3 노드(N3)의 전압은 로우(low) 레벨의 제1 클럭 신호를 따라 완전히 제2 전원 전압(VGL)까지 떨어진다. 이 때 제3 노드(N3)의 제2 전원 전압(VGL)이 제1 넥스트 신호로서 제1 스테이지(S1)의 넥스트단(next)으로 출력되어 제2 스테이지(S2)의 입력단(in)으로 인가된다. 이와 같이 연속적인 시프트 레지스터(shift register) 동작이 수행된다.

[0067] 제2 구동 기간(P2) 동안 제2 스테이지(S2)의 동작을 살펴보자. 제2 스테이지(S2)의 입력단(in)에 로우(low) 레벨의 제1 넥스트 신호가 인가되어 제2 스테이지(S2)의 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)가 턴 온(turn on) 된다. 제1 스위칭 소자(T1)가 턴 온(turn on) 되면서 제1 노드(N1)에 제1 전원 전압(VGH)이 인가된다. 또한 제2 스위칭 소자(T2)가 턴 온(turn on) 되면서 제2 노드(N2)에 제2 전원 전압(VGL)이 인가된다. 제2 노드(N2)에 제2 전원 전압(VGL)이 인가되면 제9 스위칭 소자(T9)가 턴 온(turn on) 되어 출력단(out)으로 제2 전원 전압(VGL)을 출력한다. 또한 제2 노드(N2)에 제2 전원 전압(VGL)이 인가되면 제7 스위칭 소자(T7)가 턴 온(turn on)된다.

[0068] 제2 구동 기간(P2) 동안 제1 스테이지(S1)의 flmup 단자(flmup)에 하이(high) 레벨의 제1 FLMUP 신호가 인가되므로 제5 스위칭 소자(T5)는 턴 오프(turn off) 상태를 유지한다. 또한 제2 스테이지(S2)의 flmup 단자(flmup)에 하이(high) 레벨의 제2 FLMUP 신호가 인가되므로 제5 스위칭 소자(T5)는 턴 오프(turn off) 상태를 유지한다.

[0069] 제3 구동 기간(P3)은 제1 스테이지(S1)와 관련된다. 제3 구동 기간(P3) 동안 제1 스테이지(S1)의 입력단(in)에 초기 입력선(SP)로부터 하이(high) 레벨의 초기 입력 신호가 인가되며, 클럭 단자(clk)에 제1 클럭선(CLK1)으로부터 하이(high) 레벨의 제1 클럭 신호가 인가된다. 또한 flmup 단자(flmup)에 제1 FLMUP선(FLMUP1)으로부터 로우(low) 레벨의 제1 FLMUP 신호가 인가된다. 도 6을 참조하면, 제1 스테이지(S1)의 입력단(in)에 하이(high) 레벨의 초기 입력 신호가 인가되어 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)가 턴 오프(turn off) 된다. 그러나 제5 스위칭 소자(T5)의 제어 전극에 로우(low) 레벨의 제1 FLMUP 신호가 인가되어 제5 스위칭 소자(T5)가 턴 온(turn on)된다. 제5 스위칭 소자(T5)가 턴 온(turn on)되면 제1 노드(N1)에 제2 전원 전압(VGL)이 인가되어 제8 스위칭 소자(T8)가 턴 온(turn on) 된다. 제8 스위칭 소자(T8)가 턴 온(turn on) 되어 출력단(out)으로 제1 전원 전압(VGH)을 출력한다.

[0070] 제4 구동 기간(P4)은 제2 스테이지(S2)와 관련된다. 제4 구동 기간(P4) 동안 입력단(in)에 하이(high) 레벨의 제1 넥스트 신호가 인가되며, 클럭 단자(clk)에 제2 클럭선(CLK2)으로부터 하이(high) 레벨의 제2 클럭 신호가 인가된다. 또한 flmup 단자(flmup)에 제2 FLMUP선(FLMUP2)으로부터 로우(low) 레벨의 제2 FLMUP 신호가 인가된다. 제2 스테이지(S2)의 입력단(in)에 하이(high) 레벨의 제1 넥스트 신호가 인가되어 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)가 턴 오프(turn off) 된다. 그러나 제5 스위칭 소자(T5)의 제어 전극에 로우(low) 레벨의 제2 FLMUP 신호가 인가되어 제5 스위칭 소자(T5)가 턴 온(turn on) 된다. 제5 스위칭 소자(T5)가 턴 온(turn on) 되면 제1 노드(N1)에 제2 전원 전압(VGL)이 인가되어 제8 스위칭 소자(T8)가 턴 온(turn on) 된다. 제8 스위칭 소자(T8)가 턴 온(turn on) 되어 출력단(out)으로 제1 전원 전압(VGH)을 출력한다.

[0071] 도 4의 타이밍도를 보면, 출력단에서 출력되는 제1 전원 전압(VGH)은 하이(high) 레벨로 표시되고, 제2 전원 전압(VGL)은 로우(low) 레벨로 표시된다.

[0072] 도 7은 본 발명의 다른 실시 예에 의한 주사 구동부(110)의 블록도이다.

[0073] 본 발명의 다른 실시 예에 따르면, 주사 구동부(110)는 제3 FLMUP선(FLMUP3)을 더 포함할 수 있다. 도 7을 참조하면, 제3 스테이지(S3)는 제1 클럭선(CLK1)에 클럭 단자(clk)가 전기적으로 연결되고, 제3 FLMUP선(FLMUP3)에 flmup 단자(flmup)가 전기적으로 연결된다. 제4 스테이지(S4)는 제2 클럭선(CLK2)에 클럭 단자(clk)가 전기적으로 연결되고, 제1 FLMUP선(FLMUP1)에 flmup 단자(flmup)가 전기적으로 연결된다. 제 5 스테이지(S5)는 제1 클럭선(CLK1)에 클럭 단자(clk)가 전기적으로 연결되고, 제2 FLMUP선(FLMUP2)에 flmup 단자(flmup)가 전기적으로 연결된다.

[0074] 도 8은 도 7의 주사 구동부(110)의 동작의 일 실시 예를 나타낸 타이밍도이다.

[0075] 도 7 및 8을 참조하면, 제1 스테이지(S1)와 관련되어 flmup 단자에 로우 레벨의 제1 FLMUP 신호가 인가되며, 제2 스테이지와 관련되어 flmup 단자에 로우 레벨의 제2 FLMUP 신호가 인가되며, 제3 스테이지와 관련되어 flmup 단자에 로우 레벨의 제3 FLMUP 신호가 인가된다.

- [0076] 도 8을 참조하면, 제1 스테이지(S1)는 초기 입력선(SP)으로부터의 초기 입력 신호에 의해, 출력단(out)의 제1 주사선(Scan[1])으로 제1 출력 신호를 출력하고 제1 클럭선 (CLK1)으로부터의 제1 클럭 신호에 의해 제2 스테이지(S2)로 제1 넥스트 신호를 출력한다.
- [0077] 제2 스테이지는 상기 제1 넥스트 신호에 의해 출력단(out)의 제2 주사선(Scan[2])으로 제2 출력 신호를 출력하고 제2 클럭선 (CLK2)으로부터의 제2 클럭 신호에 의해 제3 스테이지(S3)로 제2 넥스트 신호를 출력한다.
- [0078] 제3 스테이지(S3)는 상기 제2 넥스트 신호에 의해 출력단(out)의 제3 주사선(Scan[3])으로 제3 출력 신호를 출력한다.
- [0079] 상기 제2 출력 신호를 출력하는 동안 제1 FLMUP선(FLMUP1)으로부터의 제1 FLMUP 신호에 의해 상기 제1 출력 신호의 출력을 중지한다. 또한 상기 제3 출력 신호를 출력하는 동안 제2 FLMUP선(FLMUP2)으로부터의 제2 FLMUP 신호에 의해 상기 제2 출력 신호의 출력을 중지한다. 또한 제3 출력 신호는 제3 FLMUP선(FLMUP3)으로부터의 제3 FLMUP 신호에 의해 중지된다. 여기서 제1 출력 신호 및 제2 출력 신호는 오버랩(overlap)되며, 제2 출력 신호 및 제3 출력 신호도 오버랩(overlap)된다.
- [0080] 도 9는 본 발명의 또 다른 실시 예에 의한 구사 구동부(110)의 블록도이다.
- [0081] 본 발명의 다른 실시 예에 따르면, 제3 클럭선(CLK3) 및 제3 FLMUP선(FLMUP3)을 더 포함할 수 있다. 도 9를 참조하면, 제3 스테이지(S3)는 제3 클럭선(CLK3)에 클럭 단자(c1k)가 전기적으로 연결되고, 제3 FLMUP선(FLMUP3)에 flmup 단자(flmup)가 전기적으로 연결된다. 제4 스테이지(S4)는 제1 클럭선(CLK1)에 클럭 단자(c1k)가 전기적으로 연결되고, 제1 FLMUP선(FLMUP1)에 flmup 단자(flmup)가 전기적으로 연결된다. 제 5 스테이지(S5)는 제2 클럭선(CLK2)에 클럭 단자(c1k)가 전기적으로 연결되고, 제2 FLMUP선(FLMUP2)에 flmup 단자(flmup)가 전기적으로 연결된다.
- [0082] 도 10은 도 9의 주사 구동부(110)의 동작의 일 실시 예를 나타낸 타이밍도이다.
- [0083] 도 10을 참조하면, 제1 스테이지(S1)의 flmup 단자(flmup)에 로우(low) 레벨의 제1 FLMUP 신호가 인가되며, 제2 스테이지(S2)의 flmup 단자(flmup)에 로우(low) 레벨의 제2 FLMUP 신호가 인가되며, 제3 스테이지(S3)의 flmup 단자(flmup)에 로우(low) 레벨의 제3 FLMUP 신호가 인가된다. 다만, 도 8과 차이가 있다면, 제3 스테이지(S3)의 클럭 단자(c1k)에 로우(low) 레벨의 제3 클럭 신호가 입력된다.
- [0084] 도 8 및 도 10에서 확인할 수 있듯이 제1 FLMUP선(FLMUP3) 내지 제3 FLMUP선(FLMUP1 내지 FLMUP3)에서 순차적으로 FLMUP 신호를 로우(low) 레벨로 출력하기 때문에 FLMUP선의 개수가 늘어날수록 출력 신호의 오버랩(overlap) 구간이 길어진다. 즉 본 발명에서는 FLMUP선의 개수를 조절하여 각 스테이지에서 출력되는 주사 신호의 오버랩 구간의 길이를 간단하게 조절할 수 있는 특징이 있다. 이는 타 주사 회로에 비해 간단한 구성이며, 신호선의 증가도 적은 장점이 있다.
- [0085] 도 11은 본 발명의 다른 실시 예에 의한 주사 회로도이다.
- [0086] 본 발명의 다른 실시예에 따르면, 제1 노드(N1)와 제2 전원 전압(VGL) 사이에 제10 스위칭 소자(T10)가 추가로 연결된다. 제10 스위칭 소자(T10)는 제1 전극이 제1 노드(N1)에 전기적으로 연결되고 제2 전극이 제2 전원 전압(VGL)에 전기적으로 연결되며 제어 전극이 리셋 단자(esr)에 전기적으로 연결된다. 제10 스위칭 소자(T10)는 리셋 단자(esr)로 로우(low) 레벨의 리셋 신호가 인가되면 턴 온(turn on) 되어 제2 전원 전압(VGL)을 제1 노드(N1)로 인가한다. 제2 전원 전압(VGL)이 제1 노드(N1)로 인가되어 제8 스위칭 소자(T8)가 턴 온(turn on)되며 출력단(out)에 제1 전원 전압(VGH)이 출력된다. 리셋 신호는 클럭 신호가 인가되기 전에 인가된다. 즉, 리셋 신호는 클럭 신호가 인가되기 전, 주사 신호를 하이(high) 레벨로 출력하는 기능을 한다.
- [0087] 본 발명은 첨부된 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 특허청구범위에 의해서 정해져야 할 것이다.

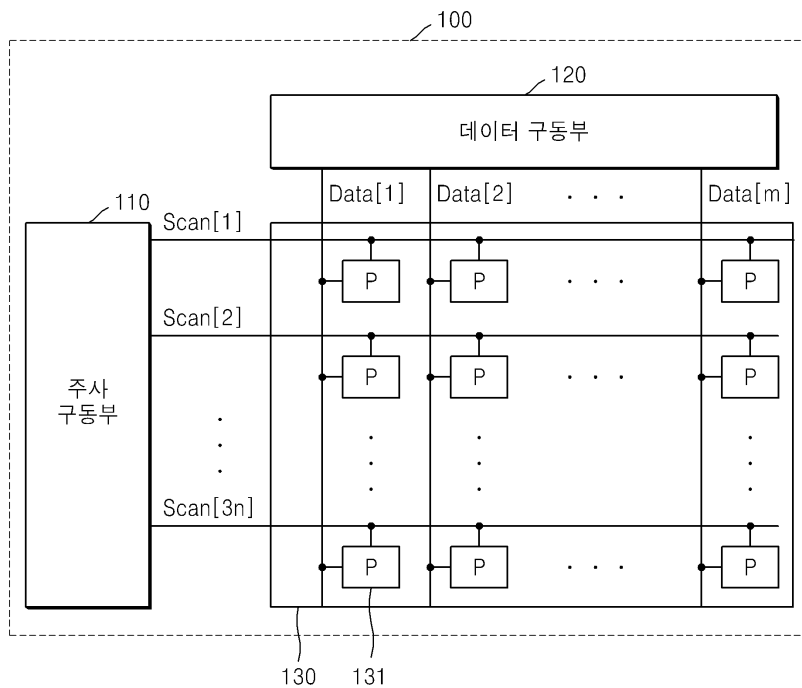
부호의 설명

- [0088] 100 : 유기 전계 발광 표시 장치
- 110 : 주사 구동부

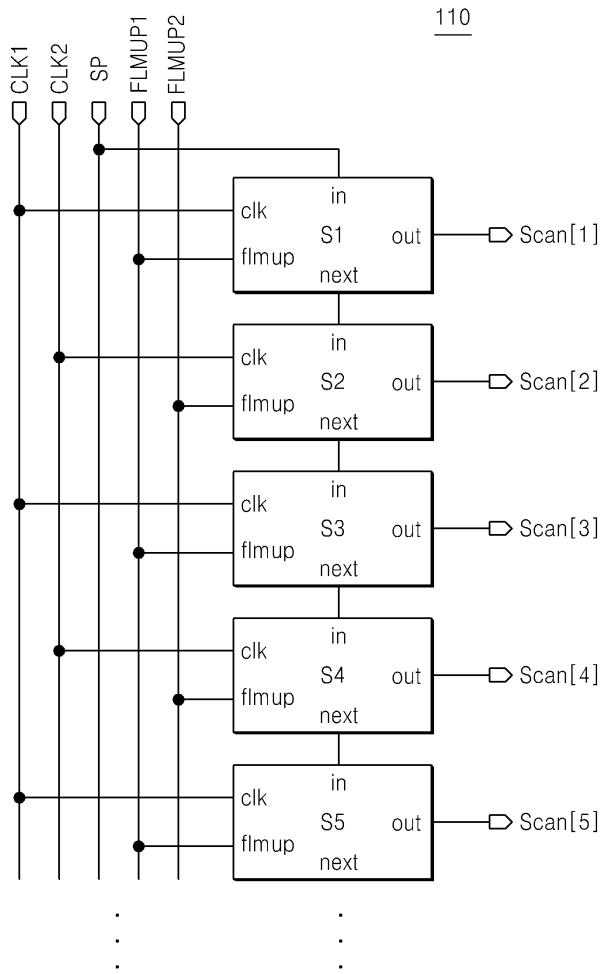
- 120 : 데이터 구동부
- 130 : 유기 전계 발광 표시 패널
- 131 : 화소 회로
- S1 ~S5 : 제1 내지 5 스테이지
- Scan[1] 내지 Scan[5]: 제1 내지 제5 주사선
- CLK1 내지 CLK3: 제1 내지 제3 클럭선
- FLMUP 1 내지 FLMUP 3: 제1 내지 제3 FLMUP선
- SP: 초기 입력선
- in: 입력단
- out: 출력단
- clk: 클럭 단자
- next: 넥스트단
- flmup: flmup 단자
- T1 내지 T10 : 제1 내지 제10 스위칭 소자
- C1 내지 C3 : 제1 내지 제3 커패시터
- VGH : 제1 전원 전압
- VGL : 제2 전원 전압

도면

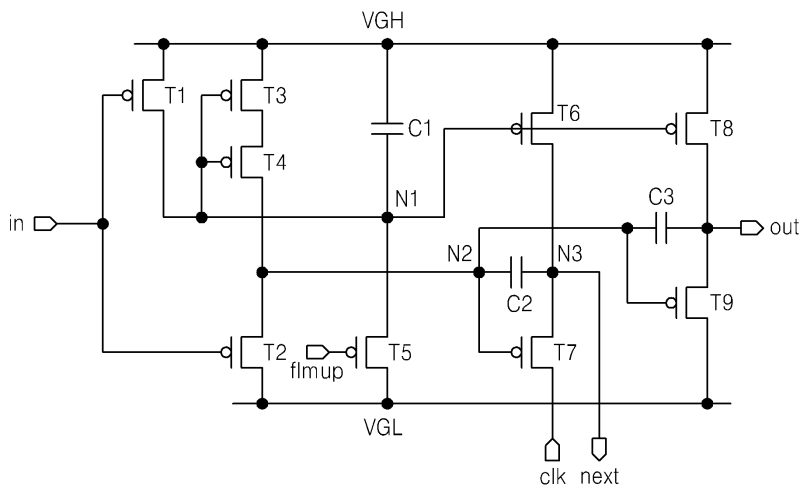
도면1



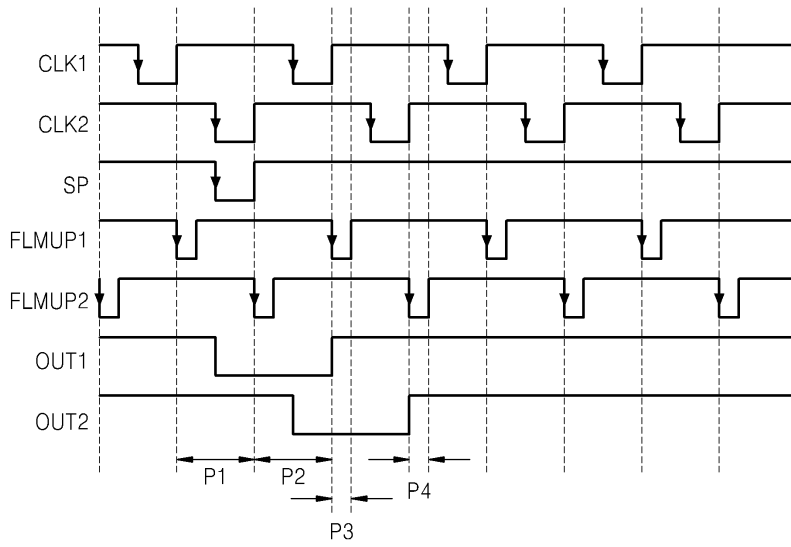
도면2



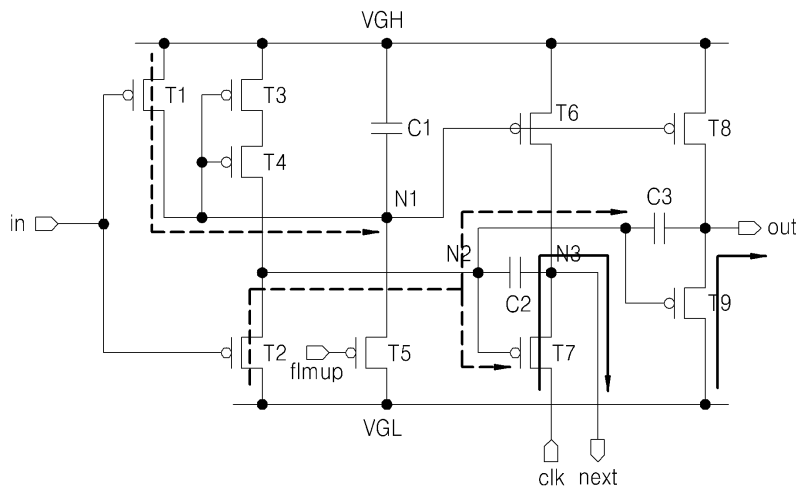
도면3



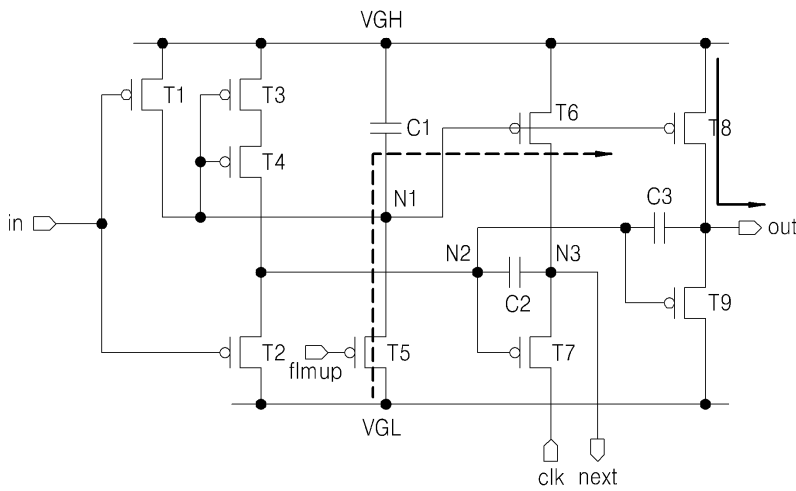
도면4



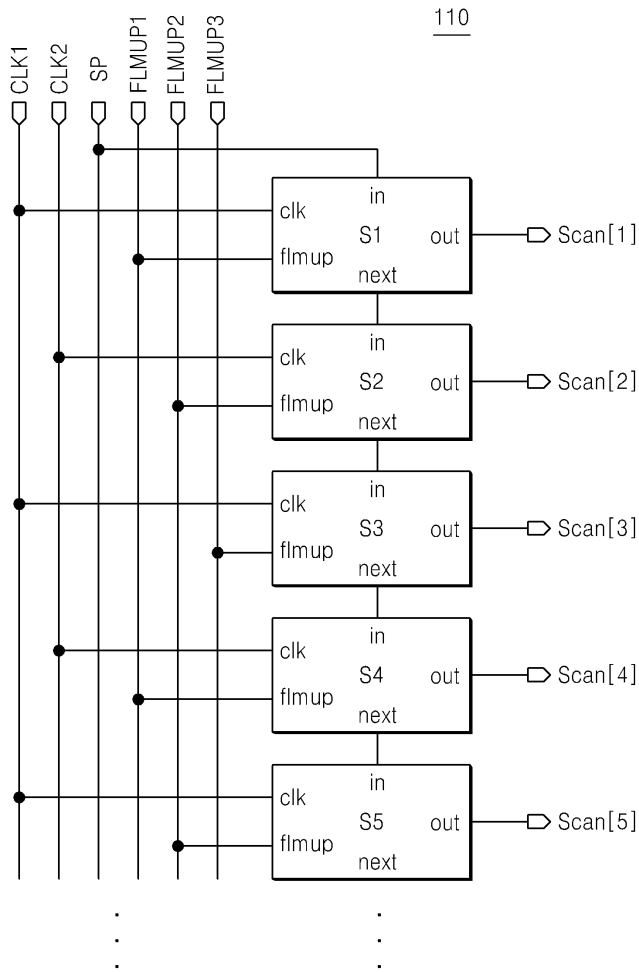
도면5



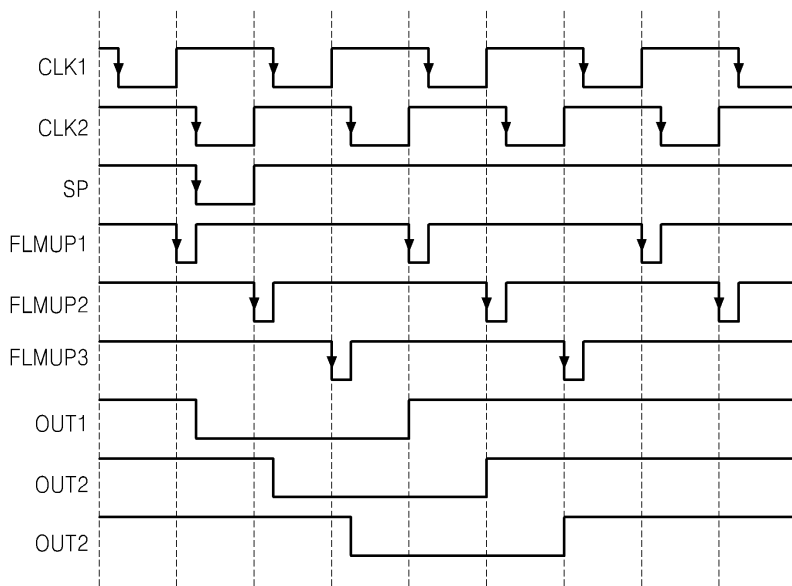
도면6



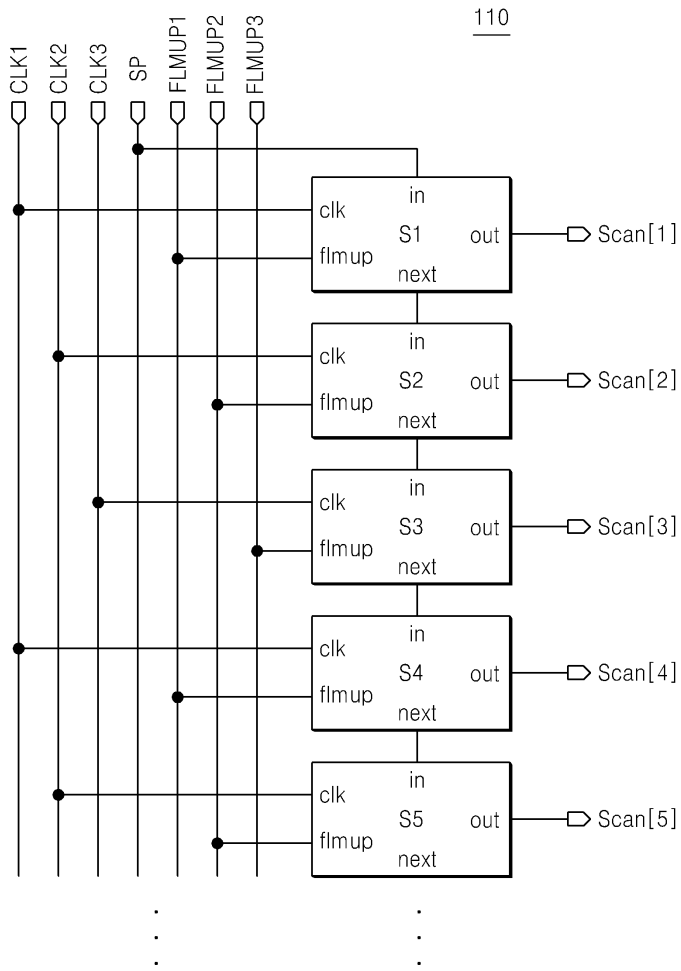
도면7



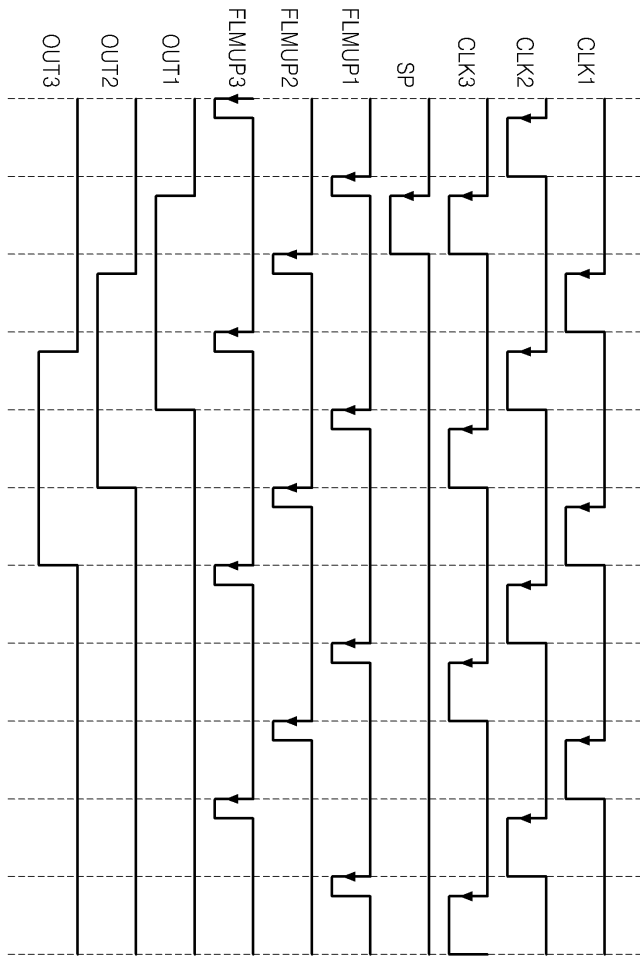
도면8



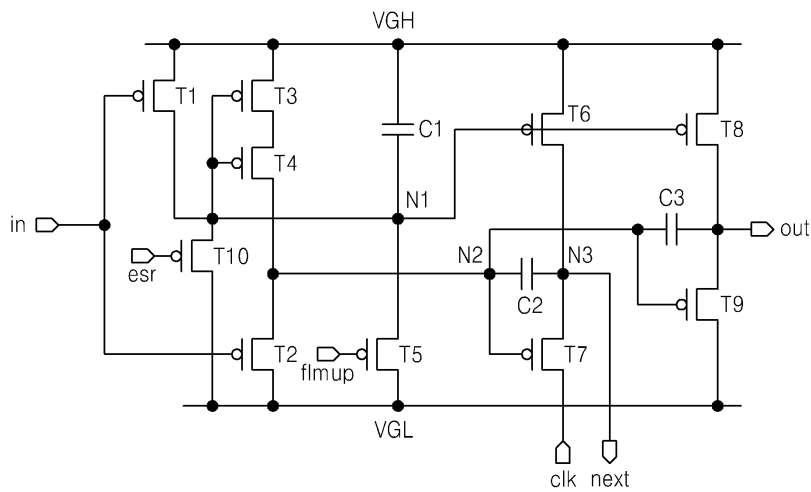
도면9



도면10



도면11



专利名称(译)	扫描驱动器，其驱动方法以及包括其的有机发光显示装置		
公开(公告)号	KR1020110123525A	公开(公告)日	2011-11-15
申请号	KR1020100043051	申请日	2010-05-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHUNG BO YONG 정보용 KIM DONG HWI 김동휘		
发明人	정보용 김동휘		
IPC分类号	G09G3/30		
CPC分类号	G09G2310/0286 G09G3/3266 G09G2310/0202		
其他公开文献	KR101146990B1		
外部链接	Espacenet		

摘要(译)

本发明的一个实施例是提供一种能够驱动从包括多级的扫描驱动器的每级输出的重叠扫描信号的扫描驱动器，其驱动方法，以及包括该扫描驱动器的有机发光显示器。

