

특허청구의 범위

청구항 1

구동용 트랜지스터 영역, 제 1 커패시터 영역 및 제 2 커패시터 영역으로 정의된 하부 기판 상에 제 1 금속 패턴군을 형성하는 단계;

게이트 절연막을 사이에 두고 상기 제 1 금속 패턴군 상에 제 2 금속 패턴군을 형성하는 단계;

상기 제 2 금속 패턴군 상에 제 1 패시베이션층을 형성하는 단계;

상기 제 1 패시베이션층 상에 제 2 패시베이션층을 형성하는 단계;

상기 제 2 패시베이션층 상에 투명전극 패턴군을 형성하는 단계; 및

상기 투명전극 패턴군이 형성된 상기 제 2 패시베이션층 상에 제 3 패시베이션층을 형성하는 단계를 포함하는 유기전계발광 표시장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 1 패시베이션층을 형성하는 단계는,

상기 제 2 금속 패턴군이 형성된 상기 게이트 절연막 상에 제 1 무기 절연물질을 증착하는 단계와,

상기 제 1 무기 절연물질을 제 1 세정하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 3

제 2 항에 있어서, 상기 제 2 패시베이션층을 형성하는 단계는,

상기 제 1 패시베이션층 상에 제 2 무기 절연물질을 증착하는 단계와,

상기 제 2 무기 절연물질을 제 2 세정하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 4

제 3 항에 있어서, 상기 제 1 및 상기 제 2 무기 절연물질을 증착하는 단계는 실리콘 질화막 또는 실리콘 산화막을 CVD증착 방법으로 증착하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 5

제 3 항에 있어서, 상기 제 1 및 상기 제 2 세정은 초순수물을 이용한 기계적(mechanical) 세정, M/S(Mega Sonic) 세정 또는 HPMJ(high pressure micro jet) 세정 공정으로 수행되는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 6

제 1 항에 있어서, 상기 제 1 패시베이션층과 상기 제 2 패시베이션층의 두께는 동일한 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 7

제 1 항에 있어서, 상기 제 1 금속 패턴군은 상기 구동용 트랜지스터 영역에 형성된 게이트 전극과, 상기 제 1 커패시터 영역에 형성된 제 1 하부전극 및 상기 제 2 커패시터 영역에 형성된 제 2 하부전극을 포함하고,

상기 제 2 금속 패턴군은 상기 구동용 트랜지스터 영역에 형성된 소스/드레인 전극과, 상기 제 1 커패시터 영역에 형성된 제 1 상부전극 및 상기 제 2 커패시터 영역에 형성된 제 2 상부전극을 포함하고,

상기 투명전극 패턴군은 상기 구동용 트랜지스터 영역에 형성된 제 1 투명전극과, 상기 제 1 커패시터 영역에 형성된 제 2 투명전극 및 상기 제 2 커패시터 영역에 형성된 제 3 투명전극을 포함하는 것을 특징으로 하는 유

기전계발광 표시장치의 제조방법.

청구항 8

제 7 항에 있어서, 상기 투명전극 패턴군을 형성하는 단계 전에 상기 제 1 및 상기 제 2 패시베이션층들을 식각하여 상기 드레인 전극을 노출시키는 제 1 콘택홀과, 상기 제 1, 상기 제 2 및 상기 게이트 절연막을 식각하여 상기 제 1 하부전극을 노출시키는 제 2 콘택홀 및 상기 제 2 하부전극을 노출시키는 제 3 콘택홀을 형성하는 단계;

상기 제 3 패시베이션층을 식각하여 상기 제 1 투명전극을 노출시키는 제 4 콘택홀을 형성하는 단계; 및

상기 제 4 콘택홀을 통해 상기 제 1 투명전극과 전기적으로 연결되도록 상기 제 3 패시베이션층 상에 콘택전극을 형성하는 단계를 더 포함하는 유기전계발광 표시장치의 제조방법.

청구항 9

게이트 절연막을 사이에 두고 형성된 제 1 하부전극과 제 1 상부전극 및 상기 제 1 상부전극과 제 1 및 제 2 패시베이션층들을 사이에 두고 형성된 제 2 투명전극을 포함하는 제 1 커패시터;

상기 제 1 커패시터와 소정거리 이격되어 형성되며, 상기 게이트 절연막을 사이에 두고 형성된 제 2 하부전극과 제 2 상부전극 및 상기 제 2 상부전극과 상기 제 1 및 상기 제 2 패시베이션층들을 사이에 두고 형성된 제 3 투명전극을 포함하는 제 2 커패시터; 및

상기 제 1 및 제 2 커패시터 상에 형성된 제 3 패시베이션층을 포함하는 유기전계발광 표시장치.

청구항 10

제 9 항에 있어서, 상기 제 1 및 제 2 패시베이션층의 두께는 동일한 것을 특징으로 하는 유기전계발광 표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광 표시장치 및 그 제조방법에 관한 것으로, 특히 휘점 및 암점 불량을 방지하여 신뢰성을 향상시키는 유기전계발광 표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기전계발광 표시장치(OLED) 등이 각광받고 있다. 유기전계발광 표시장치는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 종이와 같이 박막화가 가능하다는 장점을 갖고 있다.

[0003] 액티브 매트릭스 유기전계발광(AMOLED)은 3색(R, G, B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되는 것으로, 서브 화소 구동부 어레이와 유기전계발광 어레이가 형성된 기판에 패키징판이 합착된 인캡슐레이션(Encapsulation) 구조로 그 기판을 통해 빛을 방출함으로써 화상을 표시한다. 각 서브 화소는 유기 전계 발광(OEL) 셀과, 그 OEL 셀을 독립적으로 구동하는 셀 구동부를 구비한다. 셀 구동부는 적어도 2개의 박막 트랜지스터와, 커패시터와, 박막 트랜지스터와 커패시터를 구성하는 전극들을 보호하는 패시베이션층을 포함한다.

[0004] 이러한 패시베이션층은 전극들 사이에 형성되는 제 1 패시베이션층과, 박막 트랜지스터와 커패시터 전면에 형성되는 제 2 패시베이션층을 포함하며, 패시베이션층이 두껍게 형성될수록 전극들을 보호하는 기능이 증가한다. 그러나, 제 1 패시베이션층을 형성하는 공정에서 제 1 패시베이션층의 증착 후 제전 처리 시 RF 파워 압력의 급격한 감소로 인해 도 1a 및 도 1b에 도시된 바와 같이 제 1 패시베이션층 상부에 돌기성 이물(A)이 발생한다.

[0005] 돌기성 이물(A)은 제 1 패시베이션층의 두께가 두꺼워질수록 발생 비율이 증가되는데, 특히 커패시터를 구성하

는 전극들 사이의 제 1 패시베이션층에 발생하는 비율이 높다. 이러한 돌기성 이물(A)은 제 1 패시베이션층 하부에 형성된 전극과 제 1 패시베이션층 상부에 형성된 전극 간의 쇼트를 발생시키거나, 두 전극 간의 거리를 증가시킨다. 그 결과, 커패시터를 구성하는 화소(pixel)가 신호 여부와 관계없이 지속적으로 발광하는 휘점 현상을 발생시키거나, 화소에 신호가 공급되어도 발광을 하지 않는 암점 현상을 발생시킨다.

[0006] 이러한 휘점 또는 암점 현상으로 인하여 유기전계발광 표시장치의 신뢰성은 저하될 뿐만 아니라 발견시 표시장치를 폐기처분해야 하므로 수율도 저하된다.

발명의 내용

해결 하고자하는 과제

[0007] 상기와 같은 문제점을 해결하기 위하여, 본 발명은 휘점 및 암점 불량을 방지하여 신뢰성 및 수율을 향상시키는 유기전계발광 표시장치 및 그 제조방법을 제공하는 것이다.

과제 해결수단

[0008] 본 발명에 따른 유기전계발광 표시장치는 게이트 절연막을 사이에 두고 형성된 제 1 하부전극과 제 1 상부전극 및 상기 제 1 상부전극과 제 1 및 제 2 패시베이션층들을 사이에 두고 형성된 제 2 투명전극을 포함하는 제 1 커패시터와, 상기 제 1 커패시터와 소정거리 이격되어 형성되며, 상기 게이트 절연막을 사이에 두고 형성된 제 2 하부전극과 제 2 상부전극 및 상기 제 2 상부전극과 상기 제 1 및 상기 제 2 패시베이션층들을 사이에 두고 형성된 제 3 투명전극을 포함하는 제 2 커패시터 및 상기 제 1 및 제 2 커패시터 상에 형성된 제 3 패시베이션층을 포함한다.

[0009] 본 발명에 따른 유기전계발광 표시장치의 제조방법은 구동용 트랜지스터 영역, 제 1 커패시터 영역 및 제 2 커패시터 영역으로 정의된 하부 기판 상에 제 1 금속 패턴군을 형성하는 단계와, 게이트 절연막을 사이에 두고 상기 제 1 금속 패턴군 상에 제 2 금속 패턴군을 형성하는 단계와, 상기 제 2 금속 패턴군 상에 제 1 패시베이션층을 형성하는 단계와, 상기 제 1 패시베이션층 상에 제 2 패시베이션층을 형성하는 단계와, 상기 제 2 패시베이션층 상에 투명전극 패턴군을 형성하는 단계 및 상기 투명전극 패턴군이 형성된 상기 제 2 패시베이션층 상에 제 3 패시베이션층을 형성하는 단계를 포함한다.

[0010] 여기서, 상기 제 1 패시베이션층을 형성하는 단계는, 상기 제 2 금속 패턴군이 형성된 상기 게이트 절연막 상에 제 1 무기 절연물질을 증착하는 단계와, 상기 제 1 무기 절연물질을 제 1 세정하는 단계를 포함한다.

[0011] 그리고 상기 제 2 패시베이션층을 형성하는 단계는, 상기 제 1 패시베이션층 상에 제 2 무기 절연물질을 증착하는 단계와, 상기 제 2 무기 절연물질을 제 2 세정하는 단계를 포함한다.

[0012] 이때, 상기 제 1 및 상기 제 2 무기 절연물질을 증착하는 단계는 실리콘 질화막 또는 실리콘 산화막을 CVD증착 방법으로 증착한다.

[0013] 상기 제 1 및 상기 제 2 세정은 초순수물을 이용한 기계적(mechanical) 세정, M/S(Mega Sonic) 세정 또는 HPMJ(high pressure micro jet) 세정 공정으로 수행된다.

[0014] 상기 제 1 패시베이션층과 상기 제 2 패시베이션층의 두께는 동일한다.

[0015] 한편, 제 1 항에 있어서, 상기 제 1 금속 패턴군은 상기 구동용 트랜지스터 영역에 형성된 게이트 전극과, 상기 제 1 커패시터 영역에 형성된 제 1 하부전극 및 상기 제 2 커패시터 영역에 형성된 제 2 하부전극을 포함하고, 상기 제 2 금속 패턴군은 상기 구동용 트랜지스터 영역에 형성된 소스/드레인 전극과, 상기 제 1 커패시터 영역에 형성된 제 1 상부전극 및 상기 제 2 커패시터 영역에 형성된 제 2 상부전극을 포함하고, 상기 투명전극 패턴군은 상기 구동용 트랜지스터 영역에 형성된 제 1 투명전극과, 상기 제 1 커패시터 영역에 형성된 제 2 투명전극 및 상기 제 2 커패시터 영역에 형성된 제 3 투명전극을 포함한다.

[0016] 본 발명에 따른 유기전계발광 표시장치의 제조방법은 상기 투명전극 패턴군을 형성하는 단계 전에 상기 제 1 및 상기 제 2 패시베이션층들을 식각하여 상기 드레인 전극을 노출시키는 제 1 콘택홀과, 상기 제 1, 상기 제 2 및 상기 게이트 절연막을 식각하여 상기 제 1 하부전극을 노출시키는 제 2 콘택홀 및 상기 제 2 하부전극을 노출시키는 제 3 콘택홀을 형성하는 단계와, 상기 제 3 패시베이션층을 식각하여 상기 제 1 투명전극을 노출시키는 제 4 콘택홀을 형성하는 단계 및 상기 제 4 콘택홀을 통해 상기 제 1 투명전극과 전기적으로 연결되도록 상기 제 3 패시베이션층 상에 콘택전극을 형성하는 단계를 더 포함한다.

효 과

[0017] 본 발명은 커패시터를 구성하는 전극 사이의 패시베이션층에 형성되는 돌기성 이물의 생성을 방지함에 따라, 두 전극 간의 쇼트를 방지하고 두 전극 간의 거리를 일정하게 유지시킬 수 있다.

[0018] 또한, 본 발명은 커패시터를 구성하는 전극 사이의 커패시턴스 용량을 일정하게 유지하고 커패시터 영역에 발생되기 쉬운 휘점 또는 암점 현상의 발생을 방지하여 유기전계발광 표시장치의 신뢰성 및 수율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명에 따른 유기전계발광 표시장치 및 그 제조방법을 구체적으로 살펴본다.

[0020] 도 2는 본 발명에 따른 유기전계발광 표시장치의 서브 화소(PXL)의 회로구성을 나타낸 등가 회로도이고, 도 3은 도 2의 B를 도시한 단면도로, 본 발명에 따른 유기전계발광 표시장치는 다수의 서브 화소(PXL)를 구비한다.

[0021] 도 2 및 3을 참조하면, 하나의 서브 화소(PXL)는 하부 기관(100) 상에 형성된 다수의 트랜지스터들과, 다수의 커패시터들과, 스캔 신호, 제 1 구동전원(VDD) 및 제 2 구동전원(VSS)을 이용하여 데이터 라인(DL)으로부터의 데이터 전압(Data)에 대응되는 구동전류를 출력하는 화소회로와, 화소회로를 보호하는 패시베이션층과, 화소회로로부터의 구동전류에 의해 발광하는 발광소자(OLED)를 포함한다.

[0022] 다수의 트랜지스터들은 스위칭용 트랜지스터(Tr_S)와, 제어용 트랜지스터(Tr_C) 및 구동용 트랜지스터(Tr_D)를 포함한다.

[0023] 스위칭용 트랜지스터(Tr_S)는 스캔 라인(SL)으로부터 스캔 신호에 따라 턴-온/오프되며, 턴-온시 데이터 라인(DL)과 제 1 노드($N1$)간을 접속시킨다. 이를 위해, 스위칭용 트랜지스터(Tr_S)의 게이트 전극은 스캔 라인(SL)에 접속되며, 소스 전극(또는 드레인 전극)은 데이터 라인에 접속되며, 그리고 소스 전극(또는 드레인 전극)은 제 1 노드($N1$)에 접속된다.

[0024] 제어용 트랜지스터(Tr_C)는 제어 라인으로부터의 제어신호에 따라 턴-온/오프되며, 턴-온시 제 2 노드($N2$)와 제 3 노드($N3$)간을 접속시킨다. 이를 위해, 제어용 트랜지스터(Tr_C)의 게이트 전극은 제어 라인에 접속되며, 드레인 전극(또는 소스 전극)은 제 2 노드($N2$)에 접속되며, 그리고 소스 전극(또는 드레인 전극)은 제 3 노드($N3$)에 접속된다.

[0025] 구동용 트랜지스터(Tr_D)는 제 2 노드($N2$)의 전위에 따라 턴-온/오프되며, 턴-온시 제 3 노드($N3$)와 제 2 구동전원 라인간을 접속시킨다. 이를 위해, 구동용 트랜지스터(Tr_D)는 제 2 노드($N2$)에 접속되는 게이트 전극(112)과, 제 3 노드($N3$)에 접속되는 드레인 전극(132)과, 제 2 구동전원 라인에 접속되는 소스 전극(131)과, 드레인 전극(132) 상에 형성되어 발광소자(OLED)에 접속되는 제 1 투명 전극(152)을 포함한다.

[0026] 구동용 트랜지스터(Tr_D)는 게이트 전극(112)을 덮는 게이트 절연막(122), 게이트 절연막(122)을 사이에 두고 게이트 전극(112)과 중첩되어 채널을 형성하는 활성층(124)을 더 포함한다. 게이트 전극(112)은 하부 기관(100) 상에 형성되며, 활성층(124)은 반도체층과, 오믹컨택층으로 형성될 수 있다. 소스/드레인 전극(131/132)은 활성층(124) 상에 채널부를 사이에 두고 형성된다.

[0027] 다수의 커패시터들은 제 1 커패시터($Cst1$)와, 제 2 커패시터($Cst2$) 및 가변 커패시터(CPv)를 포함한다.

[0028] 제 1 커패시터($Cst1$)는 제 1 노드($N1$)와 제 2 노드($N2$)간에 접속된다. 이 제 1 커패시터($Cst1$)는 제 2 노드($N2$)의 전압을 안정적으로 유지함과 아울러 제 2 노드($N2$)의 전압과 제 1 노드($N1$)의 전압이 서로 혼합되는 것을 방지한다. 이를 위해, 제 1 커패시터($Cst1$)는 구동 트랜지스터(Tr_D)의 게이트 전극(112)으로부터 연장되어 형성된 제 1 하부 전극(114)과, 게이트 절연막(122)을 사이에 두고 형성된 제 1 상부 전극(134)과, 일단은 제 1 상부 전극(134) 상에 형성되고 타단은 제 1 하부 전극(114)과 접속된 제 2 투명 전극(154)을 포함한다.

[0029] 제 2 커패시터($Cst2$)는 제 1 노드($N1$)와 제 2 구동전원 라인간에 접속된다. 이 제 2 커패시터($Cst2$)는 스위칭용 트랜지스터(Tr_S)가 턴-오프되어 제 1 노드($N1$)가 플로팅 상태로 될 때, 제 1 노드($N1$)의 전압이 변동되는 것을 방지한다. 이를 위해, 제 2 커패시터($Cst2$)는 구동 트랜지스터(Tr_D)의 소스 전극(131)과 접속된 제 2 하부 전극(116)과, 게이트 절연막(122)을 사이에 두고 형성된 제 2 상부 전극(136)과, 일단은 제 2 상부 전극(136) 상에 형성되고 타단은 제 2 하부 전극(116)과 접속된 제 3 투명 전극(156)을 포함한다.

[0030] 한편, 도 3은 등가 회로도인 도 2의 B의 일면만을 도시한 단면도로서 도 2의 구성요소들 간의 접속관계와 일치

하지 않을 수 있다.

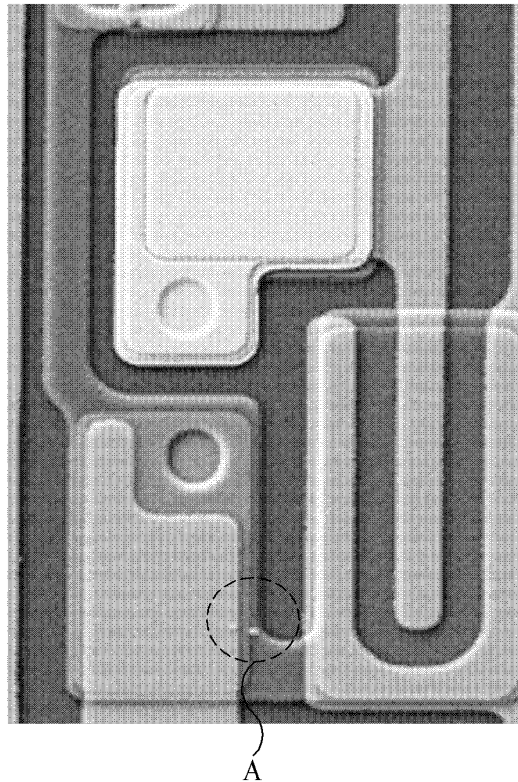
- [0031] 가변 커패시터(CPr)는 제어 라인과 제 2 노드(N2)간에 접속되어 제 1 노드(N1)의 전압의 변동을 방지한다.
- [0032] 패시베이션층은 하부 기판(100) 상에 형성된 전극들이나 신호 라인들을 보호하기 위한 층으로, 제 1 패시베이션층(142)과, 제 1 패시베이션층(142) 상에 형성된 제 2 패시베이션층(144)과, 제 2 패시베이션층(144)상에 형성된 제 3 패시베이션층(146)을 포함한다.
- [0033] 제 1 패시베이션층(142)은 구동용 트랜지스터(Tr_D)의 소스/드레인 전극(131/132)과, 제 1 커패시터(Cst1)의 제 1 상부 전극(134) 및 제 2 커패시터(Cst2)의 제 2 상부 전극(136)이 형성된 게이트 절연막(122)의 전면에 형성된다. 제 2 패시베이션층(144)은 제 1 패시베이션층(142)의 전면에 형성된다.
- [0034] 이때, 제 1 패시베이션층(142)과 제 2 패시베이션층(144)의 두께는 동일하며, 제 1 및 제 2 패시베이션층의 두께는 제 1 및 제 2 커패시터(Cst1, Cst2)의 상부 전극들(134, 156)과 투명전극들(154, 156) 간의 거리의 1/2로 형성됨이 바람직하다. 예를 들어, 제 1 또는 제 2 커패시터의 상부 전극과 투명전극 간의 길이가 2000Å인 경우 1 패시베이션층(142)의 두께가 1000Å이고, 제 2 패시베이션층(144)의 두께가 1000Å이 되도록 한다. 제 1 패시베이션층(142)과 제 2 패시베이션층(144)은 실리콘 질화막 또는 실리콘 산화막으로 이루어지며, 동일한 물질로 형성하는 것이 공정의 단순화면에서 더 바람직하다.
- [0035] 이와 같이 커패시터를 이루는 상부 전극과 투명전극 사이의 패시베이션층을 2개의 층으로 나누어서 형성할 경우, 하나의 패시베이션층의 두께가 두꺼워짐에 따라 발생되기 쉬운 돌기성 이물의 생성을 방지할 수 있다.
- [0036] 돌기성 이물의 생성을 방지함에 따라, 상부 전극과 투명전극 간의 쇼트가 방지되고, 두 전극 간의 거리가 일정하게 유지된다. 그 결과, 상부 전극과 투명전극에 따른 커패시턴스 용량이 일정하게 유지되고, 휘점 또는 암점 현상이 감소하여 유기전계발광 표시장치의 신뢰성 및 수율을 향상시킬 수 있다.
- [0037] 한편, 구동용 트랜지스터(Tr_D) 상의 제 1 패시베이션층(142)과 제 2 패시베이션층(144)에는 제 1 콘택홀(172)이 형성되고, 제 1 커패시터(Cst1) 상의 제 1 패시베이션층(142)과 제 2 패시베이션층(144)에는 제 2 콘택홀(174)이 형성되고, 제 2 커패시터(Cst2) 상의 제 1 패시베이션층(142)과 제 2 패시베이션층(144)에는 제 3 콘택홀(176)이 형성된다.
- [0038] 제 1 콘택홀(172)을 통해 제 1 투명전극(152)과 드레인 전극(132)이 전기적으로 접속되며, 제 2 콘택홀(174)을 통해 제 2 투명전극(154)과 제 1 하부전극이 전기적으로 접속되고, 제 3 콘택홀(176)을 통해 제 3 투명전극(156)과 제 2 하부전극이 전기적으로 접속된다.
- [0039] 제 3 패시베이션층(146)은 구동용 트랜지스터(Tr_D), 제 1 커패시터(Cst1) 및 제 2 커패시터(Cst2) 위에 형성되어 이들을 보호한다. 이때, 제 3 패시베이션층(146)에는 제 1 투명전극(152)이 노출되도록 제 4 콘택홀(178)이 형성되어 있다.
- [0040] 제 3 패시베이션층(146) 상에 형성된 콘택 전극(182)은 제 4 콘택홀(178)을 통해 제 1 투명전극(152)과 접촉된 드레인 전극(132)에 접속되어 구동용 트랜지스터(Tr_D)를 발광소자와 전기적으로 접속시킨다.
- [0041] 발광소자(OLED)는 상부 기판(200)에 형성되며, 제 3 노드(N3)에 접속된 캐소드 전극(236)과, 제 1 구동전원(VDD) 라인에 접속된 애노드 전극(232)과, 캐소드 전극(236)과 애노드 전극(232) 사이에 형성된 유기 발광층(234)을 포함한다. 발광소자(OLED)는 구동용 트랜지스터(Tr_D)와 캐소드 전극(236)을 전기적 연결시킴과 동시에 대향한 하부/상부 기판들(100/200) 간에 일정한 간격을 유지시키기 위한 스페이서(242)와, 애노드 전극(232)과 캐소드 전극(236) 간의 쇼트를 방지하는 बैं크 절연막(231)을 더 포함할 수 있다.
- [0042] 애노드 전극(232)은 판형으로 상부 기판(200)에 투명 도전층으로 형성된다. 유기 발광층(134)은 애노드 전극(132)과 캐소드 전극(136)에서 각기 주입된 정공과 전자가 결합하여 형성된 엑시톤이 기저상태로 떨어지면서 빛이 발광되는 층으로, 격벽(244)에 의해 화소 단위로 분리되며, 화소 단위로 적, 녹, 청색광을 방출한다. 캐소드 전극(236)은 유기 발광층(234) 상에 투명 도전 물질 또는 불투명 도전 물질을 이용하여 적어도 1층 구조로 형성되거나 이들의 조합으로 다층 구조로 형성된다. 이와 같이 형성된 발광소자(OLED)는 구동용 트랜지스터(Tr_D)로부터의 구동전류에 의해 발광한다.
- [0043] 이하, 도 4a 내지 도 4j를 참조하여 도 3에 도시된 유기전계발광 표시장치의 제조방법을 설명하기로 한다.
- [0044] 도 4a를 참조하면, 구동용 트랜지스터(Tr_D) 영역, 제 1 커패시터(Cst1) 영역, 제 2 커패시터(Cst2) 영역으로 정의된 하부 기판(200) 상에 제 1 금속 패턴(110)을 형성한다.

- [0045] 제 1 금속 패터닝(110)은 구동용 트랜지스터(Tr_D) 영역의 하부 기판(200) 상에 형성되는 게이트 전극(112)과, 제 1 커패시터(Cst1) 영역의 하부 기판(200) 상에 형성되는 제 1 하부 전극(114) 및 제 2 커패시터(Cst2) 영역의 하부 기판(200) 상에 형성되는 제 2 하부 전극(116)을 포함한다. 제 1 금속 패터닝(110)은 하부 기판(200) 위에 제 1 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 형성된다. 제 1 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다. 구동용 트랜지스터(Tr_D) 영역의 게이트 전극(112)과 제 1 커패시터(Cst1) 영역의 제 1 하부 전극(114)은 서로 연결되어 있다.
- [0046] 도 4b를 참조하면, 제 1 금속 패터닝(110)이 형성된 하부 기판(200) 상에 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 게이트 절연막(122)을 형성한다. 게이트 절연막(122)으로는 실리콘 질화막(SiNx), 실리콘 산화막(SiOx) 등의 무기 절연물이 이용된다.
- [0047] 도 4c를 참조하면, PECVD 등의 증착 방법으로 반도체층(미도시)과 불순물 반도체층(미도시)을 증착하고 포토리소그래피 공정과 식각 공정으로 구동용 트랜지스터(Tr_D) 영역의 게이트 절연막(122) 위에 활성층(124)을 형성한다. 반도체층은 비정질 실리콘층(a-Si)이, 불순물 반도체층으로는 n+이온이 도핑된 비정질 실리콘층(n+ a-Si)이 적층된 구조로 이용된다.
- [0048] 도 4d를 참조하면, 활성층(124)이 형성된 게이트 절연막(122) 상에 제 2 금속 패터닝(130)을 형성한다.
- [0049] 제 2 금속 패터닝(130)은 소스 전극(131), 드레인 전극(132), 제 1 상부 전극(134) 및 제 2 상부 전극(136)을 포함한다. 소스 전극(131) 및 드레인 전극(132)은 구동용 트랜지스터(Tr-D) 영역의 활성층(124) 위에 형성되고, 제 1 상부 전극(134)은 제 1 커패시터(Cst1) 영역의 게이트 절연막(122) 위에 형성되며, 제 2 상부 전극(136)은 제 2 커패시터(Cst2) 영역의 게이트 절연막(122) 위에 형성된다. 제 2 금속 패터닝(130)은 제 2 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 형성된다. 제 2 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.
- [0050] 도 4e를 참조하면, 제 2 금속 패터닝이 형성된 게이트 절연막(122) 전면에서 제 1 패시베이션층(142)이 형성된다.
- [0051] 제 1 패시베이션층(142)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx) 등의 무기 절연물이 CVD(Chemical Vapor Deposition) 등의 증착 방법으로 증착된 다음 세정 공정을 거쳐 형성된다. 세정 공정으로는 브러쉬(Brush)를 사용하는 기계적(mechanical) 세정, M/S(Mega Sonic) 세정 또는 HPMJ(high pressure micro jet) 세정 등이 수행된다. 이때, 불순물(미네랄, 이온 등이 거의 없음)이 제거된 초순수물인 DI(Deionizer) water가 이용되며, 세정 공정을 통해 제 1 패시베이션층(142)에 발생하는 돌기성 이물을 제거할 수 있다.
- [0052] 도 4f를 참조하면, 제 1 패시베이션층(142) 전면에서 제 2 패시베이션층(144)이 형성된다.
- [0053] 제 2 패시베이션층(144)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx) 등의 무기 절연물이 CVD(Chemical Vapor Deposition) 등의 증착 방법으로 증착된 다음 세정 공정을 거쳐 형성된다. 세정 공정으로는 브러쉬(Brush)를 사용하는 기계적(mechanical) 세정, M/S(Mega Sonic) 세정 또는 HPMJ(high pressure micro jet) 세정 등이 수행된다. 이때, 불순물(미네랄, 이온 등이 거의 없음)이 제거된 초순수물인 DI(Deionizer) water가 이용되며, 세정 공정을 통해 제 2 패시베이션층(144)에 발생하는 돌기성 이물을 제거할 수 있다. 특히 단차가 많은 제 1 커패시터(Cst1) 영역과 제 2 커패시터(Cst2) 영역 상에 형성된 제 1 및 제 2 패시베이션층(142, 144)에 발생하는 돌기성 이물을 완전히 제거할 수 있다.
- [0054] 제 1 및 제 2 패시베이션층(142, 144)의 두께는 동일하며, 하나의 패시베이션층의 두께는 제 1 및 제 2 커패시터(Cst1, Cst2) 영역 상에 형성되는 상부 전극과 투명전극 간의 거리의 1/2로 형성함이 바람직하다. 예를 들어, 상부 전극과 투명전극 간의 거리가 2000Å인 경우 1 패시베이션층(142)의 두께가 1000Å이고, 제 2 패시베이션층(144)의 두께가 1000Å이 되도록 형성한다.
- [0055] 도 4g를 참조하면, 제 1 및 제 2 패시베이션층(142, 144)이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 제 1 콘택홀(172), 제 2 콘택홀(174) 및 제 3 콘택홀(176)이 형성된다.
- [0056] 제 1 콘택홀(172)은 구동용 트랜지스터 영역의 드레인 전극(132)의 일부를 노출시키도록 형성된다. 제 2 콘택홀(174)은 게이트 절연막(122)을 관통하여 제 1 커패시터 영역의 제 1 하부 전극(114)을 노출시키도록 형성된다. 제 3 콘택홀(176)은 게이트 절연막(122)을 관통하여 제 2 커패시터 영역의 제 2 하부 전극(116)을 노출시키도록 형성된다.

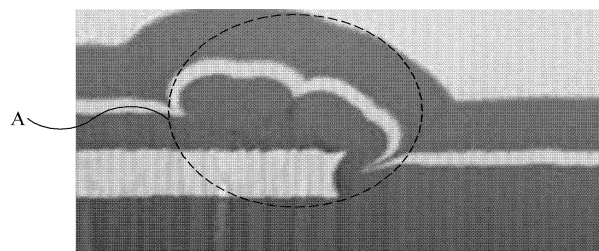
[0074]	122: 게이트 절연막	131: 소스 전극
[0075]	132: 드레인 전극	134: 제 1 상부 전극
[0076]	136: 제 2 상부 전극	142: 제 1 패시베이션층
[0077]	144: 제 2 패시베이션층	146: 제 3 패시베이션층
[0078]	152: 제 1 투명전극	154: 제 2 투명전극
[0079]	156: 제 3 투명전극	172: 제 1 콘택홀
[0080]	174: 제 2 콘택홀	176: 제 3 콘택홀
[0081]	178: 제 4 콘택홀	182: 콘택 전극

도면

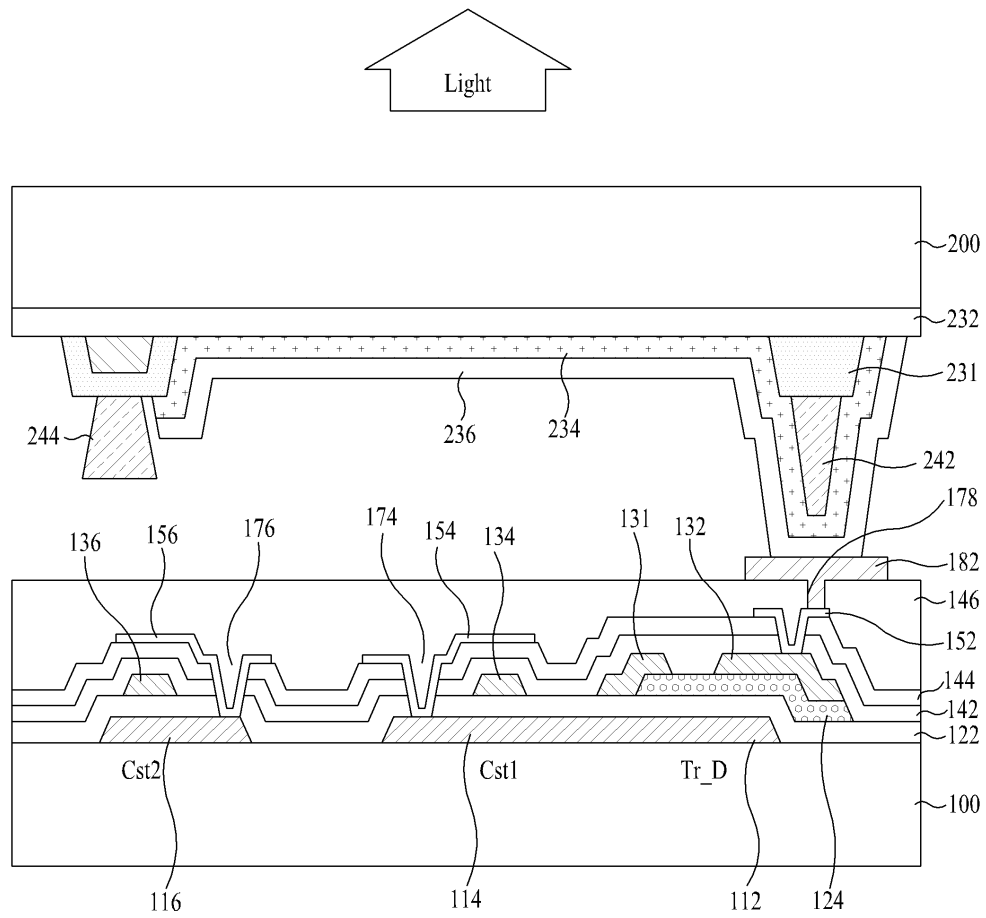
도면1



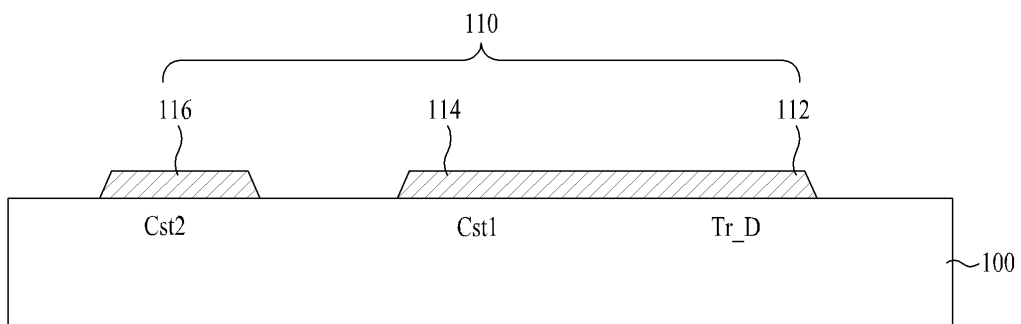
도면1b



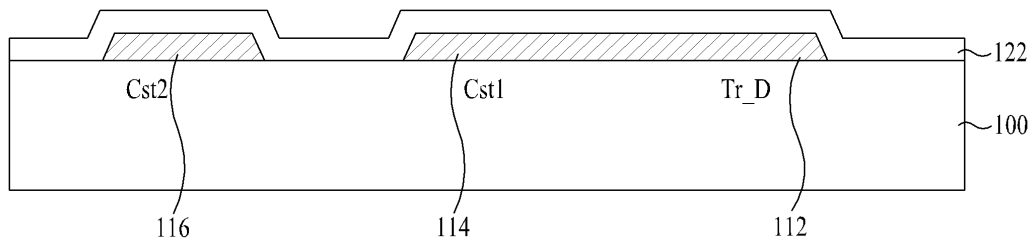
도면3



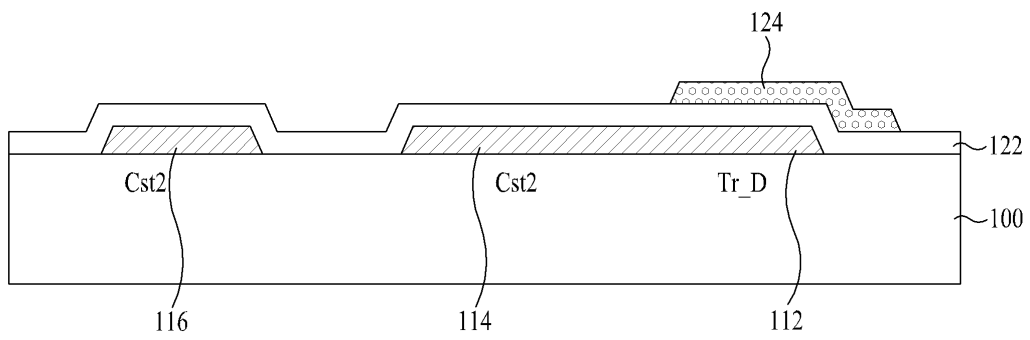
도면4a



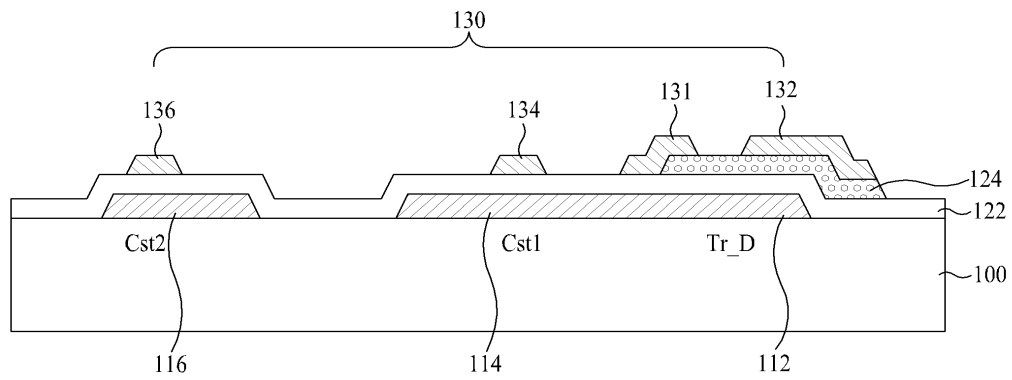
도면4b



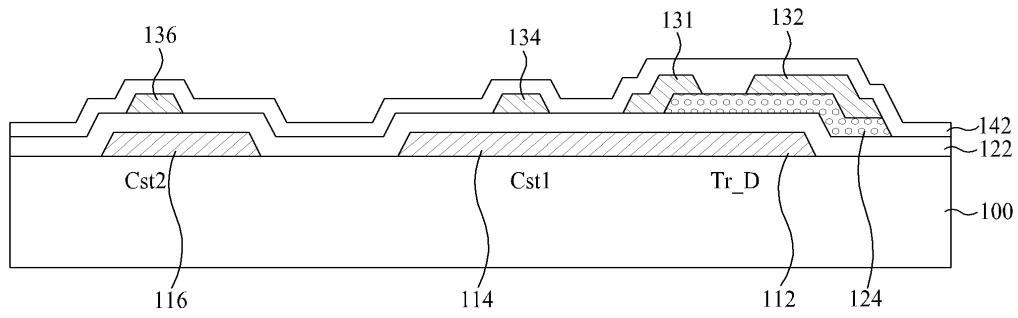
도면4c



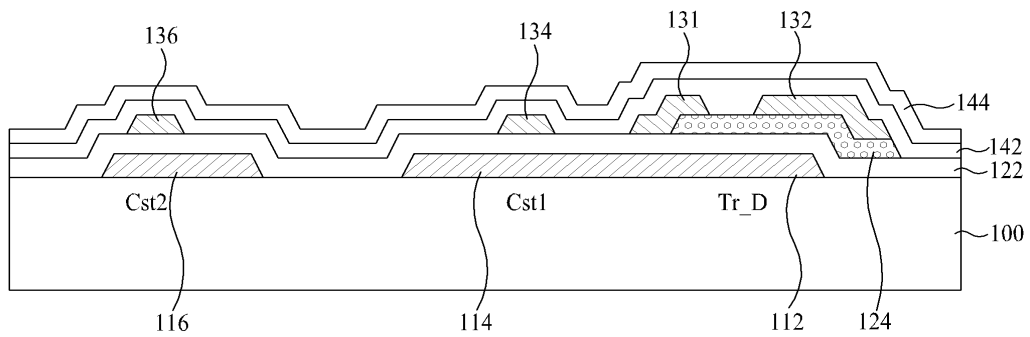
도면4d



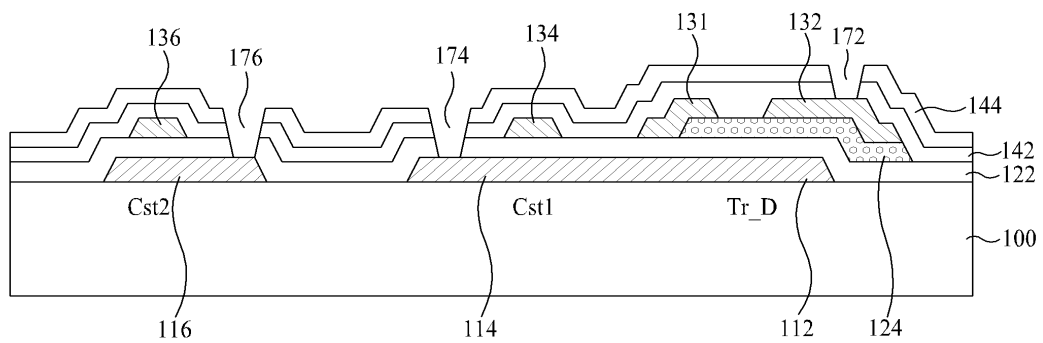
도면4e



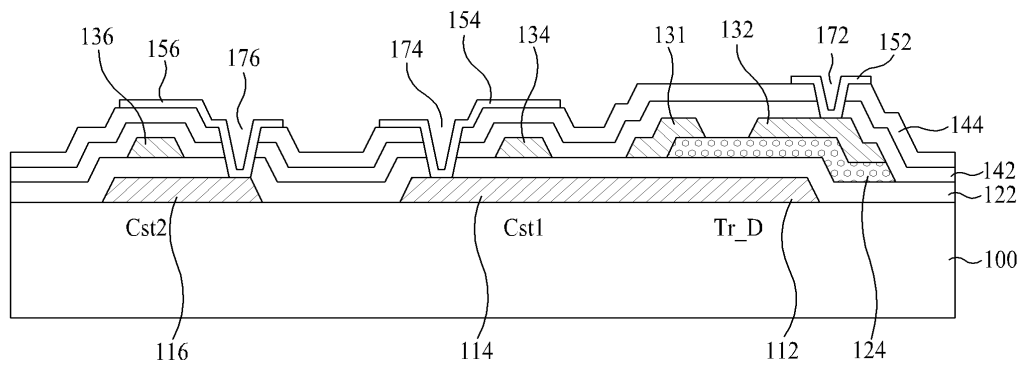
도면4f



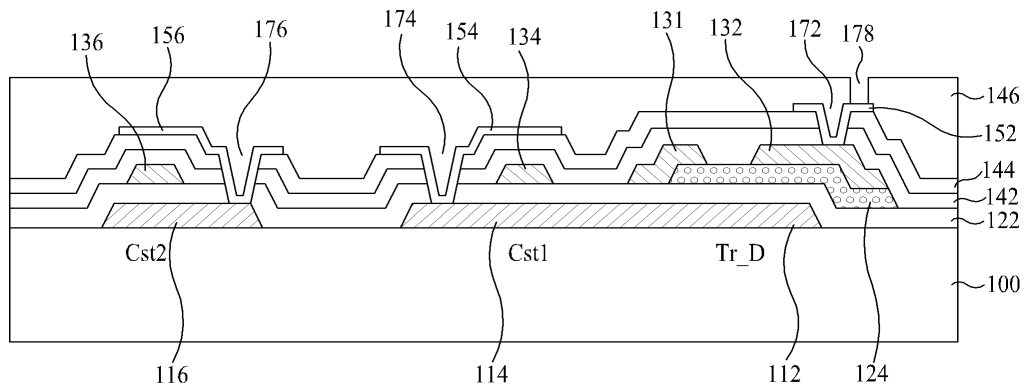
도면4g



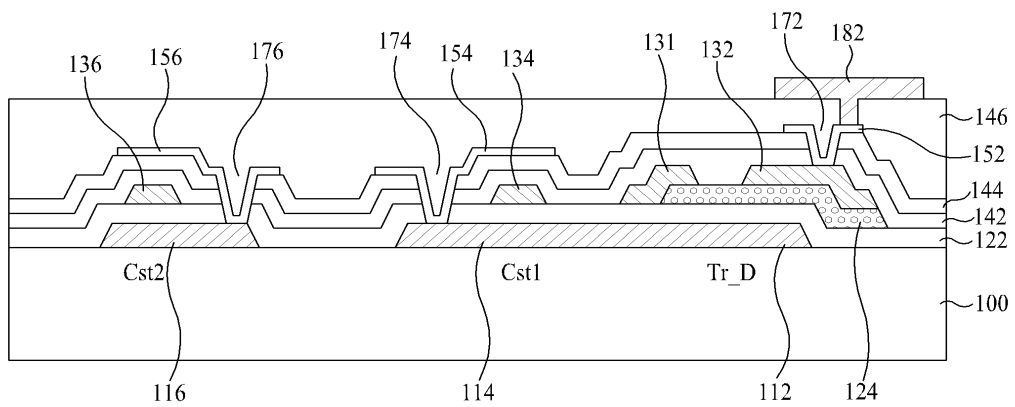
도면4h



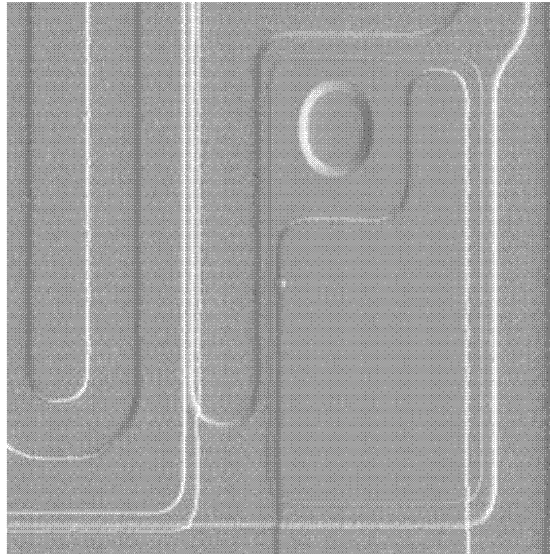
도면4i



도면4j



도면5a



도면5b

