



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.

G09G 3/30 (2006.01)

(11) 공개번호 10-2007-0004424

G09G 3/20 (2006.01)

(43) 공개일자 2007년01월09일

H05B 33/00 (2006.01)

(21) 출원번호 10-2006-0058448

(22) 출원일자 2006년06월28일

심사청구일자 없음

(30) 우선권주장 JP-P-2005-00194600 2005년07월04일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자 요시다 야스노리
일본국 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이에네
루기 켄큐쇼 나이
키무라 하지메
일본국 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이에네
루기 켄큐쇼 나이
야마자키 준페이
일본국 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이에네
루기 켄큐쇼 나이

(74) 대리인 이화익
권태복

전체 청구항 수 : 총 16 항

(54) 표시장치 및 그것의 구동방법

(57) 요약

면적계조를 행하는 EL 표시장치에 있어서, 화질의 향상과 안정화를 꾀한다. 한개의 화소에 대략 같은 색의 빛을 내는 발광 소자를 개별적으로 갖는 복수의 서브화소와, 화소와 같은 수의 서브화소를 갖는 복수의 모니터용 화소를 설치한다. 모니터 용 화소의 발광소자는 화소의 발광소자와 동시에 제작되고, 모니터용 화소의 발광소자의 전극은 서브화소마다 각각 다른 정전류원에 접속된다. 모니터용 화소의 발광소자의 전극의 전위의 변화에 따라서, 화소의 발광소자의 전극의 전위를 서브 화소마다 변화시키는 회로를 설치함으로써, 상기 과제를 해결한다.

대표도

도 2

특허청구의 범위

청구항 1.

발광소자들이 매트릭스 모양으로 배치된 화소부와,

모니터용 발광소자들이 화소부들 외부에 설치되는 모니터부와,

모니터 발광소자들의 전위를 검출하는 모니터선과,

한 개 또는 복수의 모니터용 발광소자들이 쇼트되었을 때, 상기 모니터선을 거쳐 쇼트된 모니터용 발광소자에 대한 전류 공급을 차단하는 스위치를 구비한 것을 특징으로 하는 표시장치.

청구항 2.

발광소자를 각각 포함하는 적어도 2개의 서브화소를 구비한 화소와,

발광소자를 각각 포함하는 적어도 2개의 서브화소를 구비한 모니터용 화소와,

상기 모니터용 화소 내부의 서브화소들 각각의 발광소자의 전위 변화에 따라서, 화소 내부의 서브화소들 각각의 발광소자에 인가되는 전위를 변화시키는 회로를 구비한 것을 특징으로 하는 표시장치.

청구항 3.

제 2항에 있어서,

상기 화소와 모니터용 화소의 서브화소들 각각은, 선택 트랜지스터와, 발광소자에 접속된 구동용 트랜지스터와, 전압을 유지하는 용량소자를 구비하고,

상기 선택 트랜지스터와 상기 구동용 트랜지스터는 아모퍼스 실리콘으로 구성된 것을 특징으로 하는 표시장치.

청구항 4.

제 3항에 있어서,

상기 구동용 트랜지스터의 게이트 전극에 부방향 전압을 인가하는 프리차지 회로를 구비한 것을 특징으로 하는 표시장치.

청구항 5.

제 4항에 있어서,

상기 프리차지회로에 의해 상기 구동용 트랜지스터의 게이트 전극에 인가되는 전위는, 상기 서브화소들 각각의 발광소자에 인가된 전압의 저전위측 전위와 같거나 그보다 크고, 상기 서브화소들 각각의 구동용 트랜지스터의 소스 전극 전위에 상기 서브화소들 각각의 구동용 트랜지스터의 임계 전압값을 더한 전위와 같거나 그 보다 작은 것을 특징으로 하는 표시장치.

청구항 6.

제 2항에 있어서,

상기 회로는 연산 증폭기 회로인 것을 특징으로 하는 표시장치.

청구항 7.

제 2항에 있어서,

상기 회로는 버퍼 앰프 회로인 것을 특징으로 하는 표시장치.

청구항 8.

동일한 발광색을 내는 적어도 한 개의 발광소자를 각각 포함하는 적어도 2개의 서브화소를 구비한 화소와,

동일한 발광색을 내는 적어도 한 개의 발광소자를 각각 포함하는 적어도 2개의 서브화소를 구비한 모니터용 화소와,

상기 모니터용 화소 내부의 서브화소들 각각의 발광소자의 전위 변화에 따라서, 화소 내부의 서브화소들 각각의 발광소자에 인가되는 전위를 변화시키는 회로를 구비하고,

상기 모니터용 화소 내부의 서브화소들 각각의 발광소자는 상기 화소 내부의 서브화소들 각각의 발광소자와 동시에 제조되고,

상기 모니터용 화소 내부의 서브화소들 각각의 발광소자는 서브화소마다 각각 다른 정전류원에 접속된 것을 특징으로 하는 표시장치.

청구항 9.

제 8항에 있어서,

상기 화소와 모니터용 화소의 서브화소들 각각은, 선택 트랜지스터와, 발광소자에 접속된 구동용 트랜지스터와, 전압을 유지하는 용량소자를 구비하고,

상기 선택 트랜지스터와 상기 구동용 트랜지스터는 아모페스 실리콘으로 구성된 것을 특징으로 하는 표시장치.

청구항 10.

제 9항에 있어서,

상기 구동용 트랜지스터의 게이트 전극에 부방향 전압을 인가하는 프리챠지 회로를 구비한 것을 특징으로 하는 표시장치.

청구항 11.

제 10항에 있어서,

상기 프리챠지회로에 의해 상기 구동용 트랜지스터의 게이트 전극에 인가되는 전위는, 상기 서브화소들 각각의 발광소자에 인가된 전압의 저전위측 전위와 같거나 그보다 크고, 상기 서브화소들 각각의 구동용 트랜지스터의 소스 전극 전위에 상기 서브화소들 각각의 구동용 트랜지스터의 임계 전압값을 더한 전위와 같거나 그 보다 작은 것을 특징으로 하는 표시장치.

청구항 12.

제 8항에 있어서,

상기 회로는 연산 증폭기 회로인 것을 특징으로 하는 표시장치.

청구항 13.

제 8항에 있어서,

상기 회로는 버퍼 앰프 회로인 것을 특징으로 하는 표시장치.

청구항 14.

화소들이 매트릭스 모양으로 배치되고, 이들 화소 각각이, 제 1 발광소자가 제 1 구동용 트랜지스터에 접속된 제 1 서브화소와, 적어도 2개의 제 2 발광소자들이 병렬 접속되고 제 2 구동용 트랜지스터에 접속된 제 2 서브화소를 구비하는 화소부와,

제 3 발광소자가 제 3 구동용 트랜지스터에 접속된 제 3 서브화소와, 적어도 2개의 제 4 발광소자들이 병렬 접속되고 제 4 구동용 트랜지스터에 접속된 제 4 서브화소를 구비하는 모니터용 화소와,

상기 모니터용 화소 내부의 제 3 발광소자와 제 4 발광소자의 전위 변화에 따라서, 화소 내부의 제 1 발광소자와 제 2 발광소자에 인가되는 전위를 변화시키는 회로를 구비하고.

상기 제 1 발광소자와 상기 제 3 발광소자가 동등한 특성을 갖고, 상기 제 2 발광소자와 상기 제 4 발광소자가 동등한 특성을 가지며.

상기 모니터용 화소에서, 상기 제 3 발광소자와 상기 제 4 발광소자는 서로 다른 정전류원에 접속된 것을 특징으로 하는 표시장치.

청구항 15.

제 14항에 있어서,

상기 회로는 연산 증폭기 회로인 것을 특징으로 하는 표시장치.

청구항 16.

제 14항에 있어서,

상기 회로는 버퍼 앰프 회로인 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 발광소자를 포함하는 화소를 갖는 표시장치 및 그것의 구동방법에 관한 것이다.

일렉트로루미네센스 소자(이하, "발광소자"라고도 한다)를 포함하는 화소를 갖는 평판형의 표시장치의 개발이 진척되고 있다. 이 표시장치는, 화면이 평판상인 데도 불구하고, 화소의 발광소자가 스스로 발광하므로, 액정표시장치와 비교해서 시야각이 넓은 것으로 알려져 있다. 더구나, 액정표시장치보다 초박형화 및 경량화를 꾀할 수 있다고 하는 이와 같은 표시장치의 이점이 주목받고 있다.

화소가 발광소자로 형성된 경우에는, 화소의 휘도를 제어하는 방법으로서는, 발광소자에 제공하는 전류값 혹은 전압값을 제어하는 아날로그 계조법이 알려져 있다(예를 들면, 특허문현 1 참조). 또한, 발광소자의 발광 시간을 제어하는 시간계조법이 알려져 있다(예를 들면, 특허문현 2 참조). 더구나, 한개의 화소를 복수개 영역으로 분할해 각각의 분할된 화소의 발광상태를 제어하는 면적계조법이 알려져 있다(예를 들면, 특허문현 3 참조).

[특허문현 1] 일본국 특개 2003-288055호 공보

[특허문현 2] 일본국 특개 2002-123219호 공보

[특허문현 3] 일본국 특개 2001-184015호 공보

발명이 이루고자 하는 기술적 과제

그렇지만, 발광소자는 온도변화나 발광 시간의 경과에 의해 휘도가 변화하여 버린다고 하는 문제를 갖고 있었다. 이러한 휘도의 열화는, 특히 면적계조법을 채용하는 표시장치에 있어서는 화질의 변화로서 현저하게 나타나므로 해결해야 할 문제로 되고 있었다.

따라서, 본 발명은, 발광소자를 사용해서 면적계조를 행하는 표시장치에 있어서, 화질의 항상 혹은 안정화를 꾀하는 것을 목적으로 한다.

발명의 구성

본 발명의 요점은, 발광소자를 포함하는 화소를 갖는 표시장치의 일부에 상기 화소와 동일한 구성을 갖는 발광소자를 설치하여 모니터용 발광소자로서 기능하도록 함으로써, 상기 모니터 발광소자의 변동을 고려하여, 발광소자에 공급하는 전압, 또는 전류를 보정하는 것이다.

본 발명은, 복수의 모니터용 발광소자와, 복수의 모니터용 발광소자에 포함된 전극의 전위의 변화를 모니터하는 모니터선과, 복수의 모니터용 발광소자 중 어느 하나가 쇼트되면, 모니터선을 거쳐서 쇼트된 모니터용 발광소자에 공급되는 전류를 전기적으로 차단하는 차단장치를 구비한 표시장치를 제공한다.

본 발명은, 대략 같은 색의 빛을 내는 발광소자들을 포함하는 복수의 서브화소를 포함하는 화소와, 상기 화소와 동일한 구성을 갖는 모니터용 화소를 구비한 표시장치를 제공한다. 이 화소에 설치된 발광소자와 모니터용 화소에 설치된 발광소자가 한 개의 제조공정에서 동시에 형성되고 동일한 구성을 갖는 것이 바람직하다. 모니터용 화소의 서브화소들 각각의 발광소자는 각각 다른 정전류원에 접속된다. 표시장치는, 서브화소마다 모니터용 화소의 발광소자의 전위의 변화에 따라, 서브화소마다 화소의 발광소자에 인가되는 전위를 변화시키는 차동증폭회로를 구비한다.

[실시예]

첨부도면을 참조하여 주어지는 실시예들에 의해 본 발명을 상세히 설명하지만, 본 발명이 속하는 기술분야의 당업자에게 있어서 다양한 변형 및 변경이 이루어질 수 있다는 것은 자명하다. 따라서, 이와 같은 변형 및 변경이 본 발명의 범위를 벗어나지 않는 한, 이들 변형 및 변경이 본 발명에 포함되는 것으로 해석되어야 한다. 이때, 전체 도면에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 붙이고, 그것의 반복의 설명은 생략한다.

또한 본 명세서에 있어서, 각 소자 사이의 접속은, 전기적으로 접속되어 있는 것을 나타낸다. 따라서, 접속 관계를 갖는 소자 사이에, 반도체소자나 스위칭소자 등을 거쳐서 접속하는 일도 있을 수 있다.

또한 본 명세서에 있어서, 트랜지스터의 소스 전극 및 드레인 전극은, 트랜지스터의 구성상, 게이트 전극 이외의 전극을 편의상 구별하기 위해서 채용되고 있는 명칭이다. 본 발명에 있어서, 트랜지스터의 구성에 한정되지 않는 구성인 경우, 그극성을 고려하면, 소스 전극 및 드레인 전극의 명칭은 변화한다. 그 때문에, 소스 전극 또는 드레인 전극을, 한쪽의 전극 및 다른쪽의 전극 중 어느 하나로서 기하는 일이 있다.

(실시예 1)

본 실시예에서는, 모니터용 발광소자를 갖는 패널의 구성에 대해서 도면을 참조해서 설명한다.

도1에는 화소부(40), 신호선 구동회로(43), 제 1 주사선 구동회로(41), 제 2 주사선 구동회로(42), 모니터 회로(64)를 구비한 패널이 도시되어 있다. 이 패널은 절연기판(20)을 사용하여 형성된다.

화소부(40)에는, 복수의 화소(10)가 설치된다. 각 화소에는, 제 1 발광소자(13), 제 1 발광소자(13)에 접속하여, 전류의 공급을 제어하는 기능을 갖는 제 1 구동용 트랜지스터(12)가 설치되어 있다. 제 1 발광소자(13)는, 전원(18)에 접속되어 있다. 또한, 각 화소에는, 상기 제 1 구동 트랜지스터(12)와 제 1 발광소자(13)와 같은 접속 관계에 있는 제 2 구동 트랜지스터(114), 제 2 발광소자(14)가 설치되어 있어도 된다. 제 2 구동 트랜지스터(114)와 제 2 발광소자(14)는, 제 1 구동 트랜지스터(12)와 제 1 발광소자(13)와 전원을 공유하여, 병렬로 접속되어 있어도 된다. 여기에서, 제 2 발광소자(14)는, 도1과 같이, 제 1 발광소자와 동등 혹은 거의 동등한 기능을 갖는 발광소자를 2개 병렬로 접속한 구성이어도 된다. 그러나, 본 발명은 이것에 한정되지 않고, 제 1 발광소자(13)와 같이 한 개의 발광소자이어도 된다. 또한, 3개 이상의 복수의 발광소자를 병렬로 접속한 구성이어도 되고, 이들 복수의 발광소자의 기능이 서로 동등하지 않아도 된다. 예를 들면, 제 1 발광소자(13)와 비교하여, 제 2 발광소자(14)와 같은 발광소자가 발광 면적이 달라도 된다. 즉, 한개의 화소에서 제 2 구동 트랜지스터(114) 및 제 2 발광소자(14)가, 제 1 구동 트랜지스터(12) 및 제 1 발광소자(13)와 병렬로 접속되어 있으면 된다. 또한, 보다 구체적인 화소(10)의 구성은, 이하의 실시예에서 예시한다.

모니터 회로(64)에는, 제 1 모니터용 발광소자(66), 제 1 모니터용 발광소자(66)에 접속된 제 1 모니터 제어용 트랜지스터(111) 및 제 1 인버터(112)를 구비한다. 제 1 인버터(112)는 제 1 모니터 제어용 트랜지스터(111)의 게이트 전극에 출력 단자가 접속된다. 또한, 제 1 인버터의 입력 단자는 제 1 모니터 제어용 트랜지스터(111)의 소스 전극 및 드레인 전극 중 한쪽의 전극 및 제 1 모니터용 발광소자(66)에 접속된다. 제 1 모니터 제어용 트랜지스터(111)에는, 전원선(113)을 거쳐서, 정전류원(105)이 접속되어 있다. 모니터 회로(64)의 다른 모니터 제어용 트랜지스터는, 복수의 모니터용 발광소자의 각각에, 전원선(113)으로부터의 전류공급을 제어하기 위한 기능을 갖는다. 전원선(113)은, 복수의 모니터용 발광소자에 포함된 전극에 접속되어 있기 때문에, 이 전극의 전위의 변화를 모니터하는 기능을 가질 수 있다. 또한, 정전류원(105)은, 전원선(113)에 일정 전류를 공급하는 기능을 가지면 된다. 또한 모니터 회로(64)에서도, 화소(10)와 유사하게, 전원을 공유하고, 제 1 모니터 제어용 트랜지스터(111), 제 1 모니터용 발광소자(66), 및 제 1 인버터(112)와 병렬로 접속된 제 2 모니터 제어용 트랜지스터(115), 제 2 모니터용 발광소자(166), 및 제 2 인버터(116)를 갖고 있어도 된다.

제 1 모니터용 발광소자(66)는, 제 1 발광소자(13)와 동일한 제작 조건에 의해, 동일한 공정으로 제작된 것으로, 동일 구성을 갖는다. 그 때문에, 제 1 모니터용 발광소자(66)와 제 1 발광소자(13)는 환경온도의 변화와 경시 열화에 대하여 같은 특성, 또는 거의 같은 특성을 갖는다. 이 제 1 모니터용 발광소자(66)는, 전원(18)에 접속되어 있다. 여기에서, 제 1 발광소자(13)와 접속되는 전원과, 상기 제 1 모니터용 발광소자(66)에 접속되는 전원은, 동일 전위이기 때문에, 동일한 부호를 사용하여, 전원(18)으로 기재한다. 또한 본 실시예에서는, 제 1 모니터 제어용 트랜지스터(111)는 p채널 도전형을 갖는 것으로서 설명하지만, 이것에 한정되는 것이 아니고, 제 1 모니터 제어용 트랜지스터(111)를 n채널형을 사용해도 된다. 그 경우, 적당하게 주위의 회로 구성을 변경시킨다.

제 2 모니터용 발광소자(166), 제 2 모니터 제어용 트랜지스터(115)와 제 2 인버터(116)에 대해서도 전술한 것과 동일하다. 제 2 모니터용 발광소자(166)는, 제 2 발광소자(14)와 동일한 제작 조건에 의해, 동일한 공정으로 제작된 것으로, 동일

구성을 갖는다. 그 때문에, 제 2 모니터용 발광소자(166)와 제 2 발광소자(14)는 환경온도의 변화와 경시 열화에 대하여 같은 특성, 또는 거의 같은 특성을 갖는다. 이 제 2 모니터용 발광소자(166)는, 전원(18에) 접속되어 있다. 여기에서, 제 2 발광소자(14)와 접속되는 전원과, 상기 제 2 모니터용 발광소자(166)에 접속되는 전원은, 동일 전위이기 때문에, 동일한 부호를 사용하여, 전원(18으로 기재한다. 또한 본 실시예에서는, 제 2 모니터 제어용 트랜지스터(115)의 극성을 p채널형으로서 설명하지만, 이것에 한정되는 것이 아니고, 제 2 모니터 제어용 트랜지스터(115)를 n채널형을 사용해도 된다. 그 경우, 적당하게 주위의 회로 구성을 변경시킨다.

이러한 모니터 회로(64)를 설치하는 위치는 한정되지 않으며, 신호선 구동회로(43)와 화소부(40) 사이나, 제 1 또는 제 2 주사선 구동회로 41 또는 42와 화소부(40) 사이에 설치해도 된다.

모니터 회로(64)와 화소부(40) 사이에는, 버퍼 앰프 회로(110)가 설치되어 있다. 버퍼 앰프 회로는, 입력과 출력이 같은 전위이며, 입력 임피던스가 높고, 출력 전류용량이 높다고 하는 특성을 갖는 회로이다. 그 때문에, 이러한 특성을 갖는 회로이면, 회로 구성은 적당하게 결정할 수 있다.

이러한 구성에 있어서, 버퍼 앰프 회로는, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 한쪽의 전극의 전위의 변화에 따라, 화소부(40)가 갖는 제 1 발광소자(13) 및 제 2 발광소자(14)에 인가하는 전압을 변화시키는 기능을 갖는다.

이러한 구성에 있어서, 정전류원(105) 및 버퍼 앰프 회로(110)는 동일한 절연 기판(20) 위에 설치해도, 별도의 기판 위에 설치해도 된다.

이상과 같은 구성에 있어서, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)에는 정전류원(105)으로부터 일정한 전류가 공급된다. 이 상태에서, 환경온도의 변화나, 경시 열화가 생기면, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 저항값이 변화한다. 예를 들면, 경시 열화가 생기면, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 저항값이 증가한다. 그러면, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)에 공급되는 전류값은 일정하기 때문에, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 양단의 전위차가 변화한다. 구체적으로는, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)가 갖는 양 전극 사이의 전위차가 변화한다. 이때, 전원(18에 접속된 전극의 전위는 고정되어 있기 때문에, 정전류원(105)에 접속되어 있는 전극의 전위가 변화한다. 이 전극의 전위의 변화는 전원선(113)을 거쳐서 버퍼 앰프 회로(110)에 공급된다.

즉, 버퍼 앰프 회로(110)의 입력 단자에는, 상기 전극의 전위의 변화가 입력된다. 또한 버퍼 앰프 회로(110)의 출력 단자로부터 출력되는 전위는, 제 1 구동용 트랜지스터(12) 및 제 2 구동 트랜지스터(114)를 거쳐서, 제 1 발광소자(13) 및 제 2 발광소자(14)에 공급된다. 구체적으로는, 출력된 전위는, 제 1 발광소자(13) 및 제 2 발광소자(14)가 갖는 전극의 한쪽의 전위로서 주어진다.

이렇게 하여, 환경온도의 변화나 경시 열화의 변화에 따른 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 변화를, 제 1 발광소자(13) 및 제 2 발광소자(14)에 피드백한다. 그 결과, 제 1 발광소자(13) 및 제 2 발광소자(14)는, 환경온도의 변화나 경시 열화의 변화에 따른 휘도로 점등할 수 있다. 따라서, 환경온도의 변화나 경시 열화의 변화에 상관없이 표시를 행할 수 있는 표시장치를 제공할 수 있다.

더구나, 복수의 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)를 설치하고 있기 때문에, 이것들의 전위의 변화를 평균화하여, 제 1 발광소자(13) 및 제 2 발광소자(14)에 공급할 수 있다. 즉, 본 발명에 있어서, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)를 복수 설치함으로써 전위의 변화를 평균화할 수 있으므로 바람직하다. 또한 복수의 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)를 설치함으로써, 쇼트 등이 생긴 모니터용 발광소자를 한 개의 모니터용 발광소자가 대체할 수 있다.

그리고, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)에 접속된 제 1 모니터 제어용 트랜지스터(111) 및 제 2 모니터 제어용 트랜지스터(115) 이외에 제 1 인버터(112) 및 제 2 인버터(116)를 설치하는 것이 바람직하다. 이것은 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 불량(초기 불량이나 경시 불량을 포함한다)에 의해 생기는, 모니터 회로(64)의 동작 불량을 고려해서 설치되어 있다. 예를 들면, 정전류원(105)과 제 1 모니터 제어용 트랜지스터(111) 및 제 2 모니터 제어용 트랜지스터(115)가, 그 밖의 트랜지스터 등을 거치지 않고 접속되어 있을 경우, 복수의 모니터용 발광소자 중, 어떤 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)가, 제작 공정 중의 불량 등에 의해, 모니터용 발광소자가 갖는 양극과 음극이 쇼트(단락)되는 경우를 생각한다. 그러면, 정전류원(105)으로부터의 전류가, 전원선(113)을 거쳐서, 쇼트된 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)에 많이 공급되어 버린다. 복수

의 모니터용 발광소자는, 각각 병렬로 접속되어 있기 때문에, 쇼트된 제 1 모니터용 발광소자(66) 및 쇼트된 제 2 모니터용 발광소자(166)에 많은 전류가 공급되면, 그 밖의 모니터용 발광소자에는 소정의 일정 정전류가 공급되지 않게 된다. 그 결과, 적절한 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 전위의 변화를, 제 1 발광소자(13) 및 제 2 발광소자(14)에 공급할 수 없게 되어 버린다.

이러한 모니터용 발광소자의 쇼트는, 상기 모니터용 발광소자가 갖는 양극의 전위와, 음극의 전위가 같다는 것을 의미한다. 예를 들면, 제작 공정중, 양극과, 음극 사이의 먼지 등에 의해, 쇼트되는 일이 있다. 또한 양극과 음극과의 쇼트 이외에도, 주사선과 양극이 쇼트하는 것 등에 의해, 모니터용 발광소자가 쇼트되는 일도 있다.

따라서, 본 실시예에서는, 제 1 모니터 제어용 트랜지스터(111) 및 제 2 모니터 제어용 트랜지스터(115) 이외에 제 1 인버터(112) 및 제 2 인버터(116)를 설치하고 있다. 제 1 모니터 제어용 트랜지스터(111) 및 제 2 모니터 제어용 트랜지스터(115)는, 상기와 같은 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 쇼트 등에 의한 다양한 전류의 공급을 방지하기 위해서, 쇼트된 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)에의 전류의 공급을 차단한다. 즉, 쇼트된 모니터용 발광소자와, 모니터선이 전기적으로 차단된다.

제 1 인버터(112) 및 제 2 인버터(116)는, 복수의 모니터용 발광소자 중 어느 하나가 쇼트되면, 모니터 제어용 트랜지스터를 오프로 하는 전위를 출력하는 기능을 갖는다. 더구나, 제 1 인버터(112) 및 제 2 인버터(116)는, 복수의 모니터용 발광소자의 어느 것도 쇼트되어 있지 않을 때에는, 모니터 제어용 트랜지스터를 온으로 하는 전위를 출력하는 기능을 갖는다.

도6a 및 도6b를 사용하여, 모니터 회로(64)의 자세한 동작을 설명한다. 도6a에 도시된 것과 같이, 제 1 모니터용 발광소자(66)가 갖는 전극에 있어서, 고전위측을 애노드 전극(66a), 저전위측을 캐소드 전극(66c)이라고 하면, 애노드 전극(66a)은 제 1 인버터(112)의 입력 단자에 접속되고, 캐소드 전극(66c)은 전원(18)에 접속되어, 고정 전위가 된다. 그 때문에, 제 1 모니터용 발광소자(66)가 갖는 양극과 음극이 쇼트되면, 애노드 전극(66a)의 전위가, 캐소드 전극(66c)의 전위에 근접한다. 그 결과, 제 1 인버터(112)에는, 캐소드 전극(66c)의 전위에 가까운 저전위가 공급되기 때문에, 제 1 인버터(112)가 갖는 p 채널형의 트랜지스터(112p)가 온이 된다. 그러면, 고전위측의 전위(Va)가 제 1 인버터(112)에서 출력되어, 제 1 모니터 제어용 트랜지스터(111)의 게이트 전위로서 인가된다. 즉, 제 1 모니터 제어용 트랜지스터(111)의 게이트에 입력되는 전위는 Va가 되어, 제 1 모니터 제어용 트랜지스터(111)는 오프가 된다.

마찬가지로, 제 2 모니터용 발광소자(166)가 갖는 전극에 있어서, 고전위측을 애노드 전극(166a), 저전위측을 캐소드 전극(166c)으로 하면, 애노드 전극(166a)은 제 2 인버터(116)의 입력 단자에 접속되고, 캐소드 전극(166c)은 전원(18)에 접속되어, 고정 전위가 된다. 그 때문에, 제 2 모니터용 발광소자(166)가 갖는 양극과 음극이 쇼트되면, 애노드 전극(166a)의 전위가, 캐소드 전극(166c)의 전위에 근접한다. 그 결과, 제 2 인버터(116)에는, 캐소드 전극(166c)의 전위에 가까운 저전위가 공급되기 때문에, 제 2 인버터(116)가 갖는 p 채널형의 트랜지스터(116p)가 온이 된다. 그러면, 고전위측의 전위(Va)가 제 2 인버터(116)에서 출력되어, 제 2 모니터 제어용 트랜지스터(115)의 게이트 전위로서 인가된다. 즉, 제 2 모니터 제어용 트랜지스터(115)의 게이트에 입력되는 전위는 Va가 되어, 제 2 모니터 제어용 트랜지스터(115)는 오프가 된다.

또한, 높은 쪽의 전위(High)가 되는 VDD는, 애노드 전위와 같거나, 애노드 전위보다 높게 설정한다. 또한, 제 1 인버터(112) 및 제 2 인버터(116)의 낮은 쪽 전위(Low), 전원(18)의 전위, 전원선(113)의 낮은 쪽의 전위, Va에 인가하는 낮은 쪽의 전위는, 모두 같은 설정할 수 있다. 일반적으로는, 낮은 쪽의 전위는 접지로 설정된다. 단, 본 발명은 이것에 한정되는 일은 없으며, 낮은 쪽의 전위는, 높은 쪽의 전위와 소정의 전위차를 갖도록 결정하면 된다. 소정의 전위차는, 발광 재료의 전류, 전압, 휘도 특성, 또는 장치의 사양에 의해 결정할 수 있다.

여기에서, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)에 일정 전류를 공급하는 순서에 주의한다. 제 1 모니터 제어용 트랜지스터(111) 및 제 2 모니터 제어용 트랜지스터(115)가 온인 상태에서, 전원선(113)에 일정 전류를 흘리기 시작할 필요가 있다. 본 실시예에서는, 도6b에 도시된 것과 같이, Va를 Low로 한 채, 전원선(113)에 전류를 흘리기 시작하고 있다. 그리고, Va는, 전원선(113)의 전위가 포화 상태가 된 후, VDD가 되도록 설정한다. 그 결과, 제 1 모니터 제어용 트랜지스터(111) 및 제 2 모니터 제어용 트랜지스터(115)가 온인 상태이어도, 전원선(113)에 부수하는 용량소자 및 기생 용량을 충전할 수 있다.

한편, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)가 쇼트되어 있지 않은 경우, 애노드 전극(66a) 및 애노드 전극(166a)의 전위가 제 1 인버터(112) 및 제 2 인버터(116)에 공급된다. 따라서, n채널형의 트랜지스터 112n 및 116n이 온이 된다. 그러면, 저전위측의 전위가 제 1 인버터(112) 및 제 2 인버터(116)에서 출력되어, 제 1 모니터 제어용 트랜지스터(111) 및 제 2 모니터 제어용 트랜지스터(115)가 온이 된다.

이렇게 하여, 쇼트된 모니터용 발광소자에는, 정전류원(105)으로부터의 전류가 공급되지 않도록 할 수 있다. 따라서, 모니터용 발광소자가 복수 있는 경우, 모니터용 발광소자가 쇼트되었을 때, 쇼트된 모니터용 발광소자에의 전류공급을 차단함으로써, 전원선(113)의 전위의 변화를 최소한으로 억제할 수 있다. 그 결과, 적절한 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 전위의 변화를 제 1 발광소자(13) 및 제 2 발광소자(14)에 공급할 수 있다.

이때, 본 실시예에 있어서, 정전류원(105)은 일정한 전류를 공급할 수 있는 회로이면 된다. 예를 들면, 정전류원(105)은 트랜지스터를 사용해서 제작할 수 있다. 또한, 본 실시예에서는, 모니터 회로(64)에 복수의 모니터용 발광소자, 모니터 제어용 트랜지스터, 및 인버터를 갖는 것으로 설명했지만, 본 발명은 이것에 한정되지 않는다. 예를 들면, 인버터는, 모니터용 발광소자의 쇼트를 검출시에, 모니터선을 거쳐서, 쇼트된 모니터용 발광소자에 공급되는 전류를 차단하는 기능을 갖고 있으면, 어떤 회로를 사용해도 된다. 구체적으로는, 쇼트된 모니터용 발광소자에, 공급되는 전류를 차단하기 위해, 모니터 제어용 트랜지스터를 오프로 하는 기능을 갖고 있으면 된다.

또한, 본 실시예에서는, 복수의 모니터용 발광소자를 사용한다. 이 경우에, 모니터용 발광소자들 중 어느 하나가 작동 불량을 발생하더라도, 나머지 작동하고 있는 모니터용 발광소자가 환경 온도 변화와 경시 열화에 의한 발광소자들의 특성 변화를 모니터함으로써, 화소(10)의 발광소자의 휘도를 보정할 수 있다.

본 실시예에 있어서, 버퍼 앰프 회로(110)는 전위의 변동을 방지하기 위해서 설치되어 있다. 따라서, 버퍼 앰프 회로(110) 대신에, 전위의 변동을 방지하는 것이 가능한 회로이면, 다른 회로를 사용해도 된다. 즉, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)의 한쪽의 전극의 전위를 제 1 발광소자(13) 및 제 2 발광소자(14)에 인가할 때, 제 1 모니터용 발광소자(66) 및 제 2 모니터용 발광소자(166)와 제 1 발광소자(13) 및 제 2 발광소자(14) 사이에, 전위의 변동을 방지하기 위한 회로를 설치할 때, 그와 같은 회로는 상기한 버퍼 앰프 회로(110)에 한정되지 않고, 연산 증폭기 회로 등의 어떤 구성의 회로를 사용해도 된다.

여기에서, 본 실시예 중에서, 다른 회로 구성에 대해서, 도2를 사용해서 이하에서 설명한다. 도2의 회로 구성은, 각각의 화소(10)와 모니터 회로(64) 내부의 소자 배치는 도1과 같지만, 전원의 접속 방법이 도1과는 다르다. 즉, 도1에서는 공통으로 사용된 전원 113 이외에 전원 117을 추가하여, 서브화소마다 독립된 전원으로 구동할 수 있게 되어 있다. 이렇게, 본 실시예에 있어서, 전원선을 서브화소마다 독립하여 접속해도 된다. 또한, 그 때, 각각의 전원에 있어서 정전류원(105), 및 버퍼 앰프 회로(110)도 독립적으로 배치해도 된다.

이와 같이, 서브화소마다 전원선 및 이것에 접속되는 정전류원(105), 버퍼 앰프 회로(110)를 배치하는 것의 이점으로서는, 모니터 소자에 흘리는 전류값을, 서브화소마다 설정함으로써, 보정의 정밀도를 상승시킬 수 있는 것을 들 수 있다. 본 실시예에 있는 것과 같은 서브화소를 사용하여 면적계조를 행할 경우, 제 1 발광소자(13)와 제 2 발광소자(14)의 특성은 다른 것으로 설정할 수 있다. 예를 들면, 양쪽의 서브화소에 같은 전압을 가했을 때에, 한쪽의 서브화소의 발광소자의 휘도가 또 한쪽의 서브화소의 2배가 되었을 때, 구동전압이나 발광 드리티를 변화시키지 않고, 휘도의 비로 0, 1, 2, 3의 4종류의 계조를 표현할 수 있다. 이렇게, 각각의 서브화소의 발광소자의 특성을 다른 것으로 했을 때, 이 특성들이 열화나 온도에 의해 항상 같게 변하지는 않는다. 그 때문에, 다른 특성을 갖는 소자들의 조합에 의한 특성의 변화는 대단히 복잡한 것이 되어 버린다. 더욱 정확하게 보정을 행하기 위해서는, 특성이 비슷한 소자끼리로 나누는 것이 효과적이다. 서브화소마다 전원선 및 이것에 접속하는 정전류원(105), 버퍼 앰프 회로(110)를 배치하고, 제 1 모니터용 발광소자(66)와 제 2 모니터용 발광소자(166)의 특성을 화소(10)와 동일하게 해두면, 보다 정확한 보정을 실현할 수 있다.

이때, 본 실시예에 있어서, 서브화소의 수는 2개일 때에만 나타냈지만, 서브화소의 수가 이것에 한정되지 않는다. 서브화소들이 병렬로 접속되어 있으면, 서브화소다 몇개라도 된다.

(실시예 2)

본 실시예에서는, 상기 실시예와 달리, 모니터용 발광소자가 쇼트되었을 때에 모니터 제어용 트랜지스터를 오프로 하는 회로 구성 및 그 동작에 관하여 설명한다. 이때, 실시예 1에서는, 서브화소를 포함시킨 화소 회로를 설명을 행했지만, 본 실시예에서 설명을 행하는 것은, 각 서브화소에 배치되어 있는 모니터용 발광소자가 쇼트되었을 때에 모니터 제어용 트랜지스터를 오프로 하는 회로 구성에 관한 것이다. 따라서, 서브화소마다 설명을 하며, 중복되는 설명은 하지 않는 것으로 한다.

도7a에 나타낸 모니터 회로(64)는, p채널형의 제 1 트랜지스터(80), 제 1 트랜지스터(80)에 게이트 전극이 공통되어, 병렬로 접속되어 있는 n채널형의 제 2 트랜지스터(81), 제 2 트랜지스터(81)에 직렬로 접속되어 있는 n채널형의 제 3 트랜지스터(82)를 갖는다. 모니터용 발광소자(66)는, 제 1 및 제 2 트랜지스터(80, 81)의 게이트 전극에 접속되어 있다. 모니터 제

어용 트랜지스터(111)의 게이트 전극은, 제 1 및 제 2 트랜지스터(80, 81)가 서로 접속되어 있는 전극에 접속되어 있다. 그밖의 구성은 도6a에 나타낸 모니터 회로(64)와 유사하지만, 여기에서는 모니터 제어용 트랜지스터(111) 및 모니터용 발광소자(66)를 포함하는 서브화소만을 도시하고 있다.

또한, 제 1 p채널형의 트랜지스터(80)의 고전위측의 전위를 Va로 설정하고, 제 3 n채널형의 트랜지스터(82)의 게이트 전극의 전위를 Vb로 설정한다. 그리고, 전원선(113)의 전위, Va, Vb의 전위를 도7b에 도시된 것과 같이, 동작시킨다.

우선, 전원선(113)에 부수되는 용량소자 및 기생 용량을 완전하게 충전한다. 그후, Va의 전위를 High로 설정한다. 모니터용 발광소자(66)가 쇼트되어 있을 경우, 모니터용 발광소자(66)의 양극의 전위, 즉 노드 D의 전위는, 모니터용 발광소자(66)의 음극과 거의 같은 정도까지 하강한다. 그러면, 제 1 및 제 2 트랜지스터(80, 81)의 게이트 전극에는, 낮은 전위, 즉 Low가 입력되어, n채널형인 제 2 트랜지스터(81)가 오프가 되고, p채널형인 제 1 트랜지스터(80)가 온이 된다. 그리고, 제 1 트랜지스터(80)의 한쪽의 전위인 높은 쪽의 전위가 모니터 제어용 트랜지스터(111)의 게이트 전극에 입력되어, 모니터 제어용 트랜지스터(111)는 오프가 된다. 그 결과, 쇼트된 모니터용 발광소자(66)에는, 전원선(113)으로부터의 전류는 공급되지 않는다.

이때, 쇼트의 상태가 얼마 안되어, 양극의 전위가 미소하게 저하한 경우에는, 제 1 및 제 2 트랜지스터 80, 81)의 어느 한개가 온, 또는 오프가 되는지 제어하기 어려운 경우가 있다. 따라서, 도7b에 도시된 것과 같이, 제 3 트랜지스터(82)의 게이트 전극에 Vb의 전위를 공급한다. 즉, 도7b에 도시된 것과 같이, Va가 High로 되어 있는 사이에, Vb의 전위를 Low로 설정한다. 그러면, n채널형인 제 3 트랜지스터(82)는 오프가 된다. 그 결과, 양극의 전위가 VDD로부터 제 1 트랜지스터의 임계전압만큼 하강한 전위라면, 제 1 트랜지스터(80)를 온으로 할 수 있고, 모니터 제어용 트랜지스터(111)를 오프로 할 수 있다.

이와 같이 Vb의 전위를 제어함으로써, 양극의 전위가 미소하게 하강한 경우라도, 모니터 제어용 트랜지스터(111)를 정확하게 오프로 할 수 있다. 이때, 모니터용 발광소자가 정상으로 동작하는 경우, 모니터 제어용 트랜지스터(111)가 온이 되도록 Vb가 제어된다. 즉 양극의 전위는 전원선(113)의 고전위와 거의 같아지기 때문에, 제 2 트랜지스터(81)가 온이 된다. 그 결과, 저전위가 모니터 제어용 트랜지스터(111)의 게이트 전극에 인가되기 때문에, 온이 된다.

또한, 도8a에 도시된 것과 같이, p채널형의 제 1 트랜지스터(83)와, 제 1 트랜지스터(83)에 직렬로 접속되는, p채널형의 제 2 트랜지스터(84)와, 제 2 트랜지스터(84)와 게이트 전극을 공통으로 한 n채널형의 제 3 트랜지스터(85)과, 제 1 트랜지스터(83)와 게이트 전극을 공통으로 해서 병렬로 접속되는 n채널형의 제 4 트랜지스터(86)를 갖는다. 모니터용 발광소자(66)는, 제 2 및 제 3 트랜지스터(84, 85)의 게이트 전극에 접속되어 있다. 모니터 제어용 트랜지스터(111)의 게이트 전극은, 제 2 및 제 3 트랜지스터(84, 85)가 서로 접속되어 있는 전극에 접속되어 있다. 더구나, 모니터 제어용 트랜지스터(111)의 게이트 전극은 제 4 트랜지스터(86)의 한쪽의 전극에 접속되어 있다. 그밖의 구성은 도6a에 나타낸 모니터 회로(64)와 유사하다.

우선, 전원선(113)에 부수하는 용량소자 및 기생 용량을 완전하게 충전한다. 그후, Ve의 전위를 Low로 설정한다. 모니터용 발광소자(66)가 쇼트되어 있는 경우, 모니터용 발광소자(66)의 양극의 전위, 즉 노드 D의 전위는, 모니터용 발광소자(66)의 음극과 거의 같은 정도까지 하강한다. 그러면, 제 2 및 제 3 트랜지스터(84, 85)의 게이트 전극에는, 낮은 전위, 즉 Low가 입력되어, n채널형인 제 3 트랜지스터(85)가 오프가 되고, p채널형인 제 2 트랜지스터(84)가 온이 된다. 또한, Ve의 전위를 Low로 설정하면, 제 1 트랜지스터(83)는 온이 되고, 제 4 트랜지스터(86)은 오프가 된다. 그리고, 제 2 트랜지스터(84)를 거쳐서, 제 1 트랜지스터의 높은 쪽의 전위가 모니터 제어용 트랜지스터(111)의 게이트 전극에 입력되어, 모니터 제어용 트랜지스터(111)가 오프가 된다. 그 결과, 쇼트된 모니터용 발광소자(66)에는, 전원선(113)으로부터의 전류는 공급되지 않는다. 이렇게 게이트 전극의 전압 Ve를 제어함으로써, 모니터 제어용 트랜지스터(111)를 정확하게 오프로 할 수 있다.

(실시예 3)

발광소자 및 모니터용 발광소자에 역 바이어스 전압을 인가할 수 있다. 따라서, 본 실시예에서는, 역 바이어스 전압을 인가할 경우에 관하여 설명한다.

역 바이어스 전압이란, 발광소자(13)와 모니터용 발광소자(66)를 발광시킬 때에 인가하는 전압을 순방향 전압으로 부르면, 순방향 전압에 있어서의 높은 측의 전위와 낮은 측의 전위를 반전시킨 전압을 인가하는 것이다. 구체적으로는, 모니터용 발광소자(66)에서는, 애노드 전극(66a)과 캐소드 전극(66c)의 전위를 반전시키기 위해, 전원(18)의 전위보다 전원선(113)에 인가하는 전위를 낮게 설정하는 것이다.

구체적으로는, 도14에 도시된 것과 같이, 애노드 전극(66a)의 전위(애노드 전위: Va) 및 캐소드 전극(66c)의 전위(캐소드 전위: Vc)을 Low 전위로 설정한다. 이 때, 동시에, 전원선(113)의 전위(V113)도 반전시킨다. 이 애노드 전위 및 캐소드 전위가 반전하고 있는 기간을 역 바이어스 전압 인가 기간으로 부른다. 그리고, 소정의 역 바이어스 전압 인가 기간 경과후, 캐소드 전위를 되돌리고, 전원선(113)에 일정 전류를 흘려, 충전이 완료된다. 즉, 전압이 포화한 후, 전위를 되돌린다. 이 때, 전원선(113)의 전위가 곡선 모양으로 되돌아오는 것은, 일정 전류를 사용하여 복수의 모니터용 발광소자를 충전하고, 다시 기생 용량을 충전하는 것에 의한다.

바람직하게는, 애노드 전위를 반전시키고, 이어서 캐소드 전위를 반전시키면 된다. 그리고, 소정의 역 바이어스 전압 기간 경과후, 애노드 전위를 되돌리고, 이어서 캐소드 전위를 되돌린다. 그리고, 애노드 전위의 반전과 동시에, 전원선(113)의 전위를 High로 충전시킨다.

이 역 바이어스 전압 인가 기간에서는, 구동용 트랜지스터(12) 및 모니터 제어용 트랜지스터(111)가 온이 되지 않고 있으면 안된다.

역 바이어스 전압을 발광소자에 인가한 결과, 발광소자(13)와 모니터용 발광소자(66)의 불량 상태를 개선하여, 신뢰성을 향상시킬 수 있다. 또한, 발광소자(13)와 모니터용 발광소자(66)는, 이물질의 부착이나, 양극 또는 음극에 있는 미세한 돌기에 의한 편홀, 발광층의 불균일성을 원인으로 하여, 양극과 음극이 쇼트되어, 초기 불량이 생기는 일이 있다. 이러한 초기 불량이 발생하면, 신호에 따른 점등 및 비점등이 행해지지 않아, 전류의 거의 전부가 쇼트된 소자로 흘러 버린다. 그 결과, 화상의 표시가 양호하게 행해지지 않는다고 하는 문제가 발생한다. 또한, 이 불량은 임의의 화소에서 생길 우려가 있다.

따라서, 본 실시예와 같이, 발광소자(13)와 모니터용 발광소자(66)에 역 바이어스 전압을 인가하면, 쇼트된 부분에 국소적인 전류가 흘러, 상기 쇼트된 부분이 발열하여, 산화 또는 탄화시킬 수 있다. 그 결과, 쇼트된 부분을 절연화시킬 수 있다. 이 절연화된 부분 이외의 영역에 전류가 흘러, 발광소자(13) 또는 모니터용 발광소자(66)가 정상적으로 동작할 수 있다. 이렇게 역 바이어스 전압을 인가함으로써, 초기 불량이 생겨도, 그 불량을 해소할 수 있다. 또한, 이러한 단락부의 절연화는 출하전에 행하는 것이 바람직하다.

또한, 초기 불량 뿐만 아니라, 시간의 경과에 따라, 새롭게 양극과 음극의 쇼트가 발생하는 일이 있다. 이러한 불량은 진행성 불량이라고도 불린다. 따라서, 본 발명과 같이, 정기적으로 발광소자(13)와 모니터용 발광소자(66)에 역 바이어스 전압을 인가한다. 그 결과, 진행성 불량이 생겨도 그 불량을 해소할 수 있다. 따라서, 발광소자(13) 또는 모니터용 발광소자(66)가 정상적으로 동작할 수 있다.

더구나, 역 바이어스 전압을 인가함으로써, 화상의 스틱킹(image sticking)을 방지할 수 있다. 화상의 스틱킹이란 발광소자(13)의 열화 상태에 의해 생긴다. 역 바이어스 전압을 인가함에 의해, 열화 상태를 저감할 수 있다. 그 결과, 화상의 스틱킹을 방지할 수 있다.

일반적으로, 발광소자(13)와 모니터용 발광소자(66)의 열화는, 초기에 더 빠른 속도로 진행하고, 시간 경과와 함께 열화의 진행 속도가 줄어든다. 즉, 화소에 있어서, 한번 열화한 발광소자(13)와 모니터용 발광소자(66)는, 다시 열화가 생기기 어려워진다. 그 결과, 각 발광소자(13)에 격차가 생긴다. 그 때문에, 출하전, 또는 화상을 표시하지 않을 때 등에, 모든 발광소자(13)와 모니터용 발광소자(66)를 점등할 수 있다. 이와 같이 열화되어 있지 않은 소자에 열화를 생기게 함으로써, 전체 소자의 열화 상태를 평균화할 수 있다. 전술한 것과 같이, 전체 소자를 점등하는 구성을 표시장치에 형성해도 된다.

(실시예 4)

본 실시예에서는, 화소회로 및 구성의 일례에 관하여 설명한다. 도3에는, 본 발명의 화소부에 사용할 수 있는 화소회로를 나타낸다. 화소부(40)는, 데이터선 Sx, 게이트선 Gy, 전원선 Vx가 매트릭스 모양으로 설치되어 있고, 그것들의 교점에는 화소(10)가 설치되어 있다. 화소(10)는, 스위칭용 트랜지스터(11), 구동용 트랜지스터(12), 용량소자(16) 및 발광소자(13)를 갖는다.

해당 화소에 있어서의 접속 관계를 설명한다. 스위칭용 트랜지스터(11)는 데이터선 Sx와 게이트선 Gy의 교점에 설치된다. 스위칭용 트랜지스터(11)의 한쪽의 전극은 데이터선 Sx와 접속되고, 스위칭용 트랜지스터(11)의 게이트 전극은 게이트선 Gy와 접속되어 있다. 구동용 트랜지스터(12)는, 한쪽의 전극이 전원선 Vx에 접속되고, 게이트 전극은 스위칭용 트랜지스터(11)의 다른쪽의 전극과 접속되어 있다. 용량소자(16)는, 구동용 트랜지스터(12)의 게이트·소스간 전압을 유지하도록 설

치되어 있다. 본 실시예에서는, 용량소자(16)는, 그 한쪽의 전극은 Vx에, 다른쪽의 전극은 구동용 트랜지스터(12)의 게이트 전극에 접속되어 있다. 또한, 용량소자(16)는, 구동용 트랜지스터(12)의 게이트 용량이 크고, 리크 전류가 적을 경우 등에는 설치할 필요가 없다. 발광소자(13)는 구동용 트랜지스터(12)의 다른쪽의 전극에 접속되어 있다.

이러한 화소의 구동방법에 관하여 설명한다. 우선, 스위칭용 트랜지스터(11)가 온이 되면, 데이터선 Sx로부터 비디오 신호가 입력된다. 비디오 신호에 근거하여, 용량소자(16)에 전하가 축적된다. 용량소자(16)에 축적된 전하가 구동용 트랜지스터(12)의 게이트·소스간 전압(Vgs)을 초과하면, 구동용 트랜지스터(12)가 온이 된다. 그러면, 발광소자(13)에 전류가 공급되어, 점등한다. 이때, 구동용 트랜지스터(12)는 선형영역 또는 포화영역에서 동작시킬 수 있다. 포화 영역에서 동작시키면, 구동용 트랜지스터(12)가 일정한 전류를 공급할 수 있다. 또한, 선형영역에서 동작시키면, 구동용 트랜지스터(12)를 저전압으로 동작시킬 수 있어, 저소비 전력화를 꾀할 수 있다.

아하에서, 타이밍 채트를 사용하여 화소의 구동방법에 관하여 설명한다. 도9a에는, 1초 사이에 60 프레임의 화상의 고쳐쓰기가 행해질 경우의 어떤 1프레임 기간의 타이밍 채트를 나타낸다. 상기 타이밍 채트에 있어서, 종축은 주사선(1행째 내지 최종행째), 횡축은 시간을 나타내고 있다.

1프레임 기간은 m(m은 2 이상의 자연수)개의 서브프레임 기간 SF1, SF2, …, SFm을 포함한다. m개의 서브프레임 기간 SF1, SF2, … SFm은, 각각 기록 동작 기간 Ta1, Ta2, …, Tam과 표시 기간(점등 기간) Ts1, Ts2, …, Tsm과, 역 바이어스 전압 인가 기간을 갖는다. 본 실시예에서는, 도9a에 도시된 것과 같이, 1프레임 기간이, 서브프레임 기간 SF1, SF2, 및 SF3과, 역 바이어스 전압 인가 기간(RB)을 포함한다. 그리고, 각 서브프레임 기간에는, 기록 동작 기간 Ta1~Ta3가 순차적으로 행해져, 그후 표시 기간 Ts1~Ts3이 뒤따른다.

도9b에 기재된 타이밍 채트에는, 어떤 행(i행째)의 기록 동작 기간, 표시 기간, 및 역 바이어스 전압 인가 기간에 대해서 나타낸 것이다. 기록 동작 기간, 표시 기간이 교대로 나타낸 후, 역 바이어스 전압 인가 기간이 시작한다. 이 기록 동작 기간 및 표시 기간을 갖는 기간이 순방향 전압 인가 기간이 된다.

기록 동작 기간 Ta는 복수의 동작 기간으로 나눌 수 있다. 본 실시예에서는, 기록 동작 기간 Ta가 2개의 동작 기간으로 나누어, 한 기간에는 소거 동작을 행하고, 다른 기간에는 기록동작을 행한다. 이렇게 소거 동작과, 기록 동작을 설치하기 위해, WE(Write Erase) 신호가 입력된다. 그 밖의 소거 동작 및 기록 동작과 신호의 상세한 것은 이하의 실시예에서 설명한다. 또한, 역 바이어스 전압 인가 기간의 직전에는, 전체 화소의 스위칭용 트랜지스터를 동시에 온으로 하는 기간, 즉 전체 주사선을 온으로 하는 기간(온 기간)을 설치한다.

역 바이어스 전압 인가 기간의 직후에는, 전체 화소의 스위칭용 트랜지스터를 동시에 오프로 하는 기간, 즉 전체 주사선을 오프로 하는 기간(오프 기간)을 설치하는 것이 바람직하다. 또한, 역 바이어스 전압 인가 기간의 직전에는, 소거 기간(SE)이 설치된다. 소거 기간은 상기 소거 동작과 유사한 동작에 의해 행할 수 있다. 소거 기간은, 직전의 서브프레임 기간, 본 실시예에서는 SF3에서 기록된 데이터를 순차적으로 소거하는 동작이 순차 행해진다. 온 기간에서는, 최종행째의 화소의 표시 기간이 종료후, 일제히 스위칭용 트랜지스터가 온으로 된다. 따라서, 1행째 등의 화소는, 불필요한 표시 기간을 갖게 된다.

이와 같이, 온 기간, 오프 기간, 소거 기간을 설치하기 위한 제어는, 주사선 구동회로나 신호선 구동회로 등의 구동회로에 의해 행해진다. 이때, 발광소자(13)에 역 바이어스 전압의 전압을 인가하는 타이밍, 즉 역 바이어스 전압 인가 기간은 도9a 및 도 9b에 한정되지 않는다. 즉, 프레임마다 역 바이어스 전압 인가 기간을 설치할 필요는 없으며, 1프레임 기간의 후반에 역 바이어스 전압 인가 기간을 설치할 필요도 없다. 또한, 온 기간은 인가기간(RB)의 직전에 설치되면 되며, 오프 기간은 인가기간(RB) 직후에 설치되면 된다. 또한, 발광소자의 양극의 전압과 음극의 전압을 반대로 하는 순서도 도9a 및 도 9b에 한정되지 않는다. 즉, 캐소드 전극의 전위를 상승시킨 후, 애노드 전극의 전위를 하강시켜도 된다.

도4에는 도3에 나타낸 화소회로의 배치예를 나타낸다. 스위칭용 트랜지스터(11) 및 구동용 트랜지스터(12)를 구성하는 반도체막을 형성한다. 그후, 게이트 절연막으로서 기능하는 절연막을 개재하여 제 1 도전막을 형성한다. 상기 도전막은, 스위칭용 트랜지스터(11) 및 구동용 트랜지스터(12)의 게이트 전극으로서 사용하고, 또한 게이트선 Gy로서 사용할 수 있다. 이때, 스위칭용 트랜지스터(11)는 더블 게이트 구조로 하면 바람직하다.

그후, 층간 절연막으로서 기능하는 절연막을 개재하여 제 2 도전막을 형성한다. 상기 도전막은, 스위칭용 트랜지스터(11) 및 구동용 트랜지스터(12)의 드레인 배선 및 소스 배선으로서 사용하고, 또한 신호선 Sx 및 전원선 Vx로서 사용할 수 있다. 이때, 용량소자(16)는, 제 1 도전막, 층간절연막으로서 기능하는 절연막, 제 2 도전막의 적층구조에 의해 형성할 수 있다. 구동용 트랜지스터(12)의 게이트 전극과 스위칭용 트랜지스터의 다른쪽의 전극은 콘택홀을 거쳐서 접속된다.

그리고, 화소에 설치된 개구부에는 제 1 전극(화소전극)(19)을 형성한다. 상기 화소전극은 구동용 트랜지스터(12)의 다른 쪽의 전극에 접속되어 있다. 이때, 제 2 도전막과 화소전극과의 사이에 절연막 등이 설치될 경우, 콘택홀을 거쳐서 화소전극을 구동용 트랜지스터(12)의 다른쪽의 전극에 접속할 필요가 있다. 절연막 등이 설치되지 않을 경우, 구동용 트랜지스터(12)의 다른쪽의 전극에 화소전극이 직접 접속할 수 있다.

도4에 도시된 것과 같은 배치에 있어서, 고개구울을 확보하기 위해서, 제 1 도전막과 화소전극이 중첩되어 버리는 일이 있다. 그러한 영역에는, 결합 용량이 생겨 버리는 일이 있다. 이 결합 용량은 불필요한 용량이다.

도5에는 도4에 나타낸 A-B, B-C의 단면도를 나타낸다. 절연 기판(20) 위에는 하지막을 개재하여 반도체막이 형성되어 있다. 절연 기판(20)으로는, 예를 들면, 바륨 보로실리케이트 유리나, 알루미노 보로실리케이트 유리로 형성된 유리 기판, 석영 기판, 스테인레스스틸 기판 등을 사용할 수 있다. 또한, PET(폴리에틸렌테 래프탈레이트), PEN(폴리에틸렌나프탈레이트)로 대표되는 플라스틱이나, 아크릴 기판 등의 가요성을 갖는 합성 수지로 이루어지는 기판은, 일반적으로 다른 기판과 비교해서 내열온도가 낮은 경향이 있지만, 제작 공정에 있어서의 처리 온도를 견디어낼 수 있는 것이라면 사용하는 것이 가능하다. 하지막으로는, 산화 실리콘이나, 질화 실리콘, 질화산화 실리콘 등의 절연막을 사용할 수 있다.

하지막 상에 25~100nm(바람직하게는 30~60nm)의 막두께를 갖도록 비정질 반도체막을 형성한다. 또한, 비정질 반도체는 실리콘 뿐만 아니라 실리콘 게르마늄도 사용할 수 있다.

다음에, 필요에 따라 비정질 반도체막을 결정화하여, 결정성 반도체막을 형성한다. 결정화하는 방법은, 가열로, 레이저 조사, 혹은 램프로부터 발생하는 빛의 조사(이하, 램프 어닐로 표기한다) 또는 그것들을 조합해서 사용할 수 있다. 예를 들면, 비정질 반도체막에 금속 원소를 첨가하고, 가열로를 사용하여 열처리를 행함으로써 결정성 반도체막을 형성한다. 이렇게, 반도체막에 금속 원소를 첨가함으로써, 저온에서 결정화할 수 있기 때문에 바람직하다. 이렇게 형성된 결정성 반도체막을 소정의 형상으로 가공한다. 소정의 형상이란 도4에 도시된 것과 같이 스위칭용 트랜지스터(11) 및 구동용 트랜지스터(12)가 되는 형상이다.

이어서, 게이트 절연막으로서 기능하는 절연막을 형성한다. 상기 절연막은, 반도체막을 덮도록, 두께를 10~150nm, 바람직하게는 20~40nm로 형성된다. 예를 들면, 절연막은 산화 질화 실리콘막, 산화 실리콘막 등을 사용할 수 있고, 단층 구조 또는 적층 구조로 하여도 된다.

그리고, 게이트 절연막을 개재하여 게이트 전극으로서 기능하는 제 1 도전막을 반도체막 위에 형성한다. 게이트 전극은 단층 구조이어도 적층 구조이어도 되지만, 본 실시예에서는 도전막(22a, 22b)의 적층 구조를 사용한다. 각 도전막(22a, 22b)은, Ta, Ti, W, Mo, Al, Cu로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료로 형성하면 된다. 본 실시예에서는, 도전막 22a로서 막두께 10~50nm, 예를 들면, 30nm의 질화 탄탈막을 형성하고, 도전막 22b로서 막두께 200~400nm, 예를 들면, 370nm의 텅스텐막을 순차 형성한다.

게이트 전극을 마스크로 하여 불순물 원소를 첨가한다. 이때, 고농도 불순물 영역 이외에 저농도 불순물 영역을 형성해도 되는데, 이것은 LDD(Lightly Doped Drain) 구조로 불린다. 특히, 저농도 불순물 영역이 게이트 전극과 겹친 구조를 GOLD(Gate-drain Overlapped LDD) 구조라고 한다. 특히, n채널형 트랜지스터는 저농도 불순물 영역을 갖는 구성으로 하면 바람직하다.

그후, 충간 절연막(30)으로서 기능하는 절연막(28, 29)을 형성한다. 절연막 28은 질소를 갖는 절연막이면 되며, 본 실시예에서는, 플라즈마 CVD법에 의해 100nm 두께의 질화 실리콘막을 사용해서 형성한다.

한편, 절연막 29는 유기 재료 또는 무기 재료를 사용해서 형성할 수 있다. 유기재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트, 벤조시클로부텐, 실록산 및 폴리실라잔을 사용할 수 있다. 실록산이란, 실리콘(Si)과 산소(O)와의 결합으로 골격구조가 형성되고, 치환기에 적어도 수소를 포함하거나, 또는 치환기에 불소, 알킬기, 또는 방향족 탄화수소 중 적어도 1종을 갖는 폴리머 재료를 출발 원료로서 형성된다. 또한, 폴리실라잔은 실리콘(Si)과 질소(N)의 결합을 갖는 폴리머 재료이다. 무기재료로서는, 산화 실리콘(SiO_x), 질화실리콘(SiN_x), 산화 질화 실리콘(SiO_xN_y)($x>y$), 질화산화 실리콘(SiNxOy)($x>y$)($x, y=1, 2 \dots$) 등의 산소, 또는 질소를 갖는 절연막을 사용할 수 있다. 또한, 절연막 29로서, 이를 절연막의 적층 구조를 사용해도 된다. 특히, 유기 재료를 사용해서 절연막 29를 형성하면, 평탄성은 높아지는 한편, 유기 재료에 의해 수분이나 산소가 흡수되어 버린다. 이것을 방지하기 위해서, 유기 재료 위에, 무기 재료를 갖는 절연막을 형성하면 된다. 무기 재료로 질소를 갖는 절연막을 사용하면, Na 등의 알칼리 이온의 침입을 막을 수 있어 바람직하다. 절연막 29에, 유기 재료를 사용하면 평탄성을 높일 수 있어 바람직하다.

충간절연막(30)에 콘택홀을 형성한다. 그리고, 스위칭용 트랜지스터(11) 및 구동용 트랜지스터(12)의 소스 배선 및 드레인 배선(24), 신호선 Sx 및 전원선 Vx로서 기능하는 제 2 도전막을 형성한다. 제 2 도전막은, 알루미늄(Al), 티타늄(Ti), 몰리브덴(Mo), 텉스텐(W) 및 실리콘(Si)의 원소로 이루어지는 막 또는 이러한 원소를 사용한 합금막을 사용할 수 있다. 본 실시예에서는, 티타늄 막을 60nm, 질화 티타늄 막을 40nm, 티타늄-알루미늄 합금막을 300nm, 티타늄 막을 100nm로 적층 해서 제 2 도전막을 형성한다. 그후, 제 2 도전막을 덮도록 절연막(31)을 형성한다. 절연막(31)은 상기한 충간 절연막(30)에서 나타낸 재료를 사용할 수 있다. 이렇게 절연막(31)을 설치함으로써 개구율을 높일 수 있다.

그리고, 절연막(31)에 설치된 개구부에 제 1 전극(화소전극)(19)을 형성한다. 상기 개구부로 있어서 화소전극의 단차 피복성을 향상시키기 위해서, 개구부 단면에 복수의 곡률반경을 갖도록 둑글게 하는 것이 바람직하다. 제 1 전극(19)은, 투광성을 갖는 재료로서, 인듐 주석 산화물(ITO), 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 인듐 아연 산화물(IZO), 산화인듐에 2~20%의 산화실리콘(SiO₂)을 혼합한 ITO-SiO_x, 유기 인듐, 유기 주석 등을 사용하여 형성될 수도 있다. 또한, 제 1 전극(19)은 비투광성을 갖는 재료로서, 은(Ag), 탄탈, 텉스텐, 티타늄, 몰리브덴, 알루미늄, 구리로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료를 사용하여 형성될 수도 있다. 이때, 유기 재료를 사용해서 절연막(31)을 형성하여 평탄성을 높이면, 화소전극 형성면의 평탄성이 향상되기 때문에, 균일한 전압을 인가할 수 있고, 단락을 방지할 수 있다.

제 1 도전막과 화소전극이 겹치는 영역(430)에는, 불필요한 결합 용량이 생겨 버리는 일이 있다. 이것은 불필요한 용량이다.

그후, 격벽(32)을 형성하고, 증착법 또는 잉크젯법에 의해 발광층(33)을 형성한다. 발광층(33)은, 유기 재료, 또는 무기 재료를 사용하여 전자주입층(EIL), 전자수송층(ETL), 발광층(EML), 정공수송층(HTL), 정공주입층(HIL) 등을 적당하게 조합하여 구성된다. 또한, 각 층의 경계선은 반드시 명확할 필요는 없고, 서로의 층을 구성하고 있는 재료가 일부 혼합하여, 계면이 불명료해져 있을 경우도 있다. 또한, 발광층의 구조는 상기한 적층 구조에 한정되지 않는다.

발광층(33)을 형성하기 위한 호스트 재료로서, 무기 재료를 사용할 수 있다. 무기 재료로서, 아연, 카드뮴 및 갈륨 등의 금속 재료의 황화물, 산화물 또는 질화물을 사용하는 것이 바람직하다. 예를 들어, 황화물로서, 황화 아연(ZnS), 황화 카드뮴(CdS), 황화 칼슘(CaS) 및 황화 이트륨(Y₂S₃), 황화 갈륨(Ga₂S₃), 황화 스트론튬(SrS) 또는 황화 바륨(BaS) 등을 사용할 수 있다. 산화물로서는, 산화 아연(ZnO), 산화 이트륨(Y₂O₃) 등을 사용할 수 있다. 더구나, 질화물로서, 질화 알루미늄(AlN), 질화 갈륨(GaN), 질화 인듐(InN) 등을 사용할 수 있다. 또한, 셀렌화 아연(ZnSe), 텔루르화 아연(ZnTe) 등을 사용할 수도 있다. 이와 달리, 칼륨 황화갈륨(CaGa₂S₄), 스트론튬 황화갈륨(SrGa₂S₄) 또는 바륨 황화갈륨(BaGa₂S₄) 등의 3가지의 혼합 결정을 사용하여도 된다.

불순물 원소로서는, 망간(Mn), 구리(Cu), 사마륨(Sm), 테르븀(Tb), 에르븀(Er), 투륨(Tm), 유러븀(Er), 세륨(ce) 또는 프라세오디뮴(Pr)을 사용하여 금속 이온의 내부 웨일의 전자 천이를 사용하여 발광 중심을 형성할 수 있다. 전하 보상으로, 불소(F) 또는 염소(Cl) 등의 할로겐 원소를 추가할 수도 있다.

더구나, 도너-액셉터 재결합을 이용하는 발광 중심으로서, 제 1 불순물 원소와 제 2 불순물 원소를 함유하는 발광 재료가 사용될 수 있다. 예를 들어, 제 1 불순물 원소로서는, 구리(Cu), 은(Ag), 금(Au) 및 백금(Pt) 또는 실리콘(Si) 등의 금속 원소를 사용할 수 있다. 제 2 불순물 원소는, 예를 들면, 불소(F), 염소(Cl), 브롬(Br), 요오드(I), 봉소(B), 알루미늄(Al), 갈륨(Ga), 인듐(In), 탈륨 등일 수 있다.

발광 재료는, 고상 반응, 즉 호스트 재료와 불순물 재료를 칭량하고, 이것을 막자사발에서 혼합하여, 전기로에서 가열함으로써, 호스트 재료 내부에 불순물 원소를 포함하게 하여 얻어진다. 예를 들어, 호스트 재료와 제 1 불순물 원소 또는 이 제 1 불순물 원소를 함유한 화합물, 제 2 불순물 원소 또는 이 제 2 불순물 원소를 함유한 화합물이 칭량된다. 막자사발에서 이들을 혼합한 후에, 전기로에서 가열하여 베이크한다. 베이킹 온도는 바람직하게는 700~1500°C이다. 온도가 너무 낮으면, 고상 반응이 진행되지 않으며, 온도가 너무 높으면 호스트 재료가 분해된다. 이때, 이 조성물은 분말 상태에서 베이크 될 수도 있지만, 펠렛 상태에서 베이크를 행하는 것이 바람직하다.

더구나, 고상반응을 이용하는 경우에 불순물 원소로서, 제 1 불순물 원소와 제 2 불순물 원소로 이루어진 화합물을 조합하여 사용하여도 된다. 이와 같은 경우에는, 불순물 원소들이 쉽게 분산되므로, 고상반응이 쉽게 진행된다. 따라서, 균일한 발광 재료를 얻을 수 있다. 더구나, 불필요한 불순물 원소들이 혼합되지 않으므로, 고순도의 발광 재료를 얻을 수 있다. 제

1 불순물 원소와 제 2 불순물 원소로 이루어진 화합물로서는, 예를 들어, 불화구리(CuF_2), 염화 구리(CuCl), 요오드화 구리(CuI), 브롬화 구리(CuBr), 질화 구리(Cu_3N), 인화 구리(Cu_3P), 불화 은(AgF), 염화 은(AgCl), 요오드화 은(AgI), 브롬화 은(AgBr), 염화 금(AuCl_3), 브롬화 금(AuBr_3), 염화 백금(PtCl_2) 등을 사용할 수 있다. 더구나, 제 2 불순물 원소 대신에 제 3 불순물 원소를 함유하는 발광 재료가 사용되어도 된다.

예를 들면, 제 3 불순물 원소는 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs), 질소(N), 인(P), 비소(As), 안티몬(Sb), 비스무트(Bi) 등일 수 있다. 이들 불순물 원소는 호스트 재료에 0.01~10 mol%의 농도로 함유되는 것이 바람직하며, 0.1~5mol%의 범위로 함유되는 것이 바람직하다.

높은 도전성을 갖는 발광 재료로서, 전술한 재료가 호스트 재료로 사용됨으로써, 제 1 불순물 원소, 제 2 불순물 원소 및 제 3 불순물 원소를 함유하는 발광 재료를 사용할 수 있다. 이들 불순물 원소는 호스트 재료에 0.01~10 mol%의 농도로 함유되는 것이 바람직하며, 0.1~5mol%의 범위로 함유되는 것이 바람직하다.

제 2 불순물 원소와 제 3 불순물 원소로 이루어진 화합물로서, 예를 들면, 불화 리튬(LiF), 염화 리튬(LiCl), 요오드화 리튬(LiI), 브롬화 리튬(LiBr) 및 염화 니트륨(NaCl) 등의 알칼리 할로겐화물과, 질화 봉소(BN), 질화 알루미늄(AlN), 안티몬화 알루미늄(AlSb), 인화 갈륨(GaP), 비소화 가름(GaAs), 인화 인듐(InP), 비소화 인듐(InAs), 안티몬화 인듐(InSb) 등을 사용할 수 있다.

상기한 재료를 호스트 재료로 사용함으로써, 전술한 제 1 불순물 원소, 제 2 불순물 원소 및 제 3 불순물 원소를 함유하는 발광 재료를 사용하여 형성된 발광층이 높은 전계에 의해 가속된 열전자를 필요로 하지 않고 발광할 수 있다. 즉, 발광소자에 고전압을 인가할 필요가 없으므로, 낮은 구동전압으로 작동할 수 있는 발광 소자를 얻을 수 있다. 더구나, 발광소자가 낮은 구동전압으로 빛을 방출할 수 있으므로, 소비전력이 줄어든다. 더구나, 다른 발광 중심이 되는 원소가 더 포함되어도 된다.

더구나, 이 재료를 호스트 재료로 사용함으로써, 제 2 불순물 원소 및 제 3 불순물 원소와 전술한 금속 이온의 내부 쉘 전자친이를 사용하는 발광 중심을 포함하는 발광 재료를 사용할 수 있다. 이와 같은 경우에, 호스트 재료에 발광 중심이 되는 금속 이온이 0.05~5 atom%의 농도로 포함되는 것이 바람직하다. 더구나, 제 2 불순물 원소의 농도가 호스트 재료에 0.05~5 atom%인 것이 바람직하다. 또한, 제 3 불순물 원소의 농도가 호스트 재료에 0.05~5 atom%인 것이 바람직하다. 이와 같은 구조를 갖는 발광 재료는 저전압에서 점등할 수 있다. 따라서, 낮은 구동전압으로 점등을 할 수 있어 소비전력이 줄어든 발광 소자를 얻을 수 있다. 더구나, 다른 발광 중심이 되는 원소가 더 함유되어도 된다. 이와 같은 발광 재료를 사용함으로써 발광 소자의 휙도 감쇠(luminance decay)를 억제할 수 있다. 또한, 이와 같은 트랜ジ스터를 이용하여 발광 소자를 저전압으로 구동할 수 있다.

그리고, 중착법에 의해 제 2 전극(35)을 형성한다. 발광소자의 제 1 전극(화소전극)(19) 및 제 2 전극(35)은, 화소 구성에 따라 양극 또는 음극으로서 기능한다. 양극 재료로서는, 일함수가 큰(일함수 4.0eV 이상) 금속, 합금, 전기전도성 화합물, 및 이들의 혼합물 등을 사용하는 것이 바람직하다. 양극 재료의 구체적인 예로서는, ITO, 산화인듐에 2~20%의 산화아연(ZnO)을 혼합하여 얻어진 IZO, 금(Au), 백금(Pt), 니켈(Ni), 텉스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 또는 금속 재료의 질화물(TiN) 등을 사용할 수 있다.

한편, 음극 재료로서는, 일함수가 작은(일함수 3.8eV 이하) 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등을 사용하는 것이 바람직하다. 음극 재료의 구체적인 예로서는, 원소 주기율의 1족 또는 2족에 속하는 원소, 즉 Li나 Cs 등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류 금속, 및 이것들을 포함하는 합금(Mg:Ag , Al:Li)이나 화합물(LiF , CsF , CaF_2)과, 희토류 금속을 포함하는 천이금속을 사용해서 형성할 수 있다. 단, 음극은 투광성을 가질 필요가 있기 때문에, 이들 금속, 또는 이들 금속을 포함하는 합금을 대단히 얇게 형성하여, ITO 등의 금속(합금을 포함한다)과의 적층에 의해 형성한다.

그후, 제 2 전극(35)을 덮어 보호막을 형성해도 된다. 보호막으로서는, 질화 실리콘 막이나 DLC막을 사용할 수 있다. 이렇게 하여, 표시장치의 화소를 형성할 수 있다.

(실시예 5)

본 발명의 표시장치의 화소와 구동회로의 구성을 도29~도31을 참조해서 설명한다.

도29에 본 발명에 따른 표시 패널의 구성을 나타낸다. 이 표시 패널은 기판(120)위에, 서브화소(130)가 복수의 열로 배치된 화소부(121), 주사선(133)의 신호를 제어하는 주사선 구동회로(122)와, 데이터선(131)의 신호를 제어하는 데이터선 구동회로(123)를 갖고 있다. 또한, 서브화소(130)에 포함되는 발광소자(137)의 휘도 변화를 보정하기 위한 모니터 회로(124)가 설치되어 있어도 된다. 발광소자 137과 모니터 회로(124)에 포함되는 발광소자는 같은 구조를 갖고 있다. 발광소자 137의 구조는 한 쌍의 전극간에 일렉트로루미네센스를 발현하는 재료를 포함하는 층을 끼운 형태로 되어 있다.

기판(120)의 주변부에는, 주사선 구동회로(122)에 외부회로로부터 신호를 입력하는 입력 단자(125), 데이터선 구동회로(122)에 외부회로로부터 신호를 입력하는 입력 단자(126), 모니터 회로(124)에 신호를 입력하는 입력 단자(129)를 갖고 있다.

서브화소(130)에는, 데이터선(131)에 접속되는 트랜지스터(134)와, 전원선(132)과 발광소자(137)의 사이에 직렬로 삽입되어 접속되는 트랜지스터(135)를 포함하고 있다. 트랜지스터 134의 게이트는 주사선(133)에 접속된다. 트랜지스터 134가 주사 신호에서 선택되었을 때, 데이터선(131)의 신호를 서브화소(130)에 입력한다. 이 입력된 신호는 트랜지스터 135의 게이트에 인가되어, 유지용량부(136)를 충전한다. 이 신호에 따라, 전원선(132)과 발광소자(137)는 도통상태가 되어, 발광소자(137)가 발광한다.

서브화소(130)에 설치된 발광소자(137)가 점등하기 위해서는 외부회로에서 전력을 공급할 필요가 있다. 화소부(121)에 설치된 전원선(132)은 입력 단자(127)에서 외부회로와 접속된다. 전원선(132)은 인입될 배선의 길이에 따라 저항손실이 생기므로, 입력 단자(127)를 기판(120)의 주변부에 복수 개소에 설치하는 것이 바람직하다. 입력 단자(127)는 기판(120)의 양 단부에 설치하여, 화소부(121)의 면 내에서 휘도 얼룩이 눈에 띄이지 않도록 배치되어 있다. 즉, 화면의 내부에서 한쪽이 밝고, 반대측이 어두워져 버리는 것을 방지하고 있다. 또한, 한 쌍의 전극을 구비한 발광소자(137)에서는, 전원선(32)과 접속되는 전극과는 반대측의 전극이 복수의 서브화소(130)에 의해 공유하는 공통 전극으로 형성된다. 이 전극의 저항 손실을 낮게 하기 위해, 단자(128)를 복수개 구비하고 있다.

다음에, 서브화소(130)의 일례를 도30 및 도31을 참조해서 상세하게 설명한다. 이때, 도30은 서브화소(130)의 평면도를 나타내고, 이 도 30 중에 나타낸 절단선 A-B, C-D, E-F에 대응하는 종단면도를 도31에 나타낸다.

주사선(133)과 데이터선(131)은 서로 다른 층으로 형성되고, 절연층 155와 절연층 156을 개재하여 서로 교차하고 있다. 주사선(133)은, 게이트 절연층(157)을 개재하여 반도체층(141)과 교차하는 부분에서, 트랜지스터의 게이트 전극으로서 기능한다. 이 경우, 트랜지스터(134)를, 반도체층(141)의 배치에 맞추어, 주사선(133)을 분기시켜 복수 개소에서 반도체 층(141)과 교차부를 설치하면, 한 쌍의 소스·드레인 사이에 복수의 채널 형성 영역이 직렬로 배열하는 소위 멀티 게이트 트랜지스터로 할 수 있다.

트랜지스터(135)와 접속되는 전원선(132)은 저항이 낮은 것이 바람직하므로, 전원선(132)으로 특히 저항율이 낮은 Al이나 Cu 등을 사용하는 것이 바람직하다. Cu 배선을 형성하는 경우에는, 배리어층과 조합해서 절연층 내부에 Cu 배선을 형성할 수 있다. 도31에서는, 기판(120) 위와 반도체층(141) 아래에 전원선(132)을 형성하는 예를 나타내고 있다. 기판(120)의 표면에는 배리어층(150)이 형성되어, 기판(120)에 포함되는 알칼리 금속 등의 불순물의 스며듬을 방지하고 있다. 전원선(132)은, 절연층(151)에 형성된 개구에 배리어층(152)과 Cu층(159)에 의해 형성되어 있다. 배리어층(152)은, 탄탈(Ta), 질화 탄탈(TaN), 질화 텅스텐(WN), 질화 티타늄(TiN) 등에 의해 형성되어 있다. Cu층(159)은, 시드층을 스퍼터링으로 형성한 후, 도금에 의해 1~5μm의 두께로 퇴적되어, 화학적 기계연마에 의해 평탄화 처리가 되고 있다. 즉, 다마신 프로세스를 사용함으로써, Cu층(159)을 절연층(151)에 매립된 형상으로 할 수 있다.

절연층(151) 위에는, 반도체층(140, 141)에 있어서의 하지 절연층이 형성되어 있다. 하지 절연층의 구성은 한정되지 않지만, 질화 실리콘층(153)과 산화 실리콘층(154)으로 형성되어 있는 것이 바람직하다. 그 이외에, 절연층의 구성으로서, 반도체층(140, 141)의 상층에는, 게이트 절연층(157) 이외에, 절연층 156이, 산화 실리콘, 질화 실리콘 등으로 형성되어, 보호막으로서 이용되고 있다.

전원선(132)과 트랜지스터(135)의 접속은, 상기한 절연층을 관통하는 콘택홀을 통해, 배선(145)에 의해 접속되어 있다. 또한, 게이트 전극(142)은 배선(144)에 의해 트랜지스터(134)와 접속하고 있다. 트랜지스터 134, 135의 게이트 전극은 복수의 층을 적층해서 형성해도 된다. 예를 들면, 제 1 도전층과 제 2 도전층의 조합은 게이트 절연층과의 밀착성과 저항율을 고려해서 조합하여도 된다. 이와 달리, 상하의 층의 형상을 바꾸어서(예를 들면, 앞챙이 있는 모자형의 형상으로서) 자가정합적으로 반도체층에 소스·드레인 영역이나 저농도 불순물(LDD) 영역을 형성할 수 있는 구조로 해도 된다.

또한, 게이트 전극(142)이 연장됨으로써 설치되는 유지용량부(136)의 전극(143)은, 제 1 도전층과 제 2 도전층의 조합을 이용하여, 제 1 도전층에 의한 박막부를 설치하고, 그것의 하층에 있는 반도체층에 일 도전형의 불순물을 첨가하여, 저저항화해 두는 것이 바람직하다. 즉, 유지용량부(136)는, 게이트 전극(142)이 연장됨으로써 설치되는 유지용량부(136)의 전극(143)과, 트랜지스터(135)의 반도체층(141)이 연장된 반도체층(160)과, 그것들에 끼워지는 절연층(157)에 의해 형성된다. 유지용량부(136)는, 반도체층(160)에 일 도전형을 부여하는 불순물을 첨가하여, 저저항화해 둠으로써, 유효하게 기능시킬 수 있다.

발광소자의 화소전극(147)은 트랜지스터(135)의 반도체층(141)과 직접 콘택을 형성해도 되지만, 도31에 도시된 것과 같이, 배선(146)을 거쳐서 접속할 수 있다. 이 경우, 배선(146)의 단부에 복수의 단차 형상을 설치함으로써, 화소전극(147)과의 접촉 면적을 늘릴 수 있으므로 바람직하다. 이러한 단차 형상은, 슬릿이나 반투과막 등의 광 감소수단을 이용한 포토마스크를 사용함으로써 형성할 수 있다. 격벽층(158)은 화소전극(147)의 주변 단부를 덮는다.

본 실시예에서 나타낸 표시 패널은, 전원선이 Cu 등의 저저항 재료로 형성되어 있으므로, 특히 화면 사이즈가 대형화되었을 때에 유효하다. 예를 들면, 화면 사이즈가 13인치급인 경우 대각선의 길이는 340mm이지만, 60 인치급인 경우에는 1500mm 이상이 된다. 이러한 경우에는, 배선 저항을 무시할 수 없으므로, Cu 등의 저저항 재료를 배선에 사용하는 것이 바람직하다. 또한, 배선 지연을 고려하면, 같은 방법으로 데이터선이나 주사선을 형성해도 된다.

또한, 본 실시예에서 서술한 내용은, 실시예 1~4에서 서술한 내용과 자유롭게 조합하여 실시할 수 있다.

(실시예 6)

본 실시예는, 표시 패널을 제조할 때에 사용되는 증착 장치에 대해서 도면을 참조해서 설명한다.

표시 패널은, 트랜지스터에 의해 화소회로 및/또는 구동회로가 형성된 소자 기판에, EL층을 형성해서 제조된다. EL층은 일렉트로루미네센스를 발현하는 재료를 적어도 일부에 포함하여 형성된다. EL층은 기능이 다른 복수의 층으로 구성되어도 된다. 그 경우, EL층은, 정공주입/수송층, 발광층, 전자주입/수송층 등이라고도 불리는 기능의 다른 층을 조합해서 구성할 경우가 있다.

트랜지스터가 형성된 소자 기판에, EL층을 형성하기 위한 증착 장치의 구성을 도32에 나타낸다. 이 증착 장치는, 반송실(160, 161)에 복수의 처리실이 연결되어 있다. 처리실에는, 기판을 공급하는 로드실(162), 기판을 회수하는 언로드실(163), 가열 처리실(168), 플라즈마 처리실(172), EL 재료를 증착하는 성막 처리실(169~175), 발광소자의 한쪽의 전극으로서, 알루미늄 또는 알루미늄을 주성분으로 하는 도전막을 형성하는 성막 처리실(176)을 포함하고 있다. 또한, 반송실과 각 처리실의 사이에는 게이트 벨브(177a~177l)가 설치된다. 각 처리실의 압력을 독립하여 제어 가능하게 되고 있어, 처리실 사이의 상호 오염을 막고 있다.

로드실(162)로부터 반송실(161)에 도입된 기판은, 회전이 자유롭게 설치된 아암 방식의 반송부(193)에 의해, 소정의 처리실로 반입된다. 또한, 기판은 반송부(193)에 의해, 어떤 처리실로부터 다른 처리실로 반송된다. 반송실 160과 반송실 161은 성막 처리실(170)로 연결되고, 여기에서 반송부 193으로부터 반송부 194로 기판이 전달된다.

반송실 160 및 반송실 161에 연결하는 각 처리실은 감압 상태로 유지되어 있다. 따라서, 이 증착 장치에서는, 기판을 대기해 접촉하지 않고 연속해서 EL층의 성막 처리가 행해진다. EL층의 성막 처리가 끝난 표시 패널은, 수증기 등에 의해 열화하는 경우가 있다. 따라서, 이 증착 장치에서는, 품질을 유지하기 위해서 대기에 접촉시키는 전에 밀봉처리를 행하기 위한 밀봉처리실(165)이 반송실(161)에 연결되어 있다. 밀봉처리실(165)은 대기압 혹은 그것에 가까운 감압 상태로 유지되므로, 반송실(161)과 밀봉처리실(165) 사이에도 중간실(164)이 구비되어 있다. 중간실(164)은 기판의 반송과, 실 사이의 압력을 완충하기 위해서 설치된다.

로드실(162), 언로드실(163), 반송실 및 성막 처리실에는 실 내부를 감압으로 유지하기 위한 배기부들이 구비되어 있다. 배기부로서는, 드라이 펌프, 터보 분자펌프, 확산펌프 등 각종의 진공펌프를 사용할 수 있다.

도32의 증착 장치에 있어서, 반송실 160 및 반송실 161에 연결되는 처리실의 수와 그것의 구성은, 발광소자의 적층 구조에 따라 적당하게 조합할 수 있다. 이하에서, 그 조합의 일례를 나타낸다.

가열처리실(168)은, 하부 전극이나 절연 분리벽 등이 형성된 기판을 가열해서 탈가스 처리를 행한다. 플라즈마 처리실(172)은, 하지 전극 표면을 희가스나 산소 플라즈마 처리를 행한다. 이 플라즈마 처리는, 표면을 청정화, 표면 상태의 안정화, 표면의 물리적 혹은 화학적 상태(예를 들면, 일함수 등)를 안정화시키기 위해서 행한다.

성막 처리실(169)은, 발광소자의 한쪽의 전극과 접촉하는 전극 베퍼충을 형성하는 처리실이다. 전극 베퍼충은 캐리어 주입성(정공주입성 혹은 전자주입성)이 있어, 발광소자의 단락이나 암점 결함(dark spot defect)의 발생을 억제하는 충이다. 대표적으로는, 전극 베퍼충은, 유기 무기 혼합 재료이며, 저항률이 $5 \times 10^4 \sim 1 \times 10^6 \Omega\text{cm}$ 이며, 30~300nm의 두께로 형성된다. 또한, 성막실(71)은 정공수송충을 막형성하는 처리실이다.

발광소자에 있어서의 발광충은, 단색 발광을 하는 경우와 백색 발광을 하는 경우에 따라 그 구성이 다르다. 증착 장치에 있어서, 성막 처리실도 발광 색상에 따라 배치하는 것이 바람직하다. 예를 들면, 표시 패널에 발광색이 다른 3종류의 발광소자를 형성할 경우에는, 각 발광색에 대응한 발광충을 성막할 필요가 있다. 이 경우, 성막 처리실 170을 제 1 발광충의 성막용으로 하고, 성막 처리실 173을 제 2 발광충의 성막용으로 하며, 성막 처리실 174를 제 3 발광충의 성막용으로서 사용할 수 있다. 발광충마다 성막 처리실을 변화시킴으로써, 다른 발광 재료에 의한 상호 오염을 방지할 수 있어, 성막 처리의 스크루풀을 향상시킬 수 있다.

또한, 성막 처리실 170, 173, 174의 각각에서, 발광색이 다른 3종류의 EL 재료를 순차 증착해도 된다. 이 경우, 쉐도우마스크를 사용하여, 증착하는 영역에 따라 해당 마스크를 이동시켜 증착을 행하게 된다.

백색 발광하는 발광소자를 형성할 경우에는, 다른 발광색의 발광충을 수직으로 적층하여 형성한다. 그 경우에도, 소자 기판이 성막 처리실을 순차 이동하여, 발광충마다 성막할 수 있다. 또한, 같은 성막 처리실에서 다른 발광충을 연속해서 성막할 수도 있다.

성막 처리실 176에서는 EL충 위에 전극을 성막한다. 전극의 형성은, 전자빔 증착법이나 스퍼터링법을 적용할 수도 있지만, 바람직하게는 저항 가열 증착법을 사용하는 것이 바람직하다.

전극의 형성까지 종료한 소자 기판은, 중간처리실(164)을 경과해서 밀봉처리실(165)에 반입된다. 밀봉처리실(165)은 헬륨, 아르곤, 네온, 혹은 질소 등의 불활성 기체가 충전되어 있다. 이 분위기하에서 소자 기판의 EL충이 형성된 측에 밀봉판을 붙여서 봉지한다. 봉지된 상태에 있어서, 소자 기판과 밀봉판과의 사이에는, 불활성 기체가 충전되어 있어도 되며, 수지재료를 충전하고 있어도 된다. 밀봉처리실(165)에는, 셀재를 묘화하는 디스펜서나, 소자 기판에 대향해서 밀봉판을 고정하는 고정 스테이지나 아암 등의 기계적 요소, 수지재료를 충전하는 디스펜서 또는 스판코더 등이 구비되어 있다.

도33은, 성막 처리실의 내부 구성을 나타낸다. 성막 처리실은 감압 상태로 유지되어 있다. 상단판(191)과 기저판(192)으로 끼워지는 공간이 실내로서, 감압 상태로 유지되는 실내를 나타내고 있다.

처리실 내에는, 한개 또는 복수개의 증발원이 구비되어 있다. 조성이 다른 복수의 충을 성막하는 경우나, 다른 재료를 공동 증착하는 경우에는, 복수개의 증발원을 설치하는 것이 바람직하기 때문이다. 도33에서는, 증발원(181a, 181b, 181c)이 증발원 훌더(180)에 장착되어 있다. 증발원 훌더(180)은 다관절 아암(183)에 의해 유지되어 있다. 다관절 아암(183)은 관절의 신축에 의해, 증발원 훌더(180)의 위치를 그것의 가동 범위 내에서 자유자재로 이동 가능하게 하고 있다. 또한, 증발원 훌더(180)에 거리 센서(182)를 설치하고, 증발원(181a~181c)과 기판(189)과의 간격을 모니터하여, 증착시에 있어서의 최적의 간격을 제어해도 된다. 그 경우에는, 다관절 아암이 상하 방향(Z 방향)으로도 변위하는 다관절 아암으로 해도 된다.

기판 스테이지(186)와 기판 척(187)은 한 쌍이 되어서 기판(189)을 고정한다. 기판 스테이지(186)는 허터를 내장시켜서 기판(189)을 가열할 수 있게 구성해도 된다. 기판(189)은, 기판 척(187)에 의해 해제되어, 기판 스테이지(186)에 고정되면서 반출입된다. 증착에 있어서는, 필요에 따라서 증착하는 패턴에 대응해서 개구부를 구비한 쉐도우마스크(190)를 사용할 수도 있다. 그 경우, 쉐도우마스크(190)는, 기판(189)과 증발원(181a~181c) 사이에 배치되도록 한다. 쉐도우마스크(190)는 마스크 척(188)에 의해, 기판(189)과 밀착 혹은 일정한 간격을 갖고 고정된다. 쉐도우마스크(190)의 얼라인먼트가 필요할 경우에는, 처리실 내에 카메라를 배치하고, 마스크 척(188)에 X-Y-Θ 방향으로 미세이동하는 위치 결정수단을 구비함으로써 그것의 얼라인먼트를 행한다.

증발원(181)에는, 증착 재료를 증발원에 연속해서 공급하는 증착 재료 공급부가 부착되어 있다. 증착 재료 공급부은, 증발원(181)과 떨어진 위치에 배치되는 증착 재료 공급원(185a, 185b, 185c)과, 그 양자 사이를 연결하는 재료 공급관(184)을 갖고 있다. 전형적으로는, 재료 공급원(185a, 185b, 185c)은 증발원(181a, 181b, 181c)에 대응해서 설치된다. 도33의 경우에는, 재료 공급원 185a와 증발원 181a가 대응하고 있다. 재료 공급원 185b와 증발원 181b, 재료 공급원 185c와 증발원 181c에 관해서도 마찬가지이다.

증착 재료는 기류 반송 방식, 에어로졸 방식 등에 의해 공급될 수 있다. 기류 반송 방식은, 증착 재료의 미분말을 기류에 실어 반송하는 것으로, 불활성 가스 등을 사용해서 증발원(181a, 181b, 181c)에 반송한다. 에어로졸 방식은, 증착 재료를 용제중에 용해 또는 분산시킨 원료액을 반송하고, 분무기에 의해 에어로졸화하여, 에어로졸 중의 용매를 기화시키면서 행하는 증착이다. 어느쪽의 경우에도, 증발원(181a, 181b, 181c)에는 가열부가 설치되어, 반송된 증착 재료를 증발시켜서 기판(189)에 성막한다. 도33의 경우, 재료 공급관(184)은 유연하게 구부릴 수 있고, 감압 상태 아래로 두어도 변형하지 않을 정도의 강성을 갖는 가는 판으로 구성되어 있다.

가류 반송 방식이나 에어로졸 방식을 적용하는 경우에는, 대기압 또는 그 이하로서, 바람직하게는 133Pa~13300Pa의 감압하에서 성막실에서 성막을 행하는 것이 바람직하다. 성막 처리실 내에는 헬륨, 아르곤, 네온, 크립톤, 크세논, 혹은 질소 등의 불활성 기체를 충전한다. 이와 달리, 해당 기체를 공급하면서(동시에 배기하면서), 압력의 조절을 행할 수 있다. 또한, 산화막을 형성하는 성막 처리실에서는, 산소, 아산화질소 등의 기체를 도입해서 산화 분위기로 하고 있어도 된다. 또한, 유기 재료를 증착하는 성막 처리실 내에는 수소 등의 기체를 도입해서 환원 분위기로 하고 있어도 된다.

기타의 증착 재료의 공급방법으로서, 재료 공급관(184) 내부에 스크류를 설치하고 증착 재료를 증발원을 향해서 연속적으로 밀어내는 구성으로 하여도 된다.

본 실시예의 증착 장치에 의하면, 대화면의 표시 패널이라도, 균일성이 우수하게, 연속해서 성막할 수 있다. 또한, 증발원에 증착 재료가 없어질 때마다, 그때마다 증착 재료를 보급할 필요가 없기 때문에, 스루풋을 향상시킬 수 있다.

또한, 본 실시예에서 서술한 내용은, 실시예 1~5에서 서술한 내용과 자유롭게 조합하여 실시할 수 있다.

(실시예 7)

본 실시예에서는, 본 발명을 적용할 수 있는 표시장치의 제작 방법에 관하여 설명한다. 본 발명을 적용할 수 있는 표시장치는, 마이크로파로 여기된 고밀도 플라즈마법 조합해도 된다. 그것의 일례를 도17a 내지 도 17c에 나타낸다. 이때, 도17a 내지 도 17c에 있어서, 도17b는 도17a의 a-b선에 따른 단면도에 해당하고, 도17c는 도17a의 c-d선에 따른 단면도에 해당한다.

도17a 내지 도 17c에 나타낸 표시장치는, 기판(1701) 위에 절연막(1702)을 개재하여 설치된 반도체막(1703a, 1703b)과, 해당 반도체막(1703a, 1703b) 위에 게이트 절연막(1704)을 개재하여 설치된 게이트 전극(1705)과, 게이트 전극을 덮어서 설치된 절연막(1706, 1707)과, 반도체막(1703a, 1703b)의 소스 영역 또는 드레인 영역과 전기적으로 접속하고 절연막(1707) 위에 설치된 도전막(1708)을 갖고 있다. 이때, 도17a 내지 도 17c에 있어서는, 반도체막 1703a의 일부를 채널 영역으로서 사용한 n형의 박막 트랜지스터(1710a)와 반도체막 1703b의 일부를 채널 영역으로서 사용한 p형의 박막 트랜지스터(1710b)을 설치했을 경우를 나타내고 있지만, 이 구성에 한정되지 않는다. 예를 들면, 도17a 내지 도 17c에서는, n형의 박막 트랜지스터 1710a에 LDD 영역을 설치하고, p형의 박막 트랜지스터 1710b에는 LDD 영역을 설치하지 않고 있지만, 양쪽에 설치한 구성으로 하여도 되며 양쪽에 설치하지 않은 구성으로 하는 것도 가능하다.

기판(1701)은, 바륨 보로실리케이트 유리나, 알루미노 보로실리케이트 유리 등의 유리 기판, 석영 기판, 세라믹 기판 또는 스테인레스를 포함하는 금속 기판 등을 사용할 수 있다. 그 밖에도, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르 슬론(PES)으로 대표되는 플라스틱이나, 아크릴 등의 가요성을 갖는 합성 수지로 이루어지는 기판을 사용하는 것도 가능하다. 가요성을 갖는 기판을 사용함으로써, 잘곡이 가능한 표시장치를 제작하는 것이 가능해진다. 또한, 이러한 기판이라면, 그것의 면적이나 형상에 큰 제한은 없기 때문에, 기판(1701)으로서, 예를 들면 1변이 1미터 이상으로서, 사각형 형상의 것을 사용하면, 생산성을 획기적으로 향상시킬 수 있다. 이러한 이점은, 원형의 실리콘 기판을 사용하는 경우와 비교하면, 큰 우위점이다.

절연막(1702)은, 하지막으로서 기능하고, 기판(1701)으로부터 Na 등의 알칼리 금속이나 알칼리 토류 금속이, 반도체막(1703a, 1703b) 내부로 확산하여, 반도체 소자의 특성에 악영향을 미치는 것을 막기 위해서 설치한다. 절연막(1702)으로

서는, 산화 실리콘(SiO_x), 질화 실리콘(SiN_x), 산화 질화 실리콘(SiO_xN_y)($x > y$), 질화산화 실리콘(SiN_xO_y)($x > y$) 등의 산소 또는 질소를 갖는 절연막의 단층 구조, 또는 이것들의 적층 구조로 설치할 수 있다. 예를 들면, 절연막(1702)을 2층 구조로 설치할 경우, 1층째의 절연막으로서 질화산화 실리콘막으로 설치하고, 2층째의 절연막으로서 산화 질화 실리콘막을 설치하면 된다. 또한, 절연막(1702)을 3층 구조로 설치할 경우, 1층째의 절연막으로서 산화 질화 실리콘막을 설치하고, 2층째의 절연막으로서 질화산화 실리콘막을 설치하며, 3층째의 절연막으로서 산화 질화 실리콘막을 설치하면 된다.

반도체막(1703a, 1703b)은, 비정질 반도체를 스퍼터링법, LPCVD법, 플라즈마 CVD법 등을 사용해서 실리콘(Si)을 주성분으로 하는 재료로 비정질 반도체막을 형성하고, 해당 비정질 반도체막을 레이저 결정화법, RTA 또는 어닐로를 사용하는 열결정화법, 결정화를 조장하는 금속 원소를 사용하는 열결정화법 등의 결정화법에 의해 결정화시킨다.

케이트 절연막(1704)은, 산화 실리콘(SiO_x), 질화 실리콘(SiN_x), 산화 질화 실리콘(SiO_xN_y)($x > y$), 질화산화 실리콘(SiN_xO_y)($x > y$) 등의 산소 또는 질소를 갖는 절연막의 단층 구조, 또는 이것들의 적층 구조로 설치할 수 있다.

절연막(1706)은, 스퍼터링법이나 플라즈마 CVD법 등에 의해, 산화 실리콘(SiO_x), 질화 실리콘(SiN_x), 산화 질화 실리콘(SiO_xN_y)($x > y$), 질화산화 실리콘(SiN_xO_y)($x > y$) 등의 산소 또는 질소를 갖는 절연막이나 DLC(Diamond-Like Carbon) 등의 탄소를 포함하는 막의 단층 구조, 또는 이것들의 적층 구조로 설치할 수 있다.

절연막(1707)은, 산화 실리콘(SiO_x), 질화 실리콘(SiN_x), 산화 질화 실리콘(SiO_xN_y)($x > y$), 질화산화 실리콘(SiN_xO_y)($x > y$) 등의 산소 또는 질소를 갖는 절연막이나 DLC(Diamond-Like Carbon) 등의 탄소를 포함하는 막은 물론, 그 밖에도 에폭시, 폴리이미드, 폴리아미드, 폴리비닐 페놀, 벤조시클로부텐, 아크릴 등의 유기 재료나 실록산 수지로 이루어진 단층 또는 적층 구조로 설치할 수 있다. 이때, 실록산 수지는 Si-O-Si 결합을 포함하는 수지에 해당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서 적어도 수소를 포함하는 유기기(예를 들면, 알킬기, 방향족 탄화수소)을 사용할 수 있다. 또한, 치환기으로서 플루오로기를 사용할 수도 있다. 더구나, 치환기로서, 적어도 수소를 포함하는 유기기와, 플루오르기를 사용해도 된다. 이때, 도 17a 내지 도 17c에 있어서의 표시장치에 있어서, 절연막(1706)을 설치하지 않고 케이트 전극(1705)을 덮도록 직접 절연막(1707)을 설치하는 것도 가능하다.

도전막(1708)으로서는, Al, Ni, C, W, Mo, Ti, Pt, Cu, Ta, Au, Mn로부터 선택된 1종의 원소 또는 해당 원소를 복수 포함하는 합금으로 이루어지는 단층 또는 적층 구조를 사용할 수 있다. 예를 들면, 해당 원소를 복수 포함하는 합금으로 이루어지는 도전막으로서, 예를 들면, C과 Ti를 함유한 Al 합금, Ni를 함유한 Al 합금, C와 Ni를 함유한 Al 합금, Mn을 함유한 Al 합금 등을 사용할 수 있다. 또한, 적층 구조로 설치할 경우, Al과 Ti를 적층시킴으로써 설치할 수 있다.

또한, 도 17a 내지 도 17c에 있어서, n형의 박막 트랜지스터(1710a)는 케이트 전극(1705)의 측벽에 접해서 사이드월을 갖는다. 반도체막(1703a)에 n형의 도전성을 부여하는 불순물이 선택적으로 첨가된 소스 영역 및 드레인 영역과, 사이드월의 아래쪽에 설치된 LDD 영역이 형성되어 있다. 또한, p형의 박막 트랜지스터(1710b)는 케이트 전극(1705)의 측벽에 접해서 사이드월을 갖는다. 반도체막(1703b)에 p형의 도전성을 부여하는 불순물이 선택적으로 첨가된 소스 영역 및 드레인 영역이 형성되어 있다.

또한, 본 발명의 표시장치에서는, 상기 기판(1701), 절연막(1702), 반도체막 1703a 및 1703b, 케이트 절연막(1704), 절연막 1706 또는 절연막 1707 중 적어도 어느 한 층에, 플라즈마 처리를 사용해서 산화 또는 질화를 행함으로써 반도체막 또는 절연막을 산화 또는 질화한다. 이렇게, 플라즈마 처리를 사용해서 반도체막 또는 절연막을 산화 또는 질화함으로써, 해당 반도체막 또는 절연막의 표면을 개질 하여, CVD법이나 스퍼터링법에 의해 형성한 절연막과 비교해서 보다 치밀한 절연막을 형성할 수 있다. 따라서, 펀홀 등의 결합을 억제하여 표시장치의 특성 등을 향상시키는 것이 가능해진다.

또한, 플라즈마 처리는, 전자밀도가 $1 \times 10^{11} \text{ cm}^{-3}$ 이상 $1 \times 10^{13} \text{ cm}^{-3}$ 이하이며, 플라즈마의 전자온도가 0.5eV 이상 1.5eV 이하에서 행한다. 플라즈마의 전자밀도가 고밀도이고, 기판(1701) 위에 형성된 피처리물(여기에서는, 반도체막 1703a, 1703b) 부근에서의 전자온도가 낮기 때문에, 피처리물에 대한 플라즈마에 의한 손상을 방지할 수 있다. 또한, 플라즈마의 전자밀도가 $1 \times 10^{11} \text{ cm}^{-3}$ 이상으로 고밀도이기 때문에, 플라즈마 처리를 사용하여, 피조사물을 산화 또는 질화함으로써 형성되는 산화물 또는 질화막은, CVD법이나 스퍼터링법 등에 의해 형성된 막과 비교해서 막 두께 등이 균일성이 뛰어나고, 또한 치밀한 막을 형성할 수 있다. 또한, 플라즈마의 전자온도가 1eV 이하로 낮기 때문에, 종래의 플라즈마 처리나 열산화법과 비교해서 저온도에서 산화 또는 질화 처리를 행할 수 있다. 예를 들면, 유리 기판의 왜곡점 온도보다도 100도 이상 낮은 온도에서 플라즈마 처리를 실시해도 충분하게 산화 또는 질화처리를 행할 수 있다. 이때, 플라즈마를 형성하기 위한 주파수로서는, 마이크로파(2.45GHz) 등의 고주파를 사용할 수 있다.

다음에, 트랜지스터의 반도체층에 아모퍼스 실리콘(a-Si:H)막을 사용한 경우에 관하여 설명한다. 도18a 및 도 18b에는 톱 게이트의 트랜지스터, 도19a 내지 도 20b에는 보텀 게이트 트랜지스터의 경우에 대해서 나타낸다.

아모퍼스 실리콘을 반도체층에 사용한 톱 게이트 구조의 트랜지스터의 단면을 도18a에 나타낸다. 도 18a에 도시된 것과 같이, 기판(1801) 위에 하지막(1802)이 형성되어 있다. 더구나, 하지막(1802) 위에 화소전극(1803)이 형성되어 있다. 또한, 화소전극(1803)과 같은 층에 같은 재료로 이루어진 제 1 전극(1804)이 형성되어 있다. 기판은 유리 기판, 석영 기판, 세라믹 기판 등을 사용할 수 있다. 또한, 하지막(2702)으로서는, 질화 알루미늄(AlN)이나 산화 실리콘(SiO₂), 산화 질화 실리콘(SiO_xN_y) 등의 단층이나 이것들의 적층을 사용할 수 있다.

또한, 하지막(1802) 위에 배선 1805 및 배선 1806가 형성되고, 화소전극(1803)의 단부가 배선(1805)으로 덮어져 있다. 배선 1805 및 배선 1806의 상부에 n형의 도전형을 갖는 n형 반도체층(1807) 및 n형 반도체층(1808)이 형성되어 있다. 또한, 배선 1805와 배선 1806의 사이이며 하지막(1802) 위에 반도체층(1809)이 형성되어 있다. 그리고, 반도체층(1809)의 일부는 n형 반도체층(1807) 및 n형 반도체층(1808) 위까지 연장되어 있다. 이때, 이 반도체층은 아모퍼스 실리콘(a-Si:H), 미결정 반도체(μ c-Si:H) 등의 비결정성을 갖는 반도체막으로 형성되어 있다. 또한, 반도체층(1809) 위에 게이트 절연막(1810)이 형성되어 있다. 또한, 게이트 절연막(1810)과 같은 층에 같은 재료로 이루어지는 절연막(1811)이 제 1 전극(1804) 위에도 형성되어 있다. 이때, 게이트 절연막(1810)으로서는 산화 실리콘막이나 질화 실리콘막 등을 사용할 수 있다.

또한, 게이트 절연막(1810) 위에 게이트 전극(1812)이 형성되어 있다. 또한, 게이트 전극(1812)과 같은 층에 같은 재료로 이루어진 제 2 전극(1813)이 제 1 전극(1804) 위에 절연막(1811)을 개재하여 형성되어 있다. 제 1 전극(1804) 및 제 2 전극(1813)으로 절연막(1811)을 끼워진 용량소자(1819)가 형성되어 있다. 또한, 화소전극(1803)의 단부, 구동 트랜지스터(1818) 및 용량소자(1819)를 덮어, 층간절연막(1814)이 형성되어 있다.

층간 절연막(1814) 및 이 층간 절연막(1814)의 개구부에 위치하는 화소전극(1803) 위에 유기 화합물을 포함하는 층(1815) 및 대향전극(1816)이 형성되어 있다. 화소전극(1803)과 대향전극(1816)으로 유기 화합물을 포함하는 층(1815)이 끼워진 영역에서는 발광소자(1817)가 형성되어 있다.

또한, 도18a에 나타낸 제 1 전극(1804)을 도18b에 나타낸 것과 같이 제 1 전극(1820)으로 형성해도 된다. 제 1 전극(1820)은 배선 1805 및 1806과 같은 층의 같은 재료로 형성되어 있다. 또한, 아모퍼스 실리콘을 반도체층에 사용한 보텀 게이트 구조의 트랜지스터를 사용한 표시장치의 패널의 부분 단면을 도19a 및 도 19b에 나타낸다.

기판(1901) 위에 게이트 전극(1903)이 형성되어 있다. 또한, 게이트 전극(1903)과 같은 층에 같은 재료로 이루어진 제 1 전극(1904)이 형성되어 있다. 게이트 전극(1903)의 재료에는 인이 첨가된 다결정 실리콘을 사용할 수 있다. 다결정 실리콘 이외에, 금속과 실리콘의 화합물인 실리사이드이어도 된다.

또한, 게이트 전극(1903) 및 제 1 전극(1904)을 덮도록 게이트 절연막(1905)이 형성되어 있다. 게이트 절연막(1905)으로서는 산화 실리콘막이나 질화 실리콘막 등을 사용할 수 있다. 게이트 절연막(1905) 위에, 반도체층(1906)이 형성되어 있다. 또한, 반도체층(1906)과 같은 층에 같은 재료로 이루어진 반도체층(1907)이 형성되어 있다.

반도체층 1906 위에는 n형의 도전성을 갖는 n형 반도체층(1908, 1909)이 형성되고, 반도체층 1907 위에는 n형 반도체층(1910)이 형성되어 있다. n형 반도체층 1908 및 1909 위에는 각각 배선(1911, 1912)이 형성된다. n형 반도체층 1910 위에는 배선 1911 및 1912과 같은 층의 동일 재료로 이루어진 도전층(1913)이 형성되어 있다. 반도체층 1907, n형 반도체층 1910 및 도전층(1913)으로 이루어지는 제 2 전극이 구성된다. 이때, 이 제 2 전극과 제 1 전극(1904)으로 게이트 절연막(1902)을 끼운 구조의 용량소자(1920)가 형성되어 있다.

또한, 배선(1911)의 한쪽의 단부는 연장되고, 그 연장된 배선(1911) 상부에 접해서 화소전극(1914)이 형성되어 있다. 화소전극(1914)의 단부, 구동 트랜지스터(1919) 및 용량소자(1920)를 덮도록 절연막(1913)이 형성되어 있다.

화소전극(1914) 및 막연물(1915) 위에는 발광층(1916) 및 대향전극(1917)이 형성되어 있다. 화소전극(1914)과 대향전극(1917)으로 발광층(1916)이 끼워진 영역에서는 발광소자(1918)가 형성되어 있다.

용량소자의 제 2 전극의 일부가 되는 반도체층(1907) 및 n형 반도체층(1910)은 설치하지 않아도 된다. 즉 제 2 전극은 도전층(1913)으로 하고, 제 1 전극(1904)과 도전층(1913)으로 게이트 절연막이 끼워진 구조의 용량소자로 해도 된다.

도19a에 있어서, 배선(1911)을 형성하기 전에 화소전극(1914)을 형성함으로써 화소전극(1914)으로 이루어지는 제 2 전극(1921)과 제 1 전극(1904)으로 게이트 절연막(1905)이 끼워진 구조의 용량소자(1922)를 형성할 수 있다. 이때, 도19a 및 도 19b의 역스태거형의 채널에치 구조의 트랜지스터에 대해서 나타냈지만, 물론 채널 보호 구조의 트랜지스터이어도 된다. 채널 보호 구조의 트랜지스터의 경우에 대해서, 도20a 및 도 20b를 사용하여 설명한다.

도20a에 나타낸 채널 보호형 구조의 트랜지스터는 도19a에 나타낸 채널에치 구조의 구동 트랜지스터(1919)의 반도체층(1906)의 채널이 형성되는 영역에 에칭의 마스크가 되는 절연물(2001)이 설치되어 있는 점이 다르다. 다른 공통되고 있는 것은 공통의 부호를 사용하고 있다. 또한, 마찬가지로, 도20b에 나타낸 채널 보호형 구조의 트랜지스터는 도19b에 나타낸 채널에치 구조의 구동 트랜지스터(1919)의 반도체층(1906)의 채널이 형성되는 영역 위에 에칭의 마스크가 되는 절연물(2001)이 설치되어 있는 점이 다르다. 다른 공통되어 있는 것은 공통의 부호를 사용하고 있다.

화소를 구성하는 트랜지스터의 반도체층(채널 형성 영역이나 소스 영역이나 드레인 영역 등)에 비정질 반도체막을 사용함으로써, 제조 비용을 삐감할 수 있다. 또한, 본 발명의 화소 구성의 적용가능한 트랜지스터의 구조나, 용량소자의 구조는 전술한 구성에 한정되지 않고, 여러 가지 구성의 트랜지스터의 구조나, 용량소자의 구조의 것을 사용할 수 있다.

이 표시장치를 제조할 때, 포트리소그래피 공정에 있어서, 투과율에 경사를 갖게 한 포토마스크(하프톤 마스크)을 사용해도 된다. 이하에서, 하프톤 마스트를 사용한 경우의 본 발명을 적용한 표시장치를 제조하는 방법에 관하여 설명한다.

트랜지스터는, 단결정 기판에 형성되는 MOS 트랜지스터 이외에, 박막 트랜지스터(TFT)로 구성할 수도 있다. 도21은 회로를 구성하는 트랜지스터의 단면 구조를 나타낸 도면이다. 도21은, n채널형 트랜지스터(2101), n채널형 트랜지스터(2102), 용량소자(2104), 저항소자(2105), p채널형 트랜지스터(2103)가 표시되고 있다. 각 트랜지스터는 반도체층(2205), 게이트 절연층(2208), 게이트 전극(2209)을 구비하고 있다. 게이트 전극(2209)은, 제 1도전층(2203)과 제 2도전층(2202)의 적층 구조로 형성되어 있다. 또한, 도22a~도 22d는, 도21에서 나타낸 트랜지스터, 용량소자, 저항소자에 대응하는 평면도로서 함께 참조할 수 있다.

도21에 있어서, n채널형 TFT 2101는, 채널 길이 방향(캐리어가 흐르는 방향)에 있어서, 게이트 전극의 양측에 불순물로 도핑된 불순물 영역(2207)이 형성되어 있다. 이 불순물 영역(2207)은 배선(2204)과 콘택을 형성하는 소스 및 드레인 영역을 형성하는 불순물 영역(2206)의 불순물 농도보다도 저농도로 도핑된다. 이와 같은 불순물 영역은 저농도 드레인(low concentration drain: LDD)로 불린다. 불순물 영역 2206과 불순물 영역 2207에는, n채널형 TFT(2101)를 구성하는 경우, n형을 부여하는 불순물로서 인 등이 첨가되어 있다. LDD 영역은 핫 일렉트론 열화나 단채널 효과를 억제하는 수단으로 형성된다.

도22a에 도시된 것과 같이, n채널형 TFT(2101)의 게이트 전극(2209)에 있어서, 제 1도전층(2203)은 제 2도전층(2202)의 양측에 펼쳐져 형성되어 있다. 이 경우에 있어서, 제 1도전층(2203)의 막두께는 제 2도전층의 막두께보다도 얇게 형성되어 있다. 제 1도전층(2203)의 두께는, 10~100kV의 전계로 가속된 이온종을 통과시키는 것이 가능한 두께로 형성되어 있다. 불순물 영역(2207)은 게이트 전극(2209)의 제 1도전층(2203)과 겹치도록 형성되어 있다. 즉, 게이트 전극(2209)과 오버랩되는 LDD 영역을 형성하고 있다. 이 구조는, 게이트 전극(2209)에 있어서, 제 2도전층(2202)을 마스크로 하여, 제 1도전층(2203)을 통과시켜서 일 도전형의 불순물을 첨가함으로써, 자기정합적으로 불순물 영역(2207)을 형성하고 있다. 즉, 게이트 전극과 오버랩되는 LDD를 자기정합적으로 형성하고 있다.

도21에 있어서, n채널형 TFT 2102는, 게이트 전극의 한 쪽에 불순물 영역 2206의 불순물 농도보다도 저농도로 도핑된 불순물 영역 2207가 반도체층 2205에 형성되어 있다. 도22b에 도시된 것과 같이, n채널형 TFT 2102의 게이트 전극(2209)에 있어서, 제 1도전층(2203)은, 제 2도전층(2202)의 한 쪽에 펼쳐져 형성되어 있다. 이 경우도 마찬가지로, 제 2도전층(2202)을 마스크로 하여, 제 1도전층(2203)을 통과시켜서 일 도전형의 불순물을 첨가함으로써, 자기정합적으로 LDD를 형성할 수 있다.

한 쪽에 LDD를 갖는 트랜지스터는, 소스 및 드레인 전극 사이에 양전압만, 혹은 음전압만이 인가되는 트랜지스터에 적용하면 된다. 구체적으로는, 인버터 회로, NAND 회로, NOR 회로, 래치회로라고 하는 논리 게이트를 구성하는 트랜지스터나, 센스 앤프, 정전압 발생회로, VCO라고 하는 아날로그 회로를 구성하는 트랜지스터에 적용하면 된다.

도21에 있어서, 용량소자(2104)는, 제 1도전층(2203)과 반도체층(2205)으로 절연층(2208)을 끼워서 형성되어 있다. 용량소자(2104)를 형성하는 반도체층(2205)에는, 불순물 영역 2206과 불순물 영역 2207을 구비하고 있다. 불순물 영역 2207은, 반도체층(2205)에 있어서 제 1도전층(2203)과 겹치는 위치에 형성된다. 또한, 불순물 영역 2206은 배선(2204)과 콘택을 형성한다. 불순물 영역 2207은, 제 1도전층(2203)을 통과시켜서 일 도전형의 불순물을 첨가할 수 있으므로, 불순물 영역 2206과 불순물 영역 2207에 포함되는 불순물 농도는 동일하게 할 수도 있으며, 다르게 하는 것도 가능하다. 어떻든간에, 용량소자(2104)에 있어서, 반도체층(2205)은 전극으로서 기능시키므로, 일 도전형의 불순물을 첨가해서 저저 항화해 두는 것이 바람직하다. 또한, 제 1도전층(2203)은, 도22c에 도시된 것과 같이, 제 2도전층(2202)을 보조적인 전극으로서 이용함으로써, 전극으로서 충분하게 기능시킬 수 있다. 이렇게, 제 1도전층(2203)과 제 2도전층(2202)을 조합한 복합적인 전극 구조로 함으로써, 용량소자(2104)를 자기정합적으로 형성할 수 있다.

도21에 있어서, 저항소자(2105)는 제 1도전층(2203)에 의해 형성되어 있다. 제 1도전층(2203)은 30~150nm 정도의 두께로 형성되므로, 그것의 폭이나 길이를 적당하게 설정해서 저항소자를 구성할 수 있다.

도21에 있어서, p채널형 트랜지스터(2103)는, 반도체층(2205)에 불순물 영역 2212을 구비하고 있다. 이 불순물 영역 2212은, 배선(2204)과 콘택을 형성하는 소스 및 드레인 영역을 형성한다. 게이트 전극(2209)의 구성은 제 1도전층(2203)과 제 2도전층(2202)이 중첩된 구조으로 되어 있다. p채널형 트랜지스터(2103)는 LDD를 설치하지 않은 단일 드레인 구조의 트랜지스터이다. p채널형 트랜지스터(2103)를 형성하는 경우, 불순물 영역 2212에는 p형을 부여하는 불순물로서 붕소 등이 첨가된다. 한편, 불순물 영역 2212에 인을 첨가하면 단일 드레인 구조의 n채널형 트랜지스터로 할 수도 있다.

반도체층(2205) 및 게이트 절연층(2208)의 한쪽 혹은 양쪽에 대하여 마이크로파로 여기되고, 전자온도가 2eV 이하, 이온 에너지가 5eV 이하, 전자밀도가 $10^{11} \sim 10^{13}/\text{cm}^3$ 정도인 고밀도 플라즈마 처리에 의해 산화 또는 질화처리해도 된다. 이 때, 기관온도를 300~450°C로 하고, 산화 분위기(O_2 , N_2O 등) 또는 질화분위기(N_2 , NH_3 등)에서 처리함으로써, 반도체층(2205)과 게이트 절연층(2208)의 계면의 결합 준위를 저감할 수 있다. 게이트 절연층(2208)에 대하여 이 처리를 행함으로써, 이 게이트 절연층(2208)의 치밀화를 피할 수 있다. 즉, 하전 결합의 생성을 억제하여 트랜지스터의 임계전압의 변동을 억제할 수 있다. 또한, 트랜지스터를 3V 이하의 전압으로 구동시킬 경우에는, 이 플라즈마 처리에 의해 산화 혹은 질화된 절연층을 게이트 절연층(2208)으로서 적용할 수 있다. 또한, 트랜지스터의 구동전압이 3V 이상인 경우에는, 이 플라즈마 처리로 반도체층(2205)의 표면에 형성된 절연층과 CVD법(플라즈마 CVD법 혹은 열 CVD법)으로 퇴적한 절연층을 조합해서 게이트 절연층(2208)을 형성할 수 있다. 또한, 마찬가지로 이 절연층은, 용량소자(2104)의 유전체층으로서도 이용할 수 있다. 이 경우, 이 플라즈마 처리로 형성된 절연층은, 1~10nm의 두께로 형성되고, 치밀한 막이므로, 큰 전하용량을 갖는 용량소자를 형성할 수 있다.

도21a 및 도22a 내지 도 22e을 참조해서 설명한 바와 같이, 막두께가 다른 도전층을 조합함으로써, 여러가지의 구성의 소자를 형성할 수 있다. 제 1도전층만이 형성되는 영역과, 제 1도전층과 제 2도전층이 적층되어 있는 영역은, 회절격자 패턴 또는 반투막으로부터 이루어지는 광강도 저감 기능을 갖는 보조 패턴을 설치한 포토마스크 또는 레티클(reticle)을 이용해서 형성할 수 있다. 즉, 포트리소그래피 공정에 있어서, 포토레지스트를 노광할 때에, 포토마스크의 투과 광량을 조절하여, 현상되는 레지스트 마스크의 두께를 다르게 한다. 이 경우, 포토마스크 또는 레티클에 해상도 한계 이하의 슬릿을 설치해서 상기 복잡한 형상을 갖는 레지스트를 형성해도 된다. 또한, 현상후에 약 200°C의 베이크를 행해서 포토레지스트 재료로 형성되는 마스크 패턴을 변형시켜도 된다.

또한, 회절격자 패턴 또는 반투막으로 이루어지는 광강도 저감 기능을 갖는 보조 패턴을 설치한 포토마스크 또는 레티클을 이용함으로써, 제 1도전층만 형성되는 영역과, 제 1도전층과 제 2도전층이 적층되어 있는 영역을 연속해서 형성할 수 있다. 도22a에 도시된 것과 같이, 제 1도전층만 형성되는 영역을 반도체층 위에 선택적으로 형성할 수 있다. 이러한 영역은, 반도체층 상에 있어서 유효하지만, 그 이외의 영역(게이트 전극과 연속되는 배선 영역)에서는 필요가 없다. 이 포토마스크 혹은 레티클을 이용함으로써, 배선 부분은, 제 1도전층만의 영역을 만들지 않고 완성할 수 있으므로, 배선 밀도를 실질적으로 높일 수 있다.

도21 및 도22a 내지 도 22e의 경우에는, 제 1도전층은 텅스텐(W), 크롬(Cr), 탄탈(Ta), 질화 탄탈(TaN) 또는 몰리브덴(Mo) 등의 고용점 금속, 또는 고용점 금속을 주성분으로 하는 합금 혹은 화합물을 30~50nm의 두께로 형성한다. 또한, 제 2도전층은 텅스텐(W), 크롬(Cr), 탄탈(Ta), 질화 탄탈(TaN) 또는 몰리브덴(Mo) 등의 고용점 금속, 또는 고용점 금속을 주성분으로 하는 합금 혹은 화합물로 300~600nm의 두께로 형성한다. 예를 들면, 제 1도전층과 제 2도전층을 각각 다른 도전 재료를 사용하여, 나중에 행하는 에칭 공정에서 에칭 레이트의 차이가 생기도록 한다. 일례로서, 제 1도전층으로서 TaN을 사용하고, 제 2도전층으로서 텅스텐막을 사용할 수 있다.

본 실시예에서는 회절격자 패턴 또는 반투막으로 이루어지는 광강도 저감 기능을 갖는 보조 패턴을 설치한 포토마스크 또는 레티클을 사용하여, 전극 구조가 다른 트랜지스터, 용량소자, 저항소자를, 같은 패터닝 공정에 의해 형성할 있다는 것을 나타내고 있다. 이에 따라, 회로의 특성에 따라, 형태가 다른 소자를, 공정을 늘리지 않고 형성하여 집적화할 수 있다.

(실시예 8)

본 실시예에서는, 본 발명의 구동방법을 적용할 수 있는 화소 구성을 예시한다. 또한, 도3에 나타낸 구성과 중복하는 설명은 생략한다. 도10에는, 도3에 나타낸 화소구성 이외에 용량소자(16)의 양단에 제 3 트랜지스터(25)가 설치되어 있는 화소구성을 나타낸다. 제 3 트랜지스터(25)는, 소정의 기간 동안, 용량소자(16)에 축적된 전하를 방전하는 기능을 갖는다. 이 제 3 트랜지스터(25)을 소거용 트랜지스터로도 표기한다. 소정의 기간은, 제 3 트랜지스터(25)의 게이트 전극이 접속되어 있는 소거용 주사선 Ry에 의해 제어된다.

예를 들면, 복수의 서브프레임 기간을 설치할 경우, 짧은 서브프레임 기간에 있어서, 제 3 트랜지스터(25)에 의해 용량소자(16)의 전하를 방전한다. 그 결과, 듀티비를 향상시킬 수 있다.

도11a에는, 도3에 나타낸 화소구성 이외에 구동용 트랜지스터(12)과 발광소자(13) 사이에, 제 4 트랜지스터(36)가 설치되어 있는 화소구성을 나타낸다. 제 4 트랜지스터(36)의 게이트 전극에는, 고정 전위로 되어 있는 제 2 전원선 Vax가 접속되어 있다. 그 때문에, 발광소자(13)에 공급되는 전류는, 구동용 트랜지스터(12) 또는 제 4 트랜지스터(36)의 게이트·소스간 전압에 상관없이, 일정하게 설정할 수 있다. 이 제 4 트랜지스터(36)을 전류제어용 트랜지스터로도 표기한다. 도11b에는, 도11a와 달리, 고정 전위로 되어 있는 제 2 전원선 Vax가, 게이트선 Gy와 나란하게 설치되어 있는 화소구성을 나타낸다. 또한, 도11c에는, 도11a 및 도 11b와 달리, 고정 전위로 되어 있다, 제 4 트랜지스터(36)의 게이트 전극이, 구동용 트랜지스터(12)의 게이트 전극에 접속되어 있는 화소구성이 있다. 도11c와 같이, 추가로 전원선을 설치하는 일이 없는 화소구성에서는, 개구율을 유지할 수 있다.

도12에는, 도11a에 나타낸 화소구성에 도10에 나타낸 소거용 트랜지스터를 설치한 화소구성을 나타낸다. 소거용 트랜지스터에 의해, 용량소자(16)의 전하를 방전할 수 있다. 물론, 도11b 또는 도11c에 나타낸 화소구성에, 소거용 트랜지스터를 설치하는 것도 가능하다.

여기에서, 1개의 화소에, 복수의 서브화소를 설치한 경우의 화소회로에 관하여 설명한다. 도면에는 나타내지 않았지만, 1개의 화소에 복수의 서브화소를 설치해서 각각 독립적으로 구동할 경우, 서브화소의 수만큼 데이터선, 주사선, 전원선을 준비하여, 각각 1화소분의 소자를 배치하면 된다. 단, 데이터선, 주사선, 전원선 중에서, 서브화소 사이에서 공유할 수 있는 것은 공유해도 된다. 이를 선을 공유할 때의 회로예를 이하에 나타낸다.

도23a에, 구동 트랜지스터의 소스 영역 또는 드레인 영역의 한쪽과 접속되어 있는 전원선과 주사선을 서브화소에서 공유하고 있는 경우의 화소회로를 나타낸다. 도23b는, 주사선만 공유하고 있을 경우의 화소회로를 나타낸다. 도면 중의 제 1 구동 트랜지스터(12), 제 1 발광소자(13), 제 2 구동 트랜지스터(114), 제 2 발광소자(14)는, 도1에서 나타낸 것과 동등하다. 도23a에서는, 이를 이외에, 주사선(2301), 제 1 데이터선(2302), 제 2 데이터선(2303), 전원선(2304), 제 1 선택 트랜지스터(2305), 제 2 선택 트랜지스터(2306), 제 1 용량소자(2307), 제 2 용량소자(2308)로 설치된다. 도23b에서는, 이것들 이외에 제 2 전원선(2309)이 추가되어 있다.

제 1 선택 트랜지스터(2305), 제 1 용량소자(2307), 제 1 구동 트랜지스터(12), 제 1 발광소자(13)로, 제 1 서브화소가 구성된다. 마찬가지로, 제 2 선택 트랜지스터(2306), 제 2 용량소자(2308), 제 2 구동 트랜지스터(114), 제 2 발광소자(14)로, 제 2 서브화소가 구성된다.

주사하는 타이밍은 서브화소 사이에서 같아도 되므로, 도23과 같이 서브화소 사이에서 주사선을 공유하고, 데이터선은 각각 별개로 설치해도 된다. 주사선을 공유하면, 화소회로의 배치에 여유가 생겨, 화소 개구율을 상승시킬 수 있다. 또한, 수율 향상에도 이어진다.

도24a에, 구동 트랜지스터의 소스 영역 또는 드레인 영역의 한쪽과 접속되어 있는 전원선과, 선택 트랜지스터의 소스 영역 또는 드레인 영역의 한쪽과 접속되어 있는 데이터선을, 서브화소의 데이터선(2403)에서 공유하고 있을 경우의 화소회로를 나타낸다. 도24b는, 데이터선만 공유하고 있을 경우의 화소회로를 나타낸다. 도24a 및 도 24b의 주사선 2401 및

주사선 2402d 도시된 것과 같이, 주사선을 각각으로 설치하여 주사 타이밍을 서브화소 사이에서 바꿈으로써, 데이터선을 공유해도 된다. 데이터선을 공유하면, 화소 회로 배치에 여유가 생겨, 화소 개구율을 상승시킬 수 있다. 또한, 수율 향상에도 이어진다. 또한, 데이터선의 기생 용량이 작아지기 때문에, 데이터선의 충방전에 따른 소비 전력이 작아진다.

이와 같이 서브화소 사이에서 배선을 공유해서 면적계조 표시를 행함으로써, 서브화소가 없는 화소에 비해 화소 개구율이 나 수율을 하강시키지 않고, 다계조화할 수 있다. 또한, 전원선을 공유하지 않을 때에는, 실시예 1에서 서술한 것 같이 서브화소마다 모니터용 발광소자에 의한 열화, 온도보정이 가능한 것과, 전원선을 흐르는 전류에 의해 전압강하하는 것에 의한 전압변동을 저감할 수 있는 것 등, 특별한 효과를 가지므로, 전원선에 관해서는 공유하지 않은 경우도 병기했다.

다음에, 본 발명을 사용한 풀컬러 표시가능한 표시장치의 화소 회로에 관하여 설명한다. R, G, B로 구분된 화소를 갖는 표시장치에 있어서의 발광소자의 열화나 온도에 의한 특성의 변화가, 발광소자의 발광색마다 다를 때를 위해, 도 25a 및 도 25b와 같이, 색상마다 각각 본 발명의 구성을 적용해도 된다.

도25a는, 도23a에 나타낸 화소(2300a)의 발광소자를 R, G, B로 구분한 표시장치에, 본 발명을 적용했을 때의 구성이다. 이때, 모니터 회로(64)도 마찬가지로 색 구분하여, RGB마다 열화 혹은 온도에 의한 특성 변화의 보정을 행해도 된다. 여기에서, 화소의 구성은, 도23a가 아니라, 도24a와 동일하더라도 상관없다.

도25b는, 도23b에 나타낸 화소(2300b)의 발광소자를 R, G, B로 구분한 표시장치에, 본 발명을 적용했을 때의 구성이다. 이때, 모니터 회로(64)도 마찬가지로 색 구분하여, RGB마다 열화 혹은 온도에 의한 특성변화의 보정을 행해도 된다. 여기에서, 화소의 구성은, 도23b가 아니라, 도 24b의 화소(2400b)와 동일하더라도 상관없다. 또한, 풀컬러 퍼시를 얻기 위한 화소 구성으로서, 도26과 같이, 1화소를 3개 이상으로 분할해도 된다. 이때, 모니터 회로(64)도 분할한 수만큼 배치하여, 각각의 발광소자에 열화 혹은 온도에 의한 특성변화의 보정을 행해도 된다.

도26a는, 도23a에 나타낸 화소의 발광소자를 W, R, G, B로 구분한 표시장치에, 본 발명을 적용했을 때의 구성이다. 이때, 모니터 회로(64)도 마찬가지로 색구분하여, W, R, G, B마다 열화 혹은 온도에 의한 특성변화의 보정을 행해도 된다. 여기에서, 화소의 구성은, 도23a가 아니라, 도24a와 동일하더라도 상관없다.

도26b는, 도23b에 나타낸 화소의 발광소자를 W, R, G, B로 구분한 표시장치에, 본 발명을 적용했을 때의 구성이다. 이때, 모니터 회로(64)도 마찬가지로 색구분하여, W, R, G, B마다 열화 혹은 온도에 의한 특성변화의 보정을 행해도 된다. 여기에서, 화소의 구성은, 도23b가 아니라, 도24b와 동일하더라도 상관없다.

이때, 도25, 도26에서는, 분할된 화소 모두에 대해서, 전원선의 수가 같을 때를 나타냈지만, 본 발명은 이것에 한정되지 않는다. 예를 들면, W 화소만 도23a에 나타낸 구성이고, 나머지의 R, G, B의 3개가 도23b에 나타낸 구성을 가져도 된다. 이렇게, 색상마다 구분된 개개의 화소 회로는 각각 다른 화소 구성을 가져도 되고, 자유롭게 선택할 수 있다.

(실시예 9)

본 실시예에서는, 아모퍼스 실리콘을 사용한 트랜지스터로 구성한 표시장치에 본 발명을 적용했을 때의 화소 구성 및 화소에의 휘도 데이터의 기록방법에 관하여 설명한다.

아모퍼스 실리콘을 사용한 반도체 집적장치는, 그것의 제작공정상, 다른 도전형의 트랜지스터를 일체로 형성한 소위 CMOS 회로를 구성하는 것이 어렵다. 가능하다고 하더라도, 그것의 제작공정은 단일 도전형의 트랜지스터만을 형성하는 경우와 비교해서 복잡해지는 것은 피할 수 없다. 따라서, 아모퍼스 실리콘을 사용할 때의 최대의 이점인, 단순한 제작공정에 의한 로우 코스트성이 얻어지지 않는다. 그 때문에, 아모퍼스 실리콘을 사용한 반도체 집적장치를 설계할 때에는, 단일 도전형의 트랜지스터만을 사용해서 회로를 구성하는 것을 고려할 필요가 있다.

또한, 아모퍼스 실리콘을 사용하여 형성한 트랜지스터는, 벌크 실리콘이나 폴리실리콘을 사용한 트랜지스터와는 달리, 동작을 계속하는 것에 의한 경시 열화, 특히 임계값의 증대가 현저하다. 임계값의 증대는, 트랜지스터의 게이트 전극에 정방향 전압을 계속해서 인가함으로써, 게이트 절연막중에 트랩되는 전하량이 늘어나는 것과, 채널부의 결합밀도가 증대해 가는 것이 주된 원인이다. 이들 현상의 발생을 억제하여, 트랜지스터의 임계값 시프트를 억제하는 방법으로서는, 예를 들면, 게이트 전극에 부방향 전압을 인가하는 기간을 설치하는 방법이 있다.

도27에, 아모퍼스 실리콘을 사용했을 때의 트랜지스터의 경시 열화를 억제하기 위한 표시장치의 구성을 나타낸다. 도27의 구성요소 중에서 도 2와 동일한 부호의 것은 동일 혹은 거의 동일한 기능을 갖는 것으로 한다. 2700은 화소회로, 2701은

프리챠지회로, S1~Sx는 화소에 기록하는 휘도신호를 전달하는 데이터선이다. 데이터선 S1~Sx는 신호선 구동회로(43)과 프리챠지회로(2701)와 스위치를 거쳐서 접속되어 있다. 한개의 데이터선당 스위치는 2개이지만, 이들 스위치는 양쪽 동시에 온되는 일은 없고, 온되고 있는 것은 적어도 어느 한 개이다. 또한, 화소회로(2700)를 구성하는 트랜지스터의 도전형은, 모두 N채널형으로서 설명을 한다.

프리챠지회로(2701)은 신호선 구동회로(43)가 동작해서 화소에 소정의 전압을 기록하기 전에 동작한다. 즉, 우선 데이터선 S1~Sx에 배치된 스위치 중 프리챠지회로(2701)측의 스위치가 온으로 되어 있다. 화소에 기록되는 전압은 프리챠지회로(2701)에서 정해진 전압으로 일단 설정된 후, 데이터선 S1~Sx에 배치된 스위치가 전환되어, 화소에 신호선 구동회로(43)에서 정해진 소정의 전압이 기록된다.

이때, 프리챠지회로(2701)에 의해 정해진 프리챠지 전압은 트랜지스터 12 및 114가 오프되는 전압과 같거나 낮고, 전원(18)의 전위와 같거나 높은 것이 바람직하다. 전출한 것과 같이, 아모퍼스 실리콘을 사용한 트랜지스터는, 경시 열화로 의한 임계전압 시프트를 억제하기 위해서, 게이트 전극에 부방향 전압을 인가하는 기간을 설치하는 것이 효과적인 것이다. 프리챠지 기간에 화소에 기록하는 전압을 구동 트랜지스터 12 및 114가 오프되는 전압보다 낮게 설정해 두면, 모든 구동 트랜지스터의 게이트 전압이 부방향 전압으로 되는 기간을 설치할 수 있어, 구동 트랜지스터의 경시 열화에 의한 임계전압 시프트를 저감할 수 있기 때문이다. 또한, 프리챠지 전압을 지나치게 낮게 해도, 소비 전력의 증대나 전원회로의 고비용화를 초래하므로, 프리챠지 전압은, 대향전극(18)의 전위와 같거나, 그것보다도 높은 것으로 설정하는 것이 바람직하다.

또한, 프리챠지회로(2701)는, 모든 구동 트랜지스터의 게이트 전극에 일정한 전압을 가하는 것이 목적이기 때문에, 회로 내부에 전기적 소자가 있을 필요는 없으며, 프리챠지 회로(2701)가 외부 입력 전원을 데이터선 S1~Sx에 전달하기 위한 배선이어야 된다.

다음에, 구동 트랜지스터의 게이트에 부방향 전압을 인가하는데에 적합한 화소 구성에 대해서, 도28을 사용하여 설명한다. 도28은, 게이트선 방향에 인접한 2개의 화소의 회로도로서, 도3에서 나타낸 화소회로에, 부방향 전압 인가용 트랜지스터(2800)가 추가되어 있는 구성이다. 부방향 전압 인가용 트랜지스터(2800)의 게이트 전극은, 1개 앞의 화소의 주사선에 접속되고, 부방향 전압 인가용 트랜지스터(2800)의 소스 또는 드레인 전극 중 한쪽은, 해당 화소의 주사선에 접속되며, 다른 쪽은 구동 트랜지스터(12)의 게이트 전극에 접속되어 있다.

도28에서 나타낸 화소는, 하등 특별한 구동방법을 이용하는 일 없이, 도3을 사용했을 때와 완전히 동일하게 동작하는 것만으로, 구동 트랜지스터(12)의 게이트 전극에 부방향의 전압을 인가하는 구동을 실현할 수 있다. 해당 화소의 트랜지스터(2800)는, 해당 화소의 1개 앞의 화소가 선택되는 타이밍으로 온이 된다. 그러면, 그 때의 해당 화소의 주사선 전위는 저전위이므로, 트랜지스터(2800)를 통해서, 구동 트랜지스터(12)의 게이트 전극의 전위는 저전위가 된다. 이때, 구동 트랜지스터(12)의 게이트 전극에 부방향의 전압이 인가된다. 해당 화소가 선택되었을 때에는, 트랜지스터(2800)의 게이트 전극의 전위는 저전위가 되고, 소스 또는 드레인 전극의 전위는 그것보다도 높은 전위가 된다. 따라서, 트랜지스터(2800)가 오프가 된다. 따라서, 해당 화소가 선택되었을 때는, 데이터의 기록이 행해지고, 트랜지스터(2800)는 기록의 동작을 방해하지 않는다. 이렇게 하여, 도28에 나타낸 화소를 사용하면, 기록 시간의 제약을 받는 않고, 더구나, 부전하 인가를 위한 특별한 주변 구동회로를 추가하지 않고, 트랜지스터의 신뢰성을 크게 높일 수 있다.

여기에서, 트랜지스터(2800)의 확실한 온·오프를 위해, 주사선의 저전위측 전위는 화소에 있는 전극이 취하는 전위 중에서 가장 낮고, 또한, 주사선의 고전위측 전위는 화소에 있는 전극이 취하는 전위 중에서 가장 높게 하는 것이 바람직하다.

이때, 도28에 나타낸 화소 회로의 취지는, 해당 화소에 데이터를 기록하기 전에 구동 트랜지스터(12)의 게이트 전극에 충분히 낮은 전위를 제공하는 것이므로, 그 취지에서 일탈하지 않는 한, 추가 설치되는 트랜지스터의 전극의 접속처는 어디라도 된다. 예를 들면, 트랜지스터(2800)의 게이트 전극의 접속처가 해당 화소의 2개 앞의 주사선이어도 되고, 또한, 전용으로 설치된 주사선이어도 된다. 또한, 트랜지스터(2800)의 소스 또는 드레인 전극의 한쪽은, 예를 들면, 대향전극에 접속되어 있어도 되고, 전원선에 접속되어 있어도 된다. 또한, 트랜지스터(2800)를 추가하는 원래의 화소는 당연히 도3에 도시된 것이 아니어도 상관없다. 예를 들면, 서브화소를 사용한 도23의 화소이어도 되고, 또한, 도24의 화소이어도 된다. 더구나, 소거용 트랜지스터를 추가한 도10의 화소이어도 되고, 게이트 전위를 고정한 트랜지스터를 추가한 도11, 도12의 화소이어도 된다. 데이터 기록 전에 구동 트랜지스터의 게이트 전극에 저전위를 기록한다고 하는 취지를 따르고 있으면 되며, 트랜지스터(2800)를 추가한 화소의 구성에 제한은 없다.

(실시예 10)

본 실시예에서는, 상기 실시예에서 나타낸 화소 회로를 갖는 패널 전체의 구성에 관하여 설명한다.

도13에 도시된 것과 같이, 본 발명의 발광장치는, 전술한 화소(10)가 매트릭스 모양으로 복수 배치된 화소부(40)과, 제 1 주사선 구동회로(41)과, 제 2 주사선 구동회로(42)과, 신호선 구동회로(43)을 갖는다. 제 1 주사선 구동회로(41)과 제 2 주사선 구동회로(42)은, 화소부(40)을 사이에 개재하여 서로 대향하도록 배치하거나, 화소부(40)의 상하 좌우의 4개의 방향 중 한쪽면에 배치하면 된다.

신호선 구동회로(43)는, 펠스 출력 회로(44), 래치(45) 및 선택 회로(46)을 갖는다. 래치(45)는 제 1 래치(47)과 제 2 래치(48)을 갖는다. 선택 회로(46)은, 스위칭 수단으로서 트랜지스터(49)와 아날로그 스위치(50)를 갖는다. 트랜지스터(49)와 아날로그 스위치(50)는, 신호선에 대응하여, 각 열에 설치되어 있다. 덧붙여, 본 실시예에서는, WE 신호의 반전 신호를 생성하기 위해서, 인버터(51)가 각 열에 설치되어 있다. 이때, 인버터(51)는, 외부에서 WE 신호의 반전 신호를 공급하는 경우에는 설치하지 않아도 된다.

트랜지스터(49)의 게이트 전극은 선택신호선(52)에 접속되고, 한쪽의 전극은 신호선에 접속되고, 다른쪽의 전극은 전원(53)에 접속된다. 아날로그 스위치(50)는, 제 2 래치(48)과 각 신호선의 사이에 설치된다. 즉, 아날로그 스위치(50)의 입력 단자는 제 2 래치(48)에 접속되고, 출력 단자는 신호선에 접속된다. 아날로그 스위치(50)의 2개의 제어 단자는 한쪽은 선택신호선(52)에 접속되고, 다른쪽은 인버터(51)를 거쳐서 선택신호선(52)에 접속된다. 전원(53)의 전위는, 화소가 갖는 구동용 트랜지스터(12)를 오프로 하는 전위이며, 구동용 트랜지스터(12)의 극성이 n채널형인 경우에는 전원(53)의 전위를 Low로 하고, 구동용 트랜지스터(12)가 p채널형인 경우에는 전원(53)의 전위를 High로 한다.

제 1 주사선 구동회로(41)는 펠스 출력 회로(54)와 선택 회로(55)을 갖는다. 제 2 주사선 구동회로(42)는 펠스 출력 회로(56)와 선택 회로(57)을 갖는다. 펠스 출력 회로 54, 56에는, 각각 스타트 펠스(G1SP, G2SP)가 입력된다. 또한, 펠스 출력 회로 54, 56에는 각각 클록 펠스(G1CK, G2CK)와, 그것의 반전 클록 펠스(G1CKB, G2CKB)가 입력된다.

선택 회로 55, 57은, 선택신호선(52)에 접속된다. 단, 제 2 주사선 구동회로(42)가 포함하는 선택 회로(57)는, 인버터(58)을 거쳐서 선택신호선(52)에 접속된다. 즉, 선택신호선(52)을 거쳐서, 선택 회로 55, 57에 입력되는 WE 신호는, 서로 반전된 관계에 있다.

선택 회로 55, 57의 각각은 트라이스테йт 버퍼를 갖는다. 트라이스테йт 버퍼는, 선택신호선(52)으로부터 전달되는 신호가 H 레벨일 때에 동작 상태가 되고, L 레벨일 때에 하이 임피던스 상태가 된다. 신호선 구동회로(43)가 포함하는 펠스 출력 회로(44), 제 1 주사선 구동회로(41)가 포함하는 펠스 출력 회로(54), 제 2 주사선 구동회로(42)가 포함하는 펠스 출력 회로(56)은, 복수의 플립플롭회로를 포함하는 시프트 레지스터나 디코더 회로를 갖는다. 펠스 출력 회로 44, 54, 56로서, 디코더 회로를 적용하면, 신호선 또는 주사선을 랜덤하게 선택할 수 있으며, 이에 따라 시간계조방식을 적용했을 경우에 생기는 유사윤곽의 발생을 억제할 수 있다.

이때, 신호선 구동회로(43)의 구성은 상기한 기재에 한정받지 않고, 레벨 시프터나 버퍼를 추가로 형성해도 된다. 또한, 제 1 주사선 구동회로(41)과 제 2 주사선 구동회로(42)의 구성도 상기한 기재에 제약받지 않고, 레벨 시프터나 버퍼를 추가로 형성해도 된다. 또한, 신호선 구동회로(43), 제 1 주사선 구동회로(41) 및 제 2 주사선 구동회로(42)는, 각각 보호 회로를 가져도 된다.

또한, 본 발명에 있어서, 보호 회로를 설치해도 된다. 보호 회로는, 복수의 저항소자를 갖도록 형성할 수 있다. 예를 들면, 복수의 저항소자로서, p채널형의 트랜지스터를 사용할 수 있다. 보호 회로는, 신호선 구동회로(43), 제 1 주사선 구동회로(41), 또는 제 2 주사선 구동회로(42)에 각각 설치할 수 있다. 바람직하게는, 보호회로는 화소부(40)와 신호선 구동회로(43), 제 1 주사선 구동회로(41) 또는 제 2 주사선 구동회로(42) 사이에 설치하면 된다. 이러한 보호 회로에 의해, 정전기에 기인한 소자의 열화나 파괴를 억제할 수 있다.

또한, 본 실시예에 있어서, 표시장치는 전원제어회로(63)를 갖는다. 전원제어회로(63)는, 콘트롤러(62)와, 발광소자(13)에 전원을 공급하는 전원회로(61)를 갖는다. 전원회로(61)는, 제 1 전원(17)을 갖고, 제 1 전원(17)은 구동용 트랜지스터(12)과 전원선 Vx을 거쳐서 발광소자(13)의 화소전극에 접속된다. 또한, 전원회로(61)는, 제 2 전원(18)을 갖고, 제 2 전원(18)은 대향전극에 접속되는 전원선을 거쳐서 발광소자(13)에 접속되어 있다.

이러한 전원회로(61)는, 발광소자(13)에 순방향 전압을 인가하여, 발광소자(13)에 전류를 흘려보내서 발광시킬 때에는, 제 1 전원(17)의 전위가 제 2 전원(18)의 전위보다도 높아지도록 설정한다. 한편, 발광소자(13)에 역 바이어스 전압을 인가할 때에는, 제 1 전원(17)의 전위가 제 2 전원(18)의 전위보다도 낮아지도록 설정한다. 이러한 전원의 설정은 콘트롤러(62)로부터 전원회로(61)에 소정의 신호를 공급함으로써 행할 수 있다.

또한, 본 실시예에 있어서, 표시장치는 모니터회로(64)와 제어회로(65)을 갖는 것을 특징으로 한다. 제어회로(65)는 정전류원(105)과 버퍼 앰프 회로(110)를 갖는다. 또한, 모니터 회로(64)는, 모니터용 발광소자(66), 모니터 제어용 트랜지스터(111) 및 인버터(112)를 갖는다.

제어회로(65)는, 모니터 회로(64)의 출력에 근거하여, 전원전위를 보정하는 신호를, 전원제어회로(63)에 공급한다. 전원제어회로(63)는, 제어회로(65)에서 공급되는 신호에 근거하여, 화소부(40)에 공급하는 전원 전위를 보정한다. 상기 구성을 갖는 본 발명의 표시장치는, 환경온도의 변화나 경시 열화에 기인한 전류값의 변동을 억제하여, 신뢰성을 향상시킬 수 있다. 더구나, 모니터 제어용 트랜지스터(111) 및 인버터(112)에 의해, 쇼트된 모니터용 발광소자(66)에, 정전류원(105)으로부터의 전류가 흐르는 것을 방지할 수 있어, 정확한 전류값의 변동을 발광소자(13)에 공급할 수 있다.

(실시예 11)

본 실시예에서는, 상기 구성을 갖는 본 발명의 표시장치의 동작에 대해서 도면을 참조해서 설명한다.

우선, 신호선 구동회로(43)의 동작에 대해서 도15a를 사용하여 설명한다. 펄스 출력 회로(44)에는, 클록 신호(이하 SCK로 표기), 클록 반전 신호(이하 SCCKB로 표기) 및 스타트 펄스(이하 SSP로 표기)가 입력되고, 이들 신호의 타이밍에 따라, 제1 래치(47)에 샘플링 펄스를 출력한다. 데이터가 입력되는 제1 래치(47)은, 샘플링 펄스가 입력되는 타이밍에 따라, 1열 째로부터 최종열째까지 비디오 신호를 유지한다. 제2 래치(48)은, 래치 펄스가 입력되면, 제1 래치(47)에 유지되어 있었던 비디오 신호를, 일제히 제2 래치(48)에 전송한다.

여기에서, 선택신호선(52)으로부터 전달되는 WE 신호가 L 레벨일 때를 기간 T1으로 하고, WE 신호가 H 레벨일 때를 기간 T2로 하여, 각 기간에 있어서의 선택 회로(46)의 동작에 관하여 설명한다. 기간 T1, T2은 수평주사기간의 절반의 기간에 해당하며, 기간 T1을 제1 서브 게이트 선택 기간, 기간 T2을 제2 서브 게이트 선택 기간으로 부른다.

기간 T1(제1 서브 게이트 선택 기간)에 있어서, 선택신호선(52)으로부터 전달되는 WE 신호는 L 레벨로서, 트랜지스터(49)는 온 상태, 아날로그 스위치(50)는 비도통 상태가 된다. 그러면, 복수의 데이터선 S1~Sn은, 각 열에 배치된 트랜지스터(49)를 거쳐서 전원(53)과 전기적으로 접속된다. 즉, 복수의 데이터선 Sx는 전원(53)과 같은 전위가 된다. 이때, 선택된 화소(10)가 갖는 스위칭용 트랜지스터(11)는 온이 되어, 해당 스위칭용 트랜지스터(11)를 거쳐서 전원(53)의 전위가 구동용 트랜지스터(12)의 게이트 전극에 전달된다. 그러면, 구동용 트랜지스터(12)는 오프 상태가 되어, 발광소자(13)가 갖는 양 전극 사이에는 전류가 흐르지 않아 비발광이 된다. 이와 같이, 신호선 Sx 입력되는 비디오 신호의 상태에 관계없이, 전원(53)의 전위가 구동용 트랜지스터(12)의 게이트 전극에 전달되어, 해당 스위칭용 트랜지스터(11)가 오프 상태가 되고, 발광소자(13)가 강제적으로 비발광이 되는 동작이 소거 동작이다. 이때, 전원(53)의 전위를, 화소의 구동 트랜지스터가 오프되는 방향으로 충분히 크게 하면, 데이터 기록시와 비교해서 역의 바이어스 전압이 구동 트랜지스터의 게이트 전극에 인가되므로, 트랜지스터의 신뢰성이 높아지므로 바람직하다.

기간 T2(제2 서브 게이트 선택 기간)에 있어서, 선택신호선(52)으로부터 전달되는 WE 신호는 H 레벨로서, 트랜지스터(49)는 오프 상태, 아날로그 스위치(50)는 도통 상태가 된다. 그러면, 제2 래치(48)에 유지된 비디오 신호는, 1행분이 동시에 각 신호선 Sx에 전달된다. 이때, 화소(10)가 포함하는 스위칭용 트랜지스터(11)은 온이 되어, 해당 스위칭용 트랜지스터(11)를 거쳐서 비디오 신호가 구동용 트랜지스터(12)의 게이트 전극에 전달된다. 그러면, 입력된 비디오 신호에 따라, 구동용 트랜지스터(12)은 온 또는 오프가 되어, 발광소자(13)가 갖는 제1 및 제2 전극은 서로 다른 전위 또는 같은 전위가 된다. 더욱 상세하게는, 구동용 트랜지스터(12)가 온이 되면, 발광소자(13)가 갖는 제1 및 제2 전극은 서로 다른 전위가 되어, 발광소자(13)에 전류가 흘러, 점등한다. 이때, 발광소자(13)에 흐르는 전류는, 구동용 트랜지스터(12)의 소스와 드레인 사이에 흐르는 전류와 같다.

한편, 구동용 트랜지스터(12)가 오프가 되면, 발광소자(13)가 갖는 제1 및 제2 전극은 같은 전위가 되어, 발광소자(13)에 전류는 흐르지 않는다. 즉, 발광소자(13)은 비발광이 된다. 이렇게, 비디오 신호에 따라, 구동용 트랜지스터(12)가 온 상태 또는 오프 상태가 되어, 발광소자(13)가 갖는 제1 및 제2 전극의 전위가 서로 다른 전위 또는 같은 전위가 되는 동작이 기록 동작이다.

다음에, 제1 주사선 구동회로(41) 및 제2 주사선 구동회로(42)의 동작에 관하여 설명한다. 펄스 출력 회로(54)에는, G1CK, G1CKB, G1SP이 입력되고, 이들 신호의 타이밍에 따라, 선택 회로(55)에 순차적으로 펄스를 출력한다. 한편, 펄

스 출력 회로(56)에는, G2CK, G2CKB, G2SP가 입력되고, 이를 신호의 타이밍에 따라, 선택 회로(57)에 순차적으로 펠스를 출력한다. 도15b에는, i행째, j행째, k행째, p행째($i, j, k, p \leq n$)의 각 열의 선택 회로(55, 57)에 공급되는 펠스의 전위를 나타낸다.

여기에서, 신호선 구동회로 43의 동작의 설명과 유사하게, 선택신호선(52)에서 전달되는 WE 신호가 L 레벨일 때를 기간 T1으로 하고, WE 신호가 H 레벨일 때를 기간 T2로 하여, 각 기간에 있어서의 제 1 주사선 구동회로(41)가 포함하는 선택 회로(55)과, 제 2 주사선 구동회로(42)가 포함하는 선택 회로(57)의 동작에 관하여 설명한다. 또한, 도15b의 타이밍 차트에서는, 제 1 주사선 구동회로(41)로부터 신호가 전달된 게이트선 Gy(y 는 자연수, $1 \leq y \leq n$)의 전위를 VGy(41)로 표기하고, 제 2 주사선 구동회로(42)로부터 신호가 전달된 게이트선의 전위를 VGy(42)로 표기한다. 그리고, VGy(41)과 VGy(42)은, 동일한 게이트선 Gy에 의해 공급할 수 있다.

기간 T1(제 1 서브 게이트 선택 기간)에 있어서, 선택신호선(52)에서 전달되는 WE 신호는 L 레벨이다. 그러면, 제 1 주사선 구동회로(41)가 포함하는 선택 회로(55)에는, L 레벨의 WE 신호가 입력되어, 선택 회로(55)은 부정 상태(floating state)가 된다. 한편, 제 2 주사선 구동회로(42)가 포함하는 선택 회로(57)에는, WE 신호가 반전된 H 레벨의 신호가 입력되어, 선택 회로(57)은 동작 상태가 된다. 즉, 선택 회로(57)은 H 레벨의 신호(행 선택신호)를 i행째의 게이트선 Gi에 전달하고, 게이트선 Gi는 H레벨의 신호와 같은 전위가 된다. 즉, 제 2 주사선 구동회로(42)에 의해 i행째의 게이트선 Gi가 선택된다. 그 결과, 화소(10)가 포함하는 스위칭용 트랜지스터(11)은 온 상태가 된다. 그리고, 신호선 구동회로(43)가 포함하는 전원(53)의 전위가 구동용 트랜지스터(12)의 게이트 전극에 전달되어, 구동용 트랜지스터(12)은 오프 상태가 되고, 발광소자(13)의 양 전극의 전위는 같은 전위가 된다. 즉, 이 기간 T1에서는, 발광소자(13)가 비발광이 되는 소거 동작이 행해진다.

기간 T2(제 2 서브 게이트 선택 기간)에 있어서, 선택신호선(52)에서 전달되는 WE 신호는 H 레벨이다. 그러면, 제 1 주사선 구동회로(41)가 포함하는 선택 회로(55)에는, H 레벨의 WE 신호가 입력되어, 선택 회로(55)은 동작 상태가 된다. 즉, 선택 회로(55)는 H 레벨의 신호를 i행째의 게이트선 Gi에 전달하여, 게이트선 Gi는 H 레벨의 신호와 같은 전위가 된다. 즉, 제 1 주사선 구동회로(41)에 의해, i행째의 게이트선 Gi가 선택된다. 그 결과, 화소(10)가 포함하는 스위칭용 트랜지스터(11)은 온 상태가 된다. 그리고, 신호선 구동회로(43)가 포함하는 제 2 래치(48)로부터 비디오 신호가 구동용 트랜지스터(12)의 게이트 전극에 전달되어, 구동용 트랜지스터(12)은 온 상태 또는 오프 상태가 되어, 발광소자(13)가 포함하는 2개의 전극의 전위는 서로 다른 전위 또는 같은 전위가 된다. 즉, 이 기간 T2에서는, 발광소자(13)는 발광 또는 비발광이 되는 기록 동작이 행해진다. 한편, 제 2 주사선 구동회로(42)가 포함하는 선택 회로(57)에는 L 레벨의 신호가 입력되어, 선택회로(57)가 부정 상태가 된다.

이와 같이, 게이트선 Gy는, 기간 T1(제 1 서브 게이트 선택 기간)에 있어서 제 2 주사선 구동회로(42)에 의해 선택되고, 기간 T2(제 2 서브 게이트 선택 기간)에 있어서 제 2 주사선 구동회로(42)에 의해 선택된다. 즉, 게이트선은, 제 1 주사선 구동회로(41)과 제 2 주사선 구동회로(42)에 의해 상보적으로 제어된다. 그리고, 제 1 및 제 2 서브 게이트 선택 기간에 있어서, 한쪽에서 소거 동작을 행하고, 다른쪽에서 기록 동작을 행한다.

또한, 제 1 주사선 구동회로(41)가 i행째의 게이트선 Gi를 선택하는 기간에서는, 제 2 주사선 구동회로(42)는 동작하고 있지 않는 상태(선택 회로(57)가 부정 상태), 또는 i행째를 제외한 다른 행의 게이트선에 행 선택신호를 전달한다. 마찬가지로, 제 2 주사선 구동회로(42)가 i행째의 게이트선 Gi에 행 선택신호를 전달하는 기간은, 제 1 주사선 구동회로(41)는 부정 상태, 또는 i행째를 제외한 다른 행의 게이트선에 행 선택신호를 전달한다.

또한, 상기와 같은 동작을 행하는 본 발명은, 발광소자(13)를 강제적으로 오프로 할 수 있으므로, 듀티비의 향상을 실현한다. 더구나, 발광소자(13)를 강제적으로 오프로 할 수 있는 것에 관계없이, 용량소자(16)의 전하를 방전하는 TFT를 설치할 필요가 없기 때문에, 고개구율을 실현한다. 고개구율을 실현하면, 발광 면적의 증가에 따라 발광소자의 휘도를 낮출 수 있다. 즉, 구동전압을 낮출 수 있기 때문에 소비 전력을 삭감할 수 있다.

이때, 본 발명은, 게이트 선택 기간을 2분할하는 상기한 실시예에 한정되지 않는다. 게이트 선택 기간을 3개 이상으로 분할해도 된다.

(실시예 12)

본 발명은, 정전류 구동을 행하는 표시장치에도 적용할 수 있다. 본 실시예에서는, 모니터용 발광소자(66)를 사용해서 경시 변화의 정도를 검출하는 경우의 구성을 설명한다. 이 검출 결과를 기초로, 비디오 신호 또는 전원 전위를 보정함으로써, 발광소자의 경시 변화를 보상한다.

본 실시예는 제 1 및 제 2 모니터용 발광소자를 설치한다. 제 1 모니터용 발광소자에는 제 1 정전류원으로부터 일정한 전류가 공급되고, 제 2 모니터용 발광소자에는 제 2 정전류원으로부터 일정한 전류가 공급된다. 제 1 정전류원으로부터 공급되는 전류값과, 제 2 정전류원으로부터 공급되는 전류값을 바꿈으로써 제 1 및 제 2 모니터용 발광소자에 흐르는 총 전류량을 다르게 할 수 있다. 그러면, 제 1 및 제 2 모니터용 발광소자의 사이에는 경시 변화의 차이가 생긴다.

제 1 및 제 2 모니터용 발광소자는 연산회로에 접속되어 있다. 연산 회로에서는, 제 1 모니터용 발광소자와, 제 2 모니터용 발광소자의 전위의 차이를 산출한다. 연산회로에서 산출된 전압값은 비디오 신호 발생 회로에 공급된다. 비디오 신호 발생 회로에서는, 연산 회로에서 공급되는 전압값을 기초로, 각 화소에 공급하는 비디오 신호를 보정한다. 상기 구성에 의해, 발광소자의 경시 변화를 보상할 수 있다. 또한, 각 모니터용 발광소자와 각 연산회로의 사이에는, 버퍼 앤프 회로 등의 전위의 변동을 방지하는 회로를 설치하면 된다. 본 실시예에 있어서, 정전류 구동을 행하는 구성을 갖는 화소로서는, 예를 들면, 커런트 미러 회로를 사용한 화소 등을 사용할 수 있다.

(실시예 13)

본 발명은, 패시브 매트릭스 형태의 표시장치에 적용할 수 있다. 패시브 매트릭스형의 표시장치는, 기판 위에 형성된 화소부와, 상기 화소부의 주변에 배치된 칼럼 신호선 구동회로, 로우 신호선 구동회로, 구동회로를 제어하는 콘트롤러를 갖는다. 화소부는, 열 방향으로 배치된 각 칼럼 신호선, 행 방향으로 배치된 로우 신호선, 및 매트릭스 모양으로 배치된 복수의 발광소자를 갖는다. 이 화소부가 형성된 기판 위에는 모니터 회로(64)를 설치할 수 있다.

본 실시예의 표시장치에서는, 모니터 회로(64)를 사용하여, 칼럼 신호선 구동회로에 입력되는 화상 데이터와 정전압원으로부터 발생되는 전압을, 온도 변화 및 경시 변화에 따라 보정할 수 있다. 이에 따라, 온도변화 및 경시 변화의 양자에 기인하는 영향이 저감된 표시장치를 제공할 수 있다.

(실시예 14)

발광소자를 포함하는 화소부를 구비한 전자기기로서, 텔레비전 장치(간단히 TV 또는 텔레비전 수상기라고도 부른다), 디지털 카메라와 디지털 비디오 카메라 등의 카메라, 휴대전화장치(간단히 휴대전화기, 휴대전화라고도 부른다), PDA 등의 휴대정보단말, 휴대형 게임기, 컴퓨터용의 모니터, 컴퓨터, 카 오디오 등의 음향재생장치, 가정용 게임기 등의 기록 매체를 구비한 화상재생장치 등을 들 수 있다. 그것의 구체적인 예에 대해서, 도16a 내지 도 16f를 참조해서 설명한다.

도16a에 나타낸 휴대 정보단말기기는, 본체(9201), 표시부(9202) 등을 포함하고 있다. 표시부(9202)는, 본 발명의 표시장치를 적용할 수 있다. 즉, 모니터용 발광소자를 사용해서 발광소자에 제공하는 전원전위를 보정하는 본 발명에 의해, 환경온도의 변화와 경시 변화에 기인한 발광소자의 전류값의 변동에 의한 영향을 억제한 휴대 정보단말기기를 제공할 수 있다.

도16b에 나타낸 디지털 비디오 카메라는, 표시부 9701, 표시부 9702 등을 포함하고 있다. 표시부 9701은 본 발명의 표시장치를 적용할 수 있다. 모니터용 발광소자를 사용해서 발광소자에 제공하는 전원전위를 보정하는 본 발명에 의해, 환경온도의 변화와 경시 변화에게 기인한 발광소자의 전류값의 변동에 의한 영향을 억제한 디지털 비디오 카메라를 제공할 수 있다.

도16c에 나타낸 휴대전화기는, 본체(9101), 표시부(9102) 등을 포함하고 있다. 표시부(9102)는, 본 발명의 표시장치를 적용할 수 있다. 모니터용 발광소자를 사용해서 발광소자에 제공하는 전원전위를 보정하는 본 발명에 의해, 환경온도의 변화와 경시 변화에게 기인한 발광소자의 전류값의 변동에 의한 영향을 억제한 휴대전화기를 제공할 수 있다.

도16d에 나타낸 휴대형의 텔레비전 장치는, 본체(9301), 표시부(9302) 등을 포함하고 있다. 표시부(9302)는, 본 발명의 표시장치를 적용할 수 있다. 모니터용 발광소자를 사용해서 발광소자에 제공하는 전원전위를 보정하는 본 발명에 의해, 환경온도의 변화와 경시 변화에게 기인한 발광소자의 전류값의 변동에 의한 영향을 억제한 휴대형의 텔레비전 장치를 제공할 수 있다. 또한, 텔레비전 장치로서는 휴대전화기 등의 휴대 단말에 탑재하는 소형의 것부터, 갖고 다닐 수 있는 중형의 것, 또한, 대형의 것(예를 들면, 40인치 이상)까지, 폭넓은 것에, 본 발명의 표시장치를 적용할 수 있다.

도16e에 나타낸 휴대형의 컴퓨터는, 본체(9401), 표시부(9402) 등을 포함하고 있다. 표시부(9402)은, 본 발명의 표시장치를 적용할 수 있다. 모니터용 발광소자를 사용해서 발광소자에 제공하는 전원전위를 보정하는 본 발명에 의해, 환경온도의 변화와 경시 변화에 기인한 발광소자의 전류값의 변동에 의한 영향을 억제한 휴대형 컴퓨터를 제공할 수 있다.

도16f에 나타낸 텔레비전 장치는, 본체(9501), 표시부(9502) 등을 포함하고 있다. 표시부(9502)는, 본 발명의 표시장치를 적용할 수 있다. 모니터용 발광소자를 사용해서 발광소자에 제공하는 전원전위를 보정하는 본 발명에 의해, 환경온도의 변화와 경시 변화에 기인한 발광소자의 전류값의 변동에 의한 영향을 억제한 텔레비전장치를 제공할 수 있다.

본 출원은 2005년 7월 4일자 일본 특허청에 출원된 일본특허출원 2005-194600에 기초한 것으로, 본 출원의 전체 내용은 참조를 위해 본 명세서 내부에 포함된다.

발명의 효과

화소에 설치한 발광소자와 같은 구성을 갖는 모니터용 발광소자를 설치함으로써, 환경온도의 변화나 경시 열화에 의한 휙도 격차를 억제할 수 있다. 그것에 의해, 화질의 향상 혹은 안정화를 피할 수 있다.

도면의 간단한 설명

도1은 본 발명의 표시장치를 나타낸 도면이다.

도2는 본 발명의 표시장치를 나타낸 도면이다.

도3은 본 발명의 화소의 등가회로를 나타낸 도면이다.

도4는 본 발명의 화소의 배치를 나타낸 도면이다.

도5는 본 발명의 화소의 단면을 나타낸 도면이다.

도6a 및 도 6b는 본 발명의 모니터 회로를 나타낸 도면이다.

도7a 및 도 7b는 본 발명의 모니터 회로를 나타낸 도면이다.

도8a 및 도 8b는 본 발명의 모니터 회로를 나타낸 도면이다.

도9a 및 도 9b는 본 발명의 타이밍 채트를 나타낸 도면이다.

도10은 본 발명의 화소의 등가회로를 나타낸 도면이다.

도11a 내지 도 11c는 본 발명의 화소의 등가회로를 나타낸 도면이다.

도12는 본 발명의 화소의 등가회로를 나타낸 도면이다.

도13은 본 발명의 패널을 나타낸 도면이다.

도14는 본 발명의 타이밍 채트를 나타낸 도면이다.

도15a 및 도 15b는 본 발명의 타이밍 채트를 나타낸 도면이다.

도16a 내지 도 16f는 본 발명의 전자기기를 나타낸 도면이다.

도17a 내지 도 17c는 본 발명을 적용할 수 있는 표시장치의 일례를 나타낸 도면이다.

도18a 및 도 18b는 본 발명을 적용할 수 있는 표시장치의 일례를 나타낸 도면이다.

도19a 및 도 19b는 본 발명을 적용할 수 있는 표시장치의 일례를 나타낸 도면이다.

도20a 및 도 20b는 본 발명을 적용할 수 있는 표시장치의 일례를 나타낸 도면이다.

도21은 본 발명을 적용할 수 있는 표시장치의 일례를 나타낸 도면이다.

도22a 내지 도 22e는 본 발명을 적용할 수 있는 표시장치의 일례를 나타낸 도면이다.

도 23a 및 도 23b는 본 발명의 화소의 등가회로를 나타낸 도면이다.

도24a 및 도 24b는 본 발명의 화소의 등가회로를 나타낸 도면이다.

도25a 및 도 25b는 본 발명의 표시장치를 나타낸 도면이다.

도26a 및 도 26b는 본 발명의 표시장치를 나타낸 도면이다.

도27은 본 발명의 표시장치를 나타낸 도면이다.

도28은 구동 트랜지스터의 게이트에 부방향 전압을 인가하는데에 적합한 화소 구성을 설명하는 도면이다.

도29는 본 발명의 표시 패널의 구성을 설명하는 도면이다.

도30은 본 발명의 표시 패널의 서브화소의 구성을 설명하는 도면이다.

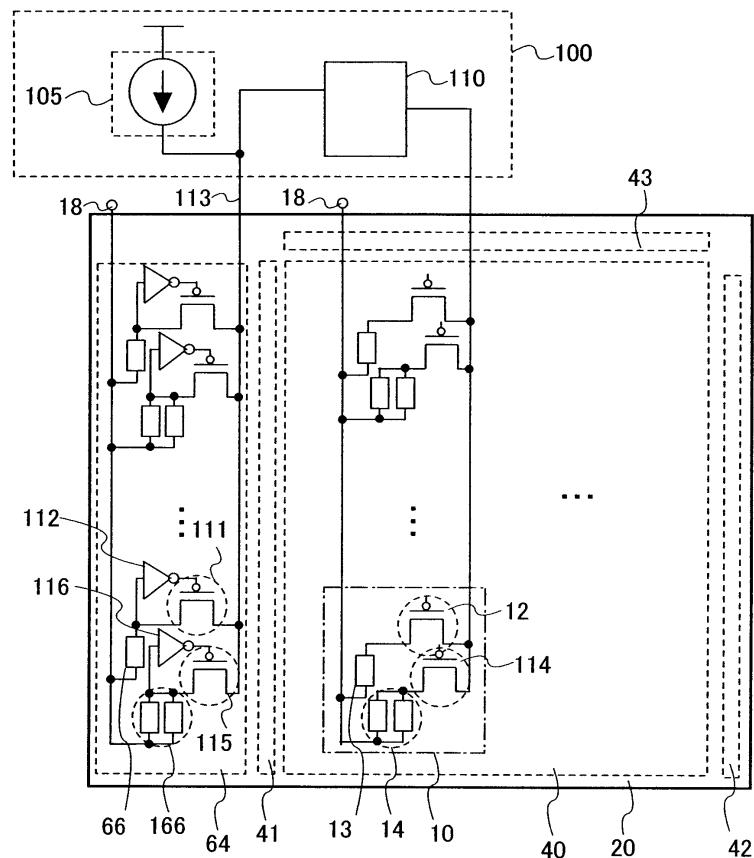
도31은 본 발명의 표시 패널의 서브화소의 구성을 설명하는 도면이다.

도32는 EL층을 형성하기 위한 증착 장치의 구성을 도시한 도면이다.

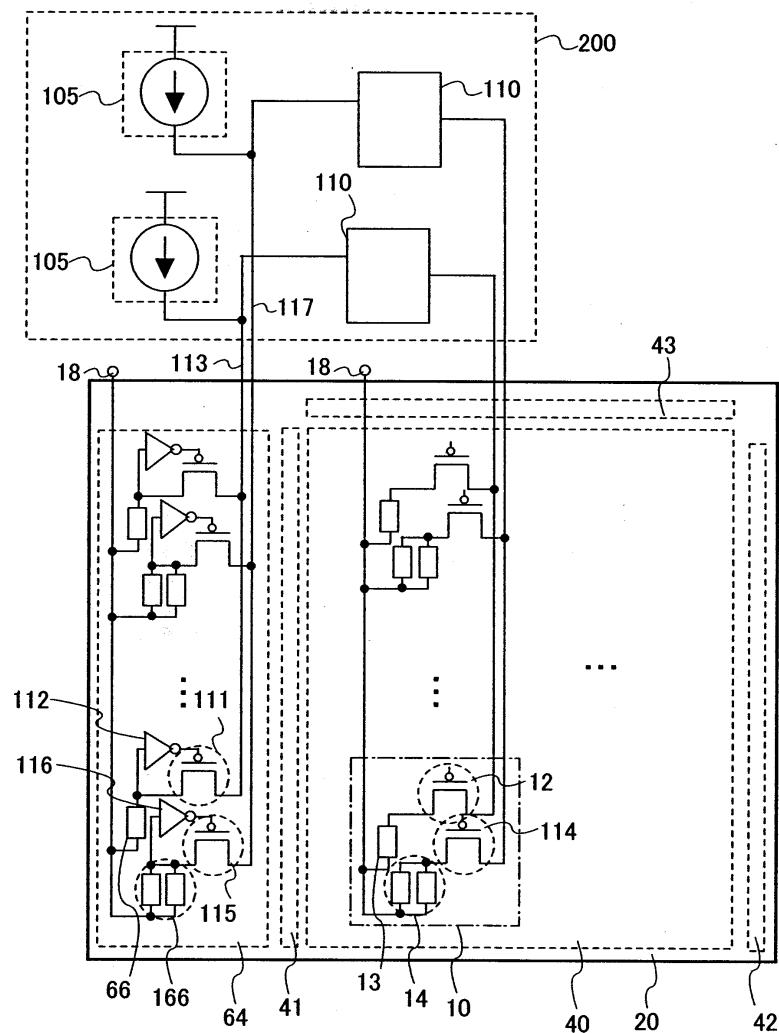
도33은 EL층을 형성하기 위한 증착 장치의 구성을 나타낸 도면이다.

도면

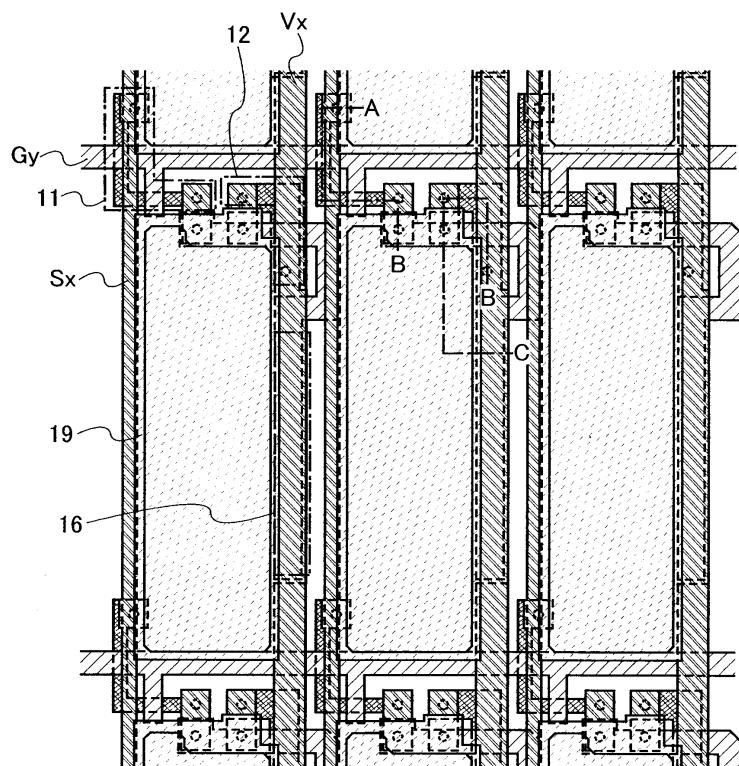
도면1



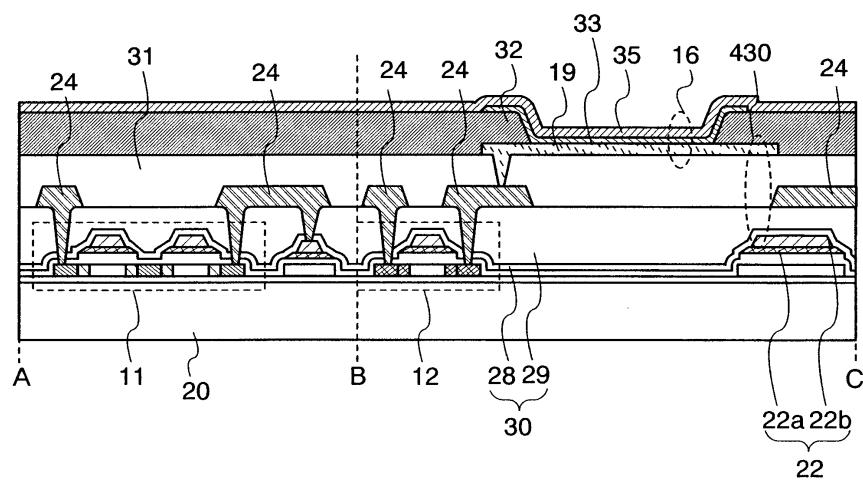
도면2



도면4

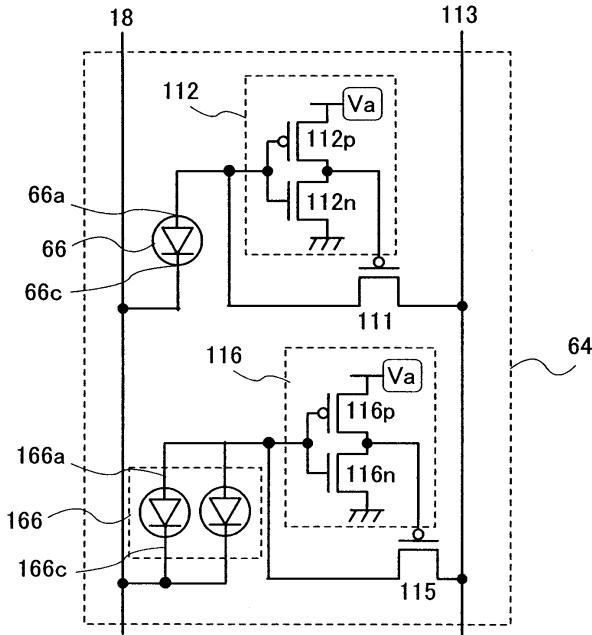


도면5

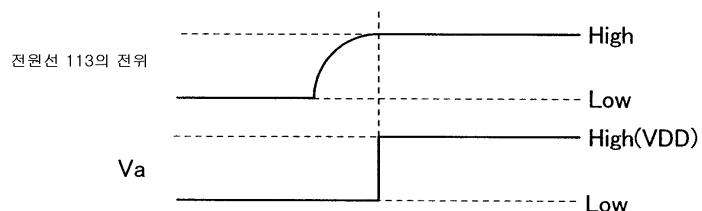


도면6

(a)

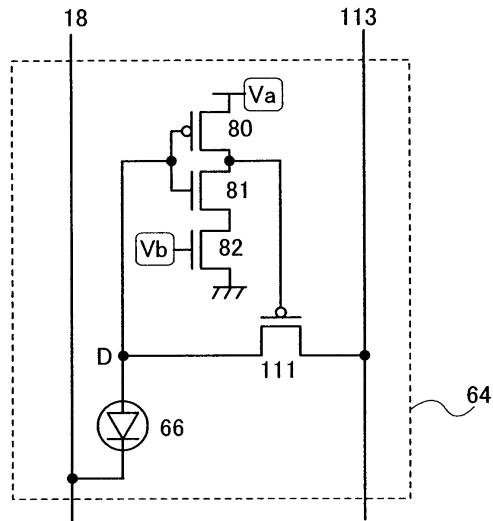


(b)

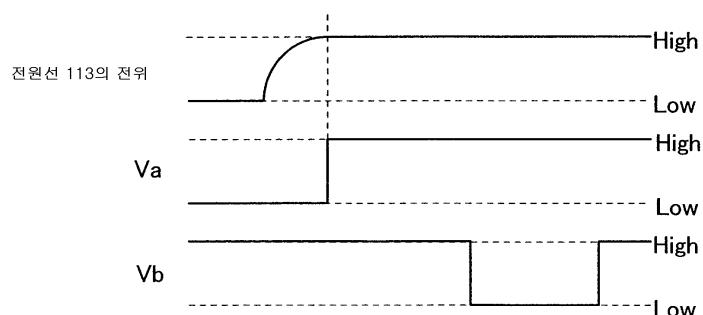


도면7

(a)

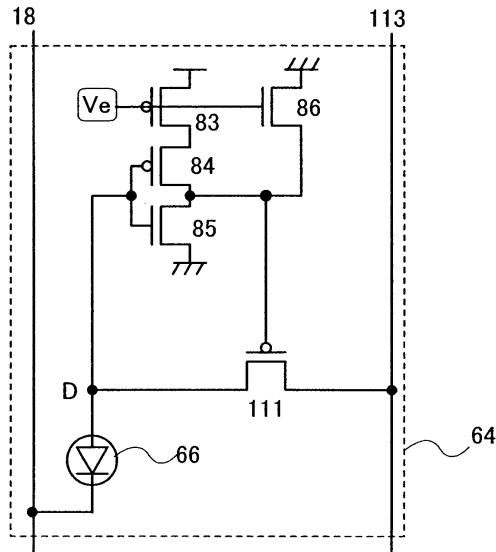


(b)

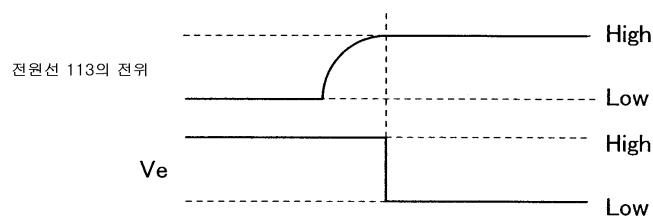


도면8

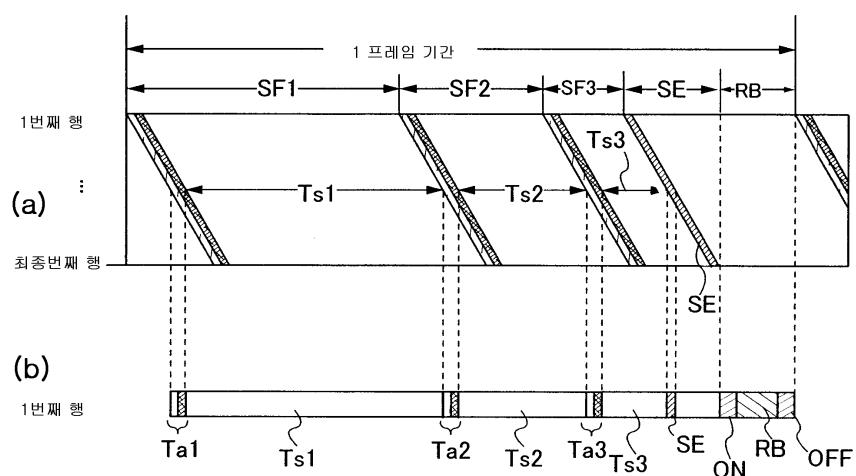
(a)



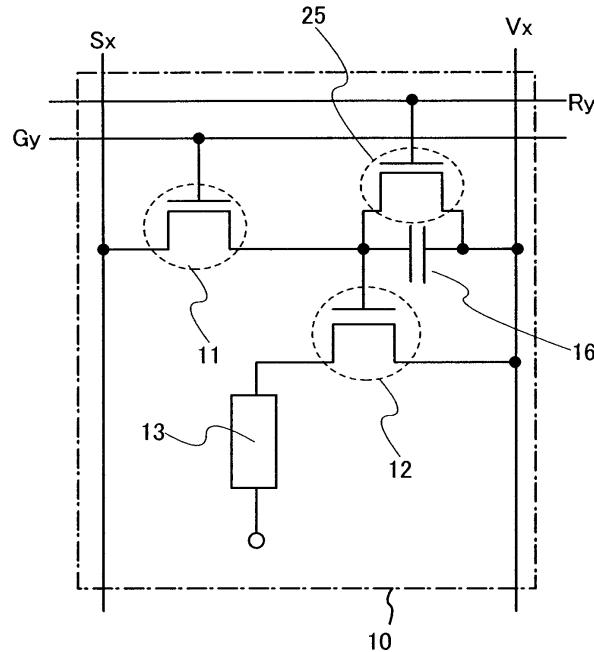
(b)



도면9

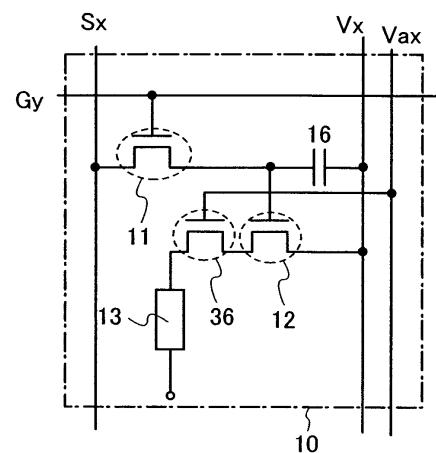


도면10

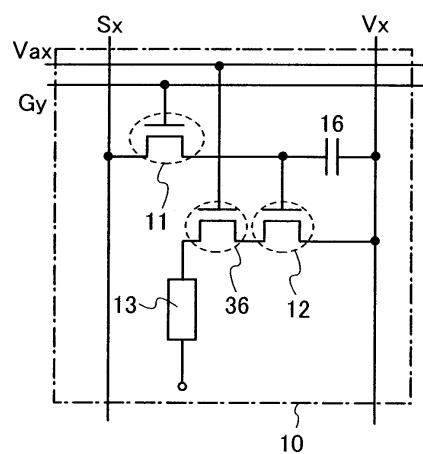


도면11

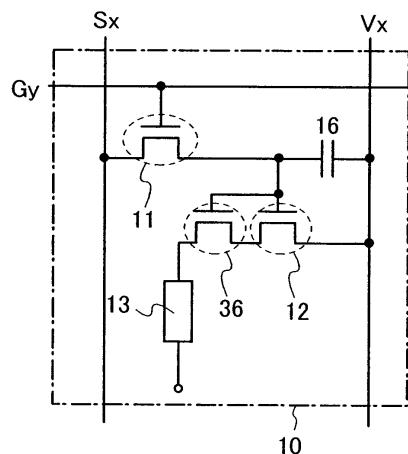
(a)



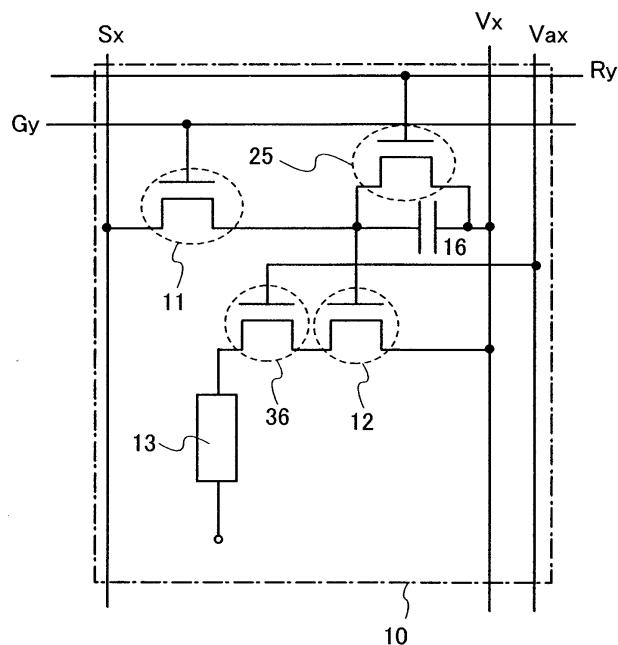
(b)



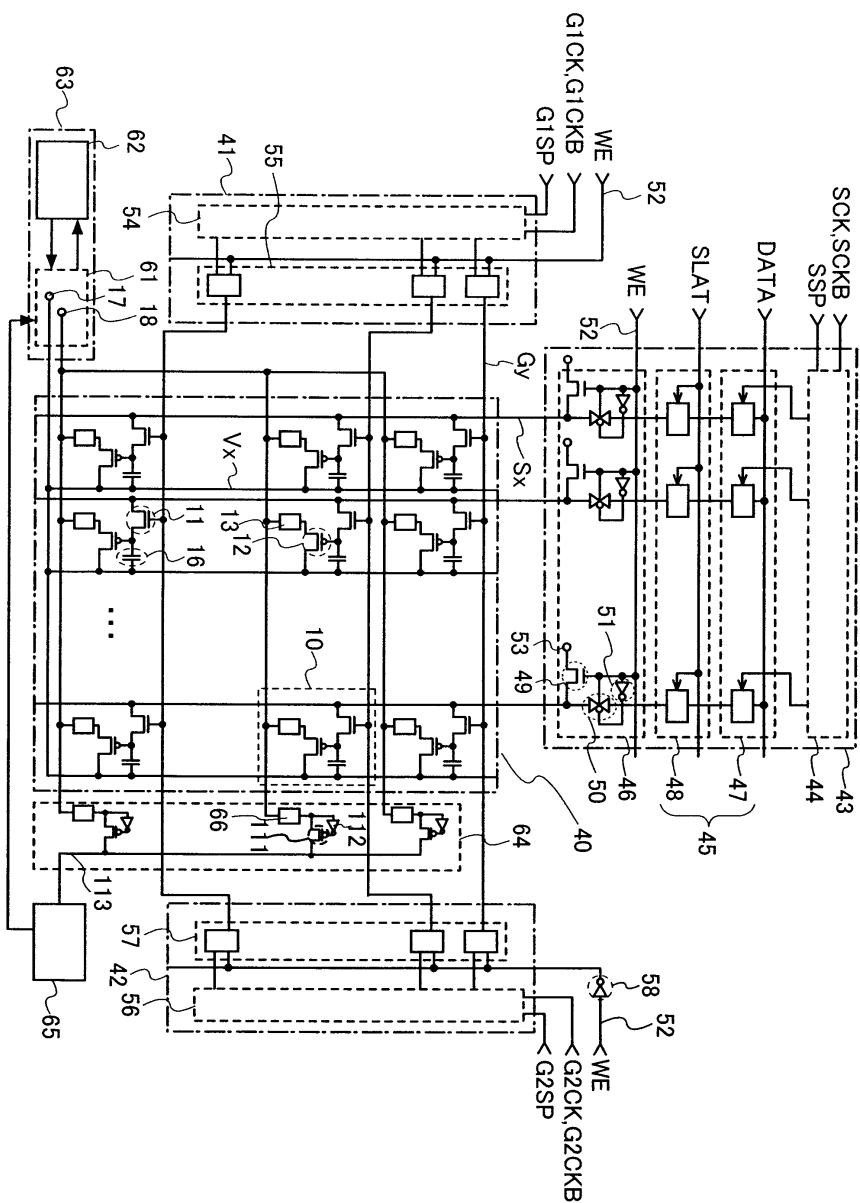
(c)



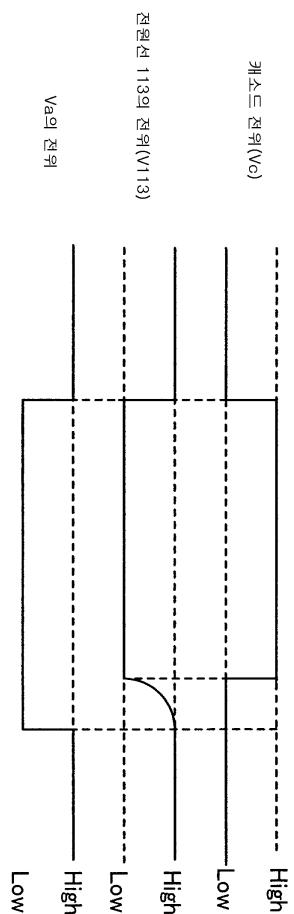
도면12



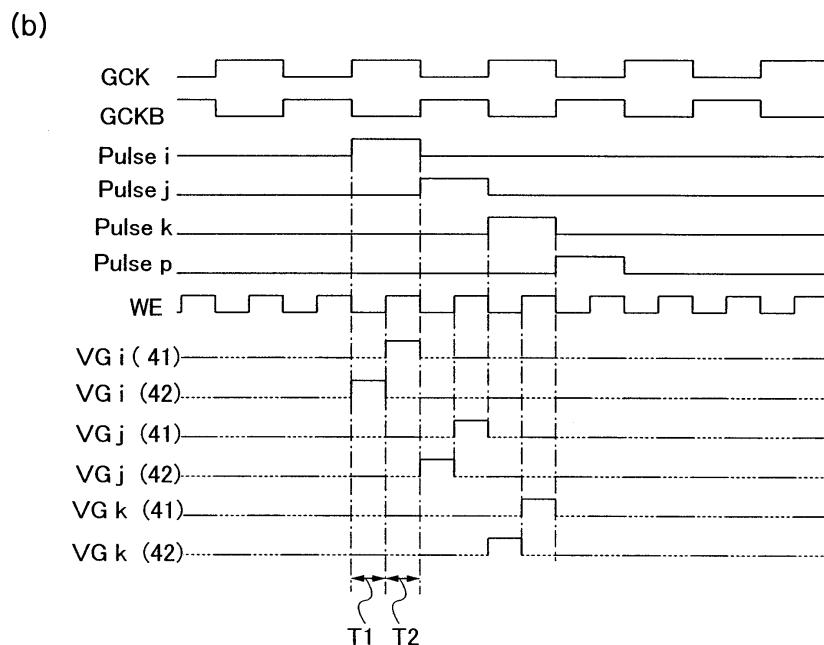
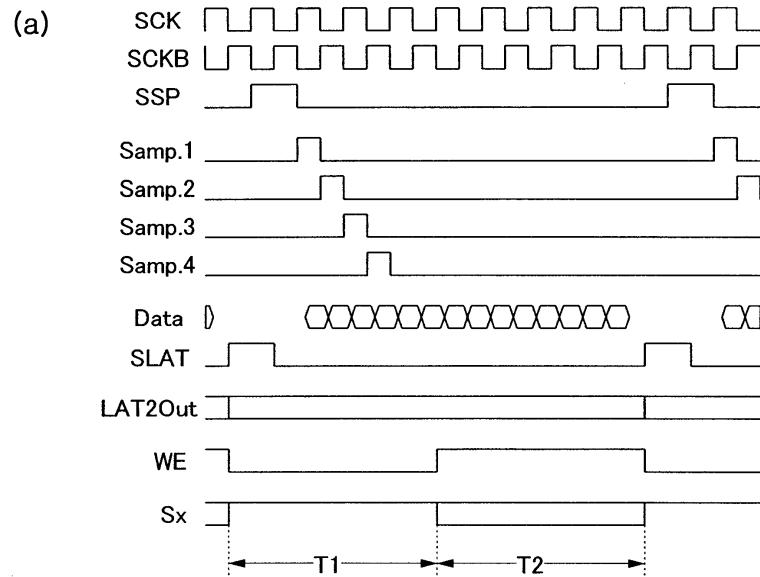
도면13



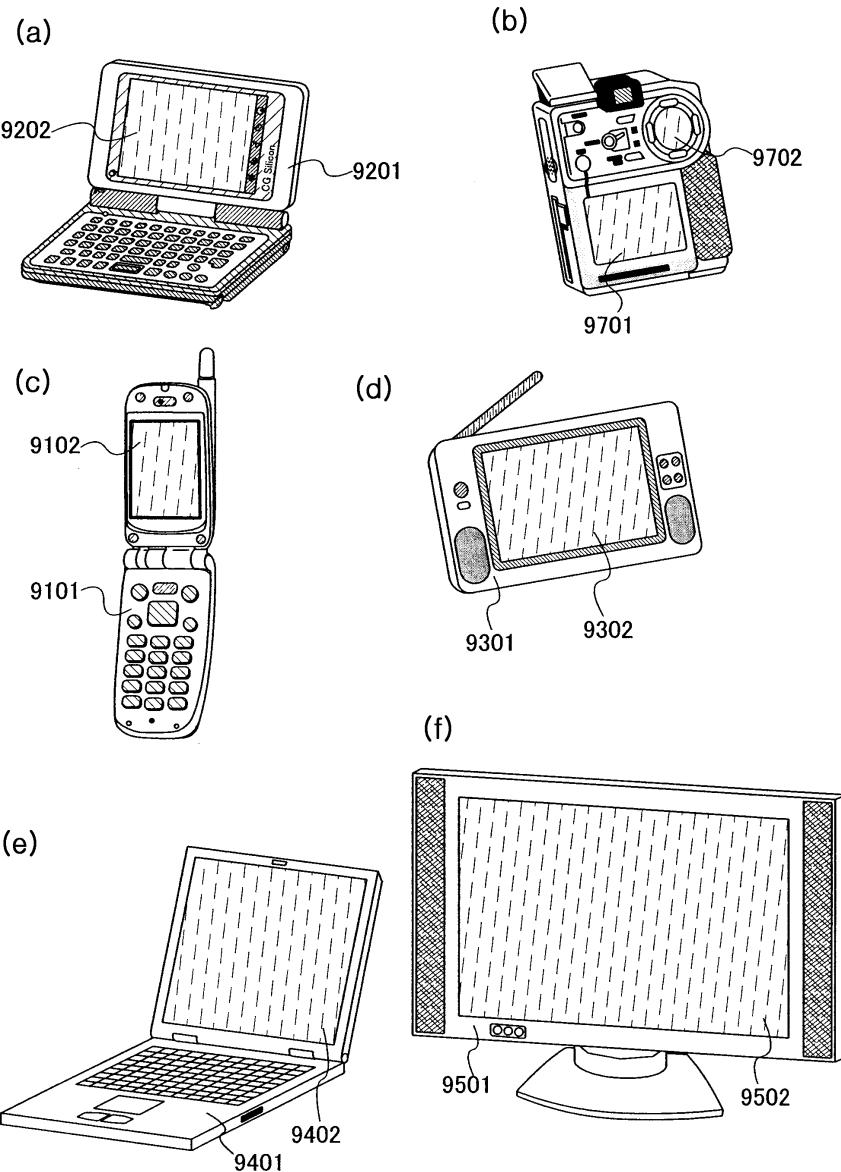
도면14



도면15

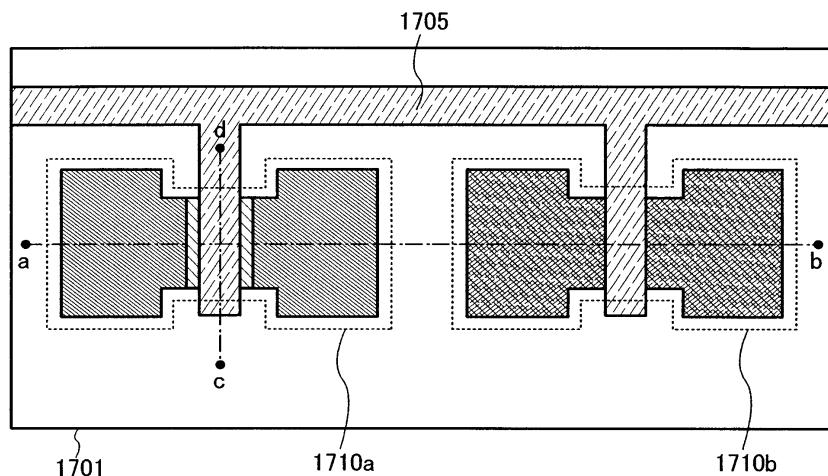


도면16

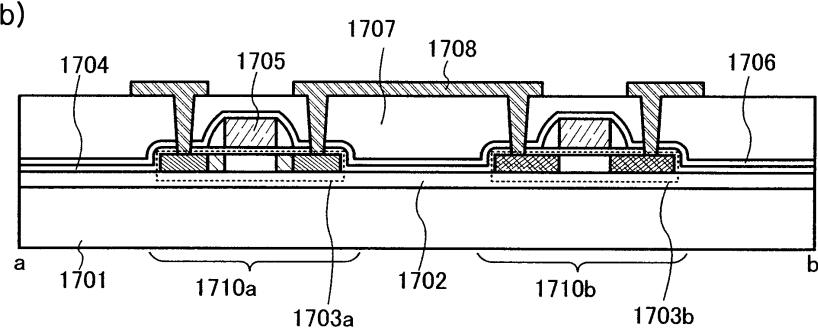


도면17

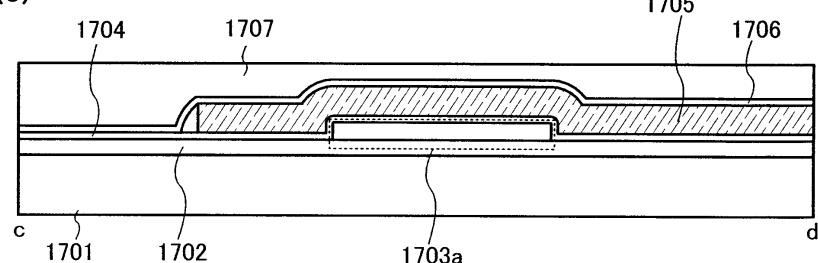
(a)



(b)

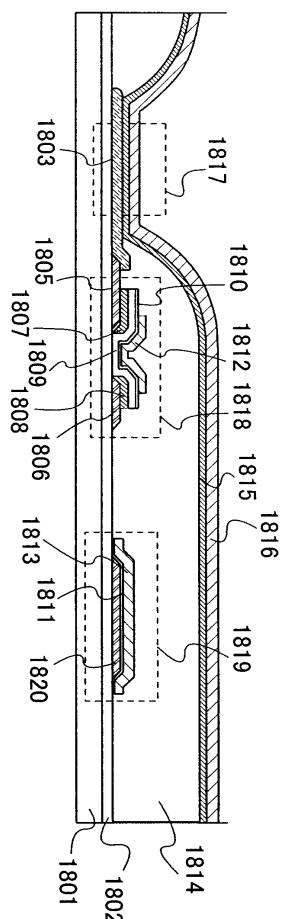


(c)

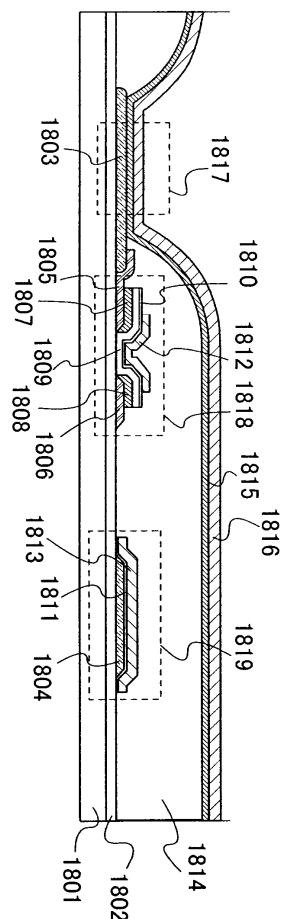


도면18

(b)

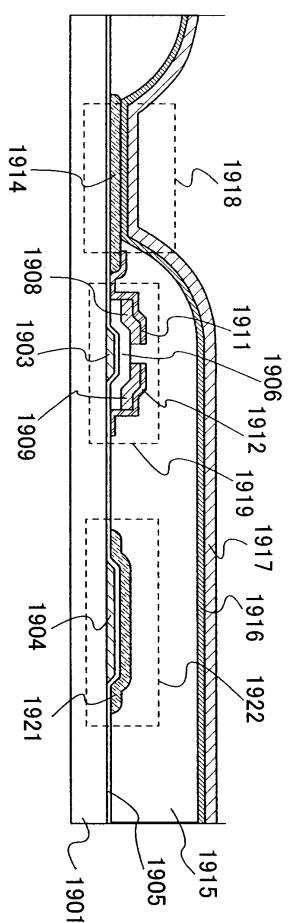


(a)

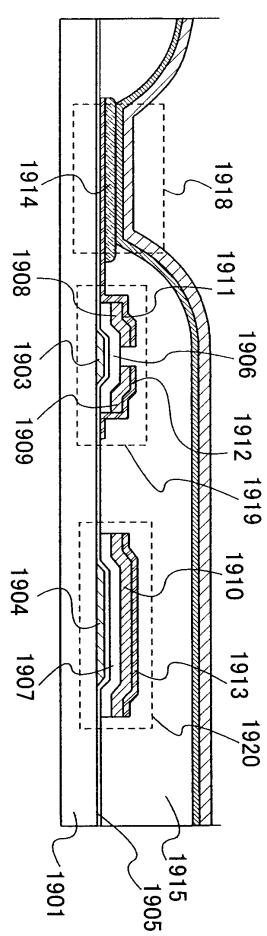


도면19

(b)

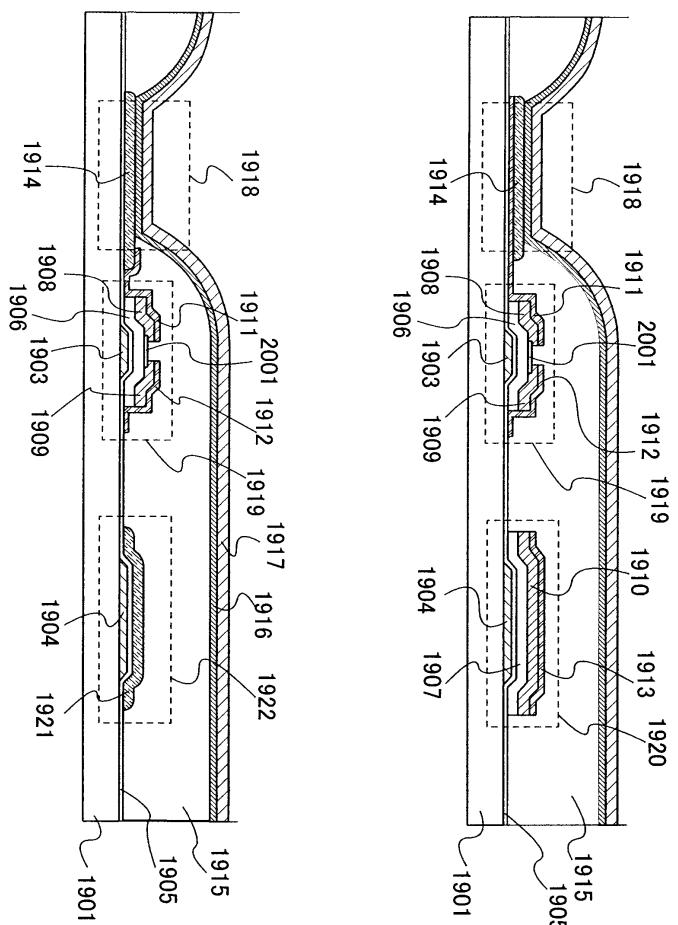


(a)

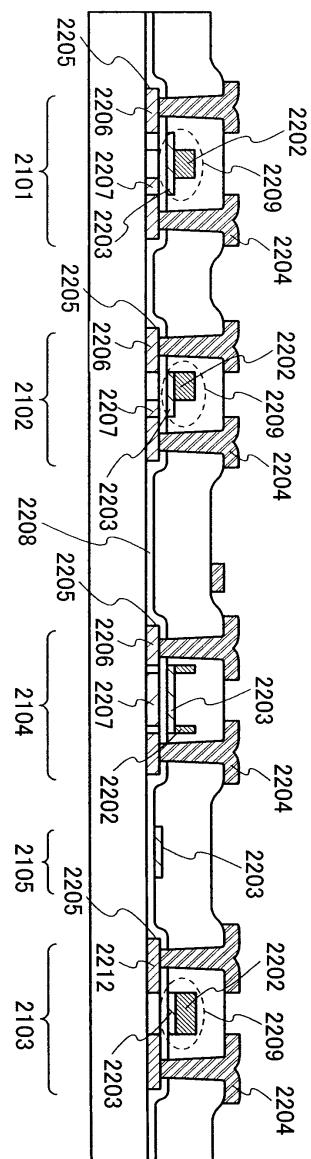


도면20

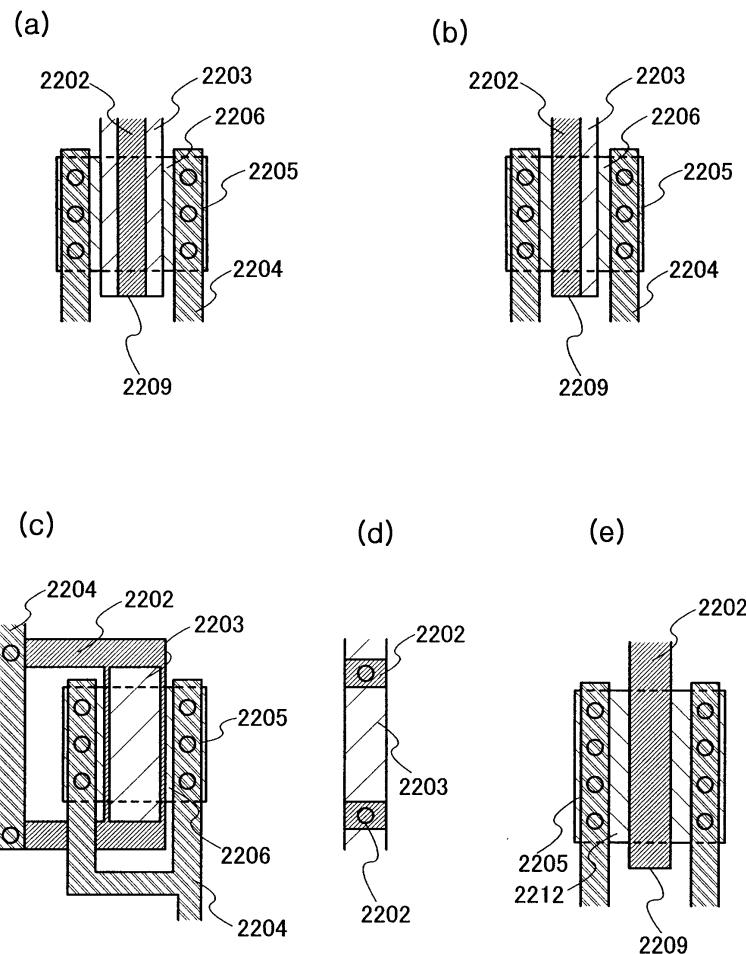
(b)



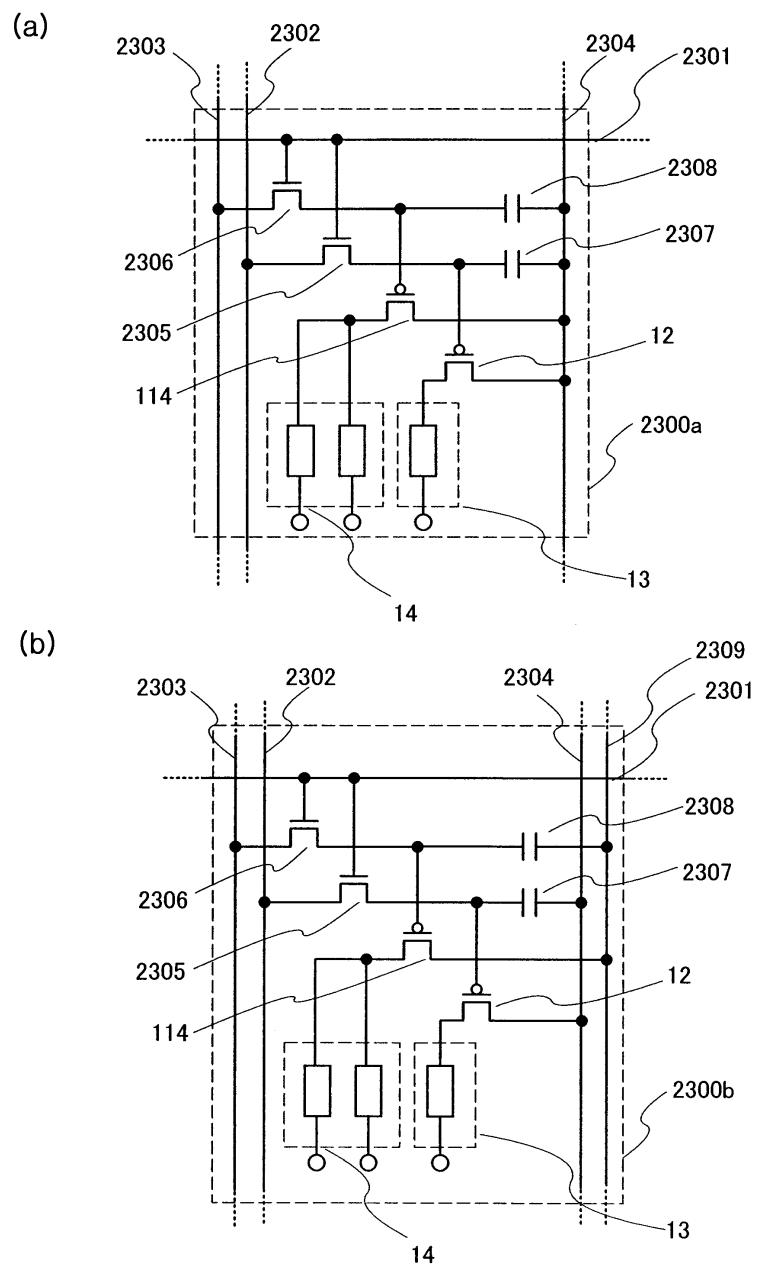
도면21



도면22

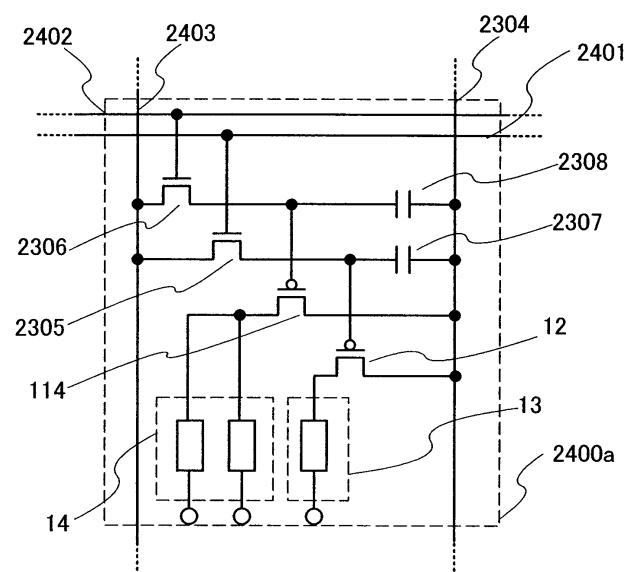


도면23

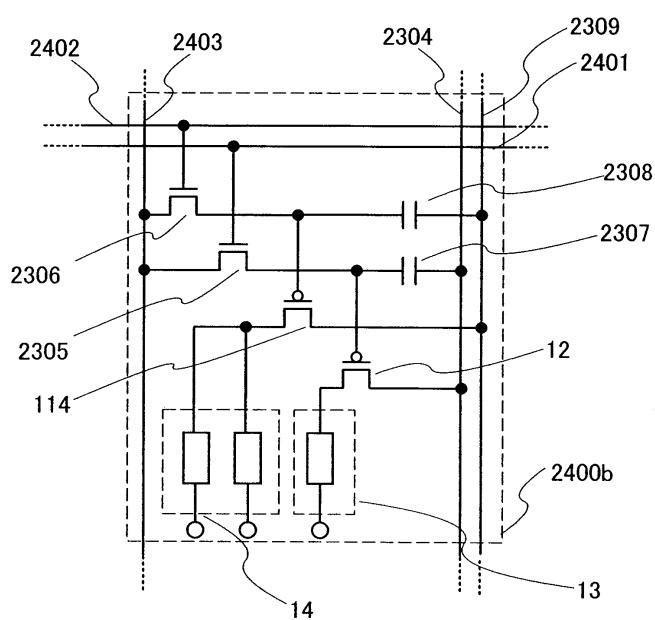


도면24

(a)

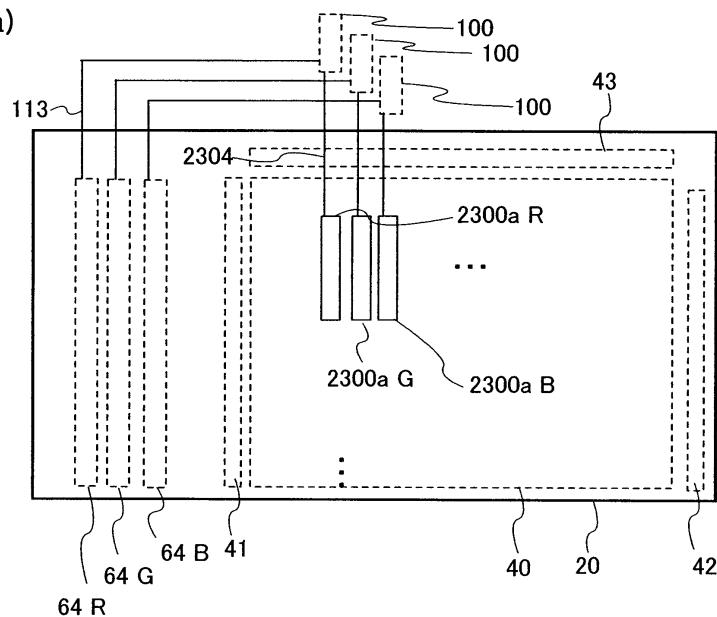


(b)

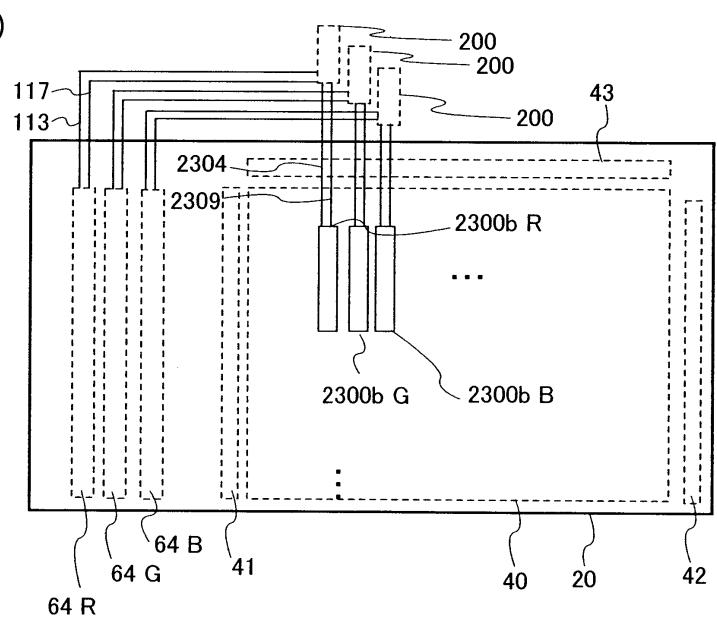


도면25

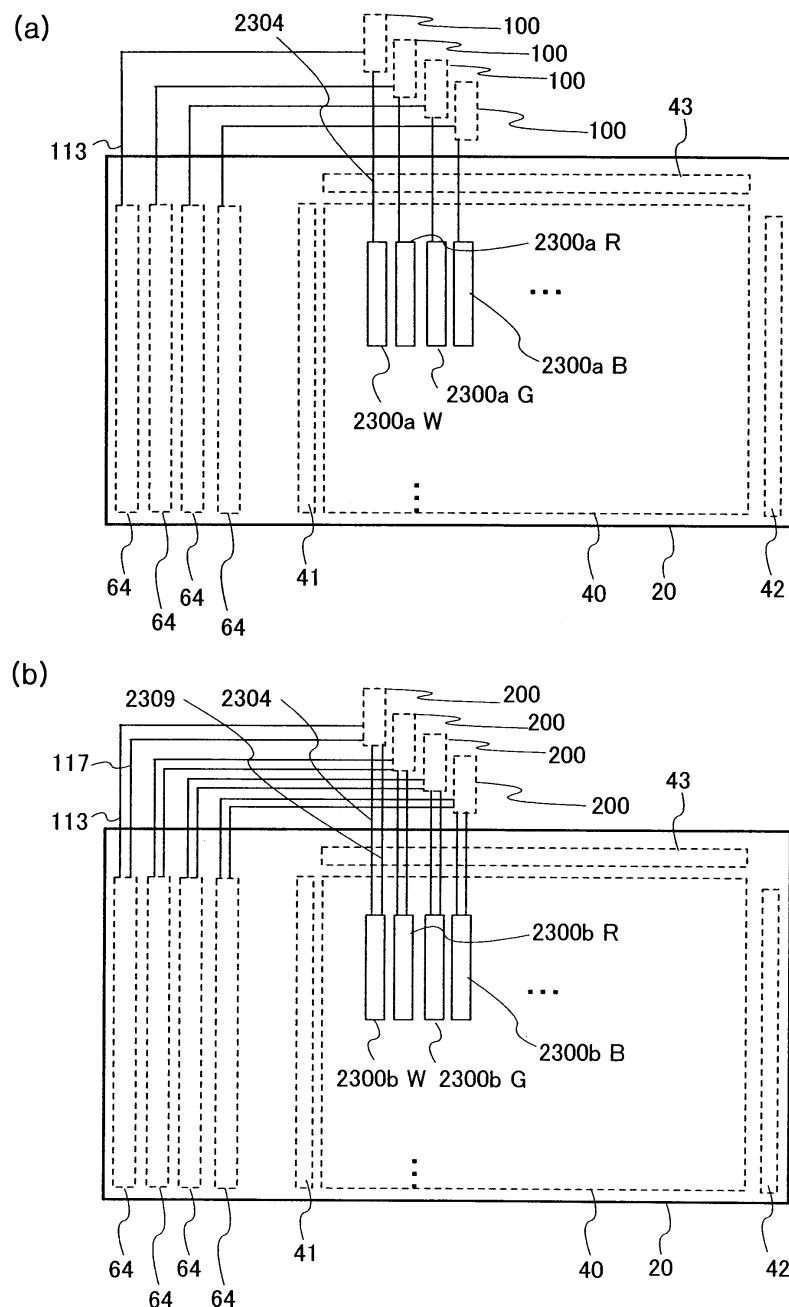
(a)



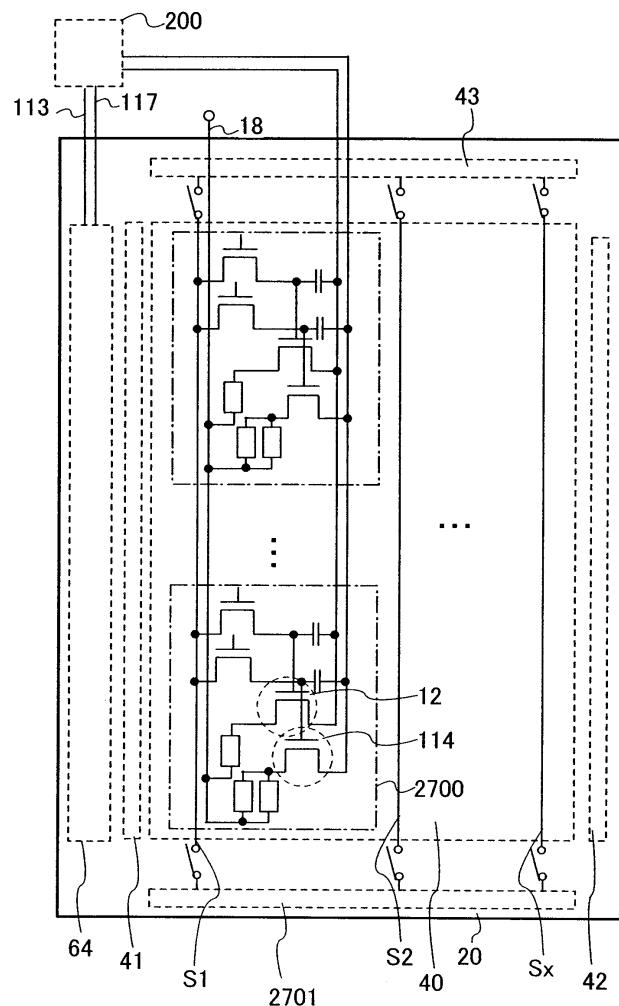
(b)



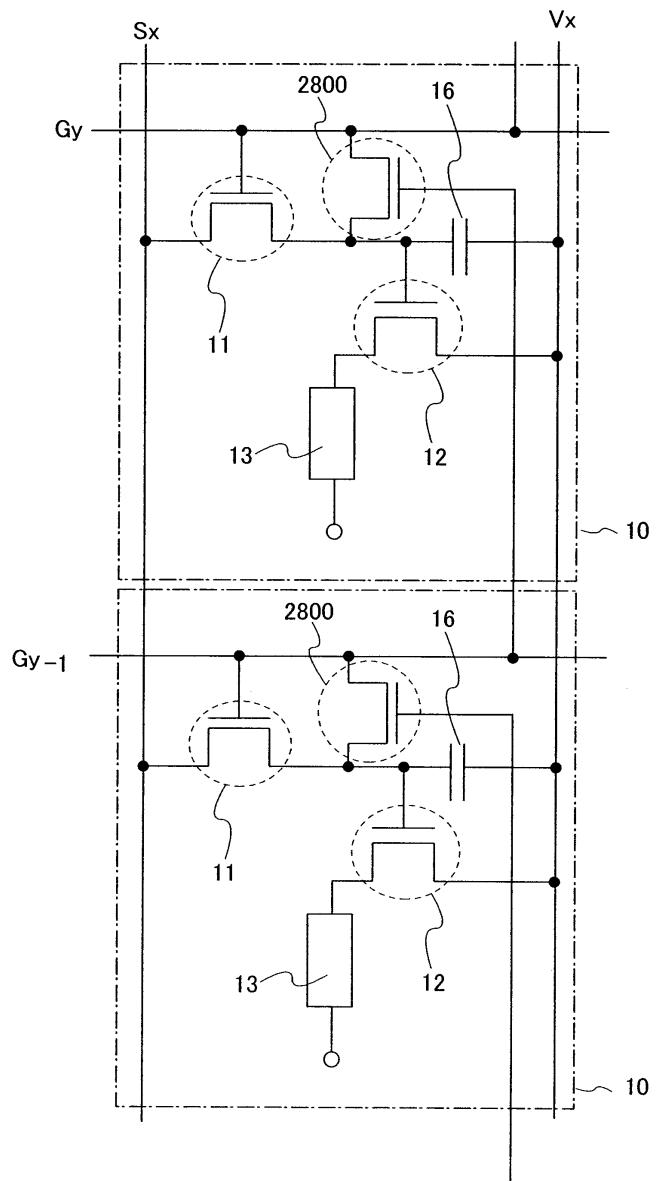
도면26



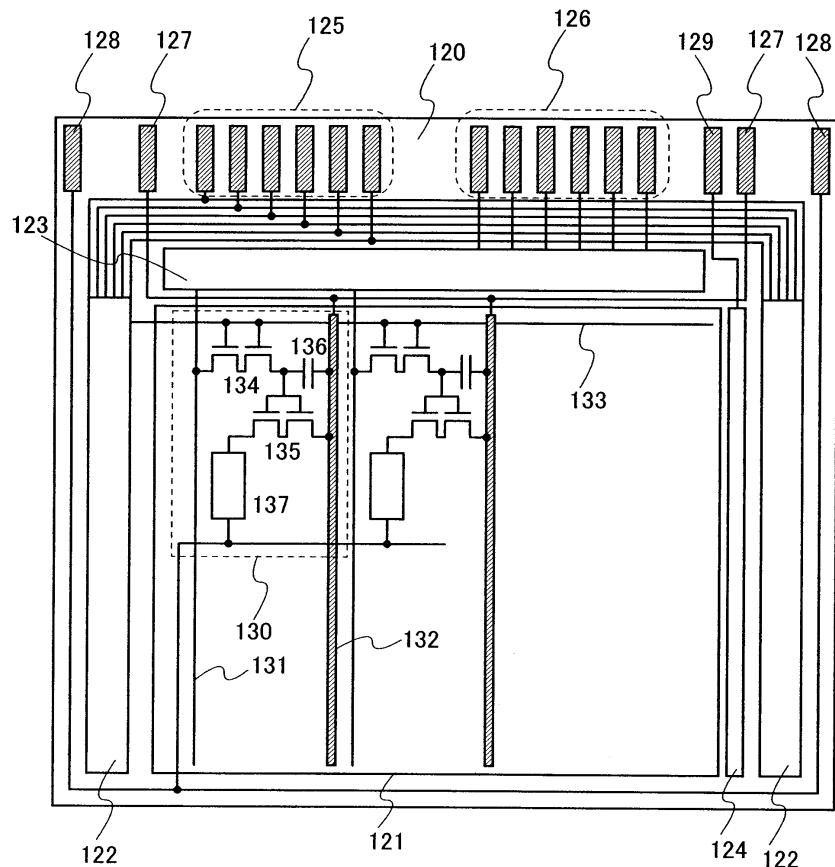
도면27



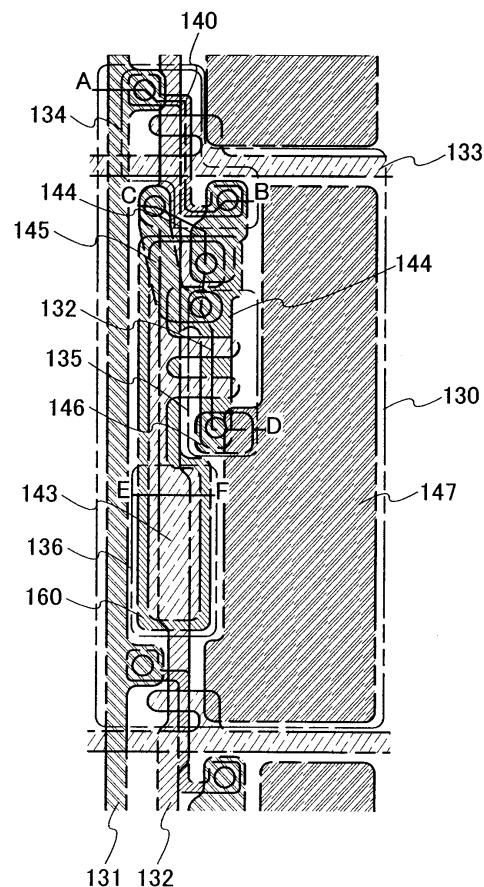
도면28



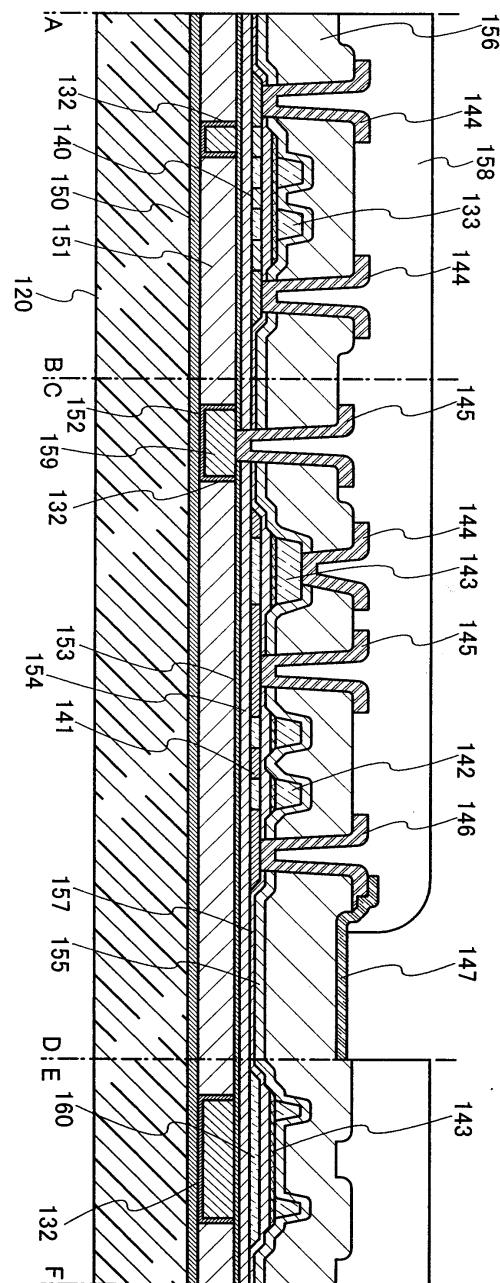
도면29



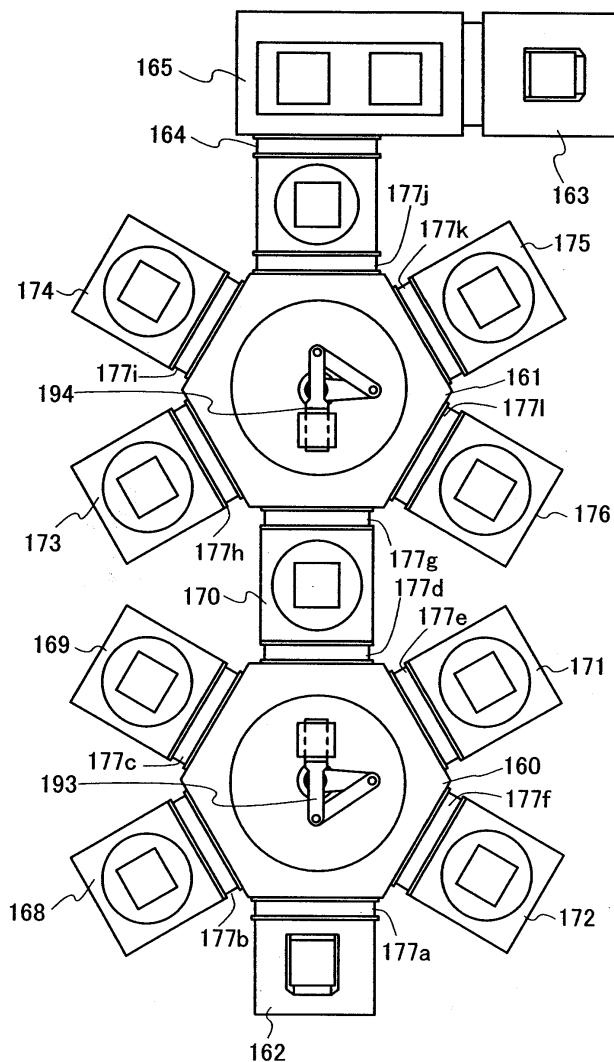
도면30



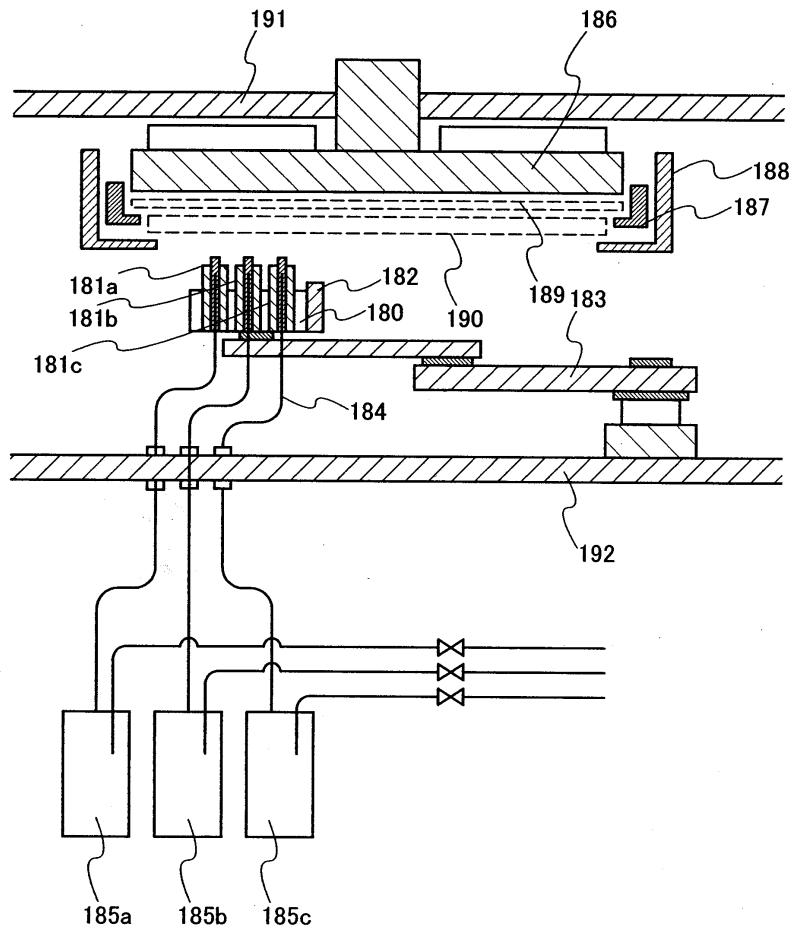
도면31



도면32



도면33



专利名称(译)	显示装置及其驱动方法		
公开(公告)号	KR1020070004424A	公开(公告)日	2007-01-09
申请号	KR1020060058448	申请日	2006-06-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YOSHIDA YASUNORI 요시다야스노리 KIMURA HAJIME 키무라하지메 YAMAZAKI SHUNPEI 야마자키순페이		
发明人	요시다야스노리 키무라하지메 야마자키순페이		
IPC分类号	G09G3/30 G09G3/20 H05B33/00		
CPC分类号	G09G2300/0452 G09G2310/0251 G09G2320/029 G09G2330/10 G09G3/3233 G09G3/2022		
代理人(译)	LEE HWA我		
优先权	2005194600 2005-07-04 JP		
其他公开文献	KR101267286B1		
外部链接	Espacenet		

摘要(译)

对于执行测面仪槽的电致发光显示装置，寻求图像质量的改善和稳定。用于具有像多个子像素那样的数量的子像素的监视器的多个像素，具有发光装置增亮和像素的像素被设置在一个像素中。同时，用于监视器的像素的发光器件由像素的发光器件制造。用于监视器的像素的发光器件的电极连接到相应的另一个恒流源。根据用于监视器的像素的发光器件的电极的电位的变化，建立改变子像素处的像素的发光器件的电极的电位的电路。以这种方式解决了主题。显示装置，测面仪桶，发光装置，用于监视器的像素，子像素。

