



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월20일  
(11) 등록번호 10-0805538  
(24) 등록일자 2008년02월13일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G11C 19/28 (2006.01) H03K 19/00 (2006.01)

(21) 출원번호 10-2006-0088092

(22) 출원일자 2006년09월12일

심사청구일자 2006년09월12일

(56) 선행기술조사문헌

KR1020050065816 A

JP2003346492 A

JP2006050288 A

KR1020050006624 A

전체 청구항 수 : 총 14 항

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

정선이

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

정진태

서울특별시 강북구 수유5동 401-38

(74) 대리인

신영무

심사관 : 김민수

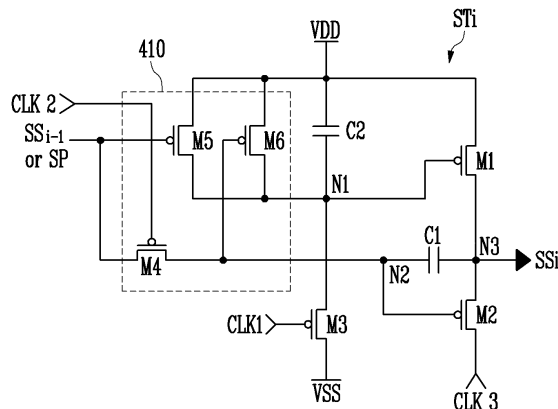
(54) 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치

(57) 요약

본 발명은 유기전계발광 표시장치의 화소열을 구동하는 구동회로에 구비되는 쉬프트 레지스터에 관한 것이다.

본 발명에 의한 쉬프트 레지스터는 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지들을 구비하며, 상기 각 스테이지는, 상기 스타트펄스 또는 이전단 스테이지의 출력신호와 제2 클럭신호(CLK2)에 대응하여 제1 및 제2 출력노드(N1, N2)의 전압레벨을 제어하는 전압레벨 제어부와, 상기 제1 출력노드(N1)에 게이트 전극이 접속되며, 제1 전원(VDD)과 제3 출력노드(N3)(상기 스테이지의 출력노드) 사이에 접속되는 제1 트랜지스터와, 상기 제2 출력노드(N2)에 게이트 전극이 접속되며, 상기 제3 출력노드(N3)과 제3 클럭신호(CLK3)의 입력라인 사이에 접속되는 제2 트랜지스터와, 상기 제1 출력노드(N1)과 제2 전원(VSS) 사이에 접속되며, 게이트 전극이 제1 클럭신호(CLK1)의 입력라인에 접속되는 제3 트랜지스터를 포함한다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지들을 구비하는 쉬프트 레지스터에 있어서,

각 상기 스테이지는,

상기 스타트펄스 또는 이전단 스테이지의 출력신호와 제2 클럭신호(CLK2)에 대응하여 제1 및 제2 출력노드(N1, N2)의 전압레벨을 제어하는 전압레벨 제어부와,

상기 제1 출력노드(N1)에 게이트 전극이 접속되며, 제1 전원(VDD)과 제3 출력노드(N3)(상기 스테이지의 출력노드) 사이에 접속되는 제1 트랜지스터와,

상기 제2 출력노드(N2)에 게이트 전극이 접속되며, 상기 제3 출력노드(N3)와 제3 클럭신호(CLK3)의 입력라인 사이에 접속되는 제2 트랜지스터와,

상기 제1 출력노드(N1)와 제2 전원(VSS) 사이에 접속되며, 게이트 전극이 제1 클럭신호(CLK1)의 입력라인에 접속되는 제3 트랜지스터를 포함하며,

상기 전압레벨 제어부는, 상기 스타트펄스 또는 이전단 스테이지 출력신호의 입력라인과 상기 제2 출력노드(N2) 사이에 접속되며 게이트 전극이 상기 제2 클럭신호(CLK2)의 입력라인에 접속되는 제4 트랜지스터와, 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속되며 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지 출력신호의 입력라인에 접속되는 제5 트랜지스터와, 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속되며 게이트 전극이 상기 제2 출력노드(N2)에 접속되는 제6 트랜지스터를 포함하는 쉬프트 레지스터.

### 청구항 2

삭제

### 청구항 3

제1 항에 있어서,

상기 제4, 제5 및 제6 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

### 청구항 4

제1 항에 있어서,

상기 전압레벨 제어부는,

상기 스타트펄스 또는 이전단 스테이지의 출력신호와 상기 제2 클럭신호(CLK2)에 대응하여 상기 제2 출력노드(N2)의 전압레벨을 제어하고,

상기 스타트펄스 또는 이전단 스테이지의 출력신호와 상기 제2 출력노드(N2)의 전압레벨에 대응하여 상기 제1 출력노드(N1)의 전압레벨을 제어하는 것을 특징으로 하는 쉬프트 레지스터.

### 청구항 5

제1 항에 있어서,

상기 제1, 제2 및 제3 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

### 청구항 6

제1 항에 있어서,

상기 제1, 제2 및 제3 클럭신호는 위상이 순차적으로 지연된 파형을 갖는 것을 특징으로 하는 쉬프트 레지스터.

### 청구항 7

제1 항에 있어서,

상기 제2 출력노드(N2)와 상기 제3 출력노드(N3) 사이에 접속된 제1 커패시터를 더 포함하는 쉬프트 레지스터.

#### 청구항 8

제1 항에 있어서,

상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속된 제2 커패시터를 더 포함하는 쉬프트 레지스터.

#### 청구항 9

주사선들 및 데이터선들에 전기적으로 연결된 다수의 화소를 포함하는 화상 표시부와,

상기 주사선들에 순차적으로 주사신호를 인가하는 쉬프트 레지스터를 포함하는 주사 구동부와,

상기 데이터선들에 데이터 신호를 인가하는 데이터 구동부를 포함하여 구성되고,

상기 쉬프트 레지스터는 스타트펄스의 입력라인에 종속적으로 접속된 다수의 스테이지들을 구비하며,

각 상기 스테이지는,

상기 스타트펄스 또는 이전단 스테이지의 출력신호와 제2 클럭신호(CLK2)에 대응하여 제1 및 제2 출력노드(N1, N2)의 전압레벨을 제어하는 전압레벨 제어부와,

상기 제1 출력노드(N1)에 게이트 전극이 접속되며, 제1 전원(VDD)과 제3 출력노드(N3)(상기 스테이지의 출력노드) 사이에 접속되는 제1 트랜지스터와,

상기 제2 출력노드(N2)에 게이트 전극이 접속되며, 상기 제3 출력노드(N3)와 제3 클럭신호(CLK3)의 입력라인 사이에 접속되는 제2 트랜지스터와,

상기 제1 출력노드(N1)와 제2 전원(VSS) 사이에 접속되며, 게이트 전극이 제1 클럭신호(CLK1)의 입력라인에 접속되는 제3 트랜지스터를 포함하며,

상기 전압레벨 제어부는, 상기 스타트펄스 또는 이전단 스테이지 출력신호의 입력라인과 상기 제2 출력노드(N2) 사이에 접속되며 게이트 전극이 상기 제2 클럭신호(CLK2)의 입력라인에 접속되는 제4 트랜지스터와, 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속되며 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지 출력신호의 입력라인에 접속되는 제5 트랜지스터와, 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속되며 게이트 전극이 상기 제2 출력노드(N2)에 접속되는 제6 트랜지스터를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 10

삭제

#### 청구항 11

제9 항에 있어서,

상기 제4, 제5 및 제6 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 12

제9 항에 있어서,

상기 전압레벨 제어부는,

상기 스타트펄스 또는 이전단 스테이지의 출력신호와 상기 제2 클럭신호(CLK2)에 대응하여 상기 제2 출력노드(N2)의 전압레벨을 제어하고,

상기 스타트펄스 또는 이전단 스테이지의 출력신호와 상기 제2 출력노드(N2)의 전압레벨에 대응하여 상기 제1 출력노드(N1)의 전압레벨을 제어하는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 13

제9 항에 있어서,

상기 제1, 제2 및 제3 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 14

제9 항에 있어서,

상기 제1, 제2 및 제3 클럭신호는 위상이 순차적으로 지연된 파형을 갖는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 15

제9 항에 있어서,

상기 제2 출력노드(N2)와 상기 제3 출력노드(N3) 사이에 접속된 제1 커패시터를 더 포함하는 유기전계발광 표시장치.

#### 청구항 16

제9 항에 있어서,

상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속된 제2 커패시터를 더 포함하는 유기전계발광 표시장치.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 유기전계발광 표시장치의 화소열을 구동하는 구동회로에 구비되는 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.
- <12> 일반적으로, 유기전계발광 표시장치와 같은 평판 표시장치는 데이터선들과 주사선들과의 교차부에 매트릭스 형태로 배열되는 화소 어레이(array)를 구비한다.
- <13> 여기서, 주사선들은 매트릭스 화소 어레이의 수평라인들로서, 쉬프트 레지스터에 의해 선택되어 소정의 주사신호를 공급받는다.
- <14> 도 1은 일반적인 쉬프트 레지스터의 구성을 나타내는 블록도이다.
- <15> 도 1을 참조하면, 쉬프트 레지스터는 스타트펄스(SP)의 입력 라인에 종속적으로 접속된 다수의 스테이지(ST1 내지 STn)를 구비한다.
- <16> 이와 같은 스테이지들(ST1 내지 STn)은 도시되지 않은 클럭신호의 입력라인들로부터 공급되는 클럭신호들에 대응하여 스타트펄스(SP) 또는 이전단의 출력신호를 순차적으로 쉬프트시켜 출력신호(SS1 내지 SSn)를 발생한다.
- <17> 각 스테이지들(ST1 내지 STn)에서 발생된 출력신호(SS1 내지 SSn)는 주사선을 통해 화소 어레이로 공급된다.
- <18> 이와 같은 쉬프트 레지스터는 주사선들을 구동하는 주사 구동부에 포함되는것으로, 주사 구동부는 화소 어레이가 형성된 이후 칩의 형태로 실장되기도 하나, 기판 상에 화소 어레이를 형성하는 공정 중에 화소 어레이와 함께 형성되는 것도 보편적이다.
- <19> 따라서, 화소 어레이와 주사 구동부를 형성하는 공정을 보다 단순화하여 제조공정의 효율성을 향상시킬 수 있는 방안을 모색할 필요가 있다.
- <20> 또한, 비교적 적은 수의 소자들을 이용하여 쉬프트 레지스터를 구성함으로써, 쉬프트 레지스터의 설계를 보다 용이하게 하고 데드 스페이스를 감소시킬 필요가 있다.

##### 발명이 이루고자 하는 기술적 과제

<21> 따라서, 본 발명의 목적은 비교적 적은 수의 소자들을 이용하여 쉬프트 레지스터를 구성함으로써 쉬프트 레지스터의 설계를 보다 용이하게 하고 데드 스페이스를 감소시키는 물론, 제조공정의 효율성을 향상시킬 수 있도록 한 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

### 발명의 구성 및 작용

<22> 상기 목적을 달성하기 위하여, 본 발명의 제1 측면은 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지들을 구비하는 쉬프트 레지스터에 있어서, 상기 각 스테이지는, 상기 스타트펄스 또는 이전단 스테이지의 출력신호와 제2 클럭신호(CLK2)에 대응하여 제1 및 제2 출력노드(N1, N2)의 전압레벨을 제어하는 전압레벨 제어부와, 상기 제1 출력노드(N1)에 게이트 전극이 접속되며, 제1 전원(VDD)과 제3 출력노드(N3)(상기 스테이지의 출력노드) 사이에 접속되는 제1 트랜지스터와, 상기 제2 출력노드(N2)에 게이트 전극이 접속되며, 상기 제3 출력노드(N3)와 제3 클럭신호(CLK3)의 입력라인 사이에 접속되는 제2 트랜지스터와, 상기 제1 출력노드(N1)와 제2 전원(VSS) 사이에 접속되며, 게이트 전극이 제1 클럭신호(CLK1)의 입력라인에 접속되는 제3 트랜지스터를 포함하는 쉬프트 레지스터를 제공한다.

<23> 바람직하게, 상기 전압레벨 제어부는, 상기 스타트펄스 또는 이전단 스테이지 출력신호의 입력라인과 상기 제2 출력노드(N2) 사이에 접속되며, 게이트 전극이 상기 제2 클럭신호(CLK2)의 입력라인에 접속되는 제4 트랜지스터와, 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지 출력신호의 입력라인에 접속되는 제5 트랜지스터와, 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속되며, 게이트 전극이 상기 제2 출력노드(N2)에 접속되는 제6 트랜지스터를 포함한다. 상기 제4, 제5 및 제6 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 한다. 상기 전압레벨 제어부는, 상기 스타트펄스 또는 이전단 스테이지의 출력신호와 상기 제2 클럭신호(CLK2)에 대응하여 상기 제2 출력노드(N2)의 전압레벨을 제어하고, 상기 스타트펄스 또는 이전단 스테이지의 출력신호와 상기 제2 출력노드(N2)의 전압레벨에 대응하여 상기 제1 출력노드(N1)의 전압레벨을 제어한다. 상기 제1, 제2 및 제3 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 한다. 상기 제1, 제2 및 제3 클럭신호는 위상이 순차적으로 지연된 파형을 갖는다. 상기 제2 출력노드(N2)와 상기 제3 출력노드(N3) 사이에 접속된 제1 커패시터를 더 포함한다. 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속된 제2 커패시터를 더 포함한다.

<24> 본 발명의 제2 측면은 주사선들 및 데이터선들에 전기적으로 연결된 다수의 화소를 포함하는 화상 표시부와, 상기 주사선들에 순차적으로 주사신호를 인가하는 쉬프트 레지스터를 포함하는 주사 구동부와, 상기 데이터선들에 데이터 신호를 인가하는 데이터 구동부를 포함하여 구성되고, 상기 쉬프트 레지스터는 스타트펄스의 입력라인에 종속적으로 접속된 다수의 스테이지들을 구비하며, 상기 각 스테이지는, 상기 스타트펄스 또는 이전단 스테이지의 출력신호와 제2 클럭신호(CLK2)에 대응하여 제1 및 제2 출력노드(N1, N2)의 전압레벨을 제어하는 전압레벨 제어부와, 상기 제1 출력노드(N1)에 게이트 전극이 접속되며, 제1 전원(VDD)과 제3 출력노드(N3)(상기 스테이지의 출력노드) 사이에 접속되는 제1 트랜지스터와, 상기 제2 출력노드(N2)에 게이트 전극이 접속되며, 상기 제3 출력노드(N3)와 제3 클럭신호(CLK3)의 입력라인 사이에 접속되는 제2 트랜지스터와, 상기 제1 출력노드(N1)와 제2 전원(VSS) 사이에 접속되며, 게이트 전극이 제1 클럭신호(CLK1)의 입력라인에 접속되는 제3 트랜지스터를 포함하는 것을 특징으로 하는 유기전계발광 표시장치를 제공한다.

<25> 바람직하게, 상기 전압레벨 제어부는, 상기 스타트펄스 또는 이전단 스테이지 출력신호의 입력라인과 상기 제2 출력노드(N2) 사이에 접속되며, 게이트 전극이 상기 제2 클럭신호(CLK2)의 입력라인에 접속되는 제4 트랜지스터와, 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지 출력신호의 입력라인에 접속되는 제5 트랜지스터와, 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속되며, 게이트 전극이 상기 제2 출력노드(N2)에 접속되는 제6 트랜지스터를 포함한다. 상기 제4, 제5 및 제6 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 한다. 상기 전압레벨 제어부는, 상기 스타트펄스 또는 이전단 스테이지의 출력신호와 상기 제2 클럭신호(CLK2)에 대응하여 상기 제2 출력노드(N2)의 전압레벨을 제어하고, 상기 스타트펄스 또는 이전단 스테이지의 출력신호와 상기 제2 출력노드(N2)의 전압레벨에 대응하여 상기 제1 출력노드(N1)의 전압레벨을 제어한다. 상기 제1, 제2 및 제3 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 한다. 상기 제1, 제2 및 제3 클럭신호는 위상이 순차적으로 지연된 파형을 갖는다. 상기 제2 출력노드(N2)와 상기 제3 출력노드(N3) 사이에 접속된 제1 커패시터를 더 포함한다. 상기 제1 전원(VDD)과 상기 제1 출력노드(N1) 사이에 접속된 제2 커패시터를 더 포함한다.

<26> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예가 첨부된 도 2 내지 도 5를 참조하여 자세히 설명하면 다음과 같다.

- <27> 도 2는 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- <28> 도 2를 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 S<sub>n</sub>) 및 데이터선들(D1 내지 D<sub>m</sub>)에 의하여 구획된 영역에 형성되는 화소들(140)을 포함하는 화상 표시부(130)와, 주사선들(S1 내지 S<sub>n</sub>)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 D<sub>m</sub>)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 포함한다.
- <29> 주사 구동부(110)는 타이밍 제어부(150)로부터 스타트펄스(SP) 및 클럭신호(CLK) 등이 포함된 주사 구동 제어신호(SCS)를 공급받아 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 S<sub>n</sub>)로 공급한다.
- <30> 이를 위하여, 주사 구동부(110)는 스타트펄스(SP) 및 클럭신호들(CLK)에 대응하여 순차적으로 주사신호를 생성하고 이를 주사선들(S1 내지 S<sub>n</sub>)로 인가하는 쉬프트 레지스터를 포함하여 구성된다.
- <31> 데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동 제어신호(DCS) 및 데이터(Data)를 공급받아 데이터 신호를 생성한다. 데이터 구동부(120)에서 생성된 데이터 신호는 주사신호와 동기되도록 데이터선들(D1 내지 D<sub>m</sub>)로 공급된다.
- <32> 타이밍 제어부(150)는 외부로부터 공급되는 동기 신호들에 대응하여 주사 구동 제어신호(SCS) 및 데이터 구동 제어신호(DCS)를 생성한다. 타이밍 제어부(150)에서 생성된 주사 구동 제어신호(SCS)는 주사 구동부(110)로 공급되고, 데이터 구동 제어신호(DCS)는 데이터 구동부(120)로 공급된다. 또한, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(120)로 공급한다.
- <33> 화상 표시부(130)는 주사선들(S1 내지 S<sub>n</sub>) 및 데이터선들(D1 내지 D<sub>m</sub>)에 전기적으로 연결된 다수의 화소(140)를 포함한다. 각각의 화소(140)들은 외부로부터 제1 화소전원(ELVDD) 및 제2 화소전원(ELVSS)을 공급받고, 주사 구동부(110) 및 데이터 구동부(120)로부터 각각 주사신호 및 데이터신호를 공급받는다. 제1 및 제2 화소전원(ELVDD, ELVSS)과 주사신호 및 데이터신호를 공급받은 각각의 화소(140)들은 주사신호에 의해 선택되어 데이터신호에 대응되는 빛을 생성한다. 이를 위해, 각각의 화소(140)들은 적어도 유기전계발광 다이오드를 포함하며, 능동형으로 형성되는 경우 화소(140)들은 P 타입 트랜지스터 등의 능동소자를 더 포함할 수도 있다.
- <34> 도 3은 도 2의 주사 구동부에 포함된 쉬프트 레지스터의 일례를 나타내는 블록도이다.
- <35> 도 3을 참조하면, 쉬프트 레지스터는 스타트펄스(SP)의 입력 라인에 종속적으로 접속됨과 아울러 3개의 클럭신호(CLK1 내지 CLK3)의 공급라인에 각각 접속된 다수의 스테이지들(ST11 내지 ST1<sub>n</sub>)을 구비한다. 여기서, 3개의 클럭신호(CLK1 내지 CLK3)는 순차적으로 위상이 지연되는 형태로 공급된다.
- <36> 제1 스테이지(ST11)는 제1 내지 제3 클럭신호(CLK1 내지 CLK3)에 대응하여 자신에게 공급되는 스타트펄스(SP)를 한 클럭만큼 위상지연시켜 출력한다.
- <37> 제2 내지 제<sub>n</sub> 스테이지(ST11 내지 ST1<sub>n</sub>)는 제1 내지 제3 클럭신호(CLK1 내지 CLK3)에 대응하여 자신에게 공급되는 이전단 스테이지(ST)의 출력신호(SS)를 한 클럭만큼 위상지연시켜 출력한다.
- <38> 이와 같은 구동에 의하여, 각 스테이지들(ST11 내지 ST1<sub>n</sub>)에서는 순차적으로 위상지연된 출력신호(SS1 내지 SS<sub>n</sub>)가 발생되고, 발생된 출력신호(SS1 내지 SS<sub>n</sub>)는 각각의 주사선들로 순차적으로 공급된다.
- <39> 한편, 도 3에서는 순차적으로 위상지연된 3개의 클럭신호(CLK1 내지 CLK3)에 의해 구동되는 쉬프트 레지스터를 도시하였지만, 실제로 쉬프트 레지스터는 순차적으로 위상지연된 4개의 클럭신호에 의해 구동될 수도 있다.
- <40> 이 경우, 각각의 스테이지(ST)는 4개의 클럭신호들 중 3개의 클럭신호만을 입력받아 이에 대응하는 출력신호(SS)를 생성할 수도 있다.
- <41> 예를 들어, 제1 스테이지(ST11)는 제1, 제3, 및 제4 클럭신호를 입력받고, 제2 스테이지(ST2)는 제1, 제3, 및 제4 클럭신호가 한 클럭만큼 순차적으로 위상 지연된 제2, 제4, 및 제1 클럭신호를 입력받을 수 있다. 그리고, 제3 내지 제<sub>n</sub> 스테이지(ST13 내지 ST1<sub>n</sub>)에도 같은 방식으로 순차적으로 한 클럭 만큼씩 위상 지연된 3개의 클럭신호가 입력될 수 있다.
- <42> 도 4는 도 3에 도시된 임의의 스테이지의 일례를 나타내는 상세 회로도이다.
- <43> 도 4를 참조하면, 임의의 스테이지(ST<sub>i</sub>)는 전압레벨 제어부(410)와, 제1 내지 제3 트랜지스터(M1 내지 M3)와, 제1 내지 제2 커패시터(C1 내지 C2)를 포함한다.



- <44> 전압레벨 제어부(410)는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)와 제2 클럭신호(CLK2)에 대응하여 제1 노드(제1 출력노드, N1)와 제2 노드 (제2 출력노드, N2)의 전압레벨을 하이레벨 또는 로우레벨로 제어한다.
- <45> 이를 위하여, 전압레벨 제어부(410)는 P 타입 트랜지스터로 설정된 제4 내지 제6 트랜지스터(M4 내지 M6)를 포함한다.
- <46> 제4 트랜지스터(M4)는 스타트펄스(SP) 또는 이전단 스테이지 출력신호(SSi-1)의 입력라인과 제2 노드(N2) 사이에 접속되며, 제4 트랜지스터(M4)의 게이트 전극은 제2 클럭신호(CLK2)의 입력라인에 접속된다. 이와 같은 제4 트랜지스터(M4)는 자신의 게이트 전극에 로우레벨의 제2 클럭신호(CLK2)가 공급될 때 턴-온되어 스타트펄스(SP) 또는 이전단의 출력신호(SSi-1)를 제2 노드(N2)에 공급한다.
- <47> 제5 트랜지스터(M5)는 제1 전원(VDD)과 제1 노드(N1) 사이에 접속되며, 제5 트랜지스터(M5)의 게이트 전극은 스타트펄스(SP) 또는 이전단 스테이지 출력신호(SSi-1)의 입력라인에 접속된다. 이와 같은 제5 트랜지스터(M5)는 자신의 게이트 전극에 로우레벨의 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 입력될 때 턴-온되어 제1 전원(VDD)과 제1 노드(N1)를 전기적으로 연결한다.
- <48> 제6 트랜지스터(M6)는 제1 전원(VDD)과 제1 노드(N1) 사이에 접속되며, 제6 트랜지스터(M6)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제6 트랜지스터(M6)는 제2 노드(N2)의 전압레벨이 소정값 이하의 로우값으로 하강할 때 턴-온되어 제1 전원(VDD)과 제1 노드(N1)를 전기적으로 연결한다.
- <49> 즉, 전압레벨 제어부(410)는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)와 제2 클럭신호(CLK2)에 대응하여 제2 노드(N2)의 전압레벨을 제어하고, 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)와 제2 노드(N2)의 전압레벨에 대응하여 제1 노드(N1)의 전압레벨을 제어한다.
- <50> 제1 트랜지스터(M1)는 하이레벨 전압원인 제1 전원(VDD)과 스테이지(STi)의 출력노드인 제3 노드(제3 출력노드, N3) 사이에 접속되며, 제1 트랜지스터(M1)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제1 트랜지스터(M1)는 제1 노드(N1)의 전압레벨이 로우일 때(즉, 제1 노드(N1)의 전압값이 제1 트랜지스터(M1)의 소스 전극의 전압값보다 작을 때) 턴-온되어 제1 전원(VDD)과 스테이지(STi)의 출력라인을 전기적으로 연결한다.
- <51> 제2 트랜지스터(M2)는 제3 노드(N3)와 제3 클럭신호(CLK3)의 입력라인 사이에 접속되며, 제2 트랜지스터(M2)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 제2 노드(N2)의 전압레벨이 로우일 때 턴-온되어 스테이지(STi)의 출력라인과 제3 클럭신호(CLK3)의 입력라인을 전기적으로 연결한다. 즉, 제2 트랜지스터(M2)가 턴-온되면, 스테이지 출력신호(SSi)의 전압레벨은 제3 클럭신호(CLK3)의 전압레벨과 동일해진다.
- <52> 제3 트랜지스터(M3)는 제1 노드(N1)와 제1 전원(VDD)보다 낮은 로우레벨 전압원인 제2 전원(VSS) 사이에 접속되며, 제3 트랜지스터(M3)의 게이트 전극은 제1 클럭신호(CLK1)의 입력라인에 접속된다. 이와 같은 제3 트랜지스터(M3)는 제1 클럭신호(CLK1)의 입력라인으로 로우레벨의 제1 클럭신호(CLK1)가 입력될 때 턴-온되어 제1 노드(N1)와 제2 전원(VSS)을 전기적으로 연결한다.
- <53> 이와 같은 제1, 제2 및 제3 트랜지스터(M1, M2, M3)는 모두 P 타입 트랜지스터로 설정된다.
- <54> 제1 커패시터(C1)는 제2 노드(N2)와 제3 노드(N3) 사이에 접속된다. 이와 같은 제1 커패시터(C1)는 자신의 양측 단자 간 전위차에 해당하는 소정의 전압값을 충전함으로써 제2 트랜지스터(M2)의 동작을 안정화한다.
- <55> 제2 커패시터(C2)는 제1 전원(VDD)과 제1 노드(N1) 사이에 접속된다. 이와 같은 제2 커패시터(C2)는 제1 전원(VDD) 또는 제1 노드(N1)에 인가되는 전압의 변동을 줄이는 역할을 수행한다.
- <56> 전술한 바와 같이 스테이지(STi)들의 회로를 설계하면, 비교적 적은 수의 소자, 즉, 비교적 적은 수의 트랜지스터들(M)과 커패시터(C)들을 이용하여 쉬프트 레지스터를 구성함으로써, 쉬프트 레지스터의 설계를 보다 용이하게 하고 데드 스페이스를 감소시킬 수 있다.
- <57> 또한, 임의의 스테이지(STi)에 구비된 트랜지스터들(M1 내지 M6)을 모두 동일한 타입으로 설계함으로써 제조공정도 단순화된다.
- <58> 특히, 능동형 유기전계발광 표시장치와 같은 평판 표시장치에서는 화소 어레이에 P 타입의 트랜지스터들이 포함되는데, 주사 구동부의 쉬프트 레지스터 내에 구비된 스테이지들이 화소 어레이에 포함된 트랜지스터들과 동일한 타입의 트랜지스터들로 구성되는 경우, 기판 상에 화소 어레이를 형성하는 공정을 수행하면서 동시에 쉬프트

레지스터를 형성할 수 있게 된다. 따라서, 공정단계를 더 늘리지 않고도 화소 어레이와 주사 구동부를 동시에 형성함에 의하여 표시장치의 제조공정이 단순화되고 용이해져, 그 효율성이 향상된다.

- <59> 단, 본 발명은 쉬프트 레지스터가 기관 상에 화소 어레이와 함께 형성되는 경우에만 국한되는 것은 아니며, 쉬프트 레지스터가 칩 등에 내장되어 화소 어레이가 형성된 기관에 실장되는 경우에도 적용될 수 있음은 물론이다.
- <60> 한편, 도 4에 도시된 스테이지(STi)에서는 제3, 제4 및 제2 트랜지스터(M3, M4, M2)의 어느 한 전극에 각각 제1, 제2 및 제3 클럭신호(CLK1, CLK2, CLK3)가 공급되었지만, 실제로 각 스테이지들로 입력되는 제1, 제2 및 제3 클럭신호(CLK1, CLK2, CLK3)는 스테이지마다 한 클럭만큼 쉬프트 되어 공급될 수 있다.
- <61> 예를 들어, 도 4에 도시된 스테이지(STi)의 다음 단 스테이지에서는 제3, 제4 및 제2 트랜지스터(M3, M4, M2)의 어느 한 전극에 각각 한 클럭만큼 쉬프트 된 제2, 제3 및 제1 클럭신호(CLK2, CLK3, CLK1)가 공급될 수 있다.
- <62> 이하에서는 도 4에 도시된 스테이지의 동작을 도 5에 도시된 입/출력 신호의 파형과 결부하여 상세히 설명하기로 한다. 편의상, 트랜지스터의 문턱전압 등의 요소는 고려하지 않기로 한다.
- <63> 도 5를 참조하면, 우선, t1 구간 동안 하이레벨의 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))가 제4 트랜지스터(M4)의 소스 전극과 제5 트랜지스터(M5)의 게이트 전극에 공급된다.
- <64> 또한, 로우레벨의 제1 클럭신호(CLK1)가 제3 트랜지스터(M3)의 게이트 전극에 공급되고, 하이레벨의 제2 클럭신호(CLK2) 및 제3 클럭신호(CLK3)가 각각 제4 트랜지스터(M4)의 게이트 전극과 제2 트랜지스터(M2)의 드레인 전극에 공급된다. 여기서, 제1, 제2 및 제3 클럭신호(CLK1, CLK2, CLK3)는 위상이 순차적으로 지연된 파형을 갖는 신호들이다.
- <65> 이에 의하여, 제4 및 제5 트랜지스터(M4, M5)는 턴-오프 상태를 유지하고, 제3 트랜지스터(M3)는 턴-온된다.
- <66> 제3 트랜지스터(M3)가 턴-온되면, 제1 노드(N1)에는 제2 전원(VSS)의 전압이 전달된다. 따라서, t1 구간 동안 제1 노드(N1)에는 로우값의 전압이 충전된다.
- <67> 이때, 제1 노드(N1)의 전압이 로우레벨로 하강함에 따라 제1 트랜지스터(M1)가 턴-온되어 제1 전원(VDD)의 전압을 스테이지(STi)의 출력라인으로 공급한다. 따라서, 스테이지(STi)에서 출력되는 출력신호(SSi)는 t1 구간 동안 하이값을 유지한다. 그리고, 제2 노드(N2)에 충전된 전압은 별다른 변동없이 하이값을 유지한다.
- <68> 이후, t2 구간 동안 로우레벨의 이전단 출력신호(SSi-1)(또는, 스타트 펄스(SP))가 제4 트랜지스터(M4)의 소스 전극과 제5 트랜지스터(M5)의 게이트 전극에 공급된다.
- <69> 또한, 하이레벨의 제1 클럭신호(CLK1)가 제3 트랜지스터(M3)의 게이트 전극에 공급되고, 로우레벨의 제2 클럭신호(CLK2)와 하이레벨의 제3 클럭신호(CLK3)가 각각 제4 트랜지스터(M4)의 게이트 전극과 제2 트랜지스터(M2)의 드레인 전극에 공급된다.
- <70> 그러면, 로우레벨의 제2 클럭신호(CLK2)에 대응하여 제4 트랜지스터(M4)가 턴-온되고, 이에 의해 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))의 로우값이 제2 노드(N2)로 전달되어 제2 노드(N2)는 로우값으로 충전된다.
- <71> 또한, 로우레벨의 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))에 의하여 제5 트랜지스터(M5)가 턴-온됨은 물론, 제2 노드(N2)가 로우값으로 충전됨에 따라 제6 트랜지스터(M6)가 턴-온되어 제1 노드(N1)는 제1 전원(VDD)의 하이레벨 전압으로 충전된다.
- <72> 제1 노드(N1)가 하이값으로 충전됨에 따라 제1 트랜지스터(M1)는 턴-오프되고, 제2 노드(N2)가 로우값으로 충전됨에 따라 제2 트랜지스터(M2)가 턴-온되어 하이레벨의 제3 클럭신호(CLK3)가 스테이지(STi)의 출력라인에 공급된다. 이때, 제1 커패시터(C1)에는 제2 트랜지스터(M2)가 턴-온될 수 있는 전압이 저장된다.
- <73> 이후, t3 구간 동안 하이레벨의 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))가 제4 트랜지스터(M4)의 소스 전극과 제5 트랜지스터(M5)의 게이트 전극에 공급된다.
- <74> 또한, 하이레벨의 제1 및 제2 클럭신호(CLK1, CLK2)가 각각 제3 트랜지스터(M3)의 게이트 전극과 제4 트랜지스터(M4)의 게이트 전극에 공급되고, 로우레벨의 제3 클럭신호(CLK3)가 제2 트랜지스터(M2)의 드레인 전극에 공급된다.
- <75> 그러면, 하이레벨의 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))와 제1 및 제2 클럭신호(CLK1, CLK2)에 대응



하여 제3, 제4 및 제5 트랜지스터(M3, M4, M5)가 턴-오프된다.

- <76> 또한, 이전 구간인 t2 구간에서 제1 커패시터(C1)에 제2 트랜지스터(M2)를 턴-온시킬 수 있는 전압이 저장되었기 때문에 제2 트랜지스터(M2)는 턴-온 상태를 유지한다. 이에 의해 스테이지(STi)의 출력신호(SSi)의 파형은 제3 클럭신호(CLK3)의 파형을 그대로 따르게 된다. 즉, t3 구간에서 스테이지(STi)의 출력신호(SSi)는 로우값을 갖는다.
- <77> 이때, 제3 클럭신호(CLK3)가 하이값에서 로우값으로 변동됨에 따라 제2 트랜지스터(M2)의 게이트-소스 간 커패시터(미도시)의 커플링 작용에 의해 제2 노드(N2)는 t2 구간에서의 로우값보다 더 낮은 로우값으로 충전된다.
- <78> 이에 의하여, 제6 트랜지스터(M6)가 턴-온되어 제1 노드(N1)는 하이값으로 충전된다.
- <79> 이후, t4 구간 동안 하이레벨의 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))가 제4 트랜지스터(M4)의 소스 전극과 제5 트랜지스터(M5)의 게이트 전극에 공급된다.
- <80> 또한, 하이레벨의 제1, 제2 및 제3 클럭신호(CLK1, CLK2, CLK3)가 각각 제3 트랜지스터(M3)의 게이트 전극, 제4 트랜지스터(M4)의 게이트 전극, 및 제2 트랜지스터(M2)의 드레인 전극에 공급된다.
- <81> 그러면, 하이레벨의 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))와 제1 및 제2 클럭신호(CLK1, CLK2)에 대응하여 제3, 제4 및 제5 트랜지스터(M3, M4, M5)가 턴-오프 상태를 유지한다.
- <82> 또한, 제2 트랜지스터(M2)는 제1 커패시터(C1)에 의하여 턴-온 상태를 유지하며, 이에 의하여 스테이지(STi)의 출력신호(SSi)는 제3 클럭신호(CLK3)의 파형을 따라 하이값을 갖는다.
- <83> 이때, 제2 트랜지스터(M2)의 게이트-소스 간 커패시터의 커플링 작용에 의해 제2 노드(N2)는 t3 구간에서의 로우값에서 소정의 값만큼 상승하여 t2 구간에서의 값과 유사하거나 동일한 중간레벨의 값으로 충전된다. 이에 따라, 제6 트랜지스터(M6)가 턴-온 상태를 유지함으로써 제1 노드(N1)는 하이값을 유지한다.
- <84> 이후의 구간에서는 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))가 하이레벨을 유지하기 때문에 스테이지(STi)의 출력신호(SSi)도 하이레벨을 유지한다.
- <85> 예를 들어, t5 구간 동안 로우레벨의 제2 클럭신호(CLK2)가 공급된다고 하더라도, 제4 트랜지스터(M4)를 경유하여 공급되는 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))는 계속 하이레벨을 유지하기 때문에 제2 노드(N2)를 하이값으로 충전시키고, 이에 의해 제2 노드(N2)에는 제2 트랜지스터(M2)를 턴-오프시키는 전압이 저장된다. 따라서, 이후, t6 구간 동안 로우레벨의 제3 클럭신호(CLK3)가 공급된다고 하더라도, 제2 트랜지스터(M2)는 턴-오프 상태를 유지하여 스테이지(STi)의 출력신호(SSi)는 제3 클럭신호(CLK3)의 값에 무관하게 하이레벨을 유지한다.
- <86> 전술한 바와 같은 구동에 의하여, 본 발명에 의한 쉬프트 레지스터의 스테이지(ST)들은 자신에게 입력되는 이전단 출력신호(SSi-1)(또는, 스타트펄스(SP))를 제1 내지 제3 클럭신호(CLK1 내지 CLK3)에 대응하여 한 클럭만큼 위상지연시켜 출력라인으로 출력한다.
- <87> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

### 발명의 효과

- <88> 상술한 바와 같이, 본 발명에 의한 쉬프트 레지스터에 따르면, 비교적 적은 수의 소자들을 이용하여 쉬프트 레지스터를 구성함으로써 쉬프트 레지스터의 설계를 보다 용이하게 하고 데드 스페이스를 감소시킬 수 있다.
- <89> 또한, 각각의 스테이지에 구비되는 트랜지스터들을 모두 동일한 타입으로 설계하여 제조공정을 단순화할 수 있다. 특히, P 타입 트랜지스터들로 구성되는 화소 어레이를 포함하는 유기전계발광 표시장치에 P 타입의 트랜지스터들로 구성된 쉬프트 레지스터를 포함하는 주사 구동부를 채용함으로써, 공정단계를 더 늘리지 않고도 화소 어레이와 주사 구동부를 동시에 형성할 수 있다. 이에 의하여, 표시장치의 제조공정이 단순화되고 용이해져, 제조공정의 효율성이 향상된다.

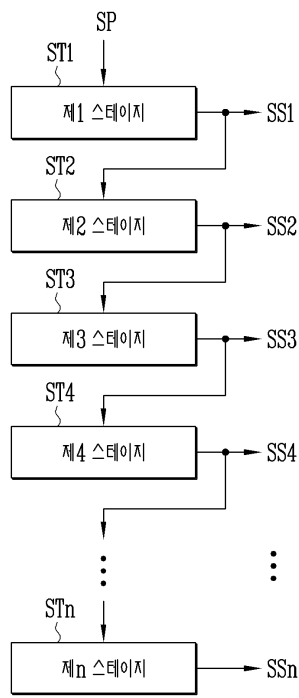
### 도면의 간단한 설명

- <1> 도 1은 일반적인 쉬프트 레지스터의 구성을 나타내는 블럭도이다.

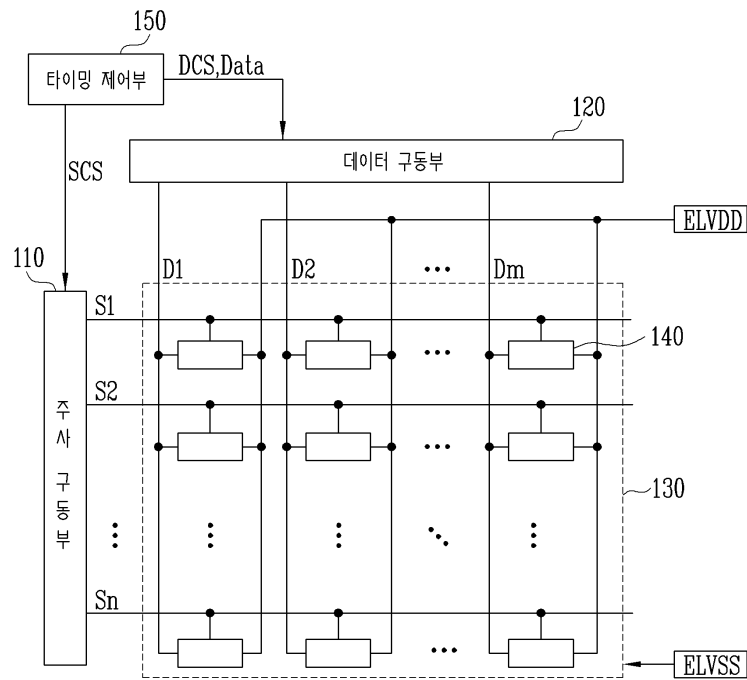
- <2> 도 2는 본 발명의 실시 예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- <3> 도 3은 도 2의 주사 구동부에 포함된 쉬프트 레지스터의 일례를 나타내는 블록도이다.
- <4> 도 4는 도 3에 도시된 임의의 스테이지의 일례를 나타내는 상세 회로도이다.
- <5> 도 5는 도 4에 도시된 스테이지의 입/출력 신호의 파형도이다.
- <6> <도면의 주요 부분에 대한 부호의 설명>
- <7> 110: 주사 구동부 120: 데이터 구동부
- <8> 130: 화상 표시부 140: 화소
- <9> 150: 타이밍 제어부 410: 전압레벨 제어부
- <10> ST: 쉬프트 레지스터의 스테이지

도면

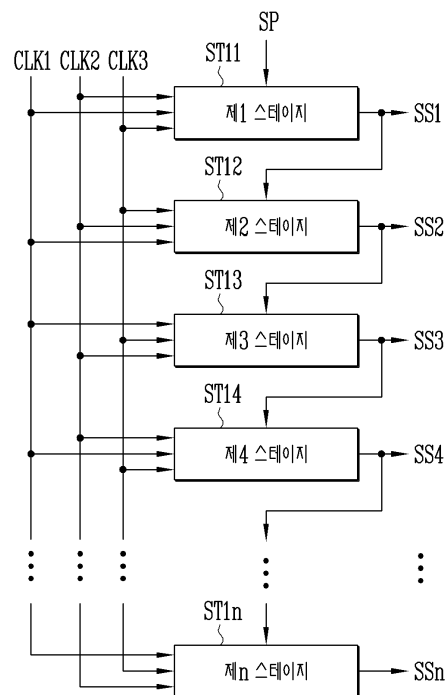
도면1



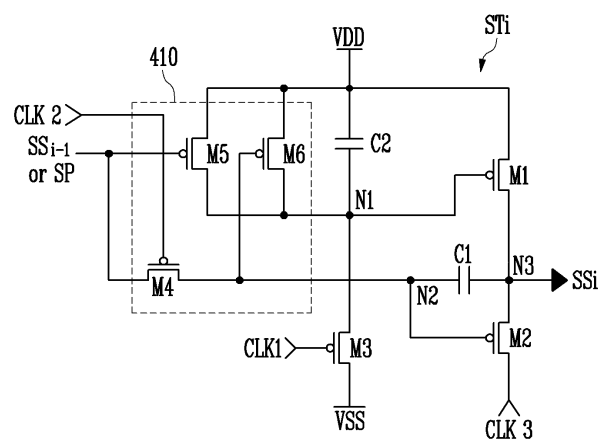
도면2



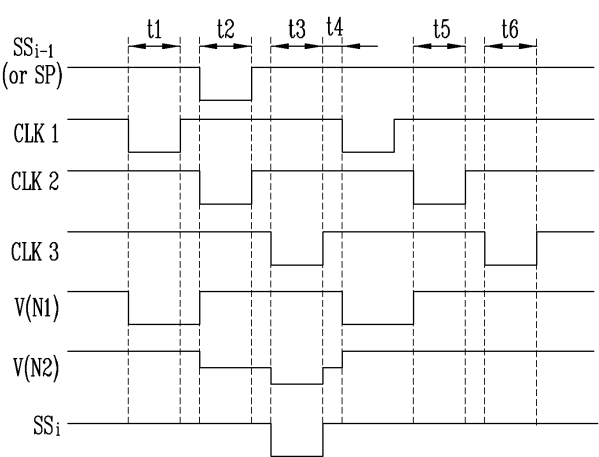
도면3



도면4



도면5



专利名称(译)	移位寄存器和使用其的有机发光显示器		
公开(公告)号	<a href="#">KR100805538B1</a>	公开(公告)日	2008-02-20
申请号	KR1020060088092	申请日	2006-09-12
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SEONI JEONG 정선이 JINTAE JEONG 정진태		
发明人	정선이 정진태		
IPC分类号	G09G3/30 G09G3/32 G11C19/28 H03K19/00		
CPC分类号	G11C19/28 G09G2310/0286 G09G3/3266		
代理人(译)	SHIN , YOUNG MOO		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

提供移位寄存器和使用其的OLED ( 有机发光显示器 ) 装置，以通过使用少量元件实现移位寄存器来减少移位寄存器的占用空间。移位寄存器包括多个级。每个级包括电压电平控制器 ( 410 )，以及第一，第二和第三晶体管 ( M1，M2，M3 )。包括第四，第五和第六晶体管的电压电平控制器控制对应于前一级的起始脉冲或输出信号的第一和第二输出节点 ( N1，N2 ) 的电压电平和第二时钟信号。连接在第一源电压和第三输出节点之间的第一晶体管的栅极连接到第一输出节点。连接在第三输出节点和第三时钟信号的输入线之间的第二晶体管的栅极连接到第二输出节点。连接在第一输出节点和第二源电压之间的第三晶体管的栅极连接到第一时钟信号的输入线。

