

고, 하부전극과 상부전극을 구비하는 캐패시터와; 상기 박막 트랜지스터의 소오스/드레인 전극중 다른 하나에 연결되는 표시소자를 구비하며, 상기 박막 트랜지스터의 게이트 전극의 하부 또는 상부에 형성되는 게이트 절연막은 적어도 유기절연막을 포함하고, 상기 캐패시터의 상, 하부전극사이에 형성되는 캐패시터 유전막은 무기 절연막을 포함한다.

대표도

도 3

특허청구의 범위

청구항 1.

캐패시터영역과 트랜지스터영역을 구비한 기관과;

상기 기관중 트랜지스터영역에 형성되고, 게이트전극, 반도체층 및 소오스/드레인 전극을 구비하는 박막 트랜지스터와;

상기 기관중 캐패시터영역에 형성되고, 하부전극과 상부전극을 구비하는 캐패시터와;

상기 박막 트랜지스터의 소오스/드레인 전극중 다른 하나에 연결되는 표시소자를 구비하며,

상기 박막 트랜지스터의 게이트 전극의 하부 또는 상부에 형성되는 게이트 절연막은 유기절연막을 포함하고,

상기 캐패시터의 상, 하부전극사이에 형성되는 캐패시터 유전막은 무기 절연막을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 2.

제1항에 있어서, 상기 박막 트랜지스터는 반도체층으로 유기반도체층을 사용하는 유기 박막 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치.

청구항 3.

제1항에 있어서, 상기 게이트 절연막은 상기 유기 절연막 하부 또는 상부에 형성되는 무기 절연막을 더 포함하는 것을 특징으로 하는 평판표시장치.

청구항 4.

제1항에 있어서, 상기 캐패시터 유전막으로 사용되는 무기 절연막의 두께는 상기 게이트 절연막으로 사용되는 유기 절연막의 두께와 같거나 더 얇은 것을 특징으로 하는 평판표시장치.

청구항 5.

제1항에 있어서, 상기 캐패시터 유전막으로 사용되는 무기 절연막은 실리콘 산화막 및 실리콘 질화막으로부터 선택되는 절연막 또는 고유전율의 무기 절연막을 포함하고, 상기 게이트 절연막은 폴리이미드, BCB, 파릴렌, PVP 및 광경화성 수지로부터 선택되는 유기절연막을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 6.

캐패시터영역과 트랜지스터영역을 구비한 기판과;

상기 기판중 트랜지스터영역에 형성된 박막 트랜지스터와;

상기 기판중 캐패시터영역에 형성된 캐패시터와;

상기 박막 트랜지스터에 연결되는 표시소자를 구비하는 평판표시장치를 제조하는 방법에 있어서,

상기 박막 트랜지스터의 게이트 절연막과 캐패시터의 유전막을 형성하는 방법은

캐패시터영역상에 하부전극을 구비하고 트랜지스터영역에 게이트 전극을 구비하는 기판을 제공하는 단계와;

캐패시터 영역에 무기 절연막을 구비하는 캐패시터 유전막을 형성하고, 트랜지스터영역상에 유기절연막을 구비하는 게이트 절연막을 형성하는 단계를 구비하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 7.

제6항에 있어서, 상기 박막 트랜지스터는 반도체층으로 유기반도체층을 사용하는 유기 박막 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 8.

제6항에 있어서, 상기 캐패시터 유전막으로 사용되는 무기 절연막의 두께는 상기 게이트 절연막으로 사용되는 유기 절연막의 두께와 같거나 더 얇은 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 9.

제6항에 있어서, 상기 게이트 절연막과 캐패시터 유전막을 형성하는 방법은

기판전면에 유기 절연막을 형성하는 단계와;

상기 캐패시터 영역에 대응하는 유기 절연막을 제거하는 단계와;

상기 유기 절연막이 제거된 캐패시터영역에 무기 절연막을 형성하는 단계를 포함하며,

상기 게이트 절연막은 상기 유기 절연막을 포함하고, 상기 캐패시터 유전막은 무기 절연막을 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 10.

제9항에 있어서, 상기 캐패시터영역의 유기 절연막은 레이저 어블레이션 공정, 사진식각방법 및 노광 및 현상공정으로부 터 선택되는 공정에 의해 제거되는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 11.

제6항에 있어서, 상기 게이트 절연막과 캐패시터 유전막을 형성하는 방법은

기관전면에 무기 절연막을 형성하는 단계와;

상기 트랜지스터 영역에 대응하는 무기 절연막을 제거하는 단계와;

상기 무기 절연막이 제거된 트랜지스터영역에 유기 절연막을 형성하는 단계를 포함하며,

상기 게이트 절연막은 상기 유기 절연막을 포함하고, 상기 캐패시터 유전막은 무기 절연막을 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 12.

제11항에 있어서, 상기 캐패시터영역의 유기 절연막은 레이저 어블레이션 공정, 사진식각방법 및 노광 및 현상공정으로부 터 선택되는 공정에 의해 제거되는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 13.

제6항에 있어서, 상기 게이트 절연막과 캐패시터 유전막을 형성하는 방법은

기관전면에 무기 절연막을 형성하는 단계와;

상기 무기 절연막상에 유기 절연막을 형성하는 단계와;

상기 캐패시터 영역에 대응하는 유기 절연막을 제거하는 단계를 포함하며,

상기 게이트 절연막은 무기 절연막과 유기 절연막을 포함하고,

상기 캐패시터 유전막은 무기 절연막을 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 14.

제13항에 있어서, 상기 캐패시터영역의 유기 절연막은 레이저 어블레이션 공정, 사진식각방법 및 노광 및 현상공정으로부 터 선택되는 공정에 의해 제거되는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 15.

제6항에 있어서, 상기 게이트 절연막과 캐패시터 유전막을 형성하는 방법은

기관전면에 유기 절연막을 형성하는 단계와;

캐패시터영역에 대응하는 유기 절연막을 제거하는 단계와;

기관전면에 무기 절연막을 형성하는 단계를 포함하며,

상기 게이트 절연막은 무기 절연막과 유기 절연막을 포함하고,

상기 캐패시터 유전막은 무기 절연막을 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

청구항 16.

제15항에 있어서, 상기 캐패시터영역의 유기 절연막은 레이저 어블레이션 공정, 사진식각공정 및 노광 및 현상공정으로부터 선택되는 공정에 의해 제거되는 것을 특징으로 하는 평판표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로서, 보다 구체적으로는 게이트 절연막은 유기절연막을 사용하고 캐패시터 유전막은 무기 절연막을 사용하는 유기 박막 트랜지스터를 구비한 유기 전계 발광표시장치 및 그의 제조방법에 관한 것이다.

유기 박막 트랜지스터는 차세대 디스플레이장치의 구동소자로서 활발한 연구가 진행되고 있다. 유기 박막 트랜지스터(OTFT, organic thin film transistor)는 반도체층으로 실리콘막 대신에 유기막을 사용하는 것으로서, 유기막의 재료에 따라 올리고티오펜(oligothiophene), 펜타센(pentacene) 등과 같은 저분자 유기물 박막 트랜지스터와 폴리티오펜(polythiophene) 계열 등과 같은 고분자 유기물 박막 트랜지스터로 분류된다.

국내특허 공개공보 2004-0028010호에는 게이트 절연막으로 사용되는 유기고분자막에 광배향기를 도입하여 유기활성막의 배향을 증가시켜 줌으로써 소자의 특성을 향상시키는 유기 절연막을 게이트 절연막으로 사용하는 유기 박막 트랜지스터가 제안되었다. 또한, 국내특허공보 2004-0049110호에는 게이트 절연막상부에 형성되는 절연막에 트렌치홈을 형성하고 상기 트렌치홈에 유기 반도체층을 형성하여 소자특성을 개선시킨 박막 트랜지스터가 제안되었다.

이러한 유기 박막 트랜지스터를 스위칭 소자로 사용하는 유기 전계 발광표시장치는 적어도 2개의 유기박막 트랜지스터, 예를 들어 하나의 스위칭 유기 박막 트랜지스터 및 하나의 구동 유기 박막 트랜지스터와 하나의 캐패시터 그리고 상, 하부 전극사이에 유기막층이 개재된 유기전계 발광소자를 구비한다.

도 1은 종래의 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치의 단면도를 도시한 것으로서, 유기전계 발광소자와 상기 유기전계 발광소자를 구동하기 위한 구동 유기 박막 트랜지스터에 한정하여 단면구조를 도시한다.

도 1을 참조하면, 기판(100)상에 유기 박막 트랜지스터, 캐패시터 및 유기전계발광소자가 형성된다. 유기 박막 트랜지스터는 게이트전극(111)과, 게이트 절연막(121)상에 형성된 소오스/드레인 전극(141), (145) 및 기판상에 형성된 반도체층(150)을 구비한다. 캐패시터는 상기 기판(100)상에 형성되는 하부전극(117)과, 상기 유기 박막 트랜지스터의 소오스/드레인 전극(141), (145)중 소오스전극(141)에 연결되는 상부전극(147)을 구비한다. 상기 하부전극(117)과 상부전극(147)사이에 캐패시터 유전막(125)이 개재되어 있다.

유기전계 발광소자는 보호막(160)상에 형성되어 상기 소오스/드레인 전극(141), (145)중 드레인 전극(145)에 비어홀(165)을 통해 연결되는 하부전극인 애노드전극(170)과, 유기막층(190) 및 기판전면에 형성되는 상부전극인 캐소드전극(195)을 구비한다. 보호막(160)상에는 상기 애노드전극(170)의 일부분을 노출시키는 개구부(185)를 구비하는 화소분리막(180)을 구비한다. 상기 개구부(185)에 의해 노출되는 애노드전극(170)상에 유기막층(190)이 형성된다.

상기한 바와 같은 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치는 게이트전극(111)과 캐패시터의 하부전극(117) 및 기판상에 절연막(120)이 형성되는데, 절연막(120)은 박막 트랜지스터의 게이트 절연막과 캐패시터의 유전막으로 작용한다. 즉, 상기 절연막(120)중 박막 트랜지스터의 게이트 전극(111)과 반도체층(130)사이에 개재된 부분(121)은 박막 트랜지스터의 게이트 절연막으로 작용하고, 캐패시터의 상부전극(147)과 하부전극(117)사이에 개재된 부분(125)은 캐패시터의 유전막으로 작용한다.

상기 캐패시터의 충분한 캐패시턴스를 확보하기 위해서는 하부전극(117)과 상부전극(147)사이에 존재하는 캐패시터 유전막(127)으로 유전율이 높은 물질을 사용하거나, 상기 전극(117, 147)의 면적을 증대시키거나 또는 상, 하부전극(147), (117)사이에 존재하는 유전막의 두께를 감소시켜 주는 방법 등이 있다.

상기 상, 하부 전극(147), (117)의 면적을 증대시키는 방법은 하나의 화소당 캐패시터가 차지하는 면적이 증가되어 개구율의 저하를 초래하는 문제점이 있으며, 상기 상, 하부전극(147), (117)사이에 위치하는 유전막(125)의 두께를 감소시키는 방법은 상대적으로 박막 트랜지스터의 게이트 상부에 형성되는 게이트 절연막(121)의 두께가 감소하기 때문에 박막 트랜지스터의 절연특성을 확보할 수 없는 문제점이 있었다.

또한, 높은 캐패시턴스를 얻기 위해서는 상, 하부 전극(147), (117)사이에 높은 유전율을 갖는 절연막을 사용하여야 하지만, 종래의 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치에서는 상기 절연막(120)으로 유전율이 낮은 유기절연막을 사용하기 때문에, 캐패시턴스를 충분히 확보하기 어려운 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 종래기술의 문제점을 해결하기 위한 것으로서, 박막 트랜지스터의 게이트 절연막으로 적어도 유기 절연막을 사용하고 캐패시터의 유전막으로 무기 절연막을 사용하여 박막 트랜지스터의 절연특성을 유지함과 동시에 충분한 캐패시턴스를 확보할 수 있는 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 개구율의 저하없이 높은 캐패시턴스와 박막 트랜지스터의 절연특성을 유지할 수 있는 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명은 캐패시터영역과 트랜지스터영역을 구비한 기판과; 상기 기판중 트랜지스터영역에 형성되고, 게이트전극, 반도체층 및 소오스/드레인 전극을 구비하는 박막 트랜지스터와; 상기 기판중 캐패시터영역에 형성되고, 하부전극과 상부전극을 구비하는 캐패시터와; 상기 박막 트랜지스터의 소오스/드레인 전극중 다른 하나에 연결되는 표시소자를 구비하며, 상기 박막 트랜지스터의 게이트 전극의 하부 또는 상부에 형성되는 게이트 절연막은 적어도 유기절연막을 포함하고, 상기 캐패시터의 상, 하부전극사이에 형성되는 캐패시터 유전막은 무기 절연막을 포함하는 평판표시장치를 제공하는 것을 특징으로 한다.

상기 게이트 절연막은 상기 유기 절연막 하부에 형성되는 무기 절연막을 더 포함하거나 또는 상기 유기 절연막상부에 형성되는 무기 절연막을 더 포함하며, 상기 캐패시터 유전막으로 사용되는 무기 절연막은 상기 게이트 절연막으로 사용되는 유기 절연막과 같거나 얇은 두께를 갖는다.

상기 캐패시터 유전막으로 사용되는 무기 절연막은 실리콘 산화막 및 실리콘 질화막으로부터 선택되는 절연막 또는 고유전율의 무기 절연막을 포함하고, 상기 게이트 절연막은 폴리이미드, BCB, 파릴렌, PVP 및 광경화성 수지로부터 선택되는 유기절연막을 포함한다.

또한, 본 발명은 캐패시터영역과 트랜지스터영역을 구비한 기판과; 상기 기판중 트랜지스터영역에 형성된 박막 트랜지스터와; 상기 기판중 캐패시터영역에 형성된 캐패시터와; 상기 박막 트랜지스터에 연결되는 표시소자를 구비하는 평판표시장치를 제조하는 방법에 있어서, 상기 박막 트랜지스터의 게이트 절연막과 캐패시터의 유전막을 형성하는 방법은 캐패시터영역상에 하부전극을 구비하고 트랜지스터영역에 게이트 전극을 구비하는 기판을 제공하는 단계와; 캐패시터 영역에 무기 절연막을 구비하는 캐패시터 유전막을 형성하고, 트랜지스터영역상에 적어도 유기절연막을 구비하는 게이트 절연막을 형성하는 단계를 구비하는 평판표시장치의 제조방법을 제공한다.

상기 게이트 절연막과 캐패시터 유전막을 형성하는 방법은 기판전면에 유기 절연막을 형성하는 단계와; 상기 캐패시터 영역에 대응하는 유기 절연막을 제거하는 단계와; 상기 유기 절연막이 제거된 캐패시터영역에 무기 절연막을 형성하는 단계를 포함하며, 상기 게이트 절연막은 상기 유기 절연막을 포함하고, 상기 캐패시터 유전막은 무기 절연막을 포함한다.

상기 게이트 절연막과 캐패시터 유전막을 형성하는 다른 방법은 기판전면에 무기 절연막을 형성하는 단계와; 상기 트랜지스터 영역에 대응하는 무기 절연막을 제거하는 단계와; 상기 무기 절연막이 제거된 트랜지스터영역에 유기 절연막을 형성하는 단계를 포함하며, 상기 게이트 절연막은 상기 유기 절연막을 포함하고, 상기 캐패시터 유전막은 무기 절연막을 포함한다.

상기 게이트 절연막과 캐패시터 유전막을 형성하는 또 다른 방법은 기판전면에 무기 절연막을 형성하는 단계와; 상기 무기 절연막상에 유기 절연막을 형성하는 단계와; 상기 캐패시터 영역에 대응하는 유기 절연막을 제거하는 단계를 포함하며, 상기 게이트 절연막은 무기 절연막과 유기 절연막을 포함하고, 상기 캐패시터 유전막은 무기 절연막을 포함한다.

상기 게이트 절연막과 캐패시터 유전막을 형성하는 또 다른 방법은 기판전면에 유기 절연막을 형성하는 단계와; 캐패시터 영역에 대응하는 유기 절연막을 제거하는 단계와; 기판전면에 무기 절연막을 형성하는 단계를 포함하며, 상기 게이트 절연막은 무기 절연막과 유기 절연막을 포함하고, 상기 캐패시터 유전막은 무기 절연막을 포함한다.

상기 캐패시터영역의 유기 절연막은 레이저 어블레이션 공정, 사진식각공정 및 노광 및 현상공정으로부터 선택되는 공정에 의해 제거된다.

이하 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 2는 본 발명의 실시예에 따른 유기 박막 트랜지스터를 구비한 유기 전계 발광표시장치의 평면도를 도시한 것으로서, 하나의 화소에 대한 평면구조를 도시한 것이다.

도 2를 참조하면, 유기전계 발광표시장치는 게이트라인(210), 데이터라인(220) 및 전원라인(230)과, 상기 게이트라인(210), 데이터라인(220) 및 전원라인(230)에 의해 한정되는 화소영역(245) 및 상기 화소영역(245)에 배열되는 화소(240)를 구비한다.

상기 화소(240)는 하나의 스위칭 유기 박막 트랜지스터(250) 및 하나의 구동 유기박막 트랜지스터(270)와, 하나의 캐패시터(260) 및 애노드전극(370)을 하부전극으로 구비하는 유기전계 발광표시장치를 구비한다. 상기 스위칭 유기박막 트랜지스터(250)는 상기 게이트라인(210)에 연결되는 게이트 전극(251)과, 반도체층(253) 및 소오스/드레인 전극(255), (257)을 구비한다. 상기 게이트 전극(251)과 소오스/드레인 전극(255), (257)사이에는 유기 절연막으로 된 게이트 절연막(도면 상에는 도시되지 않음)이 형성되어 있다.

상기 캐패시터(260)는 상기 스위칭 박막 트랜지스터(250)의 드레인 전극(257)에 연결되는 하부전극(317)과, 상기 하부전극(317)과 오버랩되어 상기 전원라인(230)에 연결되는 상부전극(347)을 구비한다. 상기 하부전극(317)과 상부전극(347) 사이에는 무기 절연막(도 3의 327에 해당함)이 캐패시터 유전막으로 형성되어 있다.

상기 구동 유기 박막 트랜지스터(270)는 상기 캐패시터(260)의 하부전극(317)에 연결되는 게이트 전극(311)과, 반도체층(350) 및 상기 전원라인(230)에 연결된 소오스전극(341) 및 상기 화소전극(370)에 연결되는 드레인 전극(345)을 구비한다. 상기 게이트 전극(311)과 소오스/드레인 전극(341), (345)사이에는 유기 절연막(도 3의 321에 해당함)이 형성되어진다.

상기한 바와같이 본 발명의 유기 전계발광표시장치에 있어서, 하나의 화소를 구성하는 유기 박막 트랜지스터의 게이트 절연막은 유기 절연막으로 구성되어 박막 트랜지스터의 절연특성을 유지함과 동시에 캐패시터의 유전막은 무기 절연막으로 구성되어 캐패시터의 캐패시턴스를 충분히 확보할 수 있다.

도 3은 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 3은 하나의 화소중 구동 유기 박막 트랜지스터, 캐패시터 및 유기전계 발광소자(EL)에 한정하여 도시한 것으로서, 도 2의 III-III 선에 따른 단면구조를 도시한 것이다.

도 3을 참조하면, 유리, 실리콘 및 플라스틱 등과 같은 기판(300)의 트랜지스터영역상에 유기 박막 트랜지스터의 게이트 전극(311)과, 캐패시터영역에 캐패시터의 하부전극(317)이 형성된다. 일 예로, 상기 하부전극(317)은 상기 게이트 전극과 동일한 물질로 이루어진다. 캐패시터영역을 제외한 기판상에 절연막(320)으로 유기 절연막이 형성된다. 여기서, 트랜지스터영역이라 함은 기판중 유기 박막 트랜지스터가 형성되는 부분을 의미하며, 캐패시터영역이라 함은 기판중 캐패시터가 형성되는 영역을 의미한다.

상기 절연막(320)중 트랜지스터영역에 해당하는 부분, 예를 들어 게이트상부의 부분(321)은 게이트 절연막으로 작용한다. 상기 절연막(320)은 벤조사이클로부탄(BCB, benzocyclobutene), 폴리이미드, 파릴렌 및 폴리비닐페놀(PVP),

polyvinylphenol)으로부터 선택되는 유기절연막을 포함한다. 또한, 상기 유기절연막(320)으로 네가티브 포토레지스트 또는 포지티브 포토레지스트와 같은 광경화성 수지를 사용할 수도 있다. 상기 유기절연막(320)은 박막 트랜지스터에 요구되는 적절한 두께로 형성되어 박막 트랜지스터의 절연특성을 유지하게 된다.

상기 캐패시터영역에 해당하는 기판상에는 캐패시터 유전막(327)으로 무기 절연막이 형성된다. 상기 캐패시터 유전막(327)은 실리콘 산화막 및 실리콘 질화막 등과 같은 무기 절연막 또는 Ta₂O₅, Y₂O₃, TiO₂, BST, PZT 및 BZT 들과 같은 고유전율의 무기절연막을 포함한다.

본 발명의 일 실시예에서는, 게이트 절연막(321)으로 유기 절연막을 형성하고, 캐패시터의 유전막(327)으로 상기 게이트 절연막(321)과 동일한 두께를 갖는 무기 절연막을 형성하여 박막 트랜지스터의 절연특성과 충분한 캐패시턴스를 확보할 수 있다.

즉, 트랜지스터영역에는 박막 트랜지스터의 게이트 절연막으로서 요구되는 두께로 유기 절연막을 형성하고, 캐패시터영역에는 상기 게이트 절연막(321)으로 사용되는 유기 절연막과 동일한 두께를 갖으며 유전율이 높은 무기 절연막(327)을 캐패시터 유전막으로 형성하여 줌으로써 종래의 유기전계 발광표시장치에 비하여 높은 캐패시턴스를 얻을 수 있다.

본 발명의 일 실시예에서는, 캐패시터 유전막(327)과 게이트 절연막(320)을 동일한 두께로 형성하여 절연특성을 유지하고 캐패시턴스를 증가시켰으나, 다른 예로서 상기 유기 절연막(320)은 박막 트랜지스터에서 요구되는 적합한 두께로 형성하고, 무기 절연막(327)은 상기 유기 절연막(320)보다 상대적으로 얇은 두께로 형성하여 줌으로써 보다 더 캐패시턴스를 증가시킬 수도 있다.

상기 게이트 전극(311)의 양측과 오버랩되도록 유기 절연막(320)상에 소오스/드레인 전극(341), (345)이 형성되며, 상기 소오스/드레인 전극(341), (345)중 상기 소오스전극(341)에 연결되는 캐패시터 상부전극(347)이 형성된다. 상기 캐패시터 상부전극(347)은 소오스/드레인 전극과 동일한 물질로 이루어지고, 상기 하부전극(317)과 오버랩되도록 무기절연막(327)으로 된 캐패시터 유전막상에 형성된다.

기판상에 유기 반도체층(350)을 형성한다. 도 3에서는 유기 반도체층(350)이 기판전면에 형성되는 것을 도시한 반면에, 도 2에서는 유기 반도체층(350)이 패턴형태로 형성되는 것을 도시하였는데, 이는 유기 반도체층(350)과 게이트 전극(311) 및 소오스/드레인 전극(341), (345)과의 구조적인 관계를 평면적으로 보여주기 위함이다. 상기 유기 반도체층(350)은 도 3에 도시된 바와같이 기판상에 전면적으로 형성되거나 또는 도 2에 도시된 바와같이 패턴형태로 형성될 수도 있다.

상기 반도체층(350)은 펜타센(pentacene), 테트라센(tetracene), 안트라센(anthracene), 나프탈렌(naphthalene), 알파-6-티오펜, 페릴렌(perylene) 및 그 유도체, 루브렌(rubrene) 및 그 유도체, 코로넨(coronene) 및 그 유도체, 페릴렌 테트라카르복실릭디이미드(perylene tetracarboxylic diimide) 및 그 유도체, 페릴렌테트라카르복실릭 디안하이드라이드(perylene tetracarboxylic dianhydride) 및 그 유도체, 폴리티오펜 및 그 유도체, 폴리파라페릴렌비닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체로부터 선택되는 유기막을 포함한다.

상기 유기 반도체층(350)상에 상기 소오스/드레인 전극(341), (345)중 하나를 노출시키는 비어홀(365)을 구비한 보호막(360)이 형성된다. 상기 보호막(360)상에는 상기 비어홀(365)을 통해 상기 소오스/드레인 전극(341), (345)중 드레인 전극(345)에 연결되는 화소전극인 애노드전극(370)이 형성된다.

기판상에 상기 애노드전극(370)의 일부분을 노출시키는 개구부(385)를 구비하는 화소분리막(380)이 형성된다. 상기 개구부(385)내의 애노드전극(370)상에 유기막층(390)이 형성되고, 기판전면에 캐소드전극(395)이 형성된다. 상기 유기막층(370)은 정공주입층, 정공수송층, 유기발광층, 전자수송층, 전자 주입층 및 정공 장벽층으로 이루어진 그룹으로부터 선택되는 하나이상의 유기막을 포함한다.

상기한 바와 같이 본 발명의 일 실시예에 따르면, 박막 트랜지스터의 게이트 절연막으로 유기 절연막을 형성하고, 캐패시터 유전막을 무기 절연막으로 형성하여 줌으로써, 게이트 절연막과 캐패시터 유전막을 서로 다른 종류의 절연막으로 형성하여 박막 트랜지스터의 절연특성을 유지하고 충분한 캐패시턴스를 확보할 수 있다.

도 4는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 4는 하나의 화소중 구동 유기 박막 트랜지스터, 캐패시터 및 유기전계 발광소자(EL)에 한정하여 도시한 것으로서, 도 2의 III-III 선에 대응하는 단면구조를 도시한 것이다.

본 발명의 다른 실시예에 따른 유기전계 발광표시장치는 도 3에 도시된 일 실시예에 따른 유기전계 발광표시장치와 동일한 구성을 갖는다. 다만, 게이트 절연막이 유기절연막과 무기 절연막의 적층구조를 갖으며 캐패시터 유기전막은 무기 절연막으로 구성되는 것만이 다르다.

도 4를 참조하면, 기판(400)상에 게이트 전극(411)과, 일 예로 게이트 전극과 동일한 물질로 이루어진 캐패시터의 하부전극(417)이 형성된다. 상기 게이트 전극(411)과 하부전극(417) 및 기판상에 무기 절연막(430)이 전면 형성된다. 상기 무기 절연막(430)으로는 실리콘 산화막 및 실리콘 질화막과 같은 절연막과 Ta₂O₅, Y₂O₃, TiO₂, BST, PZT 및 BZT 등과 같은 고유전율의 절연막으로부터 선택되는 막을 포함한다.

기판중 캐패시터영역을 제외한 무기 절연막(430)상에 유기 절연막(420)이 형성된다. 유기 절연막(420)은 BCB, 폴리이미드, 파릴렌 및 PVP 으로부터 선택되는 절연막을 포함한다. 이때, 상기 유기 절연막(420)은 레이저 어블레이션방식 또는 사진식각법에 의한 패터닝방법에 의해 캐패시터영역을 제외한 무기 절연막(430)상에 형성된다.

또한, 상기 유기절연막(420)으로 네가티브 포토레지스트 또는 포지티브 포토레지스트와 같은 광경화성 수지를 사용할 수도 있다. 이때, 상기 유기 절연막(420)은 레이저 어블레이션방식 또는 노광 및 현상공정을 통한 패터닝방법에 의해 캐패시터영역을 제외한 무기 절연막(430)상에 형성된다.

여기서, 사진식각공정이라 함은 통상적인 감광막을 이용한 포토리소그래피공정을 의미한다. 노광 및 현상공정은 광경화성 수지를 패터닝하기 위한 방법으로 감광막없이 노광공정 및 현상공정만으로 패터닝하는 공정을 의미한다.

상기 무기 절연막(430)중 상기 하부전극(417)에 대응하는 부분(427)은 캐패시터 유전막으로 작용하고, 상기 무기절연막(430)중 상기 게이트전극(411)에 대응하는 부분(425a)과 상기 유기 절연막(420)중 상기 게이트전극(411)에 대응하는 부분(420a)은 유기 박막 트랜지스터의 게이트 절연막(421)으로 작용한다.

따라서, 박막 트랜지스터의 게이트 절연막(421)은 무기 절연막(425a)과 유기절연막(420a)의 하이브리드(hybrid) 구조를 갖으며, 캐패시터의 유전막(427)은 무기절연막(430)으로 형성되는 구조를 갖는다. 그러므로, 박막 트랜지스터의 절연특성을 유지하고 캐패시터의 캐패시턴스를 충분히 확보할 수 있다. 또한, 캐패시터 유전막(427)이 무기 절연막(430)만으로 구성되어 종래의 게이트 절연막(121)으로 사용되는 절연막(120)보다 상대적으로 얇은 두께를 갖게 되어 보다 큰 캐패시턴스를 확보할 수 있다.

상기 유기절연막(420)상에 상기 게이트 전극(411)의 양측과 오버랩되도록 소오스/드레인 전극(441), (445)이 형성되고, 상기 소오스/드레인 전극(441), (445)중 상기 소오스전극(441)에 연결되는 캐패시터 상부전극(447)이 무기 절연막(430)상에 형성된다. 상기 상부전극(447)은 소오스/드레인 전극과 동일한 물질로 이루어져서, 상기 하부전극(417)과 오버랩되도록 무기 절연막(430)상에 형성된다.

기판상에 유기 반도체층(450)이 형성되고, 상기 반도체층(450)상에 유기절연막으로 된 보호막(460)이 형성된다. 상기 보호막(460)상에는 상기 소오스/드레인 전극(441), (445)중 드레인 전극(445)에 비어홀(465)을 통해 연결되는 애노드전극(470)이 형성된다. 상기 애노드전극(470)의 일부분을 노출시키는 개구부(485)를 구비한 화소분리막(480)이 보호막(460)상에 형성되고, 상기 개구부(485)에 의해 노출되는 애노드전극(470)상에는 유기막층(490)이 형성되며, 기판전면에 상부전극(495)인 캐소드전극이 형성된다.

상기한 바와같은 본 발명의 다른 실시예에 따른 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치는 유기 박막 트랜지스터의 게이트 절연막으로 무기 절연막과 유기 절연막을 형성하고, 캐패시터 유전막을 무기 절연막으로 종래의 게이트 절연막보다 상대적으로 얇게 형성하여 줌으로써, 박막 트랜지스터의 절연특성을 유지하고 충분한 캐패시턴스를 확보할 수 있게 된다.

도 5는 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 5는 하나의 화소중 구동 유기 박막 트랜지스터, 캐패시터 및 유기전계 발광소자(EL)에 한정하여 도시한 것으로서, 도 2의 III-III 선에 대응하는 단면구조를 도시한 것이다.

본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치는 도 4에 도시된 다른 실시예에 따른 유기전계 발광표시장치와 동일하게 게이트 절연막은 유기 절연막과 무기 절연막의 하이브리드구조를 갖으며 캐패시터 유기전막은 무기 절연막으로 구성된다. 다만, 다른 실시예에서와는 달리 유기 절연막(520)상에 무기 절연막(525)이 적층되는 구조만이 상이하다.

도 5를 참조하면, 기판(500)상에 게이트 전극(511)과 일 예로 게이트 전극과 동일한 물질로 이루어진 캐패시터 하부전극(517)이 형성되고, 캐패시터 영역을 제외한 기판(500)상에 유기 절연막(520)이 형성된다. 상기 유기 절연막(520)으로 BCB, 폴리이미드, 파릴렌 및 PVP 로부터 선택되는 절연막을 포함한다. 이때, 상기 유기 절연막(520)은 레이저 어블레이션 방식 또는 사진식각법에 의한 패터닝방법에 의해 캐패시터영역을 제외한 기판(500)상에 형성된다.

또한, 상기 유기절연막(520)으로 네가티브 포토레지스트 또는 포지티브 포토레지스트와 같은 광경화성 수지를 사용할 수도 있다. 이때, 상기 유기 절연막(520)은 레이저 어블레이션 방식 또는 노광 및 현상공정을 통한 패터닝방법에 의해 캐패시터영역을 제외한 무기 절연막(430)상에 형성된다.

이어서, 기판전면에 무기 절연막(525)을 증착한다. 상기 무기절연막(525)은 실리콘 산화막 및 실리콘 질화막으로부터 선택되는 절연막과 Ta₂O₅, Y₂O₃, TiO₂, BST, PZT 및 BZT 들과 같은 고유전율의 절연막으로부터 선택되는 막을 포함한다.

상기 유기 절연막(520)중 유기 박막 트랜지스터의 게이트(511)에 대응하는 부분(525a)과 상기 무기 절연막(530)중 상기 게이트(511)에 대응하는 부분(520a)은 유기 박막 트랜지스터의 게이트 절연막(521)으로 작용하고, 상기 무기 절연막(530)중 상기 캐패시터 하부전극(517)에 대응하는 부분(527)은 캐패시터 유전막으로 작용한다.

이로써, 트랜지스터영역에는 유기절연막(525a)과 무기 절연막(520a)의 하이브리드 구조를 갖는 게이트 절연막(521)이 형성되고, 캐패시터 영역에는 무기 절연막(527)으로 된 캐패시터 유전막이 형성되므로, 절연특성 및 캐패시턴스 확보가 가능하다. 또한, 캐패시터 유전막(527)이 무기 절연막(525)만으로 구성되어 종래의 게이트 절연막보다 상대적으로 얇은 두께를 가지므로, 캐패시턴스를 보다 더 증대시킬 수 있다.

상기 게이트 전극(511)의 양측과 오버랩되도록 무기 절연막(530)상에 소오스/드레인 전극(541), (545)이 형성되며, 소오스/드레인 전극과 동일한 물질로 이루어진 캐패시터 상부전극(547)이 무기절연막(530)상에 형성된다. 상기 상부전극(547)은 상기소오스/드레인 전극(541), (545)중 소오스전극(541)에 연결되고, 캐패시터 하부전극(517)에 대응하여 형성된다.

상기 소오스/드레인 전극(541), (545) 및 무기 절연막(530)상에 유기 반도체층(550)이 형성되고, 상기 반도체층(550)상에 유기 보호막(560)이 형성된다. 상기 보호막(560)상에 비어홀(565)을 통해 상기 박막 트랜지스터의 드레인 전극(545)에 연결되는 화소전극인 애노드전극(570)이 형성된다. 상기 애노드전극(570)의 일부분을 노출시키는 개구부(585)를 구비한 화소분리막(580)이 기판상에 형성된다. 상기 화소분리막(580)에 형성된 개구부(585)내의 애노드전극(570)상에 유기막층(590)을 형성하고, 기판전면에 캐소드전극(595)을 형성한다.

상기한 바와같은 본 발명의 또 다른 실시예에 따른 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치는 유기 박막 트랜지스터의 게이트 절연막이 유기 절연막 및 무기절연막의 하이브리드구조를 갖으며, 캐패시터 유전막이 무기 절연막을 구비하므로, 박막 트랜지스터의 절연특성을 유지하고 충분한 캐패시턴스를 확보할 수 있다. 또한 캐패시터 유전막이 종래의 캐패시터 유전막으로 사용되는 게이트 절연막 보다 상대적으로 얇은 두께로 형성되므로 캐패시턴스를 보다 더 증대시킬 수 있다.

도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 유기 박막 트랜지스터를 구비한 유기전계발광표시장치의 제조방법을 설명하기 위한 공정 단면도로서, 박막 트랜지스터와 캐패시터에 한정하여 개략적으로 도시한다.

도 6a 에 도시된 바와같이, 기판(300)상에 게이트 전극물질을 증착한 다음 패터닝하여 트랜지스터영역에 게이트 전극(311)을 형성하고, 캐패시터 영역에 캐패시터 하부전극(317)을 형성한다. 도면상에는 도시되지 않았으나, 상기 게이트 전극(311) 및 캐패시터 하부전극(317) 형성시 도 2의 게이트 라인(210)도 형성되어진다.

이어서, 게이트 전극(311)과 캐패시터 하부전극(317)을 포함하는 기판(300)상에 유기 절연막(320a)을 증착한다. 상기 유기절연막(320a)으로 BCB, 파릴렌, 폴리이미드 및 PVP 등과 같은 유기막을 사용하거나 또는 광경화성 수지를 사용한다.

이어서, 상기 유기절연막(320a)중 캐패시터영역에 대응하는 부분을 제거하기 위하여 레이저 어블레이션 처리(Laser ablation treatment, LAT) (301)를 한다. 따라서, 도 6b에 도시된 바와같이 상기 유기 절연막(320a)중 캐패시터영역에 대응하는 부분은 레이저 어블레이션되어 제거된다.

상기 유기 절연막(320a)중 캐패시터 영역에 대응하는 부분을 제거하는 방법으로는 통상적인 사진식각공정을 통해 패터닝하여 캐패시터 영역에 대응하는 부분만을 제거할 수도 있다. 또한, 유기절연막(320a)으로 광경화성 수지를 사용하는 경우에는 노광 및 현상공정을 통해 유기 절연막(320a)중 캐패시터영역에 대응하는 부분을 제거할 수도 있다.

도 6c에 도시된 바와같이, 기관전면에 무기 절연막(330)을 증착한 다음, 도 6d에 도시된 바와같이 유기 절연막(320a)이 제거된 캐패시터영역에만 남도록 패터닝하여 캐패시터 유전막으로 사용되는 무기 절연막(327)을 형성한다. 따라서, 캐패시터영역에는 캐패시터 유전막으로 무기 절연막(327)이 형성되고, 트랜지스터영역에는 게이트 절연막(321)으로 유기 절연막이 형성된다.

이후 공정은 통상적인 유기 박막 트랜지스터를 구비하는 유기전계발광표시장치의 제조방법과 동일하다. 일 실시예에서는 유기절연막으로 된 게이트 절연막(321)을 형성한 다음 무기 절연막으로 된 캐패시터 유전막(327)을 형성하는 것을 예시하였으나, 무기 절연막으로 된 캐패시터 유전막(327)을 형성한 다음 유기 절연막으로 된 게이트 절연막(321)을 형성하는 것도 가능하다.

한편, 도 4에 도시된 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 제조방법을 살펴보면, 다음과 같다.

먼저, 게이트 전극(411)과 캐패시터 하부전극(417)을 기관(400)상에 형성된 다음 기관전면에 무기 절연막(430)을 증착하고, 상기 무기 절연막(430)상에 유기 절연막(420)을 증착한 다음 캐패시터 영역에 대응하는 유기 절연막(420)을 제거한다. 상기 캐패시터 영역에 대응하는 부분의 유기 절연막(420)은 레이저 어블레이션 처리, 감광막을 이용한 사진식각방법 또는 노광 및 현상공정을 통해 제거할 수 있다.

이로써, 트랜지스터영역에서는 무기 절연막(425a)과 유기절연막(420a)의 하이브리드구조를 갖는 게이트 절연막(421)이 형성되고, 캐패시터영역에서는 무기 절연막(430)으로 된 캐패시터 유전막(427)을 형성하게 된다. 이후 공정은 일 실시예에서와 동일하게 진행된다.

다음, 도 5에 도시된 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치의 제조방법을 살펴보면, 다음과 같다.

먼저, 게이트 전극(511)과 캐패시터 하부전극(517)을 기관(500)상에 형성한 다음 기관전면에 유기 절연막(520)을 전면 증착한다. 상기 유기 절연막(520)중 캐패시터 영역에 대응하는 유기 절연막(520)을 제거한다. 상기 캐패시터 영역에 대응하는 부분의 유기 절연막(520)은 레이저 어블레이션 처리, 감광막을 이용한 사진식각방법 또는 노광 및 현상공정을 통해 제거할 수 있다.

이어서, 상기 유기 절연막(520)을 포함하는 기관전면에 무기 절연막(530)을 전면증착한다. 이로써, 트랜지스터영역에서는 유기 절연막(520a)과 무기절연막(525a)의 하이브리드구조를 갖는 게이트 절연막(521)이 형성되고, 캐패시터영역에서는 무기 절연막(530)으로 된 캐패시터 유전막(527)이 형성된다. 이후 공정은 일 실시예에서와 동일하게 진행된다.

본 발명의 실시예는 바텀 콘택구조를 갖는 유기박막 트랜지스터를 구비하는 유기전계 발광표시장치에 대하여 설명하였으나, 탑 콘택구조를 갖는 유기박막 트랜지스터를 구비한 유기전계 발광표시장치 및 탑게이트구조를 갖는 유기전계 발광표시장치에서도 게이트 절연막을 유기막으로 형성하고 캐패시터 유전막을 무기막으로 형성하여, 절연특성 유지 및 캐패시턴스를 확보할 수 있다.

본 발명은 스위칭소자로서 유기박막 트랜지스터를 구비하는 유기전계 발광표시장치에 대하여 설명하였으나, 유기박막 트랜지스터를 스위칭 소자로 사용하는 액정표시장치와 같은 평판표시장치에 적용하여 박막 트랜지스터의 절연특성을 유지함과 동시에 충분한 캐패시턴스를 확보할 수 있다.

발명의 효과

본 발명의 유기박막 트랜지스터를 구비한 유기전계 발광표시장치에 따르면, 게이트 절연막으로는 유기절연막을 사용하여 박막 트랜지스터의 절연특성을 유지하고, 캐패시터 유전막으로는 무기 절연막을 사용하여 충분한 캐패시턴스를 확보할 수 있는 이점이 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 종래의 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치의 단면도,

도 2는 본 발명의 실시예에 따른 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치의 평면도,

도 3은 본 발명의 일 실시예에 따른 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치의 단면도,

도 4는 본 발명의 다른 실시예에 따른 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치의 단면도,

도 5는 본 발명의 또 다른 실시예에 따른 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치의 단면도,

도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 유기 박막 트랜지스터를 구비한 유기전계 발광표시장치의 제조방법을 설명하기 위한 공정 단면도,

* 도면의 주요 부분에 대한 부호의 설명 *

300, 400, 400 : 기판 311, 411, 511 : 게이트 전극

317, 417, 517 : 하부전극 321, 421, 521 : 게이트 절연막

327, 427, 527 : 유전막 350, 450, 550 : 반도체층

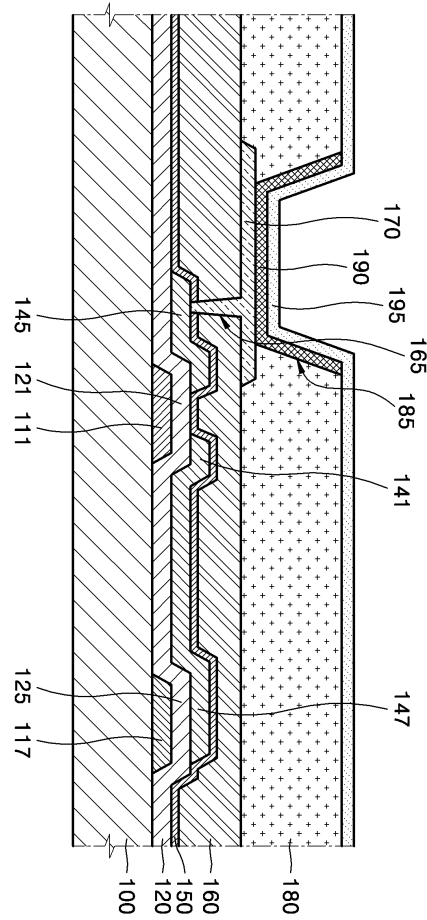
341, 345, 441, 445, 541, 545 : 소오스/드레인 전극

347, 447, 547 : 상부전극 360, 460, 560 : 보호막

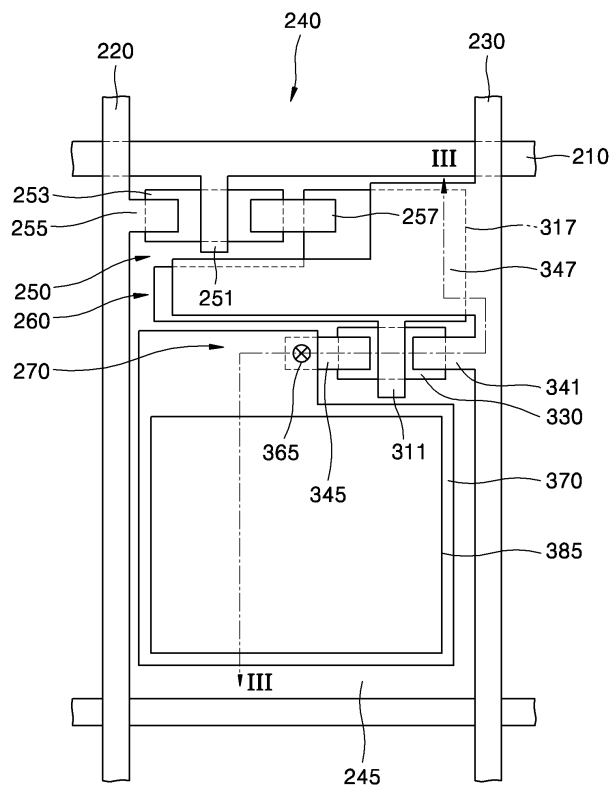
370, 470, 570 : 애노드전극 395, 495, 595 : 캐소드전극

도면

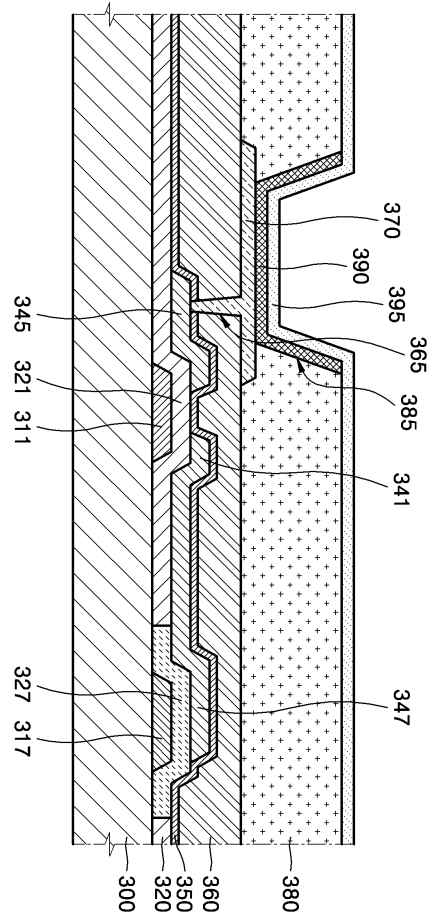
도면1



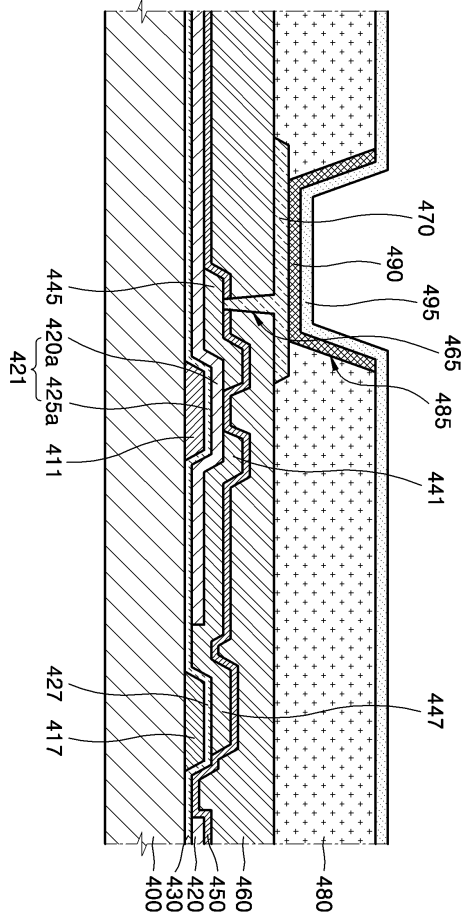
도면2



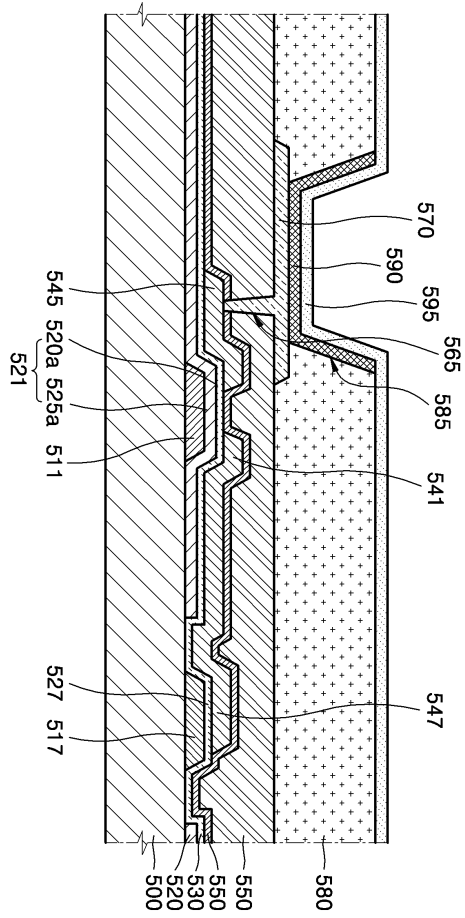
도면3



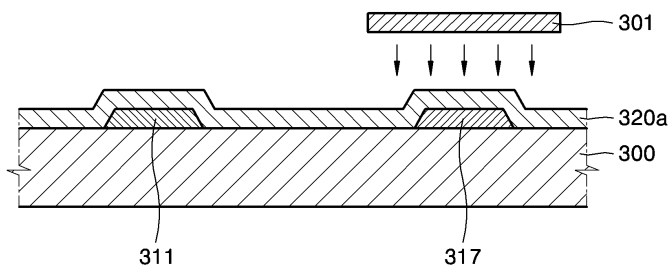
도면4



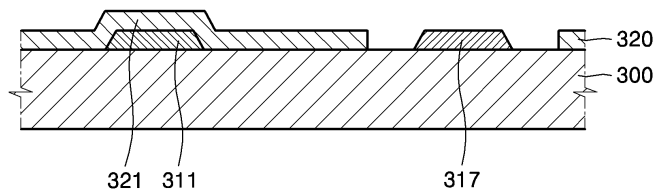
도면5



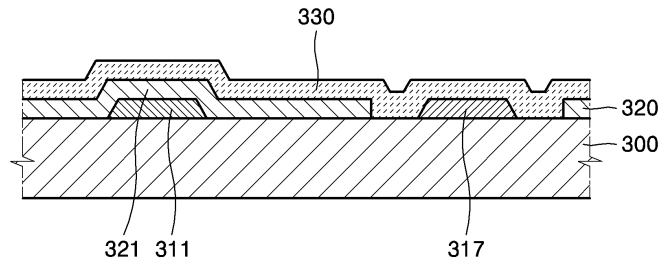
도면6a



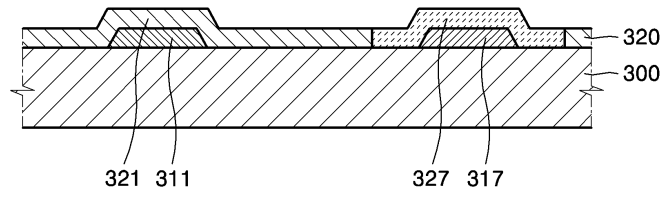
도면6b



도면6c



도면6d



专利名称(译)	具有有机薄膜晶体管的有机发光显示装置及其制造方法		
公开(公告)号	KR100683685B1	公开(公告)日	2007-02-15
申请号	KR1020040086779	申请日	2004-10-28
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	LEE HUNJUNG 이헌정 KOO JAEON 구재본 SUH MINCHUL 서민철		
发明人	이헌정 구재본 서민철		
IPC分类号	H05B33/00 H05B33/10		
CPC分类号	H01L21/31691 H01L51/0529 H01L51/0545 H01L51/10 H01L21/31637 H01L28/40 H01L21/31604		
代理人(译)	李, 杨HAE		
其他公开文献	KR1020060037732A		
外部链接	Espacenet		

摘要(译)

用途：提供具有有机TFT的OLED（有机发光二极管）及其制造方法，以通过使用有机绝缘层作为栅极绝缘层来保持TFT的绝缘特性。

