



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월09일 10-0666645 2007년01월03일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0086437 2005년09월15일 2005년09월15일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	최상무 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
(74) 대리인	박상수

심사관 : 추장희

전체 청구항 수 : 총 6 항

(54) 유기 전계발광 표시장치

(57) 요약

ELVDD 전극 및 DC-DC 컨버터 전극이 구비되는 유기 전계발광 표시장치를 개시한다. 즉, 유기 전계발광 표시장치는 표시 패널부에 전달되는 ELVDD 전압 및 DC-DC 컨버터 전압이 병렬 연결된 제 1 커패시터와 제 2 커패시터에 인가됨으로써 출력 부하의 안정에 따른 상기 표시 패널부의 발광 효율이 높아진다.

또한, 상기 DC-DC 컨버터 전압을 수신하는 별도의 커패시터가 제공되지 않음에 따른 유기 전계발광 표시장치의 레이아웃 공간 확보 및 레이아웃 설계 편리성을 향상시킨다.

대표도

도 2

특허청구의 범위

청구항 1.

제 1 전압을 생성하는 전원부, 상기 제 1 전압을 공급받아 소정의 레벨로 인버팅하고 승압시켜 제 2 전압을 생성하는 DC-DC 컨버터와 상기 DC-DC 컨버터, 스캔 드라이버를 탑재하고 다수의 픽셀을 통하여 디스플레이되는 표시 패널부를 구비하는 유기 전계발광 표시장치에 있어서,

상기 전원부로부터 제 1 전압을 공급받아 다수의 제 1 공급 라인을 통하여 상기 표시 패널부로 전달하는 제 1 전극;

상기 DC-DC 컨버터로부터 제 2 전압을 공급받아 다수의 제 2 공급 라인을 통하여 상기 표시 패널부로 전달하는 제 2 전극; 및

상기 DC-DC 컨버터와 제 2 전극을 서로 연결시키는 DC-DC 컨버터 링크 전극을 포함하며,

상기 제 1 전극 및 제 2 전극이 서로 상응되도록 배치됨에 따라, 커패시터를 형성하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 2.

제 1 항에 있어서, 상기 DC-DC 컨버터 링크 전극은 상기 제 2 전극의 일부분이 노출되도록 생성시킨 콘택홀에 금속 물질을 삽입하여 상기 DC-DC 컨버터와 제 2 전극이 서로 연결되도록 생성시킨 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 3.

제 2 항에 있어서, 상기 제 1 전극의 제 1 전압과 제 2 전극의 제 2 전압 사이에 형성되는 전위차로 인하여 상기 제 1 전극과 제 2 전극은 커패시턴스가 형성되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 4.

제 3 항에 있어서, 상기 제 1 공급 라인으로부터 출력되는 제 1 전압은 상기 제 2 전극으로부터 출력되는 제 2 전압과 동일 일방면으로 상기 표시 패널부에 인가되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 5.

제 4 항에 있어서, 상기 제 1 전압은 상기 제 1 공급 라인을 통하여 상기 표시 패널부에 구비되는 다수의 픽셀로 전달되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 6.

제 4 항에 있어서, 상기 제 2 전압은 상기 제 2 공급 라인을 통하여 상기 표시 패널부에 구비되는 스캔 드라이버에 전달되는 것을 특징으로 하는 유기 전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 표시장치에 관한 것으로, 더욱 상세하게는 표시 패널부에 전달되는 ELVDD 전압 및 DC-DC 컨버터 전압이 병렬 연결된 제 1 커패시터와 제 2 커패시터에 인가됨으로써 출력 부하의 안정에 따른 상기 표시 패널부의 발

광 효율을 높이고, 상기 DC-DC 컨버터 전압을 수신하는 별도의 커패시터가 제공되지 않음에 따른 유기 전계발광 표시장치의 레이아웃 공간 확보 및 레이아웃 설계 편리성을 향상시키기 위한 ELVDD 전극 및 DC-DC 컨버터 전극이 구비되는 유기 전계발광 표시장치에 관한 것이다.

일반적으로, 유기 전계발광 표시장치는 유리 기판 또는 투명한 유기 필름 위에 도포한 형광체에 전계를 인가하여 발광시키는 평면 자기 발광형 디스플레이이다. 전계발광(Electro Luminescence)이란 반도체로 이루어진 형광체에 전계가 인가될 때, 발광하는 현상을 가리킨다.

최근, 경량, 박형 등의 특성으로 휴대용 정보기기에 액정표시장치 LCD와 유기 EL 표시장치 OLED 등이 많이 사용되고 있다. 유기 전계발광 표시장치는 액정표시장치에 비하여 휘도특성 및 시야각 특성이 우수하여 차세대 평판표시장치로 주목받고 있다.

통상, 액티브 매트릭스 유기 전계발광 표시장치 AMOLED에 형성된 화소는 R, G, B 부화소로 구성되고, 각 R, G, B 부화소는 유기 전계발광 표시소자를 구비한다. 각 유기 전계발광 표시소자는 애노드 전극과 캐소드 전극 사이에 각 R, G, B 유기 발광층을 개재하고, 애노드 전극과 캐소드 전극에 인가되는 전압에 의해 R, G, B 유기발광층으로 형성된 유기막으로부터 소정의 광을 발광한다.

또한, 액티브 매트릭스 유기 EL 표시장치 AMOLED는 전압 기입 방식(Voltage programming method) 또는 전류 기입 방식(Current programming method)을 사용하여 N*M 개의 유기 전계발광 표시소자들을 구동시킨다.

본 발명과 관련되고, 본 발명에 의해 해결되는 문제점은 다음과 같다.

ELVDD 전압 및 DC-DC 컨버터 전압이 유기 전계발광 표시장치의 표시 패널부로 전달되도록 하기 위하여 별도의 커패시터가 구성됨에 따라 출력 부하의 안정성이 떨어지고, 유기 전계발광 표시장치의 레이아웃 공간이 늘어나는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 유기 전계발광 표시장치의 표시 패널부에 전달되는 ELVDD 전압 및 DC-DC 컨버터 전압이 병렬 연결된 제 1 커패시터와 제 2 커패시터에 인가됨으로써 출력 부하의 안정에 따른 상기 표시 패널부의 발광 효율이 높아지게 하고, 상기 DC-DC 컨버터 전압을 수신하는 별도의 커패시터가 제공되지 않음에 따른 유기 전계발광 표시장치의 레이아웃 공간 확보 및 레이아웃 설계 편리성을 향상시키는 것을 제공한다.

발명의 구성

제 1 전압을 생성하는 전원부, 상기 제 1 전압을 공급받아 소정의 레벨로 인버팅하고 증압시켜 제 2 전압을 생성하는 DC-DC 컨버터와 상기 DC-DC 컨버터, 스캔 드라이버를 탑재하고 다수의 픽셀을 통하여 디스플레이되는 표시 패널부를 구비하는 유기 전계발광 표시장치에 있어서,

상기 전원부로부터 제 1 전압을 공급받아 다수의 제 1 공급 라인을 통하여 상기 표시 패널부로 전달하는 제 1 전극; 상기 DC-DC 컨버터로부터 제 2 전압을 공급받아 다수의 제 2 공급 라인을 통하여 상기 표시 패널부로 전달하는 제 2 전극; 및 상기 DC-DC 컨버터와 제 2 전극을 서로 연결시키는 DC-DC 컨버터 링크 전극을 포함하며, 상기 제 1 전극 및 제 2 전극이 서로 상응되도록 배치됨에 따라, 커패시터를 형성하는 것을 특징으로 하는 유기 전계발광 표시장치를 제공한다.

이하, 본 발명의 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

도 1은 본 발명의 실시예에 따른 표시 패널부가 구비되는 유기 전계발광 표시장치를 대략적으로 도시한 블록도이다.

도 1을 참조하면, 유기 전계발광 표시장치는 표시 패널부(100) 및 전원부(200)를 포함한다.

즉, 상기 표시 패널부(100)는 열 방향으로 뻗어있는 다수의 데이터 라인(D1-Dm), 행 방향으로 뻗어 있는 다수의 스캔 라인(S1-Sn), 행 방향으로 뻗어있는 다수의 발광제어 라인(EMI1-EMIn), 다수의 픽셀(P11-Pnm : 110), 스캔 드라이버(120), 데이터 드라이버(130) 및 DC-DC 컨버터(140)를 구비한다.

먼저, 상기 다수의 픽셀(P11-Pnm : 110)은 다수의 데이터 라인(D1-Dm), 다수의 스캔 라인(S1-Sn) 및 다수의 발광제어 라인(EMI1-EMI_n)이 교차하는 영역에 의해 정의되는 픽셀 영역(115)에 형성된다.

세부적으로, 상기 다수의 픽셀(P11-Pnm : 110)은 상기 다수의 픽셀 회로가 전기적으로 연결됨에 의해 이미 탑재된 유기 전계발광 표시소자 OLED를 통하여 디스플레이 동작을 실행한다.

상기 스캔 드라이버(120)는 다수의 스캔 라인(S1-Sn) 및 다수의 발광제어 라인(EMI1-EMI_n)에 연결되어 상기 다수의 픽셀(P11-Pnm : 110)을 순차적으로 선택하기 위한 스캔 신호(S1, S2, S3,...,Sn) 및 발광시간을 제어하는 발광제어 신호(EMI1, EMI2, EMI3,...,EMI_n)를 인가한다.

상기 데이터 드라이버(130)는 다수의 데이터 라인(D1, D2, D3,..., Dm)과 연결되어 상기 스캔 드라이버(130)의 스캔 신호에 의해 선택된 픽셀이 디스플레이되게 하기 위한 데이터 신호를 인가한다. 즉, 상기 데이터 신호에 상응하는 구동 전류가 상기 픽셀에 인가되고, 상기 구동 전류는 상기 픽셀에 형성된 픽셀 회로에 전기적인 연결흐름에 따라 상기 유기 전계발광 표시소자 OLED로 전달된다. 그 결과, 상기 유기 전계발광 소자 OLED는 디스플레이된다.

상기 DC-DC 컨버터(140)는 일반적으로 직류 전압을 스위칭시켜 교류 전압으로 인버팅하고, 코일, 트랜스 및 커패시턴스 등을 이용해 상기 교류 전압을 승압 또는 강압시킨 후 다시 정류시켜 DC-DC 컨버터 전압으로 만드는 회로이다.

즉, 본 발명에 따른 DC-DC 컨버터(140)는 상기 유기 전계발광 표시장치에 포함되는 전원부(150)로부터 소정의 전원 전압을 공급받아 소정의 레벨로 인버팅하고 승압하여 DC-DC 컨버터 전압을 생성한다. 또한, 상기 DC-DC 컨버터(140)는 이미 구비되는 다수의 공급 라인을 통하여 상기 스캔 드라이버(120)로 상기 DC-DC 컨버터 전압을 전달한다.

여기서, 상기 전원부(150)는 상기 스캔 드라이버(120)를 제외한 나머지 상기 DC-DC 컨버터(140), 다수의 픽셀(110) 및 데이터 드라이버(130)로 상기 전원 전압을 인가시킨다.

도 2는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 표시 패널부의 일부를 절단한 단면도이다.

도 2를 참조하면, 본 발명의 실시예에 따른 단면도는 커패시터부(200)와 스캔 드라이버부(210)로 구분되며, 상기 유기 전계발광 표시장치의 표시 패널부는 스캔 드라이버를 탑재하고 다수의 픽셀을 통하여 디스플레이 동작을 실행한다.

먼저, 상기 단면도를 형성하는 제조 공정은 유리나 합성 수지 등으로 이루어진 기판(220)을 구비하며, 상기 기판(220) 상부로부터 유출되는 불순물을 막아주기 위해 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막/질화막(SiO₂/SiN_x)의 적층막 중에 하나를 선택하여 버퍼층(230)을 형성한다.

단, 상기 버퍼층은 반드시 형성되어야 하는 것은 아니며, 선택적으로 형성하는 것이 바람직하다.

다음, 상기 기판 전면에 걸쳐 비정질 실리콘막을 도포하고 결정화시켜 폴리 실리콘막을 형성한 후, 상기 폴리 실리콘막을 패터닝하여 상기 커패시터부(200)에 제 1 반도체층 패턴(240) 및 스캔 드라이버부(210)에 제 2 반도체층 패턴(250)이 구비되게 하고, 상기 기판 전면에 걸쳐 게이트 절연막(260)을 형성한다.

다음, 상기 게이트 절연막(260) 상부에 상기 커패시터부(200)에 형성된 상기 제 1 반도체층 패턴(240)과 대응되도록 게이트 전극 물질을 증착 및 패터닝하여 제 1 금속막 패턴(270)을 형성한다.

단, 본 발명의 실시예에 따른 상기 게이트 전극 물질은 상기 제 1 반도체층 패턴(240)의 크기만큼 편방향으로 증착하고 패터닝하여 상기 제 1 금속막 패턴(270)을 형성한다. 또한, 상기 제 1 금속막 패턴(270)은 하부 전극 또는 DC-DC 컨버터 전극으로 충칭하며 명명된다.

다음, 상기 게이트 절연막(260) 상부에 상기 스캔 드라이버부(210)에 정의된 상기 제 2 반도체층 패턴(250)의 채널 영역과 대응되도록 게이트 전극 물질을 증착 및 패터닝하여 제 2 금속막 패턴(280)을 형성하고 상기 제 2 금속막 패턴(280)을 마스크로 하여 상기 스캔 드라이버부(210)의 제 2 반도체층 패턴을 이온 도핑함으로써, 소스 영역과 드레인 영역을 정의한다.

여기서, 상기 게이트 전극 물질은 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al) 또는 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 적어도 하나의 금속 물질로 이루어진다.

다음, 상기 기판 전면에 걸쳐 층간 절연막(290)을 형성하고, 상기 커패시터부(200)에 형성된 층간 절연막(290)과 게이트 절연막(260)을 관통시켜 상기 제 1 반도체층 패턴(240)의 소정의 일부분이 노출되도록 제 1 콘택홀(300)을 형성한다.

또한, 상기 커패시터부(200)에 있어서, 상기 제 1 반도체층 패턴(240) 중에 상기 제 1 콘택홀(300)을 형성한 하나 외에 다른 하나는 상기 커패시터부(200)에 형성된 층간 절연막(290)만을 관통시키는 제 2 콘택홀(310)을 형성하여 상기 제 1 반도체층 패턴(240)의 크기만큼 생성시킨 제 1 금속막 패턴(270)의 일부분이 노출되도록 한다.

다음, 상기 스캔 드라이버부(210)에 형성된 층간 절연막(290)과 게이트 절연막(260)을 관통시켜 상기 제 2 반도체층 패턴(250)의 소스 영역과 드레인 영역의 소정의 일부분이 노출되도록 제 3 콘택홀(320)을 형성한다.

다음, 상기 커패시터부(200)에 제 1 콘택홀(300)을 통하여 상기 층간 절연막(290) 상부와 제 1 반도체층 패턴(240)의 소스/드레인 영역이 각각 연결되도록 소스/드레인 전극 물질을 증착하고 패터닝하여 제 1 소스/드레인 전극(330)을 형성한다. 이에 따라, 상기 제 1 소스/드레인 전극(330)은 이미 연결된 다수의 제 1 공급 라인 전극을 이용하여 전원부로부터 인가되는 전원 전압인 ELVDD 전압을 표시 패널부로 전달한다.

여기서, 상기 제 1 소스/드레인 전극(330)은 상부 전극 또는 ELVDD 전극으로 총칭하여 명명되며, 상기 제 1 소스/드레인 전극(330)은 상기 하부 전극인 DC-DC 컨버터 전극과 커패시터를 이루도록 상기 층간 절연막(290) 상부에 상기 DC-DC 컨버터 전극 크기만큼 증착 및 패터닝된다.

다음, 상기 커패시터부(200)에 있어서, 상기 층간 절연막(290) 상부에 ELVDD 전극을 형성시킨 하나 외에 다른 하나에 제 2 콘택홀(310)을 통하여 상기 층간 절연막(290) 상부와 제 1 금속막 패턴(270)이 연결되도록 소스/드레인 전극 물질을 증착하고 패터닝하여 제 2 소스/드레인 전극(340)을 형성한다. 이에 따라, 상기 제 2 소스/드레인 전극(340)은 이미 연결된 DC-DC 컨버터 전극 및 다수의 제 2 공급 라인 전극을 이용하여 DC-DC 컨버터 전압을 표시 패널부로 전달한다.

다시 말해, 상기 제 2 소스/드레인 전극(340)은 상기 전원부로부터 인가되는 ELVDD 전압을 공급받아 소정의 레벨로 인버팅하고 증압하는 DC-DC 컨버터부를 통하여 생성된 DC-DC 컨버터 전압을 상기 표시 패널부로 전달한다.

여기서, 상기 제 2 소스/드레인 전극(340)은 DC-DC 컨버터 링크 전극으로 총칭하여 명명되고 상기 제 2 소스/드레인 전극(340)은 상기 DC-DC 컨버터와 회로적으로 연결된다.

다음, 상기 스캔 드라이버부(210)에 층간 절연막(290) 상부와 제 2 반도체층 패턴(210)의 소스/드레인 영역이 각각 연결되도록 제 3 콘택홀(320)을 통하여 소스/드레인 전극 물질을 증착하고 패터닝하여 제 3 소스/드레인 전극(350)을 형성한다.

여기서, 상기 소스/드레인 전극 물질은 텅스텐(W), 몰리브덴(Mo), 알루미늄(Al) 또는 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 적어도 하나의 금속 물질로 이루어진다.

다음, 상기 커패시터부(200)와 스캔 드라이버부(210)를 포함하는 상기 기판 전면에 걸쳐 실리콘 산화막(SiO_2), 실리콘 질화막(SiN_x) 및 이들의 적층막 중에 하나를 선택하여 패시베이션막(290)을 형성한다.

단, 상기 패시베이션막은 반드시 형성되어야 하는 것은 아니며, 선택적으로 형성한다.

다음, 상기 패시베이션막 상부에 아크릴계 수지, 벤조사이클로부텐 수지(BCB), 폴리이미드 수지(PI), SOG(Spin On Glass), 아크릴레이트(Acrylate) 또는 폴리 페놀 수지 중에 적어도 하나의 유기막인 평탄화막을 형성한다.

본 발명의 실시예에 따라, 상기 상부 전극인 ELVDD 전극과 상기 DC-DC 컨버터 링크 전극과 상기 제 2 콘택홀(310)을 통해 연결된 하부 전극인 DC-DC 컨버터 전극은 제 1 커패시터를 형성한다. 또한, 상기 DC-DC 컨버터 링크 전극과 제 2 콘택홀(310)을 통해 연결된 하부 전극인 DC-DC 컨버터 전극과 상기 제 1 반도체층 패턴(240)은 제 2 커패시터를 형성한다.

따라서, 상기 표시 패널부에 전달되는 ELVDD 전압 및 DC-DC 컨버터 전압이 병렬 연결된 제 1 커패시터와 제 2 커패시터에 인가됨으로써 출력 부하의 안정에 따른 상기 표시 패널부의 발광 효율이 높아진다. 또한, 상기 DC-DC 컨버터 전압을 수신하는 별도의 커패시터가 제공되지 않음에 따른 유기 전계발광 표시장치의 레이아웃 공간 확보 및 레이아웃 설계 편리성을 향상시킨다.

단, 본 발명의 실시예에 따라, 상기 ELVDD 전극이 제 1 전극이면 DC-DC 컨버터 전극은 제 2 전극이고, ELVDD 전극이 제 1 전극이면 DC-DC 컨버터 전극은 제 2 전극인 것임을 유의한다.

도 3는 본 발명의 다른 실시예에 따른 유기 전계발광 표시장치의 표시 패널부의 일부를 절단한 단면도이다.

도 3를 참조하면, 본 발명의 다른 실시예에 따른 단면도는 커패시터부(200)와 스캔 드라이버부(210)로 구분되며, 상기 유기 전계발광 표시장치의 표시 패널부는 스캔 드라이버를 탑재하고 다수의 픽셀을 통하여 디스플레이 동작을 실행한다.

먼저, 상기 단면도를 형성하는 제조 공정은 유리나 합성 수지 등으로 이루어진 기판(220)을 구비하며, 상기 기판(220) 상부로부터 유출되는 불순물을 막아주기 위해 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막/질화막($\text{SiO}_2/\text{SiN}_x$)의 적층막 중에 하나를 선택하여 버퍼층(230)을 형성한다.

단, 상기 버퍼층(230)은 반드시 형성되어야 하는 것은 아니며, 선택적으로 형성하는 것이 바람직하다.

다음, 상기 기판 전면에 걸쳐 비정질 실리콘막을 도포하고 결정화시켜 폴리 실리콘막을 형성한 후, 상기 폴리 실리콘막을 패터닝하여 상기 커패시터부(200)에 제 1 반도체층 패턴(240) 및 스캔 드라이버부(210)에 제 2 반도체층 패턴(250)이 구비되게 하고, 상기 기판 전면에 걸쳐 게이트 절연막(260)을 형성한다.

다음, 상기 게이트 절연막(260) 상부에 상기 커패시터부(200)에 형성된 상기 제 1 반도체층 패턴(240)과 대응되도록 게이트 전극 물질을 증착 및 패터닝하여 제 1 금속막 패턴(270)을 형성한다.

단, 본 발명의 다른 실시예에 따른 상기 게이트 전극 물질은 상기 제 1 반도체층 패턴(240)의 크기만큼 편방향으로 증착하고 패터닝하여 상기 제 1 금속막 패턴(240)을 형성한다. 또한, 상기 제 1 금속막 패턴(240)은 하부 전극 또는 ELVDD 전극으로 충칭하며 명명된다.

다음, 상기 게이트 절연막(260) 상부에 상기 스캔 드라이버부(210)에 정의된 상기 제 2 반도체층 패턴(250)의 채널 영역과 대응되도록 게이트 전극 물질을 증착 및 패터닝하여 제 2 금속막 패턴(280)을 형성하고 상기 제 2 금속막 패턴(280)을 마스크로 하여 상기 스캔 드라이버부(210)의 제 2 반도체층 패턴(250)을 이온 도핑함으로써, 소스 영역과 드레인 영역을 정의한다.

여기서, 상기 게이트 전극 물질은 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al) 또는 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 적어도 하나의 금속 물질로 이루어진다.

다음, 상기 기판 전면에 걸쳐 층간 절연막(290)을 형성하고, 상기 커패시터부(200)에 형성된 층간 절연막(290)과 게이트 절연막(260)을 관통시켜 상기 제 1 반도체층 패턴(240)의 소정의 일부분이 노출되도록 제 1 콘택홀(300)을 형성한다.

또한, 상기 커패시터부(200)에 있어서, 상기 제 1 반도체층 패턴(240) 중에 상기 제 1 콘택홀(300)을 형성한 하나 외에 다른 하나는 상기 커패시터부(200)에 형성된 층간 절연막(290)만을 관통시키는 제 2 콘택홀(310)을 통하여 상기 제 1 반도체층 패턴(240)의 크기만큼 생성시킨 제 1 금속막 패턴(270)의 일부분이 노출되도록 한다.

다음, 상기 스캔 드라이버부(210)에 형성된 층간 절연막(290)과 게이트 절연막(260)을 관통시켜 상기 제 2 반도체층 패턴(250)의 소스 영역과 드레인 영역의 소정의 일부분이 노출되도록 제 3 콘택홀(320)을 형성한다.

다음, 상기 커패시터부(200)에 제 1 콘택홀(300)을 통하여 상기 층간 절연막(290) 상부와 제 1 반도체층 패턴(240)의 소스/드레인 영역이 각각 연결되도록 소스/드레인 전극 물질을 증착하고 패터닝하여 제 1 소스/드레인 전극(270)을 형성한다. 즉, 상기 제 1 소스/드레인 전극(270)은 이미 연결된 다수의 제 1 공급 라인 전극을 이용하여 DC-DC 컨버터 전압을 표시 패널부로 전달한다.

다시 말해, 상기 제 1 소스/드레인 전극(270)은 전원부로부터 인가되는 ELVDD 전압을 공급받아 소정의 레벨로 인버팅하고 승압하는 DC-DC 컨버터부를 통하여 생성된 DC-DC 컨버터 전압을 상기 표시 패널부로 전달한다.

여기서, 상기 제 1 소스/드레인 전극(270)은 상부 전극 또는 DC-DC 컨버터 전극으로 총칭하여 명명되며, 상기 제 1 소스/드레인 전극(270)인 DC-DC 컨버터와 회로적으로 연결된다.

다음, 상기 커패시터부(200)에 있어서, 상기 층간 절연막(290) 상부에 DC-DC 컨버터 전극을 형성시킨 하나 외에 다른 하나에 제 2 콘택홀(310)을 통하여 상기 층간 절연막(290) 상부와 제 1 금속막 패턴(270)이 연결되도록 소스/드레인 전극 물질을 증착하고 패터닝하여 제 2 소스/드레인 전극(340)을 형성한다. 이에 따라, 상기 제 2 소스/드레인 전극(340)은 이미 연결된 다수의 제 2 공급 라인 전극을 이용하여 전원부로부터 인가되는 전원 전압인 ELVDD 전압을 표시 패널부로 전달한다.

여기서, 상기 제 2 소스/드레인 전극(340)은 ELVDD 링크 전극으로 총칭하여 명명되며, 상기 제 2 소스/드레인 전극(340)은 상기 DC-DC 컨버터 전극과 커패시터를 이루도록 상기 층간 절연막(290) 상부에 상기 ELVDD 전극 크기만큼 증착 및 패터닝된다.

다음, 상기 스캔 드라이버부(210)에 제 3 콘택홀(320)을 통하여 층간 절연막(290)상부와 제 2 반도체층 패턴(250)의 소스/드레인 영역이 각각 연결되도록 소스/드레인 전극 물질을 증착하고 패터닝하여 제 3 소스/드레인 전극(280)을 형성한다.

여기서, 상기 소스/드레인 전극 물질은 텅스텐(W), 몰리브덴(Mo), 알루미늄(Al) 또는 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 적어도 하나의 금속 물질로 이루어진다.

다음, 상기 커패시터부(200)와 스캔 드라이버부(210)를 포함하는 상기 기판 전면에 걸쳐 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx) 및 이들의 적층막 중에 하나를 선택하여 패시베이션막(360)을 형성한다.

단, 상기 패시베이션막(360)은 반드시 형성되어야 하는 것은 아니며, 선택적으로 형성한다.

다음, 상기 패시베이션막(360) 상부에 아크릴계 수지, 벤조사이클로부텐 수지(BCB), 폴리이미드 수지(PI), SOG(Spin On Glass), 아크릴레이트(Acrylate) 또는 폴리 페놀 수지 중에 적어도 하나의 유기막인 평탄화막(370)을 형성한다.

본 발명의 실시예에 따라, 상기 상부 전극인 DC-DC 컨버터 전극과 상기 ELVDD 링크 전극과 상기 제 2 콘택홀(310)을 통해 연결된 하부 전극인 ELVDD 전극과 접촉되어 제 1 커패시터를 형성한다. 또한, 상기 ELVDD 링크 전극과 상기 제 2 콘택홀(310)을 통해 연결된 하부 전극인 ELVDD 전극과 상기 제 1 반도체층 패턴은 제 2 커패시터를 형성한다.

따라서, 상기 표시 패널부에 전달되는 ELVDD 전압 및 DC-DC 컨버터 전압이 병렬 연결된 제 1 커패시터와 제 2 커패시터에 인가됨으로써 출력 부하의 안정에 따른 상기 표시 패널부의 발광 효율이 높아진다. 또한, 상기 DC-DC 컨버터 전압을 수신하는 별도의 커패시터가 제공되지 않음에 따른 유기 전계발광 표시장치의 레이아웃 공간 확보 및 레이아웃 설계 편리성을 향상시킨다.

단, 본 발명의 실시예에 따라, 상기 ELVDD 전극이 제 1 전극이면 DC-DC 컨버터 전극은 제 2 전극이고, ELVDD 전극이 제 1 전극이면 DC-DC 컨버터 전극은 제 2 전극인 것임을 유의한다.

상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음은 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명에 따르면, 유기 전계발광 표시장치는 표시 패널부에 전달되는 ELVDD 전압 및 DC-DC 컨버터 전압이 병렬 연결된 제 1 커패시터와 제 2 커패시터에 인가됨으로써 출력 부하의 안정에 따른 상기 표시 패널부의 발광 효율이 높아진다.

또한, 상기 DC-DC 컨버터 전압을 수신하는 별도의 커패시터가 제공되지 않음에 따른 유기 전계발광 표시장치의 레이아웃 공간 확보 및 레이아웃 설계 편리성을 향상시키는 효과를 준다.

도면의 간단한 설명

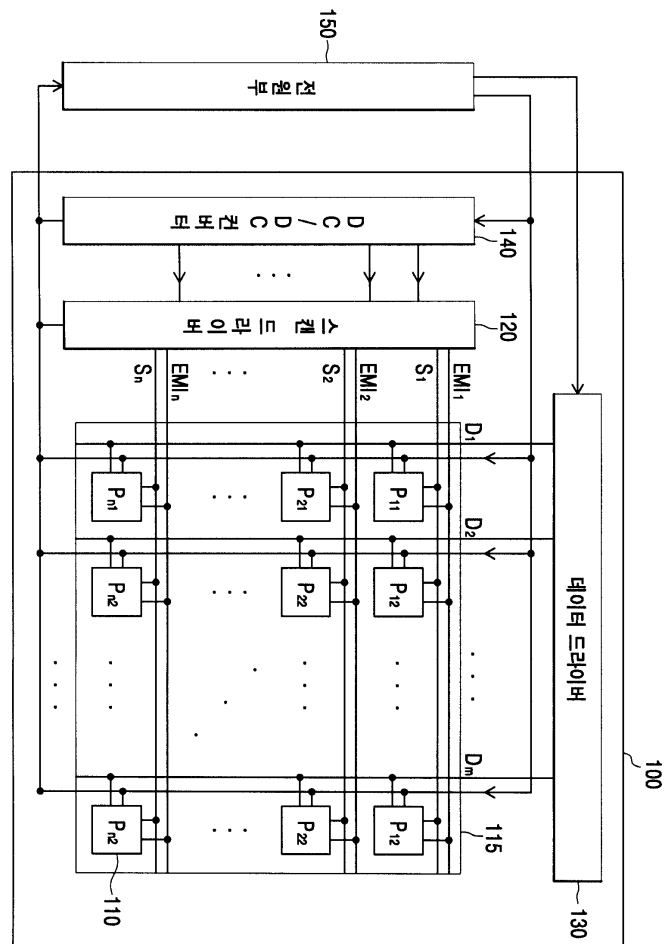
도 1은 본 발명의 실시예에 따른 표시 패널부가 구비되는 유기 전계발광 표시장치를 대략적으로 도시한 블록도이다.

도 2는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 표시 패널부의 일부를 절단한 단면도이다.

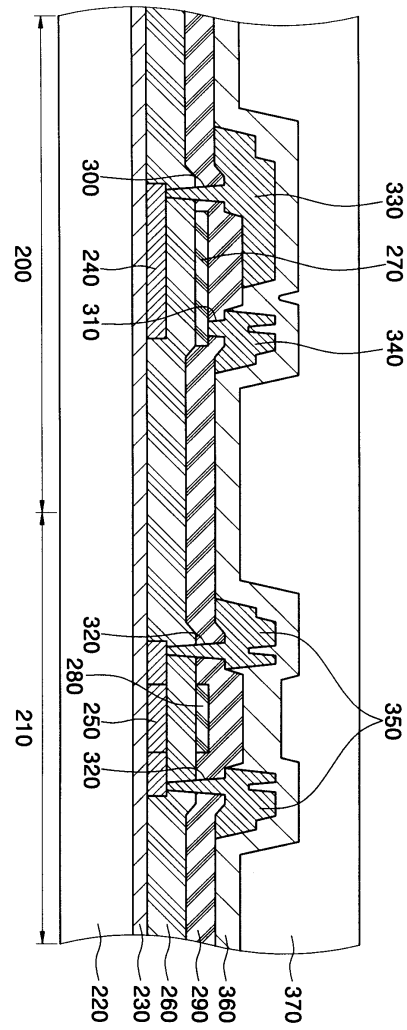
도 3은 본 발명의 다른 실시예에 따른 유기 전계발광 표시장치의 표시 패널부의 일부를 절단한 단면도이다.

도면

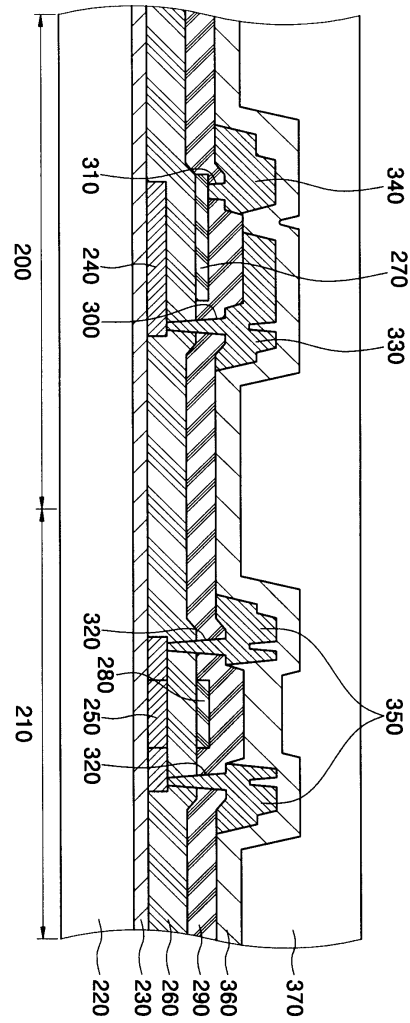
도면1



도면2



도면3



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR100666645B1	公开(公告)日	2007-01-09
申请号	KR1020050086437	申请日	2005-09-15
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHOI SANG MOO		
发明人	CHOI SANG MOO		
IPC分类号	H05B33/26		
CPC分类号	G09G3/3208 G09G3/3233 G09G3/3266 G09G2330/00		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

提供一种有机电致发光显示装置，通过不提供接收DC-DC转换器电压的附加电容器来获得布局空间并提高有机电致发光显示装置的布局设计的便利性。有机电致发光显示装置包括第一电极（330），第二电极（340）和DC-DC转换器连接电极（270）。第一电极（330）从动力单元（200）接收第一电压。第一电极（330）通过多条第一提供线将第一电压传输到显示面板。第二电极（340）从DC-DC转换器接收第二电压。第二电极（340）通过多条第二提供线将第二电压传输到显示面板。DC-DC链路电极（270）将DC-DC转换器连接到第二电极（340）。第一和第二电极（330,340）布置成彼此相对。产生DC-DC转换器连接电极（270）以通过将金属材料插入接触孔中而将DC-DC转换器连接到第二电极（340），所述接触孔产生使得第二电极（340）的一部分是裸露。

