



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

(45) 공고일자

2006년11월23일

(11) 등록번호

10-0646992

(24) 등록일자

2006년11월09일

(21) 출원번호 10-2005-0085414

(65) 공개번호

(22) 출원일자 2005년09월13일

(43) 공개일자

심사청구일자 2005년09월13일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 정보용
서울특별시 송파구 가락2동 173-19호

(74) 대리인 신영무

심사관 : 최정윤

전체 청구항 수 : 총 19 항

(54) 발광제어선 구동부 및 이를 이용한 유기 발광 표시장치**(57) 요약**

본 발명은 패널에 실장 가능함과 동시에 구동속도를 향상시킬 있으며, 소비전력의 소모를 최소화하도록 한 발광제어선 구동부에 관한 것이다.

본 발명의 발광제어선 구동부는 제 1입력단자 및 제 2입력단자로 공급되는 제 1클럭신호 및 제 3입력단자로 공급되는 반전된 제 1클럭신호에 의하여 구동되는 제 1스테이지들과, 상기 제 1스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자에 공급되는 제 2클럭신호 및 상기 제 3입력단자로 공급되는 반전된 제 2클럭신호에 의하여 구동되는 제 2스테이지들과, 상기 제 2스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자로 공급되는 반전된 제 1클럭신호 및 상기 제 3입력단자로 공급되는 제 1클럭신호에 의하여 구동되는 제 3스테이지들과, 상기 제 3스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자로 공급되는 반전된 제 2클럭신호 및 상기 제 3입력단자로 공급되는 제 2클럭신호에 의하여 구동되는 제 4스테이지들을 제공한다.

대표도

도 2

특허청구의 범위

청구항 1.

제 1입력단자 내지 제 4입력단자를 구비하며, 외부로부터 공급되는 4개의 클럭신호 중 2개의 클럭신호를 입력받아 구동되는 다수의 스테이지를 포함하는 발광제어선 구동부에 있어서;

상기 제 1입력단자 및 제 2입력단자로 공급되는 제 1클럭신호 및 상기 제 3입력단자로 공급되는 반전된 제 1클럭신호에 의하여 구동되는 제 1스테이지들과,

상기 제 1스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자에 공급되는 제 2클럭신호 및 상기 제 3입력단자로 공급되는 반전된 제 2클럭신호에 의하여 구동되는 제 2스테이지들과,

상기 제 2스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자로 공급되는 반전된 제 1클럭신호 및 상기 제 3입력단자로 공급되는 제 1클럭신호에 의하여 구동되는 제 3스테이지들과,

상기 제 3스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자로 공급되는 반전된 제 2클럭신호 및 상기 제 3입력단자로 공급되는 제 2클럭신호에 의하여 구동되는 제 4스테이지들을 구비하는 발광제어선 구동부.

청구항 2.

제 1항에 있어서,

상기 제 1스테이지들 각각은 상기 제 4입력단자로 시작신호 또는 인버터를 경유하여 이전단 제 3스테이지로부터 발광 제어신호를 공급받는 발광제어선 구동부.

청구항 3.

제 2항에 있어서,

상기 제 3스테이지들 각각은 상기 제 4입력단자로 인버터를 경유하여 이전단 제 1스테이지로부터 발광 제어신호를 공급받는 발광제어선 구동부.

청구항 4.

제 1항에 있어서,

상기 제 2스테이지들 각각은 상기 제 4입력단자로 시작신호 또는 인버터를 경유하여 이전단 제 4스테이지로부터 발광 제어신호를 공급받는 발광제어선 구동부.

청구항 5.

제 4항에 있어서,

상기 제 4스테이지들 각각은 상기 제 4입력단자로 인버터를 경유하여 이전단 제 2스테이지로부터 발광 제어신호를 공급받는 발광제어선 구동부.

청구항 6.

제 1항에 있어서,

상기 스테이지들 각각은

제 1노드로 제 1신호 또는 제 2신호 중 어느 하나를 공급하기 위한 입력부와,

상기 제 1노드로 제 2신호가 입력될 때 발광 제어신호를 출력하고, 상기 제 1신호가 입력될 때 로우레벨의 전압을 출력하기 위한 출력부를 구비하는 발광제어선 구동부.

청구항 7.

제 6항에 있어서,

상기 입력부는

제 1전원과 제 1노드 사이에 접속되며 상기 제 1입력단자에 게이트전극이 접속되는 제 1트랜지스터와,

상기 제 1노드와 상기 제 3입력단자에 사이에 접속되는 제 2트랜지스터와,

상기 제 2트랜지스터의 게이트전극과 제 1전원 사이에 접속되는 제 1커패시터와,

상기 제 2트랜지스터의 게이트전극과 상기 제 4입력단자 사이에 접속되며 상기 제 2입력단자에 게이트전극이 접속되는 제 3트랜지스터를 구비하는 발광제어선 구동부.

청구항 8.

제 7항에 있어서,

상기 제 4입력단자로 시작신호 또는 반전된 이전단의 발광 제어신호가 입력될 때 상기 제 1커패시터에 소정전압이 충전되고, 그 외의 경우에는 상기 제 1커패시터에 전압이 충전되지 않는 발광제어선 구동부.

청구항 9.

제 8항에 있어서,

상기 제 1커패시터에 상기 소정의 전압이 충전될 때 상기 제 2트랜지스터가 턠-온되어 로우레벨의 상기 제 2신호가 상기 제 1노드로 공급되고, 그 외의 경우에는 하이레벨의 상기 제 1신호가 제 1노드로 공급되는 발광제어선 구동부.

청구항 10.

제 7항에 있어서,

상기 출력부는

상기 제 1전원과 접속되는 제 4트랜지스터, 제 6트랜지스터 및 제 8트랜지스터와,

상기 제 1전원보다 낮은 전압으로 설정되는 제 2전원과 상기 제 4트랜지스터 사이에 형성되는 제 5트랜지스터와,

상기 제 2전원과 상기 제 6트랜지스터 사이에 형성되는 제 7트랜지스터와,

상기 제 2전원과 상기 제 8트랜지스터 사이에 형성되는 제 9트랜지스터와,

상기 제 9트랜지스터의 게이트전극과 제 1전극 사이에 형성되는 제 2커패시터를 구비하는 발광제어선 구동부.

청구항 11.

제 10항에 있어서,

상기 제 4트랜지스터 및 제 7트랜지스터의 게이트전극은 상기 제 1노드에 접속되고, 상기 제 6트랜지스터 및 제 9트랜지스터의 게이트전극은 상기 제 4트랜지스터와 상기 제 5트랜지스터 공통단자인 제 2노드에 접속되는 발광제어선 구동부.

청구항 12.

제 11항에 있어서,

상기 제 8트랜지스터의 게이트전극은 상기 제 6트랜지스터의 제 2전극에 접속되는 발광제어선 구동부.

청구항 13.

제 12항에 있어서,

상기 제 2커패시터는 자신과 접속된 발광 제어선으로 발광 제어신호가 공급된 후 상기 제 1전원에서 상기 제 2전원 및 상기 제 5트랜지스터의 문턱전압을 감한값보다 높은 전압을 충전하는 발광제어선 구동부.

청구항 14.

제 13항에 있어서,

상기 제 2커패시터의 일측단자는 상기 전압이 충전된 후 상기 제 5트랜지스터가 턠-오프에 의하여 플로팅 상태를 유지하면서, 상기 충전된 전압을 소정기간 유지하는 발광제어선 구동부.

청구항 15.

제 10항에 있어서,

상기 제 2트랜지스터의 게이트전극과 상기 제 1전원 사이에 접속되는 제 3커패시터를 더 구비하는 발광제어선 구동부.

청구항 16.

제 10항에 있어서,

상기 제 2트랜지스터 및 제 4트랜지스터 각각은 적어도 2개의 트랜지스터가 직렬로 접속되어 형성되는 것을 특징으로 하는 발광제어선 구동부.

청구항 17.

제 16항에 있어서,

상기 제 2트랜지스터의 게이트전극과 상기 제 1전원 사이에 접속되는 제 3커패시터를 더 구비하는 발광제어선 구동부.

청구항 18.

제 1항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 갖으며, 하이레벨이 1/4주기씩 중첩되는 것을 특징으로 하는 발광제어선 구동부.

청구항 19.

발광 제어선들, 주사선들 및 데이터선들에 접속되도록 위치되는 복수의 화소를 구비하는 화소부와,

상기 주사선들을 구동하기 위한 주사 구동부와,

상기 데이터선들을 구동하기 위한 데이터 구동부와,

상기 제 1항 내지 제 18항 중 어느 하나에 기재된 발광제어선 구동부를 구비하는 유기 발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광제어선 구동부 및 이를 이용한 유기 발광 표시장치에 관한 것으로, 특히 패널에 실장 가능함과 동시에 구동 속도를 향상시킬 있으며, 소비전력의 소모를 최소화하도록 한 발광제어선 구동부 및 이를 이용한 유기 발광 표시장치에 관한 것이다.

최근 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판표시장치 중 유기 발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시한다. 이러한, 유기 발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 일반적인 유기 발광 표시장치는 화소마다 형성되는 트랜지스터를 이용하여 데이터신호에 대응하는 전류를 유기 발광 다이오드로 공급함으로써 유기 발광 다이오드에서 빛이 발생되게 한다.

이와 같은 종래의 유기 발광 표시장치는 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부, 발광 제어선으로 발광 제어신호를 공급하기 위한 발광제어선 구동부 및 데이터선들, 주사선들 및 발광 제어선들과 접속되는 복수의 화소를 구비하는 화소부를 구비한다.

화소부에 포함된 화소들은 주사선으로 주사신호가 공급될 때 선택되어 데이터선으로부터 데이터신호를 공급받는다. 데이터신호를 공급받은 화소들은 데이터신호에 대응하는 소정 휘도의 빛을 생성하면서 소정의 영상을 표시한다. 여기서, 화소들의 발광시간은 발광 제어선으로부터 공급되는 발광 제어신호에 의하여 제어된다.

일반적으로 발광 제어신호는 이전 발광 제어선으로 공급되는 발광 제어신호와 현재 발광 제어선으로 공급되는 발광 제어신호가 소정기간 동안 중첩되게 공급되면서 화소들로 데이터신호가 공급되는 기간 동안 화소들을 비발광 상태로 설정하게 된다.

여기서, 유기 발광 표시장치가 대형 패널로 갈수록 사이즈, 무게 및 제조비용을 절감하기 위하여 발광제어선 구동부가 패널에 실장되어야 한다. 하지만, 종래의 발광제어선 구동부는 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터로 구성되기 때문에 패널에 실장되기 곤란했다. 그리고, 종래의 발광제어선 구동부는 클럭신호의 한주기 이상마다 출력신호를 생성하기 때문에 고속으로 구동하기 곤란하다. 또한, 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터로 구성된 종래의 발광제어선 드라이버는 출력신호를 생성할 때 소정의 정적전류(Static Current)가 흐르기 때문에 많은 소비전력이 소모되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 패널에 실장 가능함과 동시에 구동속도를 향상시킬 있으며, 소비전력의 소모를 최소화하도록 한 발광제어선 구동부 및 이를 이용한 유기 발광 표시장치를 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 제 1측면은 제 1입력단자 내지 제 4입력단자를 구비하여, 외부로부터 공급되는 4개의 클럭신호 중 2개의 클럭신호를 입력받아 구동되는 다수의 스테이지를 포함하는 발광제어선 구동부에 있어서; 상기 제 1입력단자 및 제 2입력단자로 공급되는 제 1클럭신호 및 상기 제 3입력단자로 공급되는 반전된 제 1클럭신호에 의하여 구동되는 제 1스테이지들과, 상기 제 1스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자에 공급되는 제 2클럭신호 및 상기 제 3입력단자로 공급되는 반전된 제 2클럭신호에 의하여 구동되는 제 2스테이지들과, 상기 제 2스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자로 공급되는 반전된 제 1클럭신호 및 상기 제 3입력단자로 공급되는 제 1클럭신호에 의하여 구동되는 제 3스테이지들과, 상기 제 3스테이지들 다음단에 위치되며 상기 제 1입력단자 및 제 2입력단자로 공급되는 반전된 제 2클럭신호 및 상기 제 3입력단자로 공급되는 제 2클럭신호에 의하여 구동되는 제 4스테이지들을 제공한다.

바람직하게, 상기 제 1스테이지들 각각은 상기 제 4입력단자로 시작신호 또는 인버터를 경유하여 이전단 제 3스테이지로부터 발광 제어신호를 공급받는다. 상기 제 3스테이지들 각각은 상기 제 4입력단자로 인버터를 경유하여 이전단 제 1스테이지로부터 발광 제어신호를 공급받는다. 상기 제 2스테이지들 각각은 상기 제 4입력단자로 시작신호 또는 인버터를 경유하여 이전단 제 4스테이지로부터 발광 제어신호를 공급받는다. 상기 제 4스테이지들 각각은 상기 제 4입력단자로 인버터를 경유하여 이전단 제 2스테이지로부터 발광 제어신호를 공급받는다.

본 발명의 제 2측면은 발광 제어선들, 주사선들 및 데이터선들에 접속되도록 위치되는 복수의 화소를 구비하는 화소부와, 상기 주사선들을 구동하기 위한 주사 구동부와, 상기 데이터선들을 구동하기 위한 데이터 구동부와, 상기 제 1항 내지 제 18항 중 어느 하나에 기재된 발광제어선 구동부를 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 1 내지 도 9를 참조하여 상세히 설명하면 다음과 같다.

도 1은 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다. 도 1에서 주사 구동부(10)와 발광제어선 구동부(30)가 서로 분리된 것으로 도시되었지만, 주사 구동부(10) 내에 발광제어선 구동부(30)가 포함될 수도 있다.

도 1을 참조하면, 본 발명의 실시예에 의한 유기 발광 표시장치는 주사선들(S1 내지 Sn), 데이터선들(D1 내지 Dm) 및 발광 제어선들(E1 내지 En)에 접속되는 복수의 화소(50)를 포함하는 화소부(40)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(20)와, 발광 제어선들(E1 내지 En)을 구동하기 위한 발광제어선 구동부(30)와, 주사 구동부(10), 데이터 구동부(20) 및 발광제어선 구동부(30)를 제어하기 위한 타이밍 제어부(60)를 구비한다.

주사 구동부(10)는 타이밍 제어부(60)에 의하여 제어되면서 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다. 그러면, 주사선들(S1 내지 Sn)과 접속된 화소들(50)이 순차적으로 선택된다.

데이터 구동부(20)는 타이밍 제어부(60)에 의하여 제어되면서 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 여기서, 데이터 구동부(20)는 주사신호가 공급될 때마다 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 그러면, 주사신호에 의하여 선택된 화소들(50)로 데이터신호가 공급되고, 화소들(50) 각각은 자신에게 공급된 데이터신호에 대응하는 전압을 충전한다.

밸광제어선 구동부(30)는 타이밍 제어부(60)에 의하여 제어되면서 밸광 제어선들(E1 내지 En)로 밸광 제어신호를 순차적으로 공급한다. 실제로, 밸광제어선 구동부(30)는 화소들(50) 각각으로 데이터신호가 공급되는 기간 동안 화소들(50)이 비밸광되도록 밸광 제어신호를 공급하고, 그 외의 기간동안 밸광 제어신호를 공급하지 않는다. 그러면, 화소들(50)은 밸광 제어신호가 공급되지 않는 기간 동안 데이터신호에 대응하는 휘도의 빛을 생성한다. 여기서, 밸광제어선 구동부(30)는 j (j 는 자연수)번째 밸광 제어선(Ej)으로 공급되는 밸광 제어신호와 $j+1$ 번째 밸광 제어선(Ei+1)으로 공급되는 밸광 제어신호가 서로 중첩되게 공급한다.

도 2는 도 1에 도시된 밸광제어선 구동부를 개략적으로 나타내는 도면이다.

도 2를 참조하면, 본 발명의 밸광제어선 구동부는 n 개의 밸광 제어선(E1 내지 En)으로 밸광 제어신호를 공급하기 위한 n 개의 스테이지(321, 322, 323, 324, 325, ...)를 구비한다. 각각의 스테이지(321 내지 325)는 밸광 제어선(E)과 접속되고, 2개의 클럭신호에 의하여 구동된다.

이를 상세히 설명하면, 타이밍 제어부(60)는 4개의 클럭신호(Clk1, Clk1b, Clk2, Clk2b) 및 시작신호(SP)를 밸광제어선 구동부(30)로 공급한다. 여기서, 제 1클럭신호(Clk1) 및 반전된 제 1클럭신호(Clk1b)는 홀수번째 스테이지(321, 323, 325,...)로 공급되고, 제 2클럭신호(Clk2) 및 반전된 제 2클럭신호(Clk2b)는 짹수번째 스테이지(322, 324,...)로 공급된다. 그리고, 시작신호(SP)는 제 1스테이지(321) 및 제 2스테이지(322)로 공급된다. 여기서, 제 1클럭신호(Clk1) 및 제 2클럭신호(Clk2)는 동일한 주기를 갖고, 하이레벨(또는 로우레벨)이 1/4주기씩 중첩되도록 공급된다.

i (i 는 자연수)번째 스테이지(32i)의 출력은 인버터(IN)를 경유하여 $i+2$ 번째 스테이지(32i+2)로 공급된다. 다시 말하여, 제 1스테이지(321)의 출력은 인버터(IN)를 경유하여 제 3스테이지(323)로 공급되고, 제 3스테이지(323)의 출력은 인버터(IN)를 경유하여 제 5스테이지(325)로 공급된다. 즉, 홀수번째에 위치된 스테이지들(323, 325,...)은 홀수번째 스테이지의 출력을 공급받는다. 그리고, 제 2스테이지(322)의 출력은 인버터(IN)를 경유하여 제 4스테이지(324)로 공급되고, 제 4스테이지(324)의 출력은 인버터(IN)를 경유하여 제 6스테이지로 공급된다. 즉, 짹수번째에 위치된 스테이지들(322, 324,...)은 짹수번째 스테이지의 출력을 공급받는다.

상술한 바와 같이 본 발명의 밸광제어선 구동부(30)에 포함된 스테이지들(321, 322,...)은 홀수번째 및 짹수번째로 나뉘어 구동된다. 이를 위해 각각의 스테이지들(321, 322,...)은 외부로부터 공급되는 4개의 클럭신호 중 2개의 클럭신호에 의하여 구동된다. 즉, 각각의 클럭신호들은 밸광제어선 구동부(30)에 포함된 스테이지들 중 절반의 스테이지들로 공급된다. 이와 같이 각각의 클럭신호가 밸광제어선 구동부(30)에 포함된 스테이지들 중 절반의 스테이지들로 공급되면 클럭신호가 공급될 때 부하가 최소화될 수 있다. 예를 들어, 클럭신호가 모든 스테이지로 공급될 때와 비교하여 본 발명의 클럭신호의 부하는 대략 1/2 정도로 감소된다.

그리고, 본 발명의 밸광제어선 구동부(30)는 도 3에 도시된 바와 같이 클럭신호의 1/4 주기마다 밸광 제어신호를 출력한다. 실제로, 도 3에 도시된 바와 같이 제 1클럭신호(Clk1)가 하이레벨을 유지하는 동안 2개의 밸광 제어신호가 출력되고, 제 1클럭신호(Clk1)가 로우레벨을 유지하는 동안 2개의 밸광 제어신호가 출력된다. 이와 같이 클럭신호의 1/4 주기마다 밸광 제어신호가 출력되면 밸광제어선 구동부(30)가 고속으로 구동될 수 있다.

한편, 본 발명에서 홀수번째 스테이지로 공급되는 제 1클럭신호(Clk1) 및 반전된 제 1클럭신호(Clk1b)가 공급되는 입력단자들의 위치는 홀수번째 스테이지들에서 서로 교번적으로 설정된다. 예를 들어, 제 1스테이지(321)로 공급되는 제 1클럭신호(Clk1)가 제 1입력단자 및 제 2입력단자로 공급되고 반전된 제 1클럭신호(Clk1b)가 제 3입력단자로 공급된다면, 제 3스테이지(323)로 공급되는 제 1클럭신호(Clk1)는 제 3입력단자로 공급되고, 반전된 제 1클럭신호(Clk1b)는 제 1입력단자 및 제 2입력단자로 공급된다.

마찬가지로, 짹수번째 스테이지로 공급되는 제 2클럭신호(Clk2) 및 반전된 제 2클럭신호(Clk2b)가 공급되는 입력단자들의 위치는 짹수번째 스테이지들에서 서로 교번적으로 설정된다. 예를 들어, 제 2스테이지(322)로 공급되는 제 2클럭신호

(Clk2)가 제 1입력단자 및 제 2입력단자로 공급되고 반전된 제 2클럭신호(Clk2b)가 제 3입력단자로 공급된다면, 제 4스테이지(324)로 공급되는 제 2클럭신호(Clk2)는 제 3입력단자로 공급되고, 반전된 제 2클럭신호(Clk2b)는 제 1입력단자 및 제 2입력단자로 공급된다.

도 4는 각각의 스테이지의 내부회로를 나타내는 도면이다. 도 4에서는 설명의 편의성을 위하여 제 1클럭신호(Clk1) 및 반전된 제 1클럭신호(Clk1b)와 접속되는 제 1스테이지(321)를 도시하기로 한다.

도 4를 참조하면, 본 발명의 제 1스테이지(321)는 클럭신호들(Clk1, Clk1b) 및 시작신호(SP)에 의하여 제 1신호 및 제 2신호 중 어느 하나를 공급하기 위한 입력부(34)와, 입력부(34)로부터 공급되는 제 1신호 및 제 2신호에 대응하여 발광 제어신호의 생성여부를 제어하는 출력부(36)를 구비한다.

입력부(34)는 제 1전원(VDD) 및 제 1입력단자에 접속되는 제 1트랜지스터(M1)와, 제 2입력단자 및 제 4입력단자와 접속되는 제 3트랜지스터(M3)와, 제 3트랜지스터(M3)와 제 3입력단자와 접속되는 제 2트랜지스터(M2)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극(소오스전극) 사이에 접속되는 제 1커패시터(C1)를 구비한다.

제 1트랜지스터(M1)의 제 1전극은 제 1전원(VDD)과 접속되고, 게이트전극은 제 1입력단자와 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극(드레인전극)은 제 1노드(N1)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 제 1입력단자로 제 1클럭신호(Clk1)가 공급될 때 턴-온되어 제 1전원(VDD)의 전압을 제 1노드(N1)로 공급한다.

제 2트랜지스터(M2)의 제 1전극은 제 1노드(N1)에 접속되고, 제 2전극은 제 3입력단자와 접속된다. 그리고, 제 2트랜지스터(M2)의 게이트전극은 제 3트랜지스터(M3)의 제 1전극에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 1커패시터(C1)에 충전된 전압에 대응하여 턴-온 또는 턴-오프된다. 여기서, 제 3입력단자는 반전된 제 1클럭신호(Clk1b)를 공급받는다.

제 3트랜지스터(M3)의 제 1전극은 제 2트랜지스터(M2)의 게이트전극에 접속되고, 제 2전극은 제 4입력단자에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제 2입력단자에 접속된다. 제 3트랜지스터(M3)는 제 2입력단자로 제 1클럭신호(Clk1)가 공급될 때 턴-온된다.

제 1커패시터(C1)는 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 접속된다. 이와 같은 제 1커패시터(C1)는 제 3트랜지스터(M3)가 턴-온되고, 제 4입력단자로 시작신호(SP)가 공급될 때 제 2트랜지스터(M2)가 턴-온될 수 있는 전압을 충전하고, 그 외의 경우에는 전압을 충전하지 않는다.

출력부(36)는 제 1노드(N1)에 인가되는 제 2신호(로우레벨)가 공급될 때 발광 제어신호를 출력하고, 그 외의 경우에는(즉, 제 1노드(N1)에 제 1신호(하이레벨)가 공급되는 경우) 발광 제어신호를 출력하지 않는다.

이를 위하여, 출력부(36)는 제 1전원(VDD)에 접속되는 제 4트랜지스터(M4), 제 6트랜지스터(M6) 및 제 8트랜지스터(M8)와, 제 2전원(VSS)에 접속되는 제 5트랜지스터(M5), 제 7트랜지스터(M7) 및 제 9트랜지스터(M9)와, 제 9트랜지스터(M9)의 게이트전극과 제 1전극 사이에 접속되는 제 2커패시터(C2)를 구비한다.

제 4트랜지스터(M4)의 제 1전극은 제 1전원(VDD)에 접속되고, 제 2전극은 제 2노드(N2)에 접속된다. 그리고, 제 4트랜지스터(M4)의 게이트전극은 제 1노드(N1)에 접속된다.

제 5트랜지스터(M5)의 제 1전극은 제 2노드(N2)에 접속되고, 제 2전극은 제 2전원(VSS)에 접속된다. 그리고, 제 5트랜지스터(M5)의 게이트전극은 제 1클럭신호(Clk1)를 공급받는다.

제 6트랜지스터(M6)의 제 1전극은 제 1전원(VDD)에 접속되고, 제 2전극은 제 7트랜지스터(M7)의 제 1전극에 접속된다. 그리고, 제 6트랜지스터(M6)의 게이트전극은 제 2노드(N2)에 접속된다.

제 7트랜지스터(M7)의 제 1전극은 제 6트랜지스터(M6)의 제 2전극에 접속되고, 제 2전극은 제 2전원(VSS)에 접속된다. 그리고, 제 7트랜지스터(M7)의 게이트전극은 제 1노드(N1)에 접속된다.

제 8트랜지스터(M8)의 제 1전극은 제 1전원(VDD)에 접속되고, 제 2전극은 발광 제어선(E)에 접속된다. 그리고, 제 8트랜지스터(M8)의 게이트전극은 제 6트랜지스터(M6)의 제 2전극에 접속된다.

제 9트랜지스터(M9)의 제 1전극은 발광 제어선(E)에 접속되고, 제 2전극은 제 2전원(VSS)에 접속된다. 그리고, 제 9트랜지스터(M9)의 게이트전극은 제 2노드(N2)에 접속된다.

제 2커패시터(C2)는 제 9트랜지스터(M9)의 게이트전극과 제 1전극 사이에 접속된다. 이와 같은 제 2커패시터(C2)는 제 9트랜지스터(M9)의 턴-온 및 턴-오프를 제어한다.

도 3 및 도 4를 결부하여 동작과정을 상세히 설명하면, 먼저 제 1기간(T1) 동안에 제 1클럭신호(Clk1)가 로우레벨로 설정되고, 반전된 제 1클럭신호(Clk1b)가 하이레벨로 설정된다.

이 경우, 도 5a에 도시된 바와 같이 제 1클럭신호(Clk1)에 의하여 제 1트랜지스터(M1)가 턴-온된다. 그리고, 제 1클럭신호(Clk1)에 의하여 제 3트랜지스터(M3)가 턴-온된다.

제 1트랜지스터(M1)가 턴-온되면 제 1노드(N1)의 전압이 제 1전원(VDD)의 전압으로 상승된다. 즉, 제 1노드(N1)에 제 1신호(하이레벨)의 전압이 인가된다. 제 3트랜지스터(M3)가 턴-온되면 제 1기간(T1) 동안 공급되는 시작신호(SP)에 의하여 제 2트랜지스터(M2)의 게이트전극 전압이 로우레벨로 하강된다. 이 경우, 제 1커패시터(C1)는 제 1노드(N1)에 인가된 제 1전원(VDD)의 전압과 제 2트랜지스터(M2)의 게이트전극에 인가된 로우레벨의 전압차를 충전한다. 여기서, 시작신호(SP)의 로우레벨의 전압은 제 1전원(VDD)의 전압보다 낮은 제 2전원(VSS)의 전압으로 설정될 수 있다.

제 2트랜지스터(M2)가 턴-온되면 반전된 제 1클럭신호(Clk1b)의 전압이 제 1노드(N1)로 공급된다. 여기서, 반전된 제 1클럭신호(Clk1b)의 전압레벨은 하이레벨로 설정된다. 여기서, 반전된 제 1클럭신호(Clk1b)의 하이레벨 전압은 제 1전원(VDD)의 전압과 동일하게 설정된다. 그러면, 제 1트랜지스터(M1) 및 제 2트랜지스터(M2)가 동시에 턴-온되는 경우에도 제 1노드(N1)의 전압을 하이레벨로 안정적으로 유지할 수 있다.

제 1노드(N1)로 제 1신호의 전압이 인가되면 제 4트랜지스터(M4) 및 제 7트랜지스터(M7)가 턴-오프된다. 한편, 제 5트랜지스터(M5)는 제 1클럭신호(Clk1)가 로우레벨을 유지하더라도 제 2커패시터(C2)에 저장된 전압에 의하여 턴-오프 상태를 유지한다.(제 2트랜지스터(C2)에 전압이 충전되는 과정을 이후 설명하기로 한다.) 실제로, 제 2커패시터(C2)에는 $VDD - (VSS + |V_{th5}|)$ 이상의 전압이 충전된다. 따라서, 제 5트랜지스터(M5)의 제 1전극의 전압이 제 1클럭신호(Clk1)의 전압보다 낮게 설정되고, 이에 따라 제 5트랜지스터(M5)는 턴-오프 상태를 유지한다.

한편, 제 2노드(N2)에 인가되는 전압(즉, 제 2커패시터(C2)에 충전된 전압)에 의하여 도 5b와 같이 제 6트랜지스터(M6)가 턴-온된다. 제 6트랜지스터(M6)가 턴-온되면 제 1전원(VDD)의 전압이 제 8트랜지스터(M8)의 게이트전극으로 공급된다. 그러면, 제 8트랜지스터(M8)는 턴-오프된다.

한편, 제 9트랜지스터(M9)는 제 2커패시터(C2)에 충전된 전압에 의하여 턴-온 상태를 유지하고, 이에 따라 발광 제어선(E)은 제 2전원(VSS)의 출력전압을 유지한다. 여기서, 제 2커패시터(C2)에 $VDD - (VSS + |V_{th5}|)$ 이상의 전압이 충전되기 때문에 발광 제어선(E)의 전압은 제 2전원(VSS)의 전압까지 풀-다운 된다.

이후, 제 2기간(T2) 동안 제 1클럭신호(Clk1)가 하이레벨로 설정되고, 반전된 제 1클럭신호(Clk1b)가 로우레벨로 설정된다.

제 1클럭신호(Clk1)가 하이레벨로 설정되면 도 5c와 같이 제 1트랜지스터(M1), 제 3트랜지스터(M3) 및 제 5트랜지스터(M5)가 턴-오프된다. 이때, 제 2트랜지스터(M2)는 이전 기간에 제 1커패시터(C1)에 충전된 전압에 의하여 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 제 1노드(N1)의 전압이 반전된 제 1클럭신호(Clk1b)의 레벨(예를 들면, 제 2전원(VSS)), 즉 로우레벨로 하강된다.

제 1노드(N1)에 제 2신호(로우레벨)의 전압이 인가되면 제 4트랜지스터(M4) 및 제 7트랜지스터(M7)가 턴-온된다. 제 4트랜지스터(M4)가 턴-온되면 제 2노드(N2)의 전압이 제 1전원(VDD)의 전압으로 상승된다. 그러면, 제 6트랜지스터(M6) 및 제 9트랜지스터(M9)가 턴-오프된다. 제 7트랜지스터(M7)가 턴-온되면 제 8트랜지스터(M8)의 게이트전극의 전압이 제 2전원(VSS)의 전압으로 하강되어 제 8트랜지스터(M8)가 턴-온된다. 제 8트랜지스터(M8)가 턴-온되면 발광 제어선(E)으로 제 1전원(VDD)의 전압이 공급된다. 즉, 제 2기간(T2) 동안에는 발광 제어선(E)으로 발광 제어신호가 공급된다. 그리고, 제 2기간(T2) 동안 제 2커패시터(C2)의 양측단에는 제 1전원(VDD)의 전압이 공급되기 때문에 제 2커패시터(C2)에는 전압이 충전되지 않는다.

이후, 제 3기간(T3)에는 제 1클럭신호(Clk1)가 로우레벨로 설정되고, 반전된 제 1클럭신호(Clk1b)가 하이레벨로 설정된다.

그러면, 제 3기간(T3) 동안 도 5d와 같이 제 1클럭신호(Clk1)에 의하여 제 1트랜지스터(M1), 제 3트랜지스터(M3) 및 제 5트랜지스터(M5)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 제 1노드(N1)의 전압이 제 1전원(VDD)의 전압으로 상승된다. 즉, 제 1노드(N1)에 제 1신호(하이레벨)의 전압이 인가된다.

제 3트랜지스터(M3)가 턴-온되면 제 3트랜지스터(M3)가 턴-온된다. 여기서, 제 3기간(T3) 동안 시작신호(SP)는 하이레벨(예를 들면, 제 1전원(VDD)의 전압)의 전압을 유지하기 때문에 제 2트랜지스터(M2)는 턴-오프 상태를 유지한다. 그리고, 제 1커패시터(C1)의 양측단의 전압이 제 1전원(VDD)의 전압으로 설정되기 때문에 제 1커패시터(C1)에는 전압이 충전되지 않는다. 실제로, 제 1커패시터(C1)는 시작신호(SP)가 로우 레벨로 설정될 때에만 소정의 전압을 충전하고, 그 외의 기간에는 전압을 충전하지 않는다.

한편, 제 2트랜지스터(M2)가 턴-오프되고, 제 1노드(N1)에 제 1신호의 전압이 인가될 때 반전된 제 1클럭신호(Clk1b)는 하이레벨을 유지한다. 따라서, 본 발명에서는 제 1노드(N1)가 제 1신호의 전압이 유지되더라도 제 2트랜지스터(M2)를 경유하여 전류가 흐르는 것을 방지할 수 있고, 이에 따라 소비전력을 최소화할 수 있다.

한편, 제 5트랜지스터(M5)가 턴-온되면 제 2노드(N2)의 전압은 $V_{SS} + |V_{th5}|$ 의 전압까지 풀다운된다. ($|V_{th5}|$ 는 제 5트랜지스터(M5)의 문턱전압) 그리고, 제 2노드(N2)의 전압이 $V_{SS} + |V_{th5}|$ 의 전압까지 다운된 후 제 5트랜지스터(M5)는 턴-오프 상태로 전환된다. 이때, 제 2커패시터(C2)에는 제 2노드(N2)에 인가된 $V_{SS} + |V_{th5}|$ 의 전압과 발광 제어선(E1)으로 인가된 제 1전원(VDD)에 의하여 $VDD - (V_{SS} + |V_{th5}|)$ 이상의 전압이 충전된다.

이후, 제 1노드(N1)에 인가된 제 1신호의 전압에 의하여 제 4트랜지스터(M4) 및 제 7트랜지스터(M7)는 턴-오프되고, 제 2커패시터(C2)에 충전된 전압에 의하여 제 6트랜지스터(M6) 및 제 9트랜지스터(M9)는 턴-온된다.

제 6트랜지스터(M6)가 턴-온되면 제 8트랜지스터(M8)의 게이트전극으로 제 1전원(VDD)의 전압이 인가되어 제 8트랜지스터(M8)가 턴-오프된다. 제 9트랜지스터(M9)가 턴-오프되면 T2 기간 동안 하이 상태를 유지하였던 발광 제어선(E1)의 전압이 제 2전원(VSS)의 전압으로 하강된다. 이때, 제 5트랜지스터(M5)가 턴-오프 상태로 설정되기 때문에(즉, 플로팅상태) 제 2커패시터(C2)에 충전된 전압이 유지되고, 이에 따라 발광 제어선(E1)의 전압은 제 2전원(VSS)의 전압까지 풀-다운된다.

이후, 시작신호(SP)가 재공급되기 전까지 제 1노드(N1)에는 제 1신호(하이레벨)의 전압만이 인가된다. 다시 말하여, 시작신호(SP)가 재공급되기 전까지 제 1커패시터(C1)에는 전압이 충전되지 않고, 이에 따라 제 2트랜지스터(M2)는 턴-오프 상태를 유지한다. 그러면, 제 2커패시터(C2)에 충전된 전압에 의하여 제 9트랜지스터(M9)가 턴-온 상태를 유지하면서 대략 한 프레임 기간 동안 발광 제어선(E1)으로 제 2전원(VSS)의 전압을 공급한다.

상술한 바와 같이 본 발명에 스테이지는 제 1노드(N1)의 전압이 하이레벨로 설정될 때 반전된 제 1클럭신호(Clk1b)도 하이레벨을 유지하기 때문에 제 2트랜지스터(M2)로 원하지 않는 전류가 흐르는 것을 방지할 수 있고, 이에 따라 정적전류에 의한 소비전력을 소모를 최소화할 수 있다.

그리고, 본 발명에서는 발광 제어선으로 제 1전원(VDD) 또는 제 2전원(VSS)의 전압을 정확히 출력할 수 있다. 즉, 본 발명에서는 원하는 출력전압을 레벨을 발광 제어선으로 출력할 수 있고, 이에 따라 구동의 안정성을 확보할 수 있다.

도 6은 제 1 내지 제 4스테이지에 포함되는 회로들을 나타내는 도면이다.

도 6을 참조하면, 도 4 내지 도 5d에 설명된 바와 같이 제 1스테이지(321)에 포함된 제 1입력단자 및 제 2입력단자는 제 1클럭신호(Clk1)를 공급받고, 제 3입력단자는 반전된 제 1클럭신호(Clk1b)를 공급받는다. 그리고, 제 4입력단자는 시작신호(SP)를 공급받는다.

한편, 제 3스테이지(323)에 포함된 제 1입력단자 및 제 2입력단자는 반전된 제 1클럭신호(Clk1b)를 공급받고, 제 3입력단자는 제 1클럭신호(Clk1)를 공급받는다. 그리고, 제 4입력단자는 인버터(IN)를 경유하여 제 1스테이지(321)의 출력신호를 공급받는다. 실제로, 본 발명에서 홀수번째 스테이지들은 제 1스테이지(321) 및 제 3스테이지(323)와 같이 구성된 회로들이 서로 교번적으로 위치되면서 구동된다.

마찬가지로, 제 2스테이지(322)에 포함된 제 1입력단자 및 제 2입력단자는 제 2클럭신호(Clk2)를 공급받고, 제 3입력단자는 반전된 제 2클럭신호(Clk2b)를 공급받는다. 그리고, 제 4입력단자는 시작신호(SP)를 공급받는다.

한편, 제 4스테이지(324)에 포함된 제 1입력단자 및 제 2입력단자는 반전된 제 2클럭신호(Clk2b)를 공급받고, 제 3입력단자는 제 2클럭신호(Clk2)를 공급받는다. 그리고, 제 4입력단자는 인버터(IN)를 경유하여 제 2스테이지(322)의 출력신호를 공급받는다. 실제로, 본 발명에서 짝수번째 스테이지들은 제 2스테이지(322) 및 제 4스테이지(324)와 같이 구성된 회로들이 서로 교번적으로 위치되면서 구동된다.

도 3과 결부하여 동작과정을 간략히 설명하면, 먼저 제 1스테이지(321)는 제 1기간(T1)에 공급되는 시작신호(SP)에 의하여 제 1커패시터(C1)에 소정의 전압을 충전하고, 충전된 전압을 이용하여 제 2기간(T2) 동안 발광 제어신호를 제 1발광 제어선(E1)으로 공급한다. 그리고, 제 3스테이지(323)는 제 2기간(T2) 동안 공급되는 반전된 제 1발광 제어신호에 의하여 제 1커패시터(C1)에 소정의 전압을 충전하고, 충전된 전압을 이용하여 제 3기간(T3) 동안 발광 제어신호를 제 3발광 제어선(E3)으로 공급한다.

한편, 제 2스테이지(322)는 제 1기간(T1)의 후반부 및 제 2기간(T2)의 초반부에 공급되는 시작신호(SP)에 의하여 제 1커패시터(C1)에 소정의 전압을 충전하고,(시작신호(SP)는 제 1클럭신호(Clk1)의 로우기간 및 제 2클럭신호(Clk2)의 로우기간과 중첩되도록 공급된다) 충전된 전압을 이용하여 제 2기간(T2)의 후반부 및 제 3기간(T3)의 전반부 기간 동안 제 2발광 제어선(E2)으로 발광 제어신호를 공급한다. 따라서, 제 2발광 제어선(E2)으로 공급되는 발광 제어신호는 제 1발광 제어선(E1) 및 제 3발광 제어선(E3)으로 공급되는 발광 제어신호와 일부기간 중첩되도록 공급된다.

그리고, 제 4스테이지(324)는 제 2발광 제어선(E2)으로 공급되는 발광 제어신호를 인버터(IN)를 경유하여 공급받고, 반전된 발광 제어신호가 공급될 때 제 1커패시터(C1)에 소정의 전압을 충전한다. 그리고, 제 4스테이지(324)는 제 1커패시터(C1)에 충전된 전압을 이용하여 제 3기간의 후반부 및 제 4기간(T4)의 전반부 기간 동안 제 4발광 제어선(E4)으로 발광 제어신호를 공급한다.

이와 같은, 본 발명의 발광제어선 구동부(30)는 스테이지(321, 322..)에 포함된 모든 트랜지스터들을 PMOS형태로 구현할 수 있고, 이에 따라 패널에 실장 가능하다. 발광제어선 구동부(30)가 패널에 실장되게 되면 패널의 사이즈, 무게 및 제조비용들을 절감할 수 있다. 그리고, 본 발명의 발광제어선 구동부(30)는 클럭신호의 1/4주기마다 발광 제어신호를 생성할 수 있기 때문에 고속 구동이 가능하다.

도 7은 스테이지 각각에 포함된 회로의 제 2실시예를 나타내는 도면이다. 도 7은 설명의 편의성을 위하여 제 1스테이지(321)를 도시하며, 도 4와 동일한 구성에 대하여 상세한 설명은 생략하기로 한다.

도 7을 참조하면, 본 발명의 제 2실시예에 의한 스테이지(321)는 제 1전원(VDD)과 스토이지 커패시터(C1)의 일측단(제 2트랜지스터(M2)의 게이트전극과 접속된 단자) 사이에 설치된 제 3커패시터(C3)를 더 구비한다.

제 1클럭신호(Clk1)가 하이레벨 일 때 제 3트랜지스터(M3)가 턠-오프된다. 이 경우, 제 1커패시터(C1)의 일측단이 플로팅 상태로 설정된다. 이때, 제 2트랜지스터(M2)의 기생 커패시터(Cgs, Cgd 등)에 의하여 제 2트랜지스터(M2)의 게이트 전극 전압이 변화될 수 있다. 제 3커패시터(C3)는 항상 일정한 전압을 유지하는 제 1전원(VDD)과 제 1커패시터(C1)의 일측단 사이에 설치되어 제 2트랜지스터(M2)의 게이트전극 전압이 변화되는 것을 방지한다.

도 8은 스테이지 각각에 포함된 회로의 제 3실시예를 나타내는 도면이다. 도 8은 설명의 편의성을 위하여 제 1스테이지(321)를 도시하며, 도 4와 동일한 구성에 대하여 상세한 설명은 생략하기로 한다.

도 8을 참조하면, 본 발명의 제 3실시예에 의한 스테이지(321)는 제 1노드(N1)와 반전된 클럭신호(Clk1b)를 공급받는 제 2트랜지스터가 듀얼 게이트(M2_1, M2_2)로 형성된다. 그리고, 제 2노드(N2)와 제 1전원(VDD) 사이에 형성되는 제 4트랜지스터가 듀얼 게이트(M4_1, M4_2)로 형성된다.

제 2트랜지스터(M2_1, M2_2)가 듀얼 게이트로 형성되면 반전된 클럭신호(Clk1b)가 공급될 때 제 1커패시터(C1)의 일측 단이 전압의 변화량을 최소화할 수 있다. 그리고, 제 4트랜지스터(M4_1, M4_2)가 듀얼 게이트로 형성되면 제 2노드(N2)가 낮은 전압을 유지하더라도 제 4트랜지스터(M4)를 경유하여 제 1전원(VDD)으로부터 제 2노드(N2)로 흐르는 전류량을 최소화할 수 있고, 이에 따라 소비전력을 저감할 수 있다. 실제로, 도 8에서는 제 2트랜지스터 및 제 4트랜지스터 각각이 2개의 트랜지스터가 직렬로 형성되는 것으로 도시하였지만, 본 발명에서는 적어도 2개 이상의 트랜지스터(예를 들면, 4개)가 직렬로 형성되어 제 2트랜지스터 및 제 4트랜지스터 각각을 구성할 수도 있다. 그리고, 본 발명의 제 3실시예에 의한 회로에서는 도 9와 같이 제 1커패시터(C1)의 일측단자와 제 1전원(VDD) 사이에 제 3커패시터(C3)가 더 형성될 수도 있다.

상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여 져야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 발광제어선 구동부 및 이를 이용한 유기 발광 표시장치에 의하면 발광제어선 구동부에 포함된 모든 트랜지스터들을 PMOS로 구현하기 때문에 패널에 실장 가능하고, 이에 따라 패널의 사이즈, 무게 및 제조비용 등을 절감할 수 있다. 그리고, 본 발명의 발광제어선 구동부는 클럭신호의 1/4주기마다 발광 제어신호를 생성하기 때문에 고속 구동이 가능하다.

아울러, 본 발명이 발광제어선 구동부에 포함된 스테이지 회로들은 풀-다운 및 풀-업 구동이 가능하여 구동의 안정성을 확보할 수 있다. 아울러, 본 발명에 포함된 스테이지 회로들은 정적 전류를 최소화할 수 있고, 이에 따라 소비전력을 저감할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 2는 도 1에 도시된 발광제어선 구동부를 개략적으로 나타내는 도면이다.

도 3은 도 2에 도시된 스테이지들로 공급되는 구동파형을 나타내는 파형도이다.

도 4는 도 2에 도시된 스테이지에 포함되는 회로를 나타내는 회로도이다.

도 5a 내지 도 5d는 도 4에 도시된 스테이지의 구동과정을 나타내는 도면이다.

도 6은 도 2에 도시된 제 1 내지 제 4스테이지에 포함된 회로들을 나타내는 도면이다.

도 7은 도 2에 도시된 스테이지의 제 2실시예에 의한 회로도를 나타내는 도면이다.

도 8은 도 2에 도시된 스테이지의 제 3실시예에 의한 회로도를 나타내는 도면이다.

도 9는 도 2에 도시된 스테이지의 제 4실시예에 의한 회로도를 나타내는 도면이다.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : 주사 구동부 20 : 데이터 구동부

30 : 발광제어선 구동부 34 : 입력부

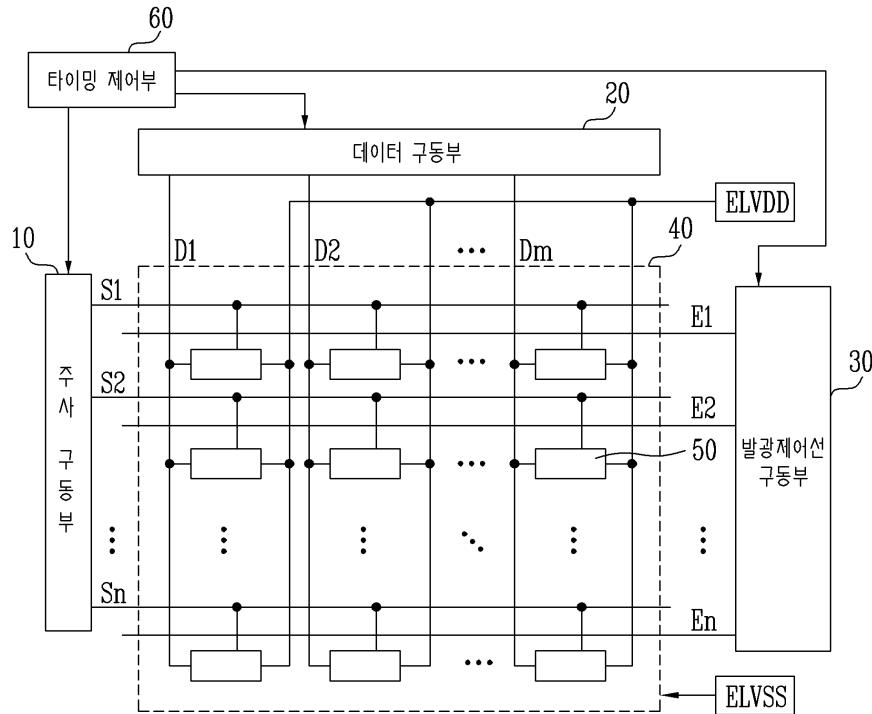
36 : 출력부 40 : 화소부

50 : 화소 60 : 타이밍 제어부

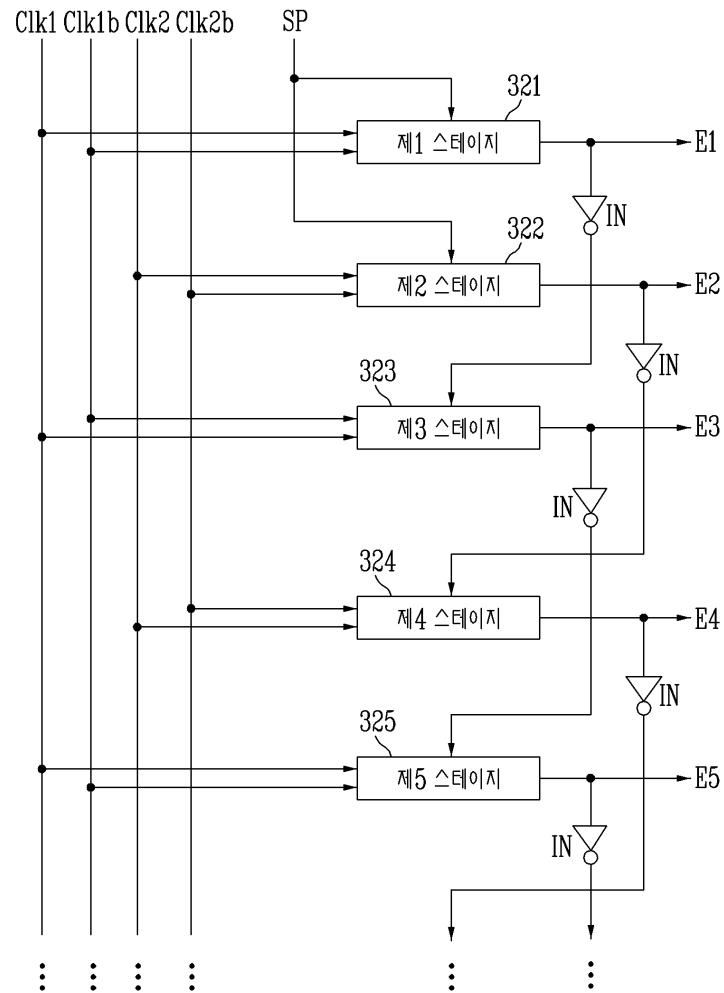
321,322,323,324,325 : 스테이지

도면

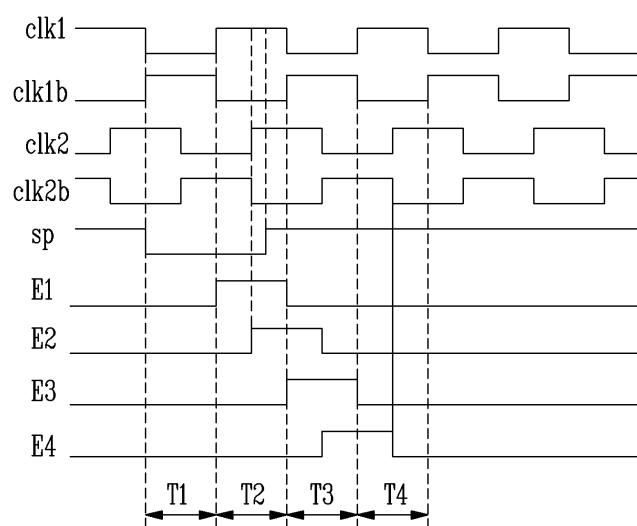
도면1



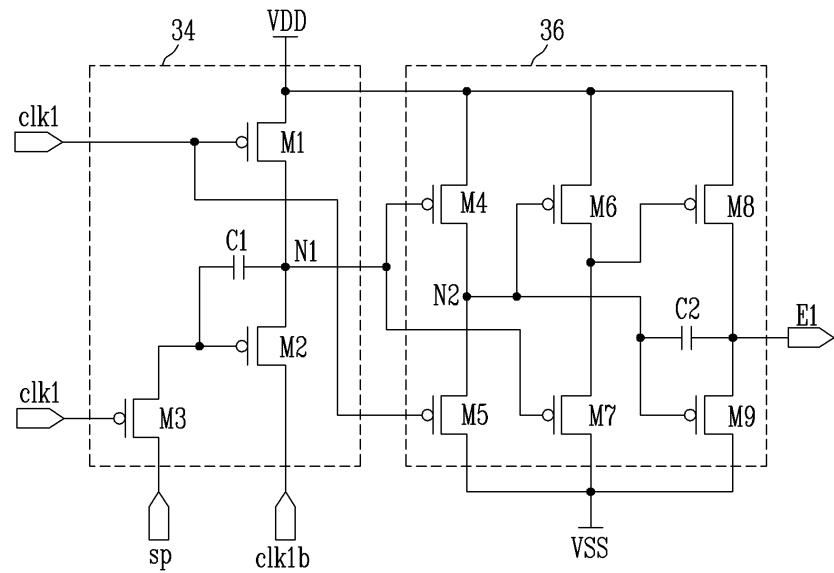
도면2



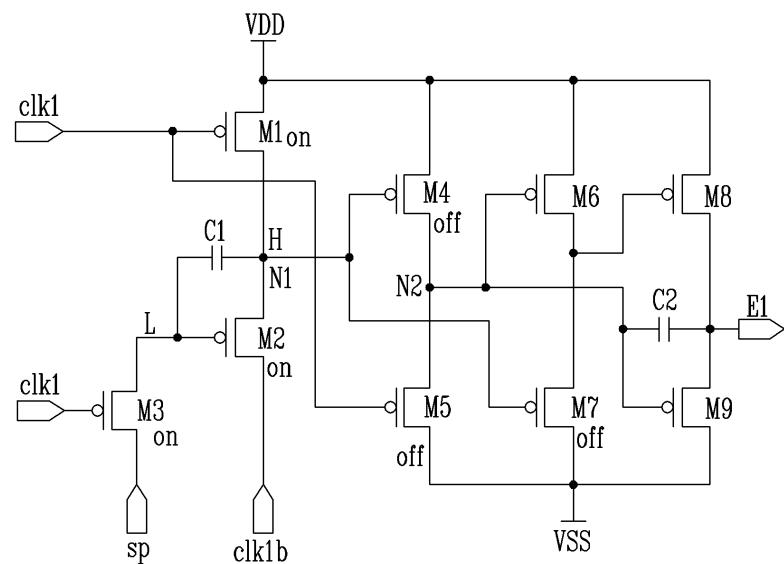
도면3



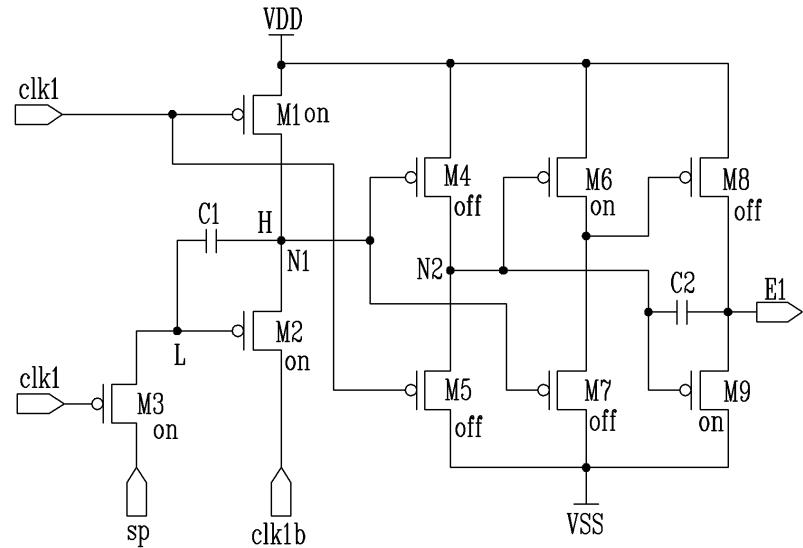
도면4



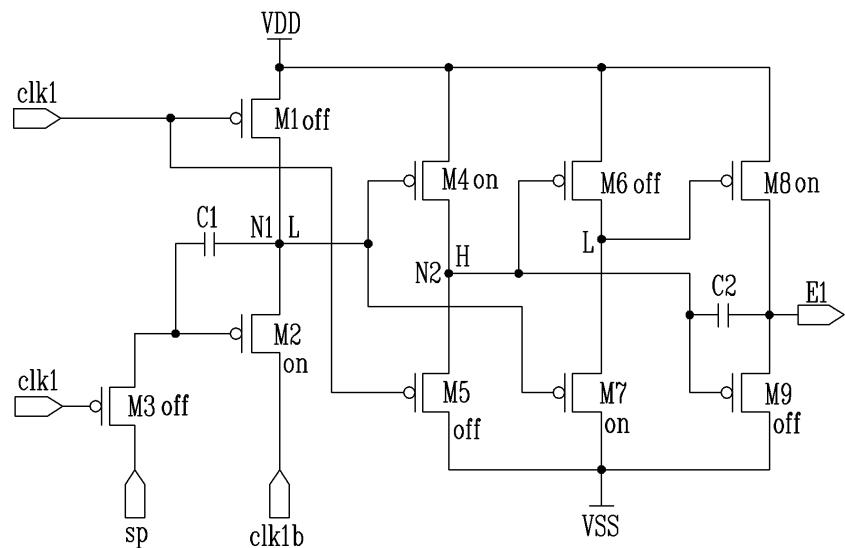
도면5a



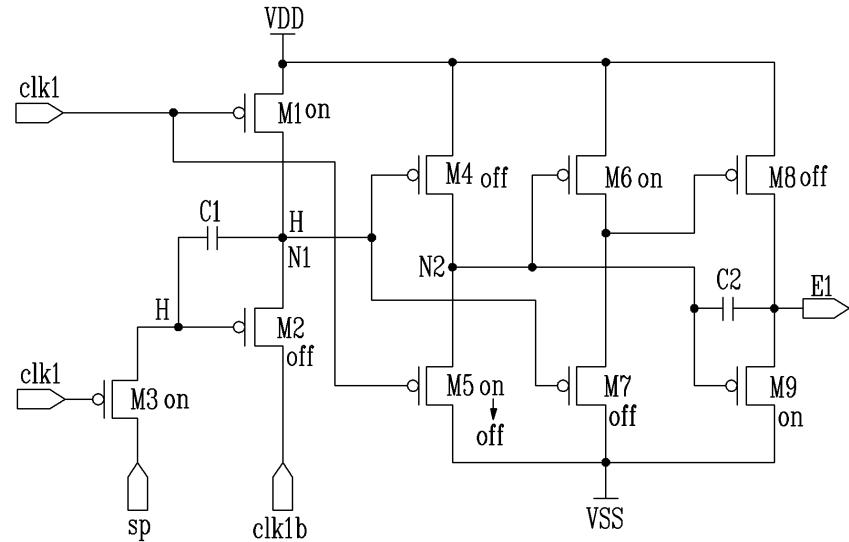
도면5b



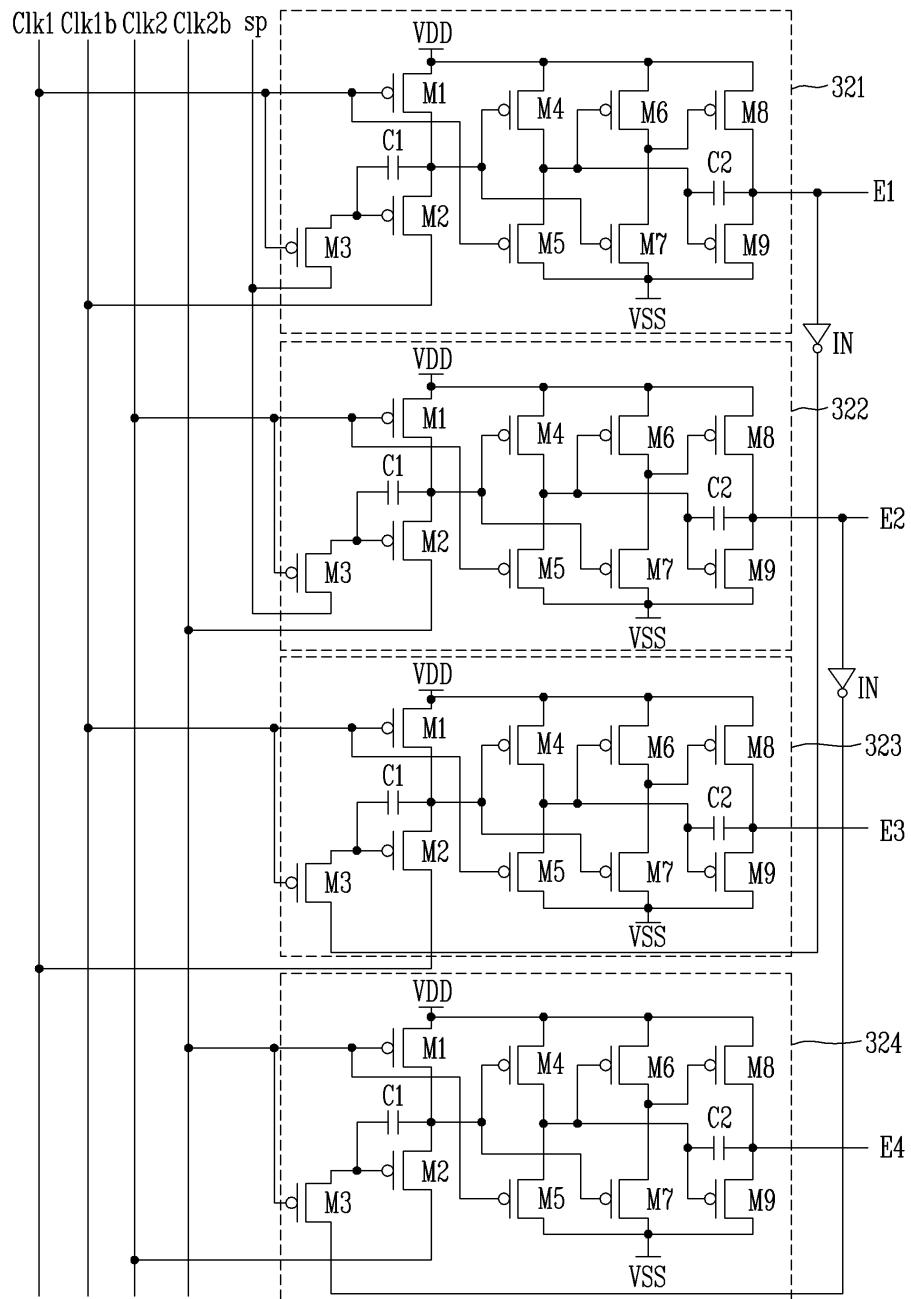
도면5c



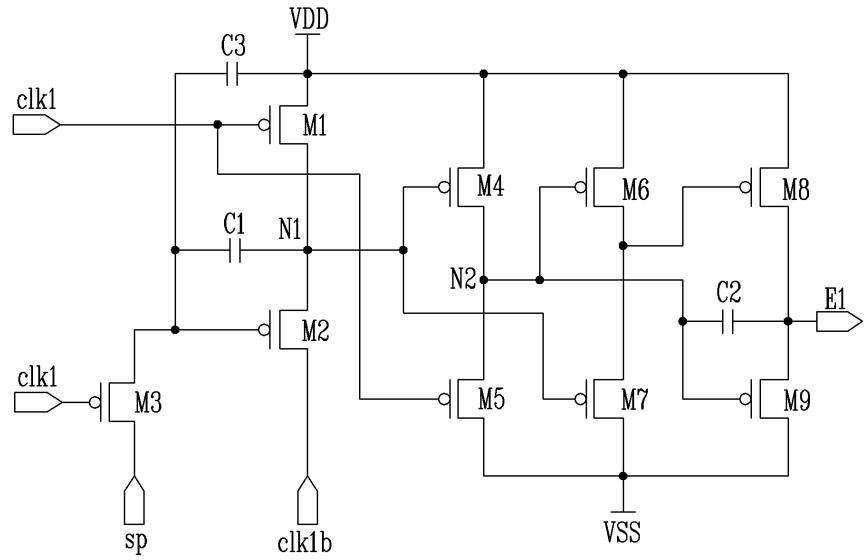
도면5d



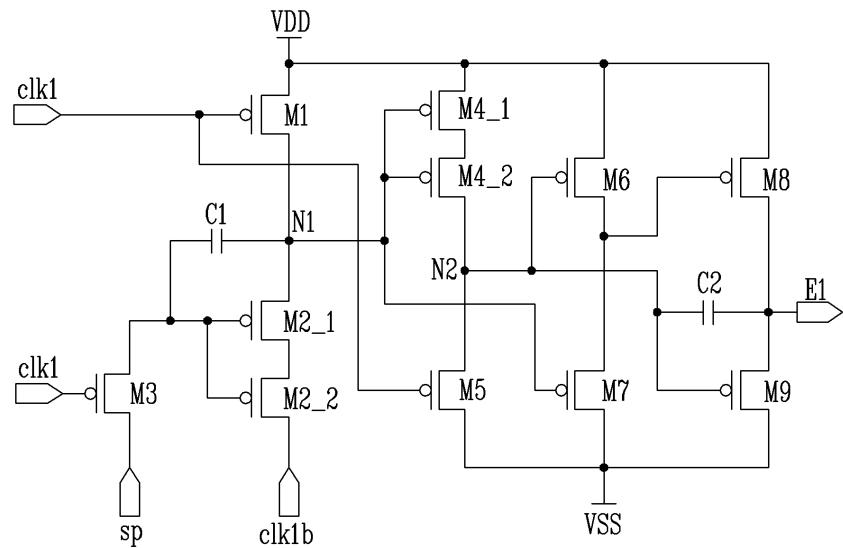
도면6



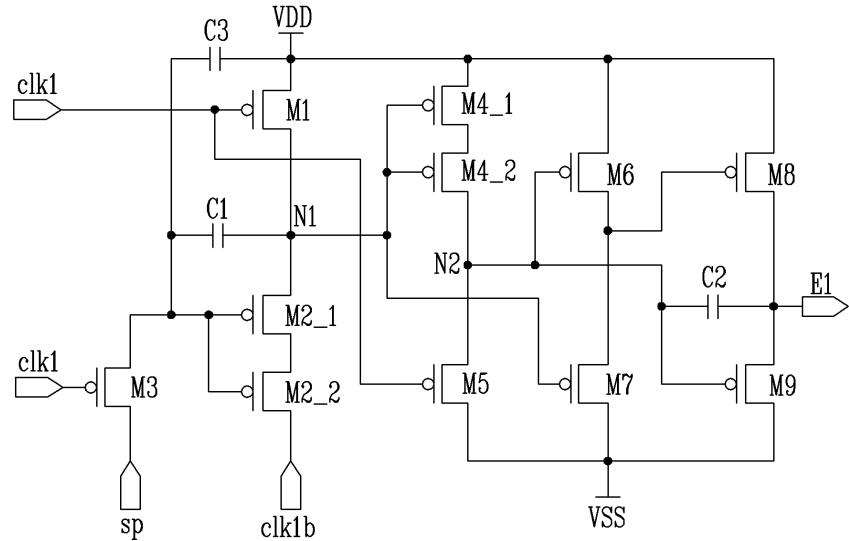
도면7



도면8



도면9



专利名称(译)	发射控制线驱动器和使用其的有机发光显示器		
公开(公告)号	KR100646992B1	公开(公告)日	2006-11-23
申请号	KR1020050085414	申请日	2005-09-13
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	BOYONG CHUNG 정보용		
发明人	정보용		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G11C19/28 G09G2320/0252 G09G2330/021 G09G3/3266 G11C19/184		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供一种发光控制线驱动单元和使用该发光控制线驱动单元的有机发光显示装置，通过从PMOS形成驱动单元的所有晶体管，通过在面板中安装发光控制线驱动单元来减小面板的尺寸和重量 (P沟道金属氧化物半导体)。发光控制线驱动单元包括由提供给第一和第二输入端的第一时钟信号 (Clk1) 驱动的第一级 (321) 和提供给第三输入端的第一反相时钟信号 (Clk1b) ;第二级 (322) 位于第一级的下一级，并由提供给第一和第二输入端的第二时钟信号 (Clk2) 和提供给第三输入端的第二反相时钟信号 (Clk2b) 驱动;第三级 (323) 位于第二级的下一级，并由提供给第一和第二输入端的第一反相时钟信号和提供给第三输入端的第一时钟信号驱动;第四级 (324) 设置在第三级的下一级，并由提供给第一和第二输入端的第二反相时钟信号和提供给第三输入端的第二时钟信号驱动。

