

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H05B 33/06		(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년09월09일 10-0513609 2005년09월01일
(21) 출원번호 (22) 출원일자	10-2000-0058064 2000년10월04일	(65) 공개번호 (43) 공개일자	10-2001-0050817 2001년06월25일

(30) 우선권주장	1999-283174	1999년10월04일	일본(JP)
(73) 특허권자	산요덴키가부시킴이샤 일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고		
(72) 발명자	스즈끼고우지 일본아이찌켄하구리공기소가와조미쓰호우지쓰지마에1 야마다쓰토무 일본기후켄모토스공호즈미조바바마에하따마찌3쵸메112-3		
(74) 대리인	주성민 장수길		

심사관 : 박재훈

(54) 일렉트로 루미네센스 표시 장치의 제조 방법{METHOD FOR MANUFACTURING ELECTRO LUMINESCENCE DISPLAY DEVICE}

요약

양극(61)과 음극(67) 사이에서 발광 소자층(66)이 단선되는 것, 양극(61) 단부에서 전계 집중이 생겨, 발광 소자층(66)이 국소적으로 열화되는 것을 방지하고, 수율이 높고, 수명이 긴 EL 표시 장치를 제공한다.

양극(1, 71)의 단부는 사면으로 되어 있다. 이것에 의해, 양극 상에 발광 소자층(66)이 완만히 형성되기 때문에, 양극과 음극의 단락, 양극 단부에서의 전계집중을 방지할 수 있다.

대표도

도 1

색인어

발광 소자층, 발광 표시 장치, 박막 트랜지스터, 일렉트로 루미네센스, 톱 게이트 구조

명세서

도면의 간단한 설명

- 도 1은 본 발명의 액티브 매트릭스형 EL 표시 장치의 평면도.
 도 2는 본 발명의 액티브 매트릭스형 EL 표시 장치의 단면도.
 도 3은 본 발명의 제1 전극 단부를 확대하여 나타내는 단면도.
 도 4는 본 발명의 제1 전극의 형성방법을 나타내는 단면도.
 도 5는 본 발명의 패시브 매트릭스형 EL 표시 장치의 평면도 및 단면도.
 도 6은 종래의 EL 표시 장치의 단면도.
 도 7은 종래의 EL 표시 장치의 단면도.
 도 8은 종래의 EL 표시 장치의 문제점을 설명하기 위한 단면도.
 도 9는 종래의 EL 표시 장치의 등가 회로도.

〈도면의 주요 부분에 대한 부호의 설명〉

- 1, 61, 71 : 제1 전극
 67, 72 : 제2 전극
 11, 41 : 게이트
 13s, 43s : 소스
 13d, 43d : 드레인
 13c, 43c : 채널
 30 : 제1 TFT
 40 : 제2 TFT
 53 : 구동 전원
 66 : 발광 소자층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 일렉트로 루미네센스 소자 및 박막 트랜지스터를 구비한 일렉트로 루미네센스 표시 장치에 관한 것이다.

최근, 일렉트로 루미네센스(Electro Luminescence : 이하, 「EL」이라 칭한다.) 소자를 이용한 EL 표시 장치가, CRT 나 LCD를 대신하는 표시 장치로서 주목받고 있고, 예를 들면, 그 EL 소자를 구동시키는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor: 이하, 「TFT」라 칭한다.)를 구비한 EL 표시 장치의 연구 개발도 진행되고 있다.

도 9에, 종래의 EL 소자 및 TFT를 구비한 EL 표시 장치의 등가 회로도를 나타낸다.

상기 도면은 제1 TFT(130), 제2 TFT(140) 및 유기 EL 소자(160)로 이루어지는 EL 표시 장치의 등가 회로도이고, 제 n행의 게이트 신호선 Gn과 제 m열의 드레인 신호선 Dm 부근을 나타내고 있다.

게이트 신호를 공급하는 게이트 신호선 Gn과 드레인 신호를 공급하는 드레인 신호선 Dm이 상호 직교하고 있고, 양 신호선의 교차점 부근에는, 유기 EL 소자(160) 및 이 유기 EL 소자(160)를 구동하는 TFT(130, 140)가 설치되어 있다.

스위칭용의 TFT인 제1 TFT(130)는 게이트 신호선 Gn에 접속되어 있고 게이트 신호가 공급되는 게이트 전극(131)과, 드레인 신호선 Dm에 접속되어 있고 드레인 신호가 공급되는 드레인 전극(132)과, 제2 TFT(140)의 게이트 전극(141)에 접속되어 있는 소스 전극(133)으로 이루어진다.

유기 EL 소자 구동용의 TFT인 제2 TFT(140)는, 제1 TFT(130)의 소스 전극(133)에 접속되어 있는 게이트 전극(141)과, 유기 EL 소자(160)의 양극(161)에 접속된 소스 전극(142)과, 유기 EL 소자(160)에 공급되는 구동 전원(150)에 접속된 드레인 전극(143)으로 이루어진다.

또한, 유기 EL 소자(160)는, 소스 전극(142)에 접속된 양극(161)과, 공통 전극(164)에 접속된 음극(162), 및 이 양극(161)과 음극(162) 사이에 형성된 발광 소자층(163)으로 이루어진다.

또한, 제1 TFT(130)의 소스 전극(133)과 제2 TFT(140)의 게이트 전극(141) 사이에 한 쪽의 전극(171)이 접속되고, 다른 쪽의 전극(172)이 공통 전극(173)에 접속된 보조 용량(170)을 구비하고 있다.

여기서, 도 9의 등가 회로도에 나타내는 회로의 구동 방법에 대해 설명한다. 게이트 신호선 Gn으로부터의 게이트 신호가 게이트 전극(131)에 인가되면, 제1 TFT(130)가 온이 된다. 그 때문에, 드레인 신호선 Dm으로부터 드레인 신호가 게이트 전극(141)에 공급되고, 게이트 전극(141)의 전위가 드레인 신호선 Dm의 전위와 동 전위가 된다. 그리고 게이트 전극(141)에 공급된 전압치에 상당하는 전류가 구동 전원(150)으로부터 유기 EL 소자(160)에 공급된다. 그것에 의해 유기 EL 소자(160)는 드레인 신호의 크기에 따른 강도로 발광한다.

다음에 종래의 EL 표시 장치에 대해 도 6, 7을 이용하여 설명한다. 도 6은 종래의 EL 표시 장치의 1화소를 나타내는 평면도이다. 참조 번호(51)는 도 9의 게이트 신호선 Gn, 참조 번호(52)는 드레인 신호선 Dm, 참조 번호(53)는 구동 전원(150), 참조 번호(54)는 보조 용량(170)의 전극(172), 참조 번호(61)는 유기 EL 소자(160)의 양극(161)에 각각 상당한다. 행 방향으로 게이트 신호선(51)이 배치되고, 열 방향으로 드레인 신호선(52)과 구동 전원(53)이 배치되어 있다. 이들에 의해 구획된 영역 내에 보조 용량과 발광 소자층이 배치된다. 보조 용량은, 반도체막(13)과 전극(54)에 의해 형성되어 있다. 반도체막(13)은 콘택트 C1을 통해 드레인 신호선(52)에 접속되고, 드레인(13d), 소스(13s) 사이에 게이트 전극(11)이 배치되어 있다.

반도체막(43)은 콘택트 C2를 통해 구동 전원(53)에 접속되고, 드레인(43d), 소스(43s) 사이에 반도체막(13)에 접속된 게이트 전극(41)이 배치되어 있다. 반도체막(43)은 콘택트 C3을 통해 유기 EL 소자의 양극(61)에 접속되어 있다.

도 7의 (a)는 도 6의 A-A선 단면도이다. 투명한 기판(10) 상에 반도체막(13)이 형성되고, 이것을 덮어 게이트 절연막(12)이 형성되어 있다. 게이트 절연막(12) 상에 게이트 신호선(51)으로부터 분기한 게이트 전극(11)과, 보조 용량 전극(54)이 배치되고, 이들을 덮어 층간 절연막(15)이 형성된다. 층간 절연막(15) 상에 드레인 신호선(52)이 배치되고, 콘택트 C1을 통해 반도체막(13)에 접속되어 있다. 이들을 덮어 평탄화 절연막(17)이 형성되어 있다.

도 7의 (b)는 도 6의 B-B선 단면도이다. 기판(10) 상에 반도체막(43), 게이트 절연막(12), 게이트 전극(41), 층간 절연막(15)이 순차 적층되고, 층간 절연막(15) 상에 드레인 신호선(52), 구동 전원(53)이 배치되고, 이들을 덮어 평탄화 절연막(17)이 형성되어 있다. 평탄화 절연막(17) 상에 양극(61)이 배치되고, 콘택트 C3을 통해 반도체막(43)에 접속되어 있다. 양극(61) 상에는 제1 홀 수송층(62), 제2 홀 수송층(63), 발광층(64), 전자 수송층(65)의 적층 구조인 발광 소자층(66)이 배치되어 있다. 이들을 덮어 음극(67)이 배치되어 있다.

양극(61)의 형성 방법은, 우선 전면에서 ITO막을 형성하고, 포지티브형 포토레지스트를 소정 형상으로 형성한 후, 화학 약품을 이용하여 웨트 에칭함으로써 형성하는 방법이 일반적이다.

그런데, 이와 같이 유기 EL 소자를 형성할 때에, 양극(61) 상에 형성하는 발광 소자층(66)은, 그 두께가 약 200nm로 매우 얇기 때문에, 양극(61) 단부의 평탄화 절연막(17)과의 단차에 의해 커버리지가 나빠진다. 그 때문에, 도 8에 화살표로 나타내는 개소는, 양극(61)의 정점과 음극(67)의 정점이 마주 보기 때문에, 여기에 전계 집중이 생겨, 발광층(64)이 빠르게 열화한다고 하는 문제가 생긴다. 또한, 커버리지가 더욱 나빠지게 되면, 도시한 바와 같이 발광 소자층(66)이 끊어져서, 상층에 설치한 음극(67)이 양극(61)과 단락하고, 이 화소는 표시 결함이 되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

그래서 본 발명은, 양극의 두께에 의한 발광층(64)의 국소적인 열화나, 단락을 방지하여, 따라서 보다 수율이 높고, 또한, 보다 수명이 긴 EL 표시 장치를 제공하는 것을 목적으로 한다.

본 발명은, 상기 과제를 해결하기 위해 이루어진 것으로, 기판 상에 제1 전극, 홀 수송층, 발광층, 전자 수송층, 제2 전극이 순서대로 적층되어 이루어지는 일렉트로 루미네센스 소자를 갖는 일렉트로 루미네센스 표시 장치에 있어서, 제1 전극의 단부는 사면으로 되어 있는 일렉트로 루미네센스 표시 장치이다.

그리고, 제1 전극의 사면은 10°이상 45°이하, 또한, 25°이상 35°이하의 각도이다.

또한, 제1 전극의 두께는 홀 수송층, 발광층, 전자 수송층의 막 두께의 합계의 1/2, 또한 그 1/3보다도 얇다.

발명의 구성 및 작용

본 발명의 제1 실시예에 대해 이하에 설명한다. 제1 실시예는, 본 발명을 액티브 매트릭스형 유기 EL 표시 장치에 적용한 예이다. 도 1에 제1 실시예의 EL 표시 장치의 하나의 표시 화소를 나타내는 평면도를 도시하고, 도 2에 도 1 중의 A-A선에 따른 단면도를 도시한다.

각 화소의 구동 회로는, 도 9에 도시한 회로와 완전히 동일하며, 도 6, 7의 종래예와 다른 점은 제1 전극인 양극(1)의 단면 형상만이다.

참조 번호(51)는 도 9의 게이트 신호선 Gn, 참조 번호(52)는 드레인 신호선 Dm, 참조 번호(53)는 구동 전원(150), 참조 번호(54)는 보조 용량(170)의 전극(172), 참조 번호(1)는 유기 EL 소자(160)의 양극(161)에 각각 상응한다. 행 방향으로 게이트 신호선(51)이 배치되고, 열 방향으로 드레인 신호선(52)과 구동 전원(53)이 배치되어 있다. 이들에 의해 구획된 영역 내에 보조 용량과 발광층이 배치된다. 보조 용량은, 반도체막(13)과 전극(54)에 의해 형성되어 있다. 반도체막(13)은 컨택트 C1을 통해 드레인 신호선(52)에 접속되고, 드레인(13d), 소스(13s) 사이에 게이트 전극(11)이 배치되어 있다.

반도체막(43)은 컨택트 C2를 통해 구동 전원(53)에 접속되고, 드레인(43d), 소스(43s) 사이에 반도체막(13)에 접속된 게이트 전극(41)이 배치되어 있다. 반도체막(43)은 컨택트 C3을 통해 유기 EL 소자의 양극(1)에 접속되어 있다.

도 2에 도시한 바와 같이, 유기 EL 표시 장치는 유리나 합성 수지 등으로 이루어지는 기판 또는 도전성을 갖는 기판 혹은 반도체 기판 등의 기판(10) 상에, TFT 및 유기 EL 소자를 순서대로 적층 형성하여 이루어진다. 단, 기판(10)으로서 도전성을 갖는 기판 및 반도체 기판을 이용하는 경우에는, 이들 기판(10) 상에 SiO₂나 SiN 등의 절연막을 형성한 후에 TFT 및 유기 EL 표시 장치를 형성한다.

본 실시예에 있어서는, 제1 및 제2 TFT(30, 40) 모두, 게이트 전극을 활성층의 상층에 설치한 소위 톱 게이트형의 TFT이며, 활성층으로서 다결정 실리콘으로 이루어지는 반도체막을 이용한 경우를 나타낸다. 또한 게이트 전극(11)이 더블 게이트 구조인 TFT의 경우를 나타낸다.

우선, 스위칭용의 TFT인 제1 TFT(30)에 대해 설명한다.

도 2에 도시한 바와 같이, 석영 유리, 무알카리 유리 등으로 이루어지는 절연성 기판(10) 상에, 반도체막(43), 게이트 절연막(12)을 순서대로 형성한다. 반도체막(43)은 제2 TFT의 활성층으로 되어 있고, 소스(43s), 드레인(43d), 채널(43c)을

갖는다. 게이트 절연막(12) 상에, 크롬(Cr), 몰리브덴(Mo) 등의 고용점 금속으로 이루어지는 게이트 전극(41)이 형성되고, 이것을 덮어 SiO₂막, SiN막 및 SiO₂막의 순서로 적층된 층간 절연막(15)이 형성된다. 그 위에 드레인 신호선(52), 구동 전원(53)을 형성한다.

TFT는 소위 LDD(Lightly Doped Drain) 구조이다. 즉, 채널(43c) 상의 게이트 전극(41)을 마스크로 하여 이온 도핑하고, 또한 게이트 전극(41) 및 그 양측의 게이트 전극(41)으로부터 일정한 거리까지를 레지스트로 커버하고 이온 도핑하여 게이트 전극(41)의 양측에 저농도 영역과 그 외측에 고농도 영역의 소스(43s) 및 드레인(43d)이 설치되어 있다.

또한 전면에 예를 들면 유기 수지로 이루어져 표면을 평탄하게 하는 평탄화 절연막(17)을 형성한다. 그리고, 그 평탄화 절연막(17)의 소스(43s)에 대응한 위치에 콘택트홀을 형성하고, 콘택트 C3을 통해 소스(43s)와 콘택트한 ITO로 이루어지는 투명한 제1 전극, 즉 유기 EL 소자의 양극(1)을 평탄화 절연막(17) 상에 형성한다.

유기 EL 소자는, 일반적인 구조이고, ITO 등의 투명 전극으로 이루어지는 양극(1), MTDATA(4,4-bis(3-methylphenylphenylamino)biphenyl)로 이루어지는 제1 홀 수송층(62), TPD(4,4,4-tris(3-methylphenylphenylamino)triphenylamine)로 이루어지는 제2 홀 수송층(63), 퀴나크리돈(Quinacridone) 유도체를 포함하는 Beq2(10-벤조 [h] 퀴놀리논-베릴륨 착제)로 이루어지는 발광층(64) 및 Beq2로 이루어지는 전자 수송층(65), 마그네슘·인듐 합금 혹은 마그네슘·은 합금 혹은 불화리튬/알루미늄 적층 등으로 이루어지는 음극(67)의 순서대로 적층 형성된 구조이다.

또한 유기 EL 소자는, 양극으로부터 주입된 홀과, 음극으로부터 주입된 전자가 발광층의 내부에서 재결합하고, 발광층을 형성하는 유기 분자를 여기하여 여기자가 생긴다. 이 여기자가 에너지를 잃는 과정에서 발광층으로부터 광이 방출되고, 이 광이 투명한 양극으로부터 투명 절연 기판을 통해 외부로 방출되어 발광한다.

이와 같이 구성된 표시 화소가 기판(10) 상에 매트릭스형으로 배치됨으로써, 유기 EL 표시 장치가 형성된다.

그런데, 본 실시예의 양극(1)은, 도 2에 도시한 바와 같이, 단부가 사면으로 되어 있다. 이 사면에 의해서, 발광 소자층(66)은 양극(1)으로부터 평탄화 절연막(17) 상에 완만하게 형성되므로, 커버리지가 나빠져, 양극(1)과 음극(67)이 단락하는 것이 방지된다. 또한, 사면이기 때문에, 양극(1)의 단부에는 음극(67)을 향한 각이 없으므로, 전계 집중이 일어나기 어렵다. 따라서, 발광층(64)은 전면에 균등하게 발광하고, 일부분이 빠르게 열화하는 경우도 없다.

도 3에 도시한 양극(1)의 사면의 각도 θ 는, 보다 작은 쪽이 단선이나 전계집중의 방지에는 적합하다. 그러나, 각도가 낮게 되면, 양극(1)의 단부는, 매우 얇은 막으로 되어, 형상의 재현성이 저하된다고 하는 문제가 생긴다. 따라서, 양극(1)의 사면의 각도는 10°~45°, 바람직하게는 30°정도로 한다. 또한, 양극(1)의 상단은, 도 3의 (b)에 도시한 바와 같이, 완만한 곡선이 되도록 하면 더욱 좋다.

다음에 양극(1)을 사면으로 하는 방법에 대해 설명한다. 상술한 바와 같이, ITO막의 에칭은, 종래 웨트 에칭을 이용하고 있었지만, 웨트 에칭에서는, 사면의 각도 θ 는 거의 90°로 된다. 그래서 본 실시예에서는, 전면에 형성한 ITO막에 포지티브형 포토레지스트를 형성하고, Cl₂나, HCl과 같은 염소계 가스를 이용한 드라이에칭을 행함으로써 ITO 단부를 사면으로 하였다. 도 4는 양극(1)의 형성방법을 나타내는 단면도이다. 우선 도 4의 (a)에 도시한 바와 같이, 평탄화 절연막(17) 상의 전면에 ITO막(21)을 형성한다. 다음에 소정의 영역에 포지티브형 포토레지스트(22)를 형성한다. 이것을 염소 가스 혹은 염화수소 가스와 같은 염소계 가스에 노출시키면, ITO막(21) 및 포토레지스트(22)가 등방적으로 에칭된다. 염소계 가스를 이용한 드라이 에칭은 ITO막(21)과 포토레지스트(22)와의 선택성이 낮고, ITO막(21)과 동시에 포토레지스트(22)도 에칭된다. 선택성은 낮지만, ITO 막(21)쪽이 빠르게 에칭되기 때문에, 에칭 도중에는 도 4의 (b)에 도시한 바와 같이 된다. 그 대로 에칭을 계속하며, 에칭 종료 시점을 도 4의 (c)에 도시한다. 본 실시예에서는, 사면의 각도 θ 는 약 30°로 되었다. 이와 같이, ITO막과 레지스트의 선택성이 낮은 에칭 가스를 이용하여 등방성 에칭을 함으로써, 단부를 사면으로 하는 양극(1)을 형성할 수가 있다.

다음에 양극(1)의 막 두께에 대해 설명한다. 양극(1)의 막 두께는, 발광 소자층(66)의 합계 막 두께에 비교하여 얇게 형성한다. 양극(1)의 막 두께가 얇으면, 평탄화 절연막(17) 사이에 생기는 단차도 완화되므로, 발광 소자층(66)의 단선을 방지할 수 있다. 양극(1)의 두께에 의해서, 표시의 색이 변화하기 때문에, 반드시 임의의 두께로 설정할 수 있는 것은 아니지만, 가능하면, 양극(1)의 막 두께는 발광 소자층(66)의 합계 막 두께의 1/2 이하, 또한 1/3 이하로 하는 것이 바람직하다. 다만, 양극(1)을 지나치게 얇게 형성하면, 양극(1)의 일부가 떨어져 나가는 등, 형상의 재현성이 저하된다. 본 실시예에서는, 양극(61)은 두께 약 85nm, 발광 소자층(66)은 두께가 약 200nm, 음극(67)은 두께 약 200nm이다.

본 발명은, 패시브 매트릭스형의 EL 표시 장치에도 적용할 수 있다. 도 5는 본 발명의 제2 실시예를 나타내는 패시브 매트릭스형 EL 표시 장치의 평면도 및 그 A-A선 단면도이다.

투명 기관(70) 상에 세로 방향으로 연장하는 제1 전극인 양극(71)이 배치되고, 발광 소자층(66)을 통해 제1 전극(71)에 교차하여 가로 방향으로 연장하는 제2 전극인 음극(72)이 배치되어 있다. 발광 소자층(66) 중, 발광층(64)은 양극(71)과 음극(72)의 교점 각각에 형성되어 있다.

또, 상술의 각 실시예에 있어서는 TFT은 활성층 상에 게이트 전극이 있는 톱 게이트 구조를 예시하였지만, 바텀 게이트(bottom gate) 구조여도 좋다. 또한, 상술의 각 실시예에 있어서는, 활성층으로서 반도체막을 이용하였지만, 미결정 실리콘막 또는 비정질 실리콘을 이용하여도 좋다.

본 실시예에 있어서는 양극(71)의 단부는 사면으로 되어 있고, 발광 소자층(66)이 완만하게 형성되기 때문에, 양극(71)과 음극(72)과의 단락을 방지할 수 있다.

또한, 상술의 각 실시예에 있어서는, 유기 EL 표시 장치에 대해 설명하였지만, 본 발명은 그것에 한정되는 것이 아니라, 발광층이 무기 재료로 이루어지는 무기 EL 표시 장치에도 적용이 가능하며, 마찬가지로 효과가 얻어진다.

또한, 본 명세서에 있어서, 제1 전극을 양극으로서 설명하였지만, 제1 전극은, 기관과 EL 소자 사이에 배치되고, EL 소자에 덮히는 전극이며, 음극이 되는 경우도 있을 수 있다.

발명의 효과

이상에서 진술한 바와 같이, 본 발명은, 제1 전극의 단부는 사면으로 되어 있으므로, 이 위에 형성되는 일렉트로 루미네센스 소자가 완만히 형성되고, 제1 전극과 제2 전극의 단락이 방지되고, 수율이 높은 일렉트로 루미네센스 표시 장치로 할 수 있다.

또한, 제1 전극 단부에서의 전계 집중이 방지되므로, 국소적으로 일렉트로 루미네센스 소자가 열화하는 것을 방지할 수 있어, 수명이 긴 일렉트로 루미네센스 표시 장치로 할 수 있다.

그리고, 제1 전극의 사면은 10°이상 45°이하, 또한, 25°이상 35°이하의 각도이므로, 발광 소자층을 확실하게 형성할 수 있고, 또한 제1 전극의 형상의 재현성을 손상하는 일이 없다.

또한, 제1 전극의 두께는, 발광 소자층의 막 두께의 1/2, 또한 그 1/3보다도 얇기 때문에, 발광 소자층을 확실하게 형성할 수가 있다.

(57) 청구의 범위

청구항 1.

기관 상에 박막 트랜지스터 및 발광 소자를 갖는 일렉트로 루미네센스 표시 장치의 제조 방법으로서,

기관 상에 박막 트랜지스터를 형성하는 단계와,

상기 박막 트랜지스터를 덮도록 평탄화 절연막을 형성하는 단계와,

상기 평탄화 절연막 상에 제1 전극을 형성하는 단계와,

상기 제1 전극 상에 발광 소자층을 형성하는 단계와,

상기 발광 소자층 상에 제2 전극을 형성하는 단계를 포함하며,

상기 제1 전극을 형성하는 단계에 있어서, 염소계 가스를 이용하여 드라이 에칭 함으로써, 상기 제1 전극의 단부를 사면으로 하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

청구항 2.

제1항에 있어서,

상기 제1 전극의 단부를 10° 이상 45° 이하의 각도의 사면으로 하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

청구항 3.

제1항에 있어서,

상기 제1 전극의 단부를 25° 이상 35° 이하의 각도의 사면으로 하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

청구항 4.

제1항 내지 제3항 중 어느 한항에 있어서,

상기 제1 전극을 형성하는 단계에 있어서, 상기 제1 전극의 두께를 상기 발광 소자층의 막 두께의 $1/2$ 보다도 얇게 하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

청구항 5.

제1항 내지 제3항 중 어느 한항에 있어서,

상기 제1 전극을 형성하는 단계에 있어서, 상기 제1 전극의 두께를 상기 발광 소자층의 막 두께의 $1/3$ 보다도 얇게 하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

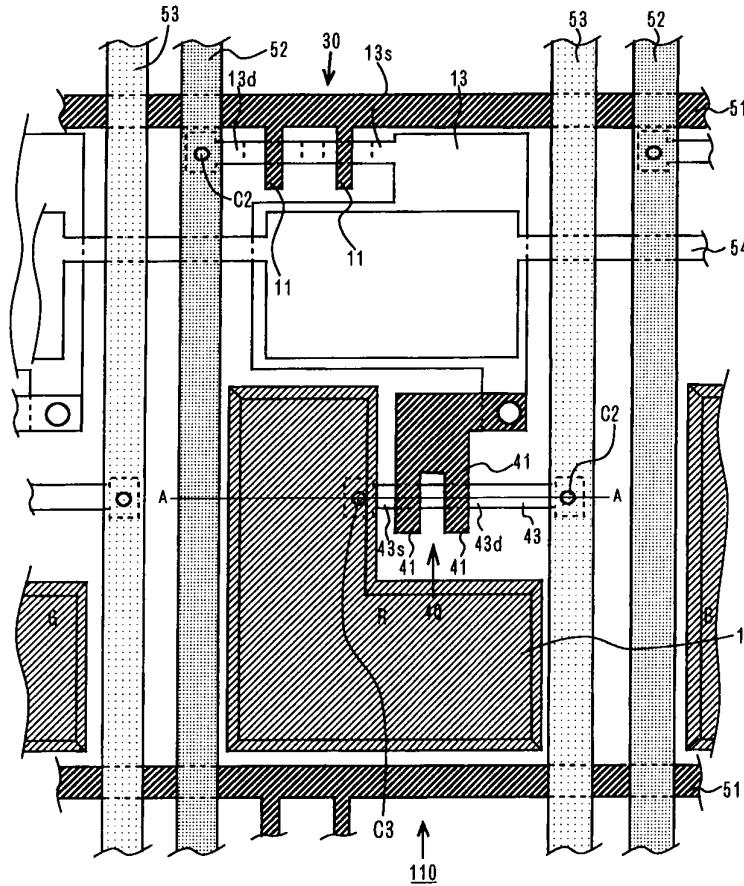
청구항 11.

제1항 내지 제3항 중 어느 한항에 있어서,

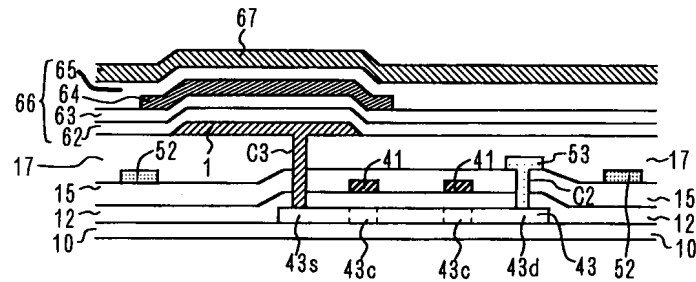
상기 발광 소자층을 형성하는 단계에 있어서, 홀 수송층, 발광층, 전자 수송층을 적층하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

도면

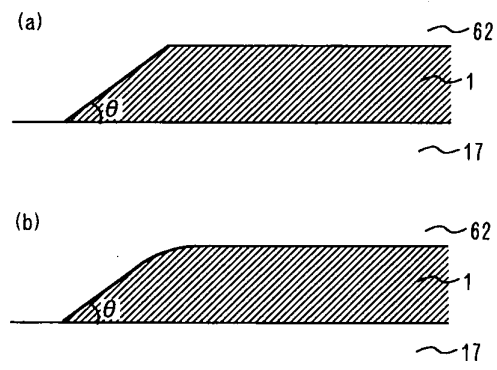
도면1



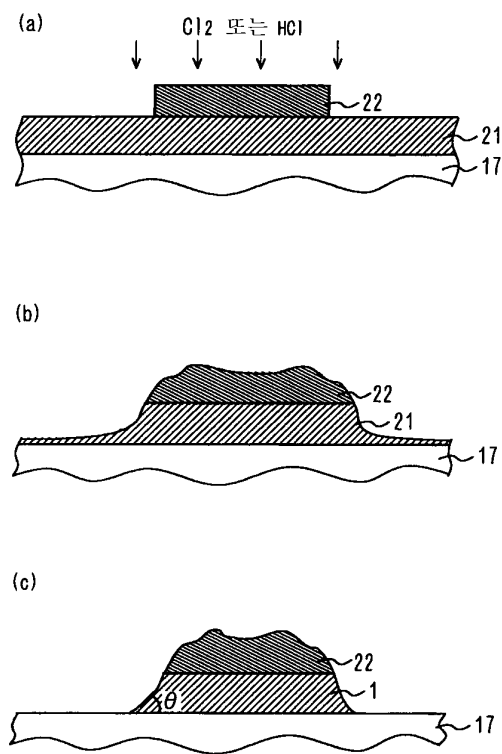
도면2



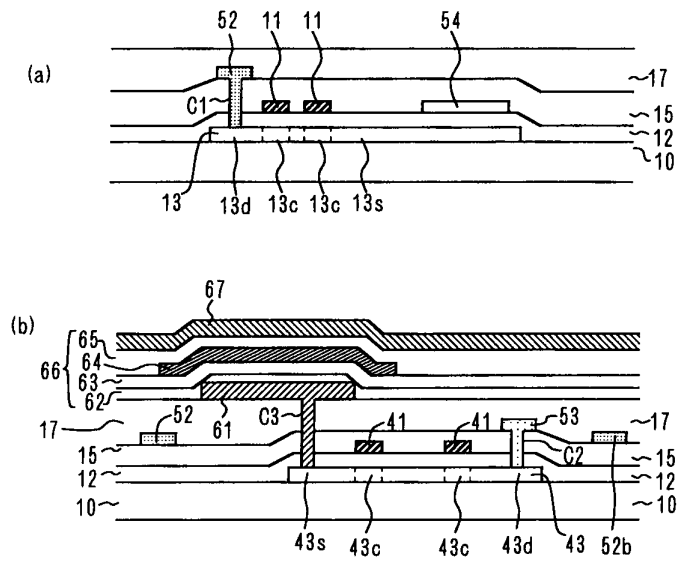
도면3



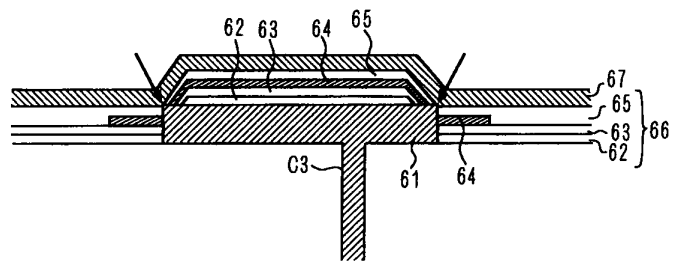
도면4



도면7



도면8



도면9

