



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0090646
(43) 공개일자 2010년08월16일

(51) Int. Cl.

H01L 51/56 (2006.01)

(21) 출원번호 10-2010-0010404

(22) 출원일자 2010년02월04일

심사청구일자 2010년02월04일

(30) 우선권주장

10 2009 007 947.5 2009년02월06일 독일(DE)

(71) 출원인

우니베르지테트 스투트가르트

독일 70174 스투트가르트 케플러스트라쎄 7

(72) 발명자

프뤼하우프, 노르베르트

독일 신텔핑겐 71065 마흐텐탈스트라쎄 38

뵐그스타인, 토마스

독일 램세크 71686 폭스그루베 21

쉬할베르거, 패트릭

독일 스투트가르트 70563 말벤베그 3

(74) 대리인

차윤근

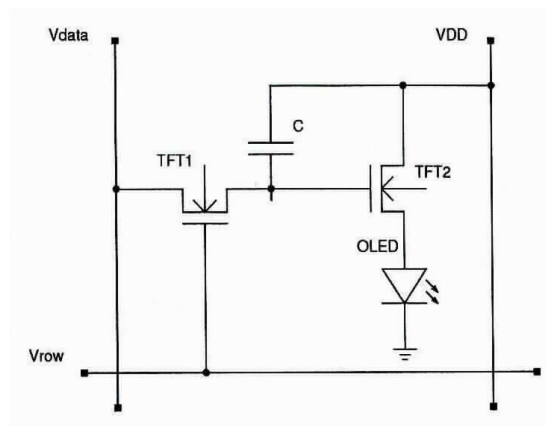
전체 청구항 수 : 총 12 항

(54) 능동 매트릭스 OLED 디스플레이 제조 방법

(57) 요약

본 발명은 각각의 픽셀을 구동하기 위해 적어도 2개의 박막 트랜지스터 및 하나의 저장 커패시터가 제공되고 사 진석판술 패터닝 단계수가 감소된 능동 매트릭스 OLED 디스플레이의 제조 방법에 관한 것이다.

대표도 - 도1



특허청구의 범위

청구항 1

디스플레이의 각각의 픽셀을 구동하기 위해 적어도 2개의 박막 트랜지스터 및 하나의 저장 커패시터가 제공되는, 능동 매트릭스 OLED 디스플레이 제조를 위한 방법에 있어서,

- a) 기판상에 드레인 소스 및 컬럼 물질의 침착에 이은 드레인 소스 영역 및 컬럼 라인의 사진식판술 패터닝 단계,
- b) 도핑된 반도체 물질의 선택적 침착 및 진공 처리에 의한 고유 반도체 물질 및 유전체의 전체 영역 침착 단계와,
- c) 픽셀 회로의 박막 트랜지스터 및 드라이버 트랜지스터의 드레인/소스 영역을 침착된 OLED 물질에 전기적으로 연결하기 위한, 관통 상호연결부의 사진식판술 패터닝 단계와,
- d) 게이트 및 열 물질의 인가 및 사진식판술 패터닝 단계와,
- e) OLED 물질 및 OLED 를 위한 상부 전극 물질의 인가 단계를 포함하는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 2

디스플레이의 각각의 픽셀을 구동하기 위해 적어도 2개의 박막 트랜지스터 및 하나의 저장 커패시터가 제공되고 반도체가 별도로 패터닝되는 능동 매트릭스 OLED 디스플레이의 제조 방법에 있어서,

- a) 기판상에 드레인 소스 및 컬럼 물질의 침착에 이은 드레인 소스 영역 및 컬럼 라인의 사진식판술 패터닝 단계와,
- b) 도핑된 반도체 물질의 선택적 침착 및 진공 처리에 의한 고유 반도체 물질 및 제1유전체의 전체 영역 침착 단계와,
- c) 반도체 아일랜드의 사진식판술 패터닝 단계와,
- d) 진공 처리에 의한 제2유전체의 침착 단계와,
- e) 픽셀 회로의 박막 트랜지스터 및 드라이버 트랜지스터의 드레인/소스 영역을 침착된 OLED 물질에 전기적으로 연결하기 위한, 관통 상호연결부의 사진식판술 패터닝 단계와,
- f) 게이트 및 열 물질의 인가 및 사진식판술 패터닝 단계와,
- g) OLED 물질 및 OLED 를 위한 상부 전극 물질의 인가 단계를 포함하는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 3

디스플레이의 각각의 픽셀을 구동하기 위해 OLED 아래에 배치되고 적어도 2개의 박막 트랜지스터 및 하나의 저장 커패시터가 제공되는, 능동 매트릭스 OLED 디스플레이를 제조하기 위한 방법에 있어서,

- a) 기판상에 드레인 소스 및 컬럼 물질의 침착에 이은 드레인 소스 영역 및 컬럼 라인의 사진식판술 패터닝 단계와,
- b) 도핑된 반도체 물질의 선택적 침착 및 진공 처리에 의한 고유 반도체 물질 및 유전체의 전체 영역 침착 단계와,
- c) 픽셀 회로의 박막 트랜지스터 및 드라이버 트랜지스터의 드레인/소스 영역을 침착된 OLED 바닥 전극에 전기적으로 연결하기 위한, 관통 상호연결부의 사진식판술 패터닝 단계와,
- d) 게이트 및 열 물질의 인가 및 사진식판술 패터닝 단계와,
- e) 패시베이션 및 평면층의 인가 및 사진식판술 패터닝 단계와,

f) OLED 의 바닥 전극 물질의 인가 및 사진식판술 패터닝 단계와,

g) OLED 물질 및 OLED 를 위한 상부 전극 물질의 전체 영역 인가 단계를 포함하는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 4

제1항 내지 제3항중 어느 한 항에 있어서, OLED 물질 및 상부 전극 물질은 새도우 마스크에 의해 인가되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 5

제1항 내지 제4항중 어느 한 항에 있어서, 도핑된 반도체 물질은 반도체 물질의 선택적인 침착 및 에칭에 의해 선택적으로 침착될 수 있으며, 기판 물질 보다 드레인 소스 및 컬럼 물질과 강하게 결합되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 6

제1항 내지 제5항중 어느 한 항에 있어서, 미정질 실리콘은 고유 반도체 물질로서 사용되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 7

제1항 내지 제6항중 어느 한 항에 있어서, MoTa 는 드레인 소스 및 컬럼 물질로서 사용되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 8

제1항 내지 제7항중 어느 한 항에 있어서, 박막 트랜지스터의 오버랩 커패시터는 저장 커패시터로서 사용되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 9

제1항 내지 제8항중 어느 한 항에 있어서, 저장 커패시터는 드라이버 회로의 드레인 또는 소스와 게이트 사이에 오버랩의 확장 영역에 의해 형성되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 10

제1항, 제2항, 또는 제4항 내지 제9항중 어느 한 항에 있어서, OLED 물질 및 상부 전극 물질의 인가 이전에, 패시베이션 및 평면층은 OLED 물질 및 상부 전극 물질이 디스플레이의 전체 영역 위에 인가되기 전에 침착되고 사진식판술로 패터닝되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 11

제1항 내지 제10항중 어느 한 항에 있어서, 드레인 소스 및 컬럼 패턴의 라인 저항이 감소되고, 부가의 관통 연결부 및 채택된 게이트 패턴을 형성함으로써 잉여부가 생성되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

청구항 12

제1항 내지 제11항중 어느 한 항에 있어서, 기생 박막 트랜지스터의 형성은 확장된 및/또는 부가의 관통 연결부를 제공함으로써 방지되는 것을 특징으로 하는 능동 매트릭스 OLED 디스플레이 제조 방법.

명세서

기술분야

본 발명은 디스플레이의 각각의 픽셀을 구동하기 위해 적어도 2개의 박막 트랜지스터 및 하나의 저장 커패시터

[0001]

가 제공되는, 능동 매트릭스 OLED 디스플레이를 제조하는 방법에 관한 것이다.

배경 기술

- [0002] 능동 매트릭스 OLED 디스플레이, 즉 유기 발광 다이오드를 갖는 능동 구동형 픽셀이 구비된 디스플레이의 제조는 적어도 5가지의 사진식판술 처리(photolithographic process) 단계를 필요로 한다. 대응의 제조 방법은 ITC 인터내셔널 박막 트랜지스터 컨퍼런스의 이.퍼시디스(E. Persidis) 등에 의한 "AMOLED 디스플레이용 LTPS-TFT 처리" 및 미국 특허공개 2007/0072348 A1호 및 미국 특허 제6515428호에 개시되어 있다.

발명의 내용

해결하려는 과제

- [0003] 그러나, AMOLED 디스플레이의 산업상 제조 비용은 결정적으로 처리과정의 복잡성에 의해, 특히 사진식판술 처리 단계수에 지배된다.
- [0004] 따라서, 본 발명의 기저에 깔린 문제점은 디스플레이의 특징이 통상적인 방법에 의해 제조된 디스플레이의 특징과 질적인 면에서 적어도 동일하며 공지의 방법 보다 비용이 적게 소요되는, 능동 매트릭스 OLED 디스플레이의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0005] 상기 문제점은 하기와 같은 단계를 특징으로 하는, 디스플레이의 각각의 픽셀을 구동하기 위해 적어도 2개의 박막 트랜지스터 및 하나의 저장 커패시터가 제공되는 능동 매트릭스 OLED 디스플레이의 제조 방법에 의해 해결된다.
- [0006] a) 기판상에 드레인 소스 및 컬럼 물질의 침착(deposition)에 이은 드레인 소스 영역 및 컬럼 라인의 사진식판술 패터닝(patterning) 단계.
- [0007] b) 도핑된 반도체 물질의 선택적 침착 및 진공 처리에 의한 고유 반도체 물질 및 유전체의 전체 영역 침착 단계.
- [0008] c) 픽셀 회로의 박막 트랜지스터 및 드라이버 트랜지스터의 드레인/소스 영역을 침착된 OLED 물질에 전기적으로 연결하기 위한, 관통 상호연결부(through-interconnection)의 사진식판술 패터닝 단계.
- [0009] d) 게이트 및 열(row) 물질의 인가 및 사진식판술 패터닝 단계.
- [0010] e) OLED 물질 및 OLED 를 위한 상부 전극 물질의 인가 단계.
- [0011] 본 발명에 따른 이러한 방법은 3개의 사진식판술 처리 단계를 포함한다. 공지의 제조 방법에 필요한 2개 이상의 사진식판술 마스크 단계의 제거를 통해, 능동 매트릭스 OLED 디스플레이의 제조에 관한 생산비용이 상당히 감소될 수 있다. 또한, 상기 단계는 도핑된 고유 반도체층의 침착 사이의 진공 중단을 피할 수 있기 때문에, 매우 바람직하다. 모든 물질의 침착은 PECVD(플라즈마 강화 화학 증착) 등과 같은 종래 진공 처리에 의해 실행될 수 있다. 제조 방법중에 형성된 박막 트랜지스터는 본 발명에 따라 제조된 디스플레이를 갖는 경우로서 판명된 바와 같이, LCD 디스플레이를 위한 그 사용에 문제가 있는 것으로 간주되더라도, OLED 디스플레이를 구동하는데 용이하게 사용될 수 있는 이른바 상부-게이트 트랜지스터이다.
- [0012] 또한, 본 발명은 디스플레이의 각각의 픽셀을 구동하기 위해 적어도 2개의 박막 트랜지스터 및 하나의 저장 커패시터가 제공되고 반도체가 별도로 패터닝되는 능동 매트릭스 OLED 디스플레이의 제조 방법에 관한 것으로서, 하기와 같은 단계를 특징으로 한다.
- [0013] a) 기판상에 드레인 소스 및 컬럼 물질의 침착에 이은 드레인 소스 영역 및 컬럼 라인의 사진식판술 패터닝 단계.
- [0014] b) 도핑된 반도체 물질의 선택적 침착 및 진공 처리에 의한 고유 반도체 물질 및 제1유전체의 전체 영역 침착 단계.
- [0015] c) 반도체 아일랜드(island)의 사진식판술 패터닝 단계.

- [0016] d) 진공 처리에 의한 제2유전체의 침착 단계.
- [0017] e) 픽셀 회로의 박막 트랜지스터 및 드라이버 트랜지스터의 드레인/소스 영역을 침착된 OLED 물질에 전기적으로 연결하기 위한, 관통 상호연결부의 사진식판술 패터닝 단계.
- [0018] f) 게이트 및 열 물질의 인가 및 사진식판술 패터닝 단계.
- [0019] g) OLED 물질 및 OLED 를 위한 상부 전극 물질의 인가 단계.
- [0020] 만일 누설 전류에 대한 부가의 감소가 필요할 경우라면 반도체 아일랜드를 별도로 패터닝하는 것이 바람직하다. 또한, 이와 동시에 기생 박막 트랜지스터도 피할 수 있다. 더구나, 유전체의 침착 분기로 인해 박막 트랜지스터의 부가의 패시베이션(passivation)도 필요치 않다. 그럼에도 불구하고, 이러한 종류의 배치는 반도체 아일랜드를 패터닝하기 위해 부가의 사진식판술 처리 단계를 필요로 하지 않는다.
- [0021] 디스플레이의 각각의 픽셀을 구동하기 위해 OLED 아래에 배치되고 적어도 2개의 박막 트랜지스터 및 하나의 저장 커패시터가 제공되는, 능동 매트릭스 OLED 디스플레이를 제조하기 위한 본 발명에 따른 방법은 다음과 같은 단계를 특징으로 한다.
- [0022] a) 기판상에 드레인 소스 및 컬럼 물질의 침착에 이은 드레인 소스 영역 및 컬럼 라인의 사진식판술 패터닝 단계.
- [0023] b) 도핑된 반도체 물질의 선택적 침착 및 진공 처리에 의한 고유 반도체 물질 및 유전체의 전체 영역 침착 단계.
- [0024] c) 픽셀 회로의 박막 트랜지스터 및 드라이버 트랜지스터의 드레인/소스 영역을 침착될 OLED 바닥 전극에 전기적으로 연결하기 위한, 관통 상호연결부의 사진식판술 패터닝 단계.
- [0025] d) 게이트 및 열 물질의 인가 및 사진식판술 패터닝 단계.
- [0026] e) 패시베이팅 및 평면층(planarizing layer)의 인가 및 사진식판술 패터닝 단계.
- [0027] f) OLED 의 바닥 전극 물질의 인가 및 사진식판술 패터닝 단계.
- [0028] g) OLED 물질 및 OLED 를 위한 상부 전극 물질의 전체 영역 인가 단계.
- [0029] 픽셀의 개구가 가능한 한 클 것이 요구되는 경우에는 OLED 아래에 구동 회로를 배치하는 것이 바람직하다. 이러한 종류의 배치는 OLED 의 아노드의 패터닝을 위한 제5사진식판술 처리 단계를 필요로 하지 않는다. 한편, 전적으로 OLED 의 하부에 구동 회로가 배치된 디스플레이의 종래기술의 방법에 의한 제조는 적어도 7개의 사진식판술 패터닝을 필요로 한다.
- [0030] 이러한 방법에 의해, OLED 물질 및 상부 전극 물질은 새도우 마스크에 의해 양호하게 인가될 수 있다. 따라서, 이러한 물질의 일련의 패터닝이 필요없다.
- [0031] 도핑된 반도체 물질은 반도체 물질의 선택적 침착 및 에칭에 의해 선택적으로 침착될 수 있으며, 기판 물질 보다 드레인 소스 및 컬럼 물질과 강하게 결합된다. 반도체 물질과 기판 물질 사이의 약한 원자 결합력으로 인해, 반도체 물질은 더욱 신속하게 에칭되어, 드레인 소스 및 컬럼 물질 위가 아니라 기판 물질 위에 직접 인가된다. 따라서, 반도체층의 침착 및 에칭에 대한 사이클 시간을 선택함으로써, 기판 물질 위에 직접 도핑된 반도체층은 모든 에칭 단계에서 다시 완전히 벗겨질 수 있으며, 모든 사이클 단계에서 증식되는 얇은 반도체층이 드레인 소스 및 컬럼 물질의 상부에 남게 된다.
- [0032] 만일 미정질 실리콘이 고유 반도체 물질로서 사용될 경우에는 또 다른 장점이 발휘된다. 미정질 실리콘은 주로 얇은 증식을 통해 결정을 형성함으로써, 이러한 물질의 포지티브 특성은 특히 표면에서 효과적으로 된다. 이러한 방법에서의 트랜지스터는 상부 게이트 트랜지스터이기 때문에, 트랜지스터의 채널은 고유 반도체의 표면에서 그 하부에 직접 배치된다. 따라서, 이러한 형태의 트랜지스터에 대해서는 미정질 실리콘이 특히 적합하다. 물질의 결정성때문에, 매우 간단한 처리로 미정질 실리콘에 의해 매우 안정된 박막 트랜지스터가 제조될 수 있다. 또한, 미정질 실리콘의 사용은 실리콘의 선택적 침착이 미정질 형태로 접촉층으로서 실현되기 때문에 가장 적합하다. 미정질 실리콘은 이를 위해 적절한 결합 구조를 처리한다. 그러나, 본 발명에 따른 방법은 기타 다

른 반도체로도 실현될 수 있다.

- [0033] 다양한 금속이 드레인 소스 및 컬럼 물질로서 사용될 수 있지만, 반도체 물질의 선택적 침착이 수 사이클에 걸쳐 매우 용이하게 실현될 수 있는 MoTa 가 특히 바람직하게 사용될 수 있다.
- [0034] 상기 방법의 양호한 변형예에서, 박층 트랜지스터의 오버랩 커패시터는 저장 커패시터로서 이용될 수 있다. 이것만으로도 픽셀에서의 전압을 충분히 유지할 수 있다. 선택적으로 또는 부가적으로, 저장 커패시터는 드라이버 트랜지스터의 드레인 소스 영역과 게이트 사이에서 오버랩의 확장 영역에 의해 실행될 수 있다.
- [0035] 만일 OLED 의 전체 영역의 인가가 필요할 경우, 하부 구동 회로는 종래와 같은 절연이 필요하다. 따라서, 이러한 방법의 변형예에서, OLED 물질 및 상부 전극 물질을 인가하기 전에 패시베이팅 및 평면층이 침착되고, OLED 물질 및 상부 전극 물질이 디스플레이의 전체 영역 위에 인가되기 전에 사진식판술로 패터닝된다. OLED 물질 및 상부 전극 물질의 인가를 위하여 새도우 마스크는 필요치 않는다.
- [0036] 본 발명에 따른 방법은 기타 다른 양호한 형태가 실현될 수 있게 한다. 따라서, 드레인 소스 및 컬럼 패턴의 라인 저항이 감소될 수 있고, 부가의 관통 상호연결부 및 적용된 게이트 패턴을 형성함으로써 잉여부(redundancy)가 생성될 수 있다. 이 경우, 층 스택은 관통 구멍 마스크를 갖는 드레인 소스 및 컬럼 패턴 위로 제거되므로, 게이트 물질의 침착 및 패터닝에서 금속화 층이 이러한 영역의 드레인 소스 및 컬럼 패턴에 인가된다. 이러한 부가적인 층은 라인 저항을 감소시키며, 생성될 각각의 패턴의 잉여부로 인해 산업적 생산시 그 수율을 증가시킨다. 마찬가지로, 더 세분화된 패턴에 의해, 특히 게이트 패턴에 의해 누설 전류가 최소화될 수 있다. 한편, 픽셀의 개구는 세분화를 피함으로써 증가될 수 있다. 또한, 상기 관통 연결부는 플라스틱 박막 트랜지스터의 생성을 방지하는 방식으로 패터닝된다. 이 경우, 관통 연결부는 확장되며 및/또는 일련의 게이트 패턴의 영역에 부가의 관통 연결부가 형성된다.
- [0037] 본 발명에 따른 능동 매트릭스 OLED 디스플레이 제조 방법의 양호한 실시예는 첨부 도면을 참조하여 하기에 상세히 서술될 것이다.

도면의 간단한 설명

- [0038] 도1은 능동 매트릭스 OLED 디스플레이의 픽셀의 전형적인 회로도를 도시한 도면.
 도2는 능동 매트릭스 OLED 디스플레이의 픽셀의 평면도.
 도3a 내지 도3e는 제1제조방법의 여러 스테이지중 능동 매트릭스 OLED 디스플레이의 픽셀의 평면도 및 단면도.
 도4a 내지 도4d는 디스플레이의 픽셀의 평면도 및 단면도로 제1제조방법의 변형예를 도시한 도면.
 도5a 및 도5b는 제2제조방법에 의한 제조시 최종 스테이지중 능동 매트릭스 OLED 디스플레이의 픽셀의 평면도 및 단면도.
 도5c는 패시베이팅 층의 선택적 패터닝에 의한, 도5b에 따른 픽셀의 평면도.
 도6a 내지 도6g는 제3제조방법의 여러 스테이지중 능동 매트릭스 OLED 디스플레이의 픽셀의 평면도 및 단면도.
 도7a 내지 도7g는 제4제조방법의 여러 스테이지중 능동 매트릭스 OLED 디스플레이의 픽셀의 평면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

- [0039] 도1은 2개의 박막 트랜지스터(TFT1, TFT2)와, 저장 커패시터(C)와, 비역전형 OLED 를 갖는 능동 매트릭스 OLED 디스플레이의 픽셀의 전형적인 회로도를 도시하고 있다. 열 신호(row signal)(Vrow)는 트랜지스터(TFT1)(절환 트랜지스터)를 통해 픽셀을 선택할 수 있으며, 컬럼 신호(Vcol)는 트랜지스터(TFT2)(드라이버 트랜지스터)를 통해 OLED 를 통하는 전류 흐름을 제어한다. 저장 커패시터(C)는 박막 트랜지스터의 오버랩 커패시터를 통해 단독으로 실현될 수 있다. 본 발명에 따른 방법에 의해 기타 다른 픽셀 회로, 예를 들어 역전된 OLED 또는 에이징 현상을 보상하는 부가의 부품을 갖는 회로도 실현될 수 있다.
- [0040] 도2는 도1에 따른 회로도를 갖는, 드레인 소스 물질(검게 도시된 부분)과 게이트와 픽셀의 게이트 및 열 물질(해칭된 부분)을 도시하고 있다. 픽셀의 저장 커패시터와 2개의 박막 트랜지스터(TFT1, TFT2)는 순환된다. OLED 의 바닥 전극도 강조되었다(검게 도시된 사각형).
- [0041] 도3a 내지 도3e는 제1방법에 의한 능동 매트릭스 OLED 디스플레이의 4개의 픽셀의 제조를 도시하고 있으며, 이

경우 픽셀의 저장 커패시터는 박막 트랜지스터의 오버랩 커패시터스에 의해 단독으로 형성된다. 드레인 소스와 컬럼 물질의 인가 및 패터닝은 도3a에 반칸으로 도시되었다. 도3b는 도핑된 반도체 물질과 고유 반도체 물질 및 유전체(반도체층 스택)의 진공 처리에 의한 선택적 침착의 단면도를 도시하고 있다. 도3c에 있어서, 관통 상호연결부의 패터닝은 게이트 및 열 물질(해칭된 부분)이 도3d에서 인가되어 패터닝되기 전에, 단면도 및 평면도로 도시되었다. 만일 물질이 선택적으로 에칭되지 않는다면, 게이트 물질은 컬럼 및 드레인 소스 패턴 부분을 덮어야만 한다. 이것은 컬럼 라인이 OLED 물질과 직접 접촉하지 않게 하는데 필요하다. 마지막으로, 새도우 마스크(타일 형태로 도시)에 의해 OLED 물질(직선 형태로 도시)과 상부 전극 물질(진하게 도시된)의 인가는 도3e에서 단면도 및 평면도로 도시되었다.

[0042] 도4a는 도3d의 대안으로서 디스플레이의 누설 전류가 개선된 게이트 물질의 패터닝을 도시하고 있다. 도3d의 패터닝에 의해, 게이트 물질은 중단없이 컬럼을 횡단하여 우측으로 신장된다. 이것은 쇼트키 다이오드를 통한 불필요한 누설 전류를 유발시킬 수 있다. 이것은 게이트 물질을 도4a에 도시된 바와 같이 패터닝함으로써 최소화될 수 있다.

[0043] 도4b에는 독특한 저장 커패시터(C)가 형성되게 하는, TFT2의 드레인/소스 물질과 게이트 사이의 오버랩의 확장 영역을 도시하고 있다.

[0044] 도4c는 도3c에 도시된 반도체 아일랜드의 패터닝을 명확하게 도시하고 있으며, 도4d는 특히 도4c 및 도4d의 단면도에 도시된 바와 같이 기생 TFT의 형성을 피할 수 있는 반도체 아일랜드의 변형된 패터닝을 도시하고 있다. 도4c에서 TFT1의 소스 접점과 게이트 및 TFT2의 D-S 접점 사이에 제공된 기생 트랜지스터는 도4d에 도시되지 않았다.

[0045] 만일 OLED 물질이 픽셀의 전체 영역 위에 침착되었다면, 도5a 및 도5b에 따른 방법이 적용될 수 있다. 도5a에 도시된 바와 같이, OLED 물질을 인가하기 전에, 패시베이팅 층(물결 부분)이 인가되어, 사진식각술로 패터닝된다. 그후, OLED 물질(직선으로 도시된 부분) 및 상부 전극 물질(진하게 도시된 부분)이 도5b에 도시된 바와 같이 전체 영역 위에 침착될 수 있다. 도5c에는 디스플레이의 누설 전류를 개선시켜 주는, 도5a에 대한 패시베이팅 층의 또 다른 패터닝이 도시되어 있다.

[0046] 도6a 내지 도6g에는 박막 트랜지스터의 반도체 아일랜드가 별도로 패터닝되는, 능동 매트릭스 OLED 디스플레이를 위한 방법의 실행이 도시되어 있다. 도6a 내지 도6g에 도시된 단계는 도3a 내지 도3c의 단계와 원리적으로 대응된다. 그러나, 먼저 반도체 아일랜드는 도6c에 도시된 바와 같이 패터닝되며, 그후 또 다른 유전체층이 도6d에 도시된 바와 같이 전체 영역 위에 침착된다.

[0047] 도7a 내지 도7g는 픽셀의 구동 회로가 완전히 OLED의 아래에 배치되는 능동 매트릭스 OLED 디스플레이의 제조 방법의 실행을 도시하고 있다. 도7a 내지 도7d에 도시된 단계는 도3a 내지 도3d의 단계와 원리적으로 대응하지만, 이 경우 OLED를 위한 바닥 전극은 패터닝되지 않는다. 이어서, 도7f 및 도7g에 도시된 바와 같이 먼저 바닥 전극 물질(사진식각술로 패터닝되는)과 그후 적절한 OLED 물질과 마지막으로 OLED의 상부 전극 물질의 전체 영역 인가가 이루어지기 전에, 도7e에 도시된 바와 같이 패시베이팅 층(물결 모양으로 해칭된)이 인가되고 패터닝된다.

[0048] 도7c에 도시된 바와 같이, 관통 상호연결부도 컬럼인 경우에 패터닝된다. 열 물질과 게이트 물질(도7d)의 이러한 위치의 일련의 오버래핑은 감소된 라인 저항 및 잉여부로 나타난다. 잉여부는 컬럼 물질의 패터닝에 결함이 있는 경우에 사용되므로, 생산 수율이 증가되게 한다. 컬럼 또는 드레인 소스 물질과 열 또는 TFT 사이에 충분한 거리가 존재하는 곳에는 이러한 잉여부 및 라인 저항의 감소가 적용될 수 있다. 라인 저항의 이러한 감소 및 잉여부의 축진은 3개 또는 4개의 사진식각술 마스크를 이용하는 방법에 의해 실현될 수 있다(도3a 내지 도3c; 도4a 내지 도4d; 도5a 내지 도5c).

부호의 설명

[0049] C: 저장 커패시터

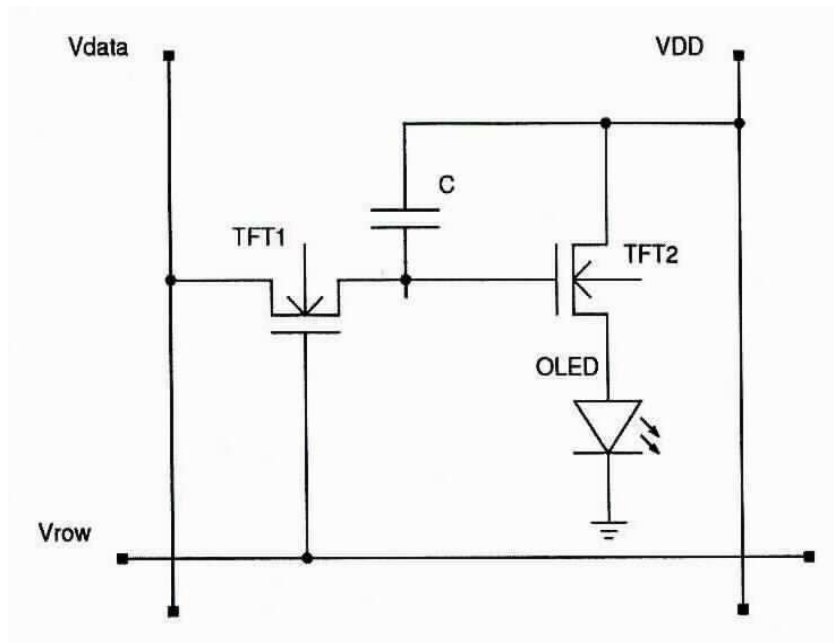
TFT1, TFT2: 박막 트랜지스터

Vrow: 열 신호

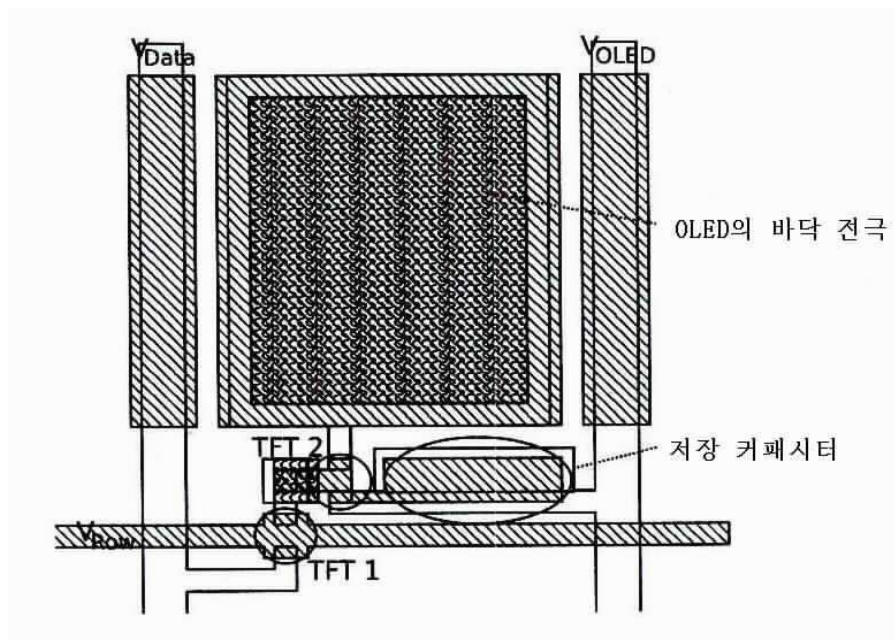
Vcol: 컬럼 신호

도면

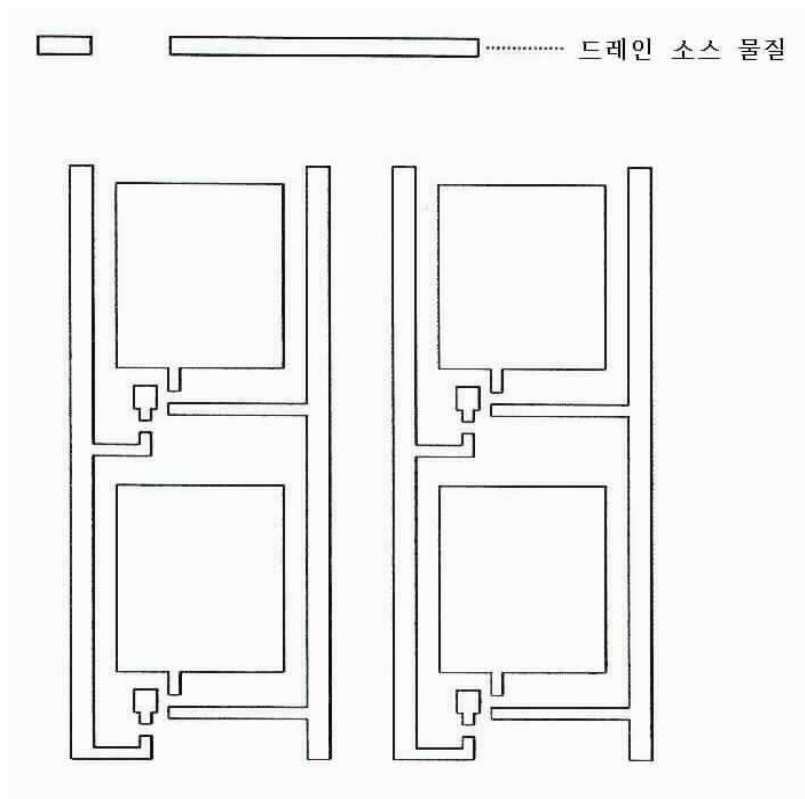
도면1



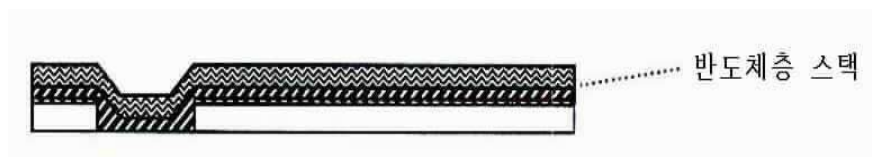
도면2



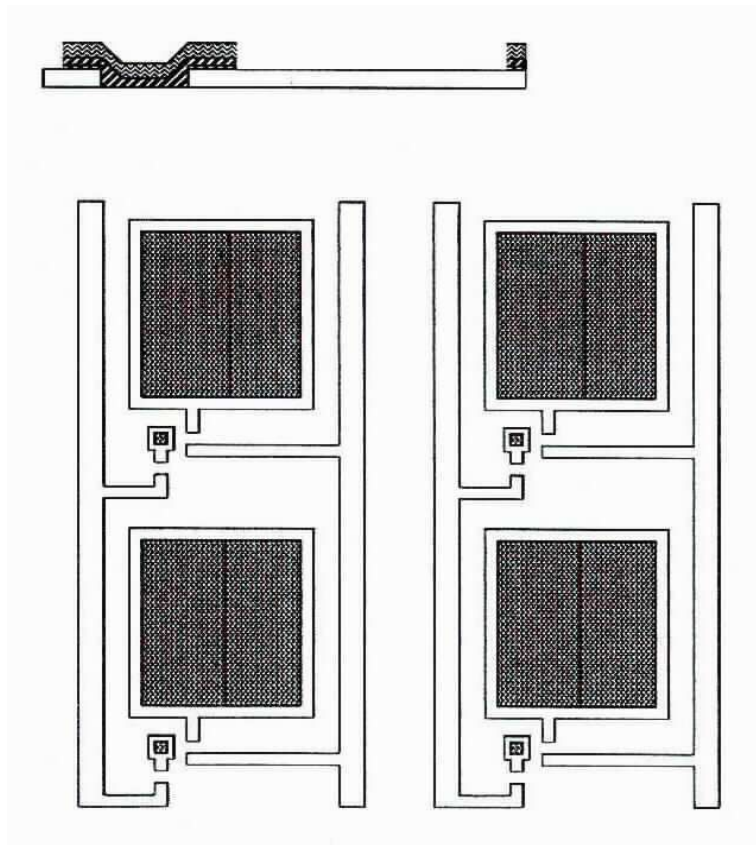
도면3a



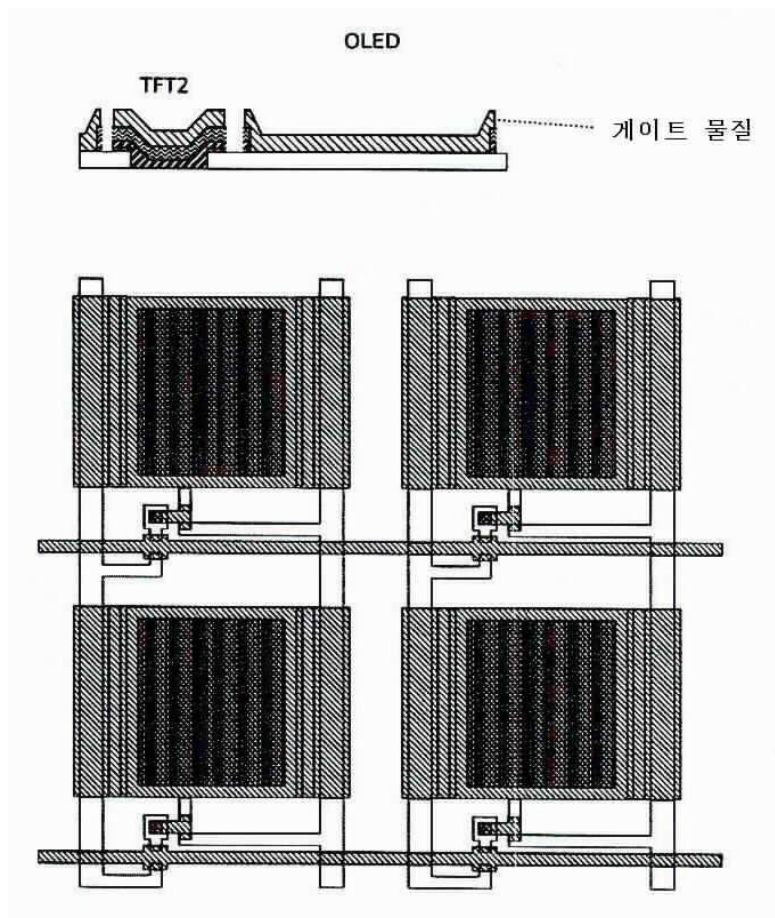
도면3b



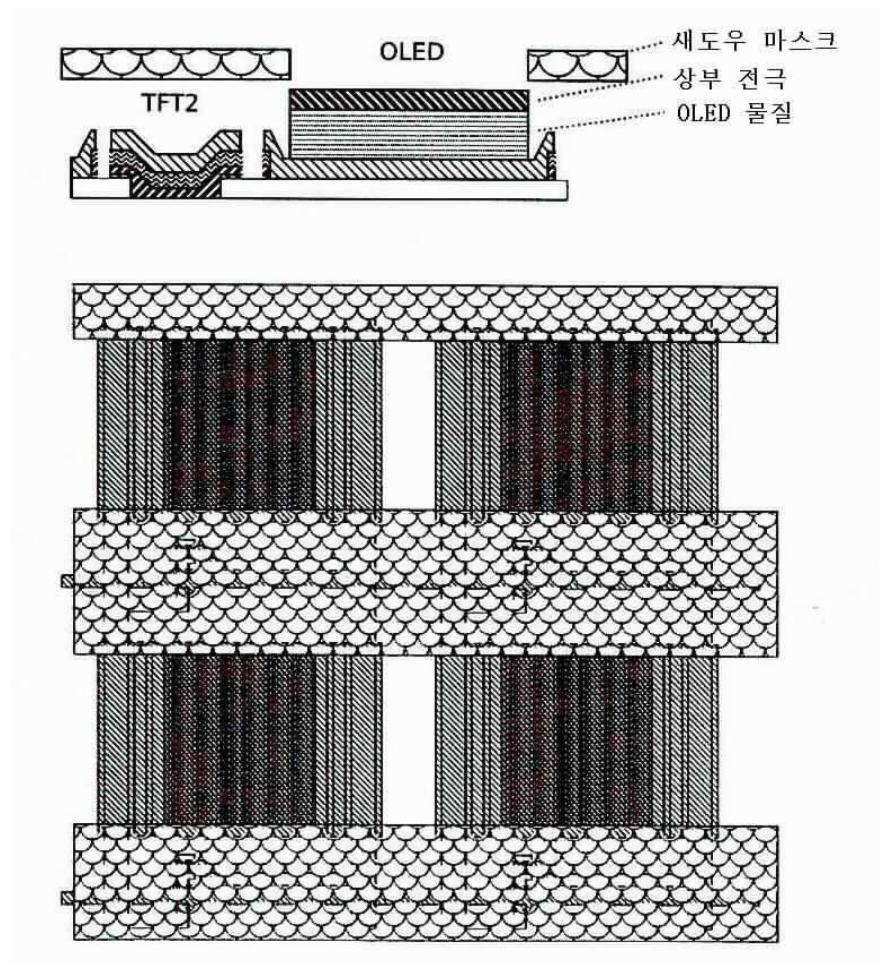
도면3c



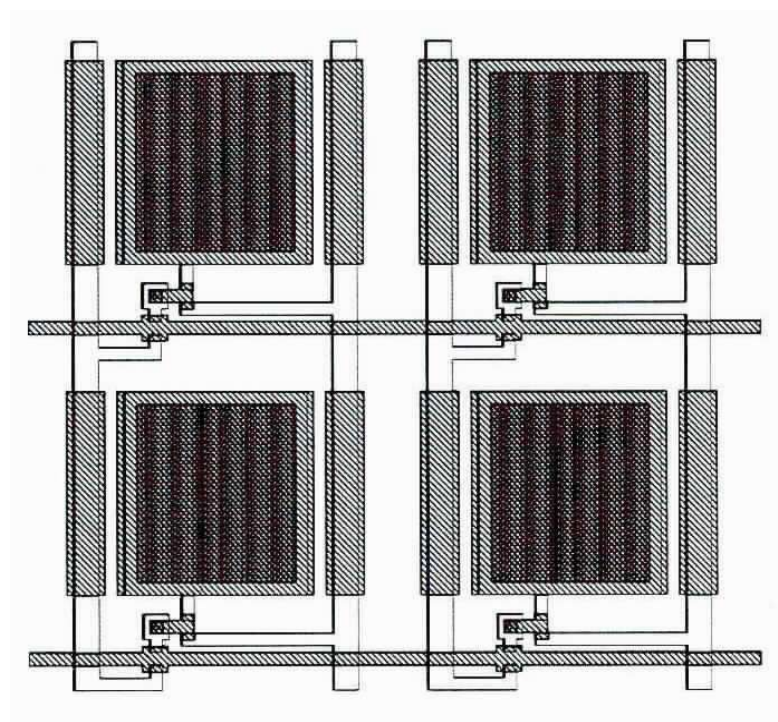
도면3d



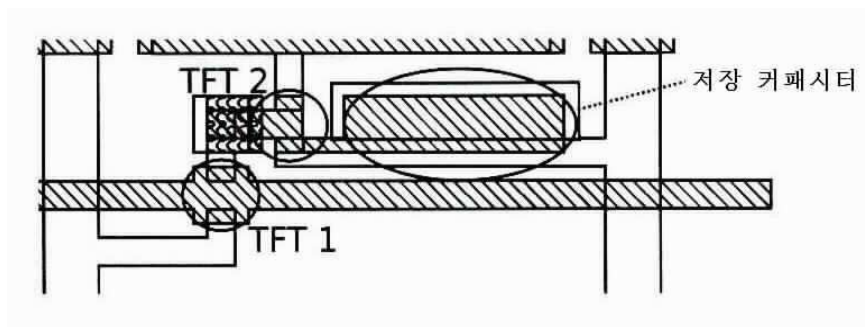
도면3e



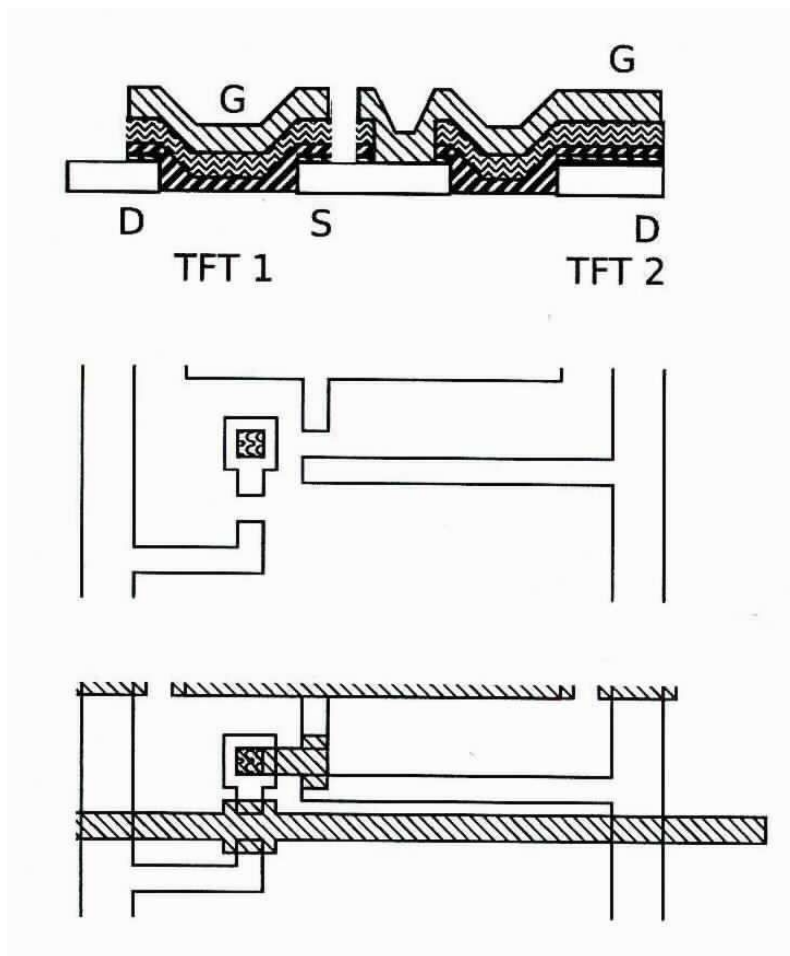
도면4a



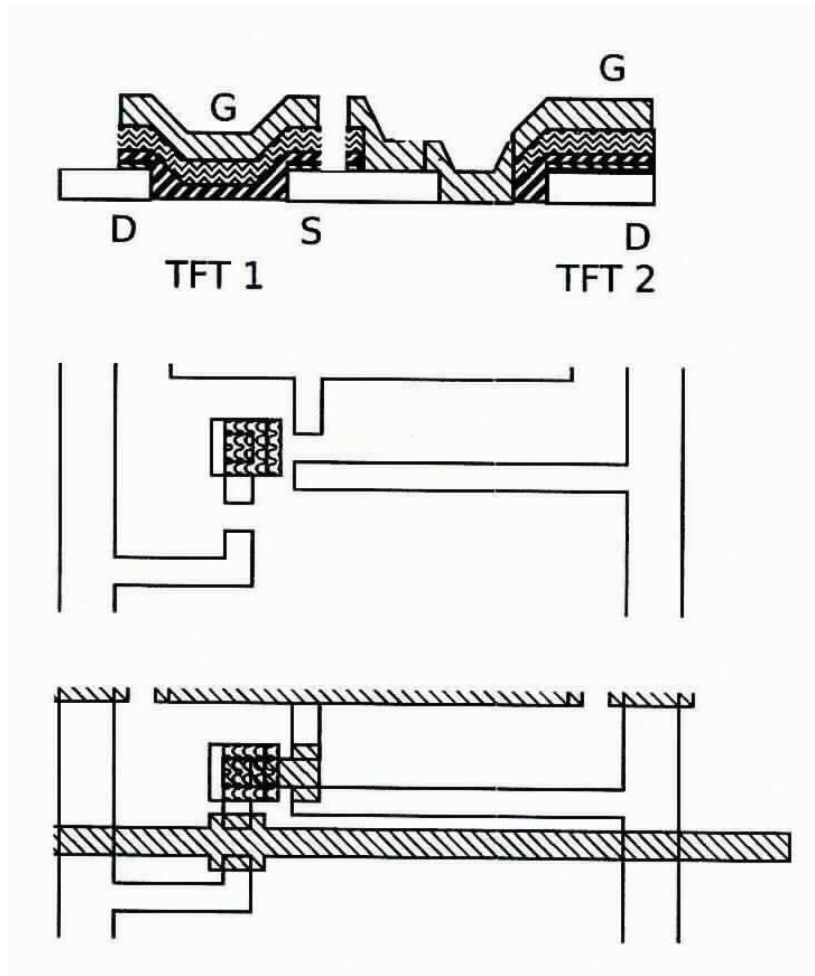
도면4b



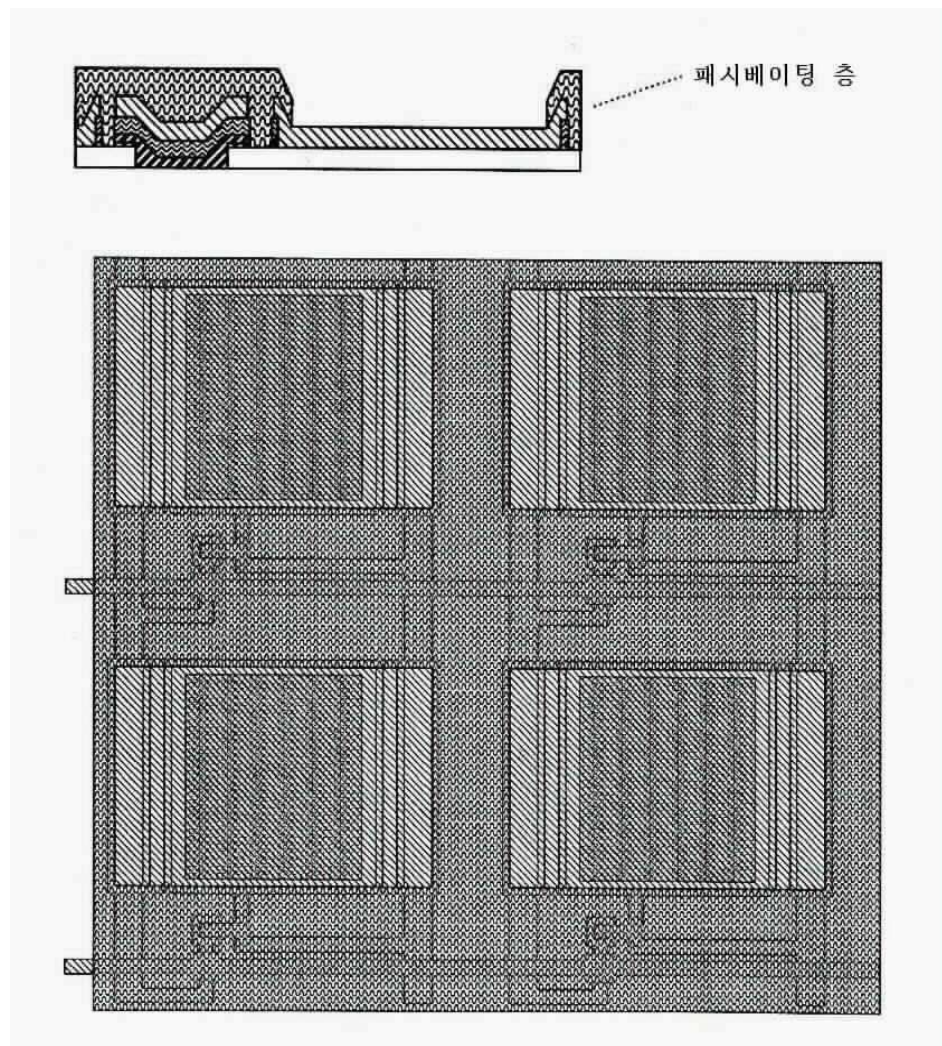
도면4c



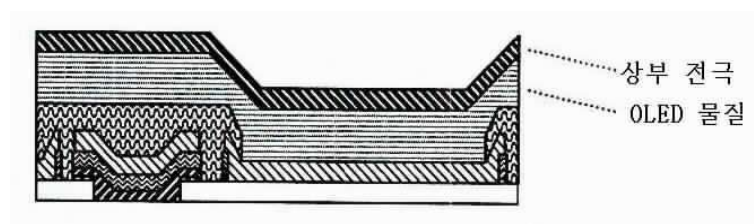
도면4d



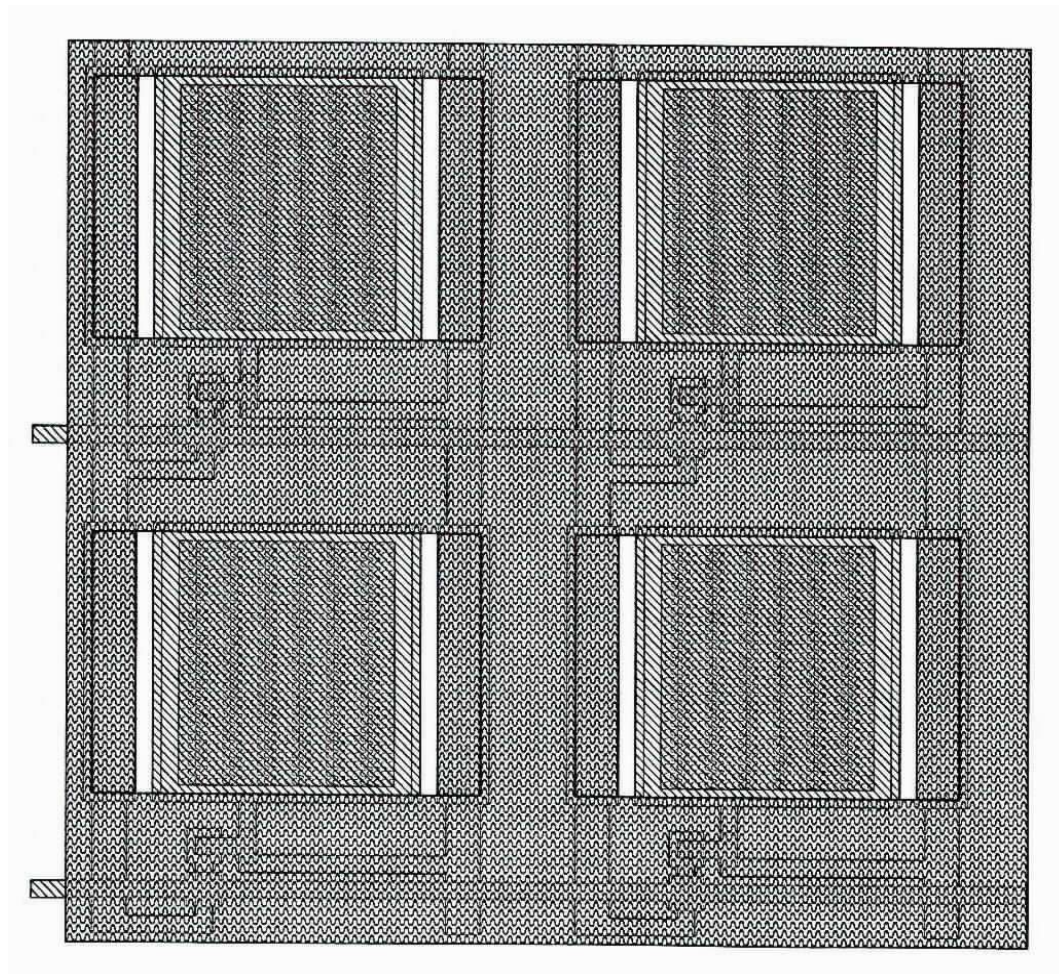
도면5a



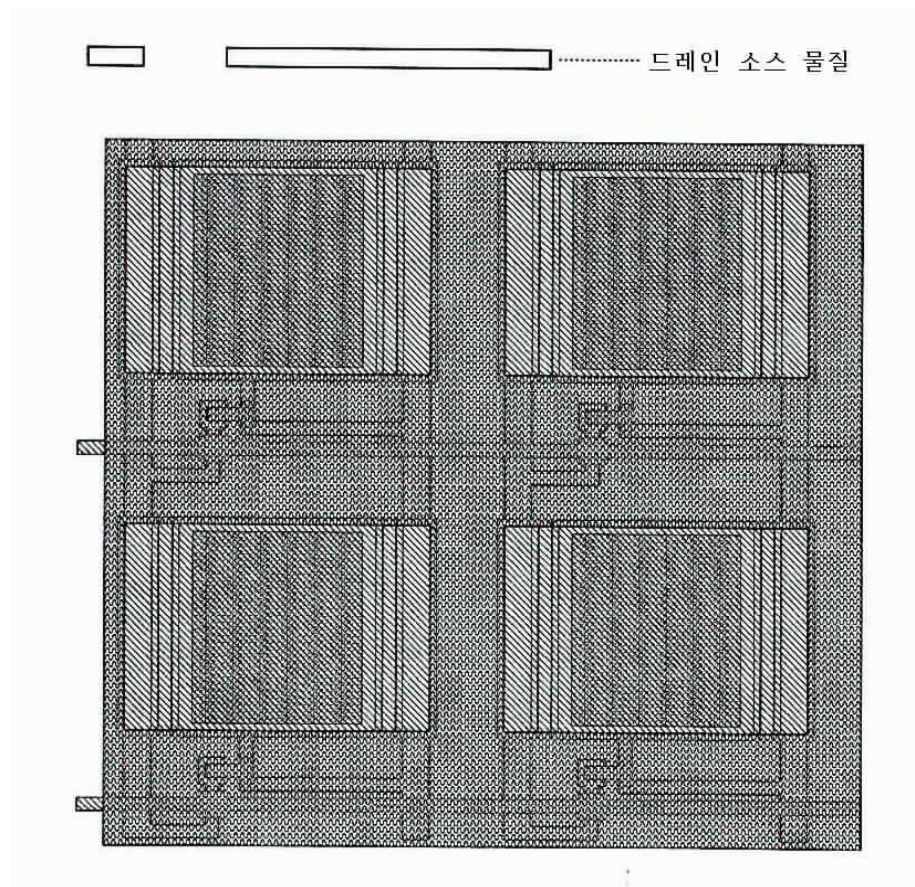
도면5b



도면5c



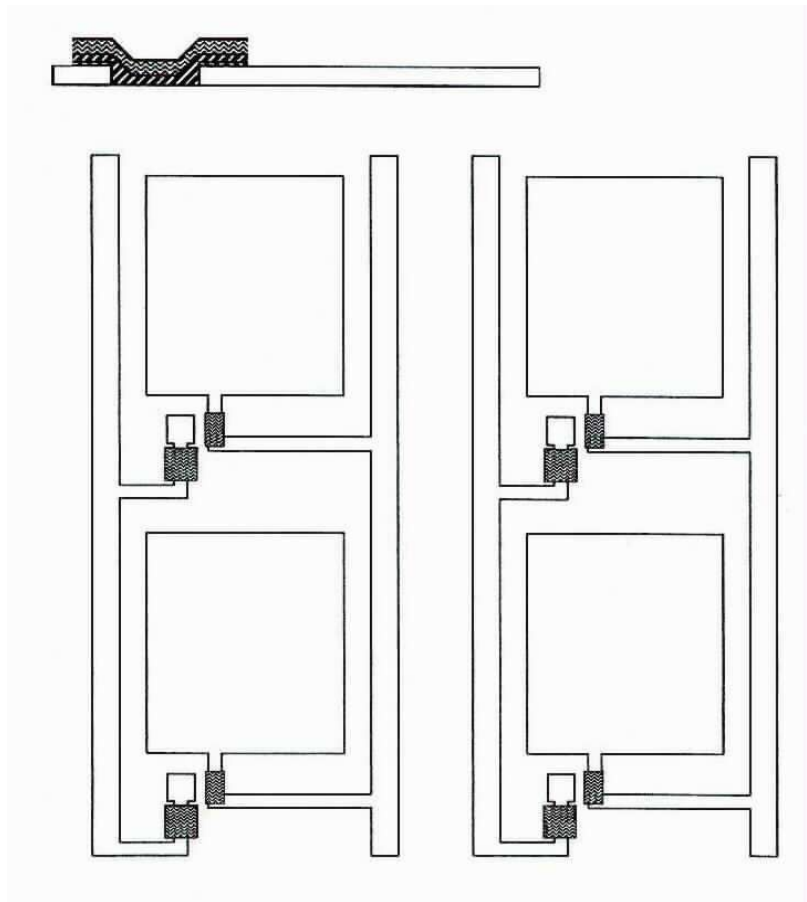
도면6a



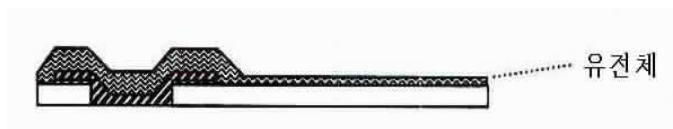
도면6b



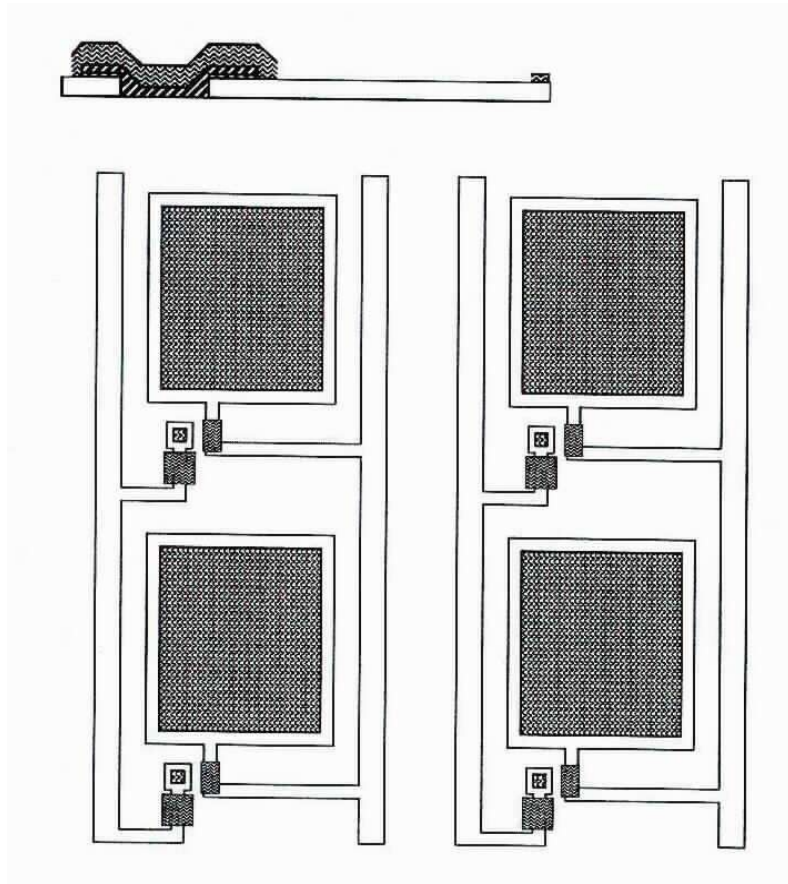
도면6c



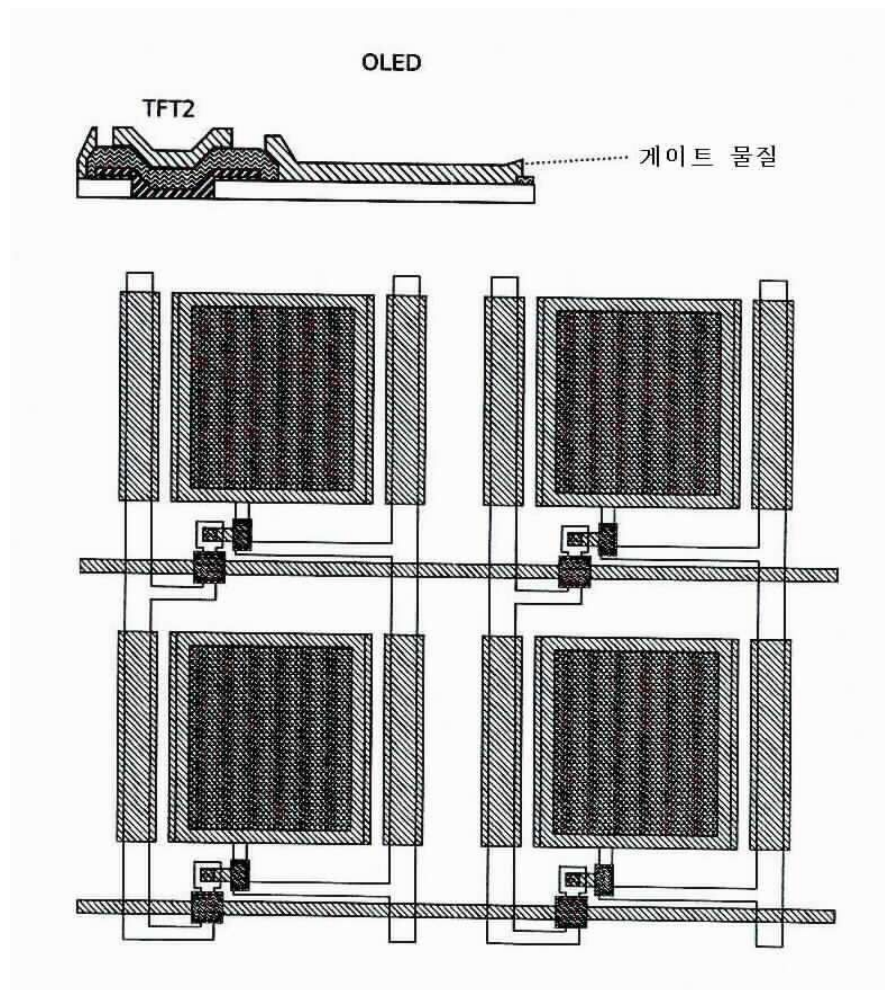
도면6d



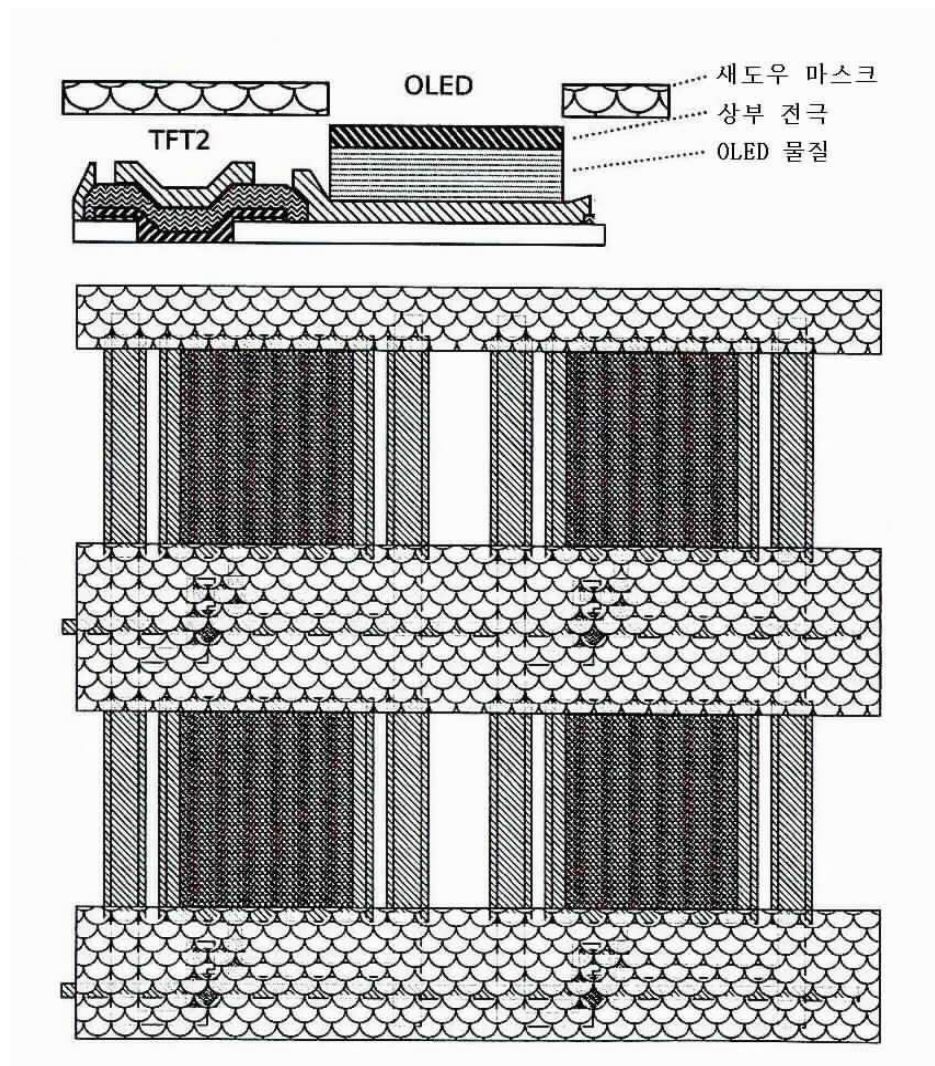
도면6e



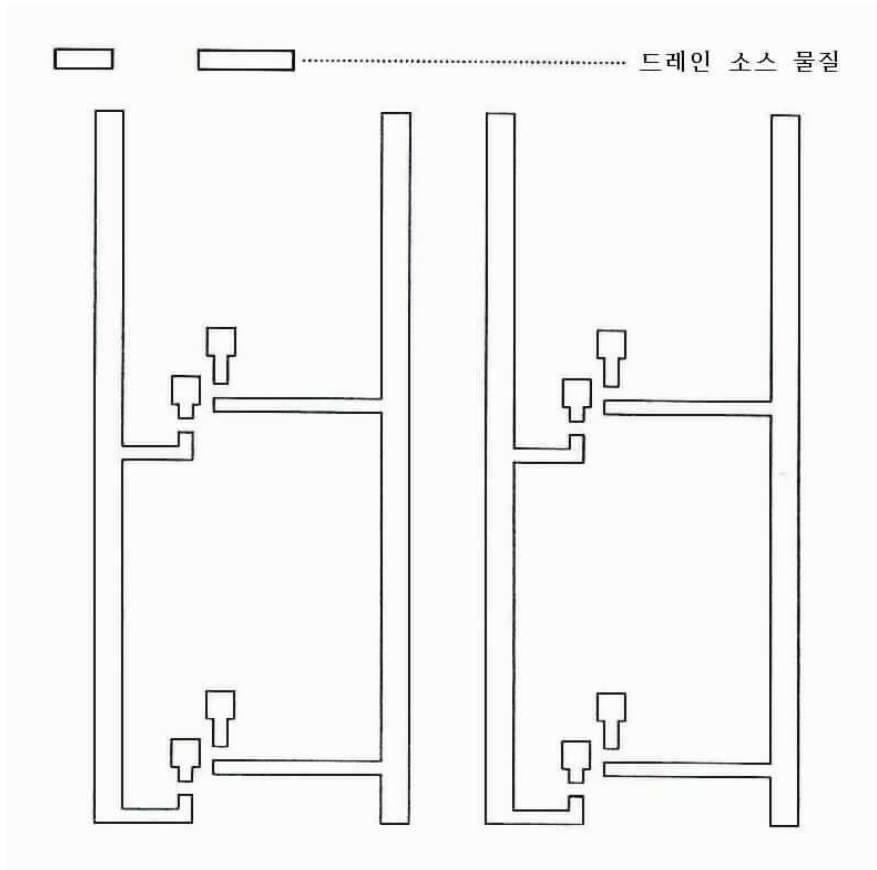
도면6f



도면6g



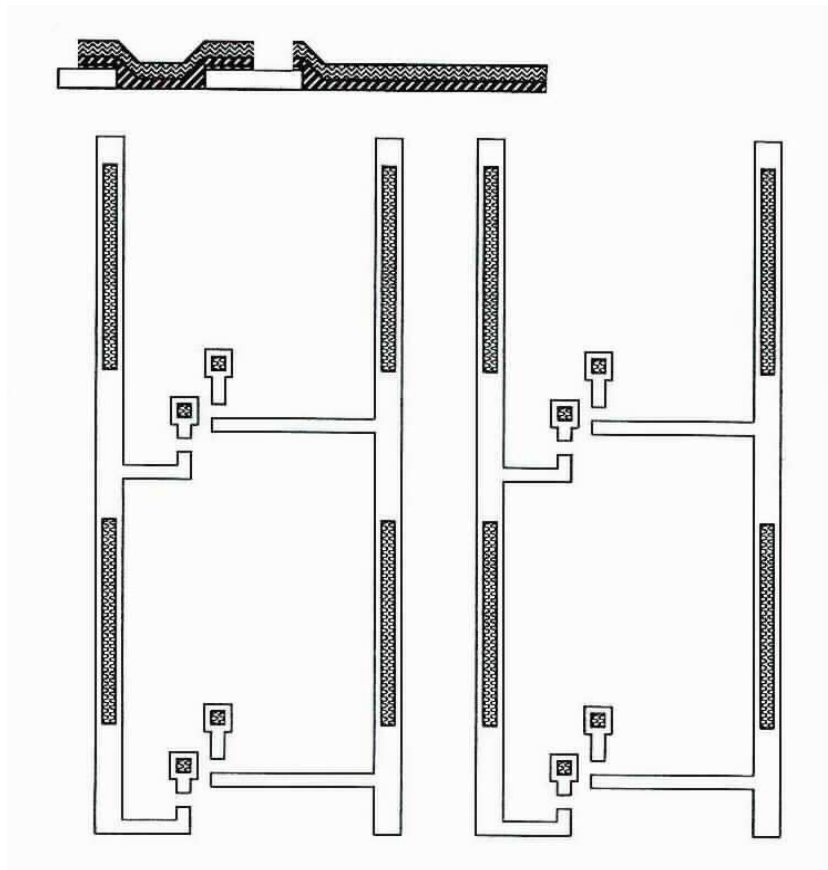
도면7a



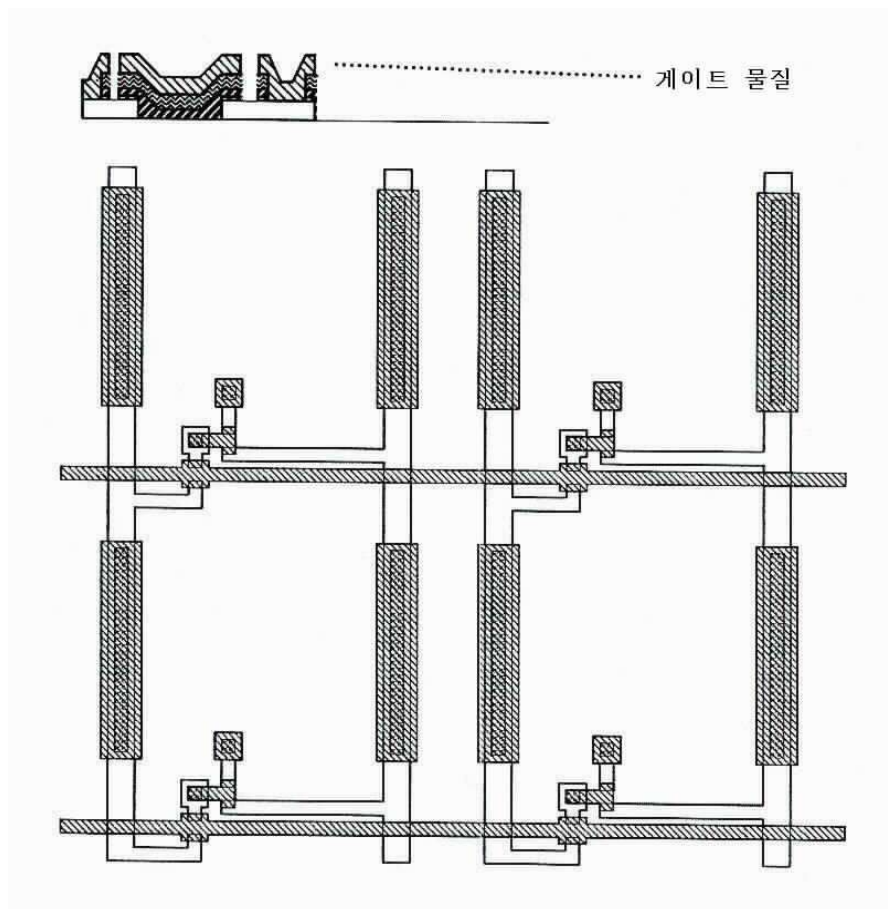
도면7b



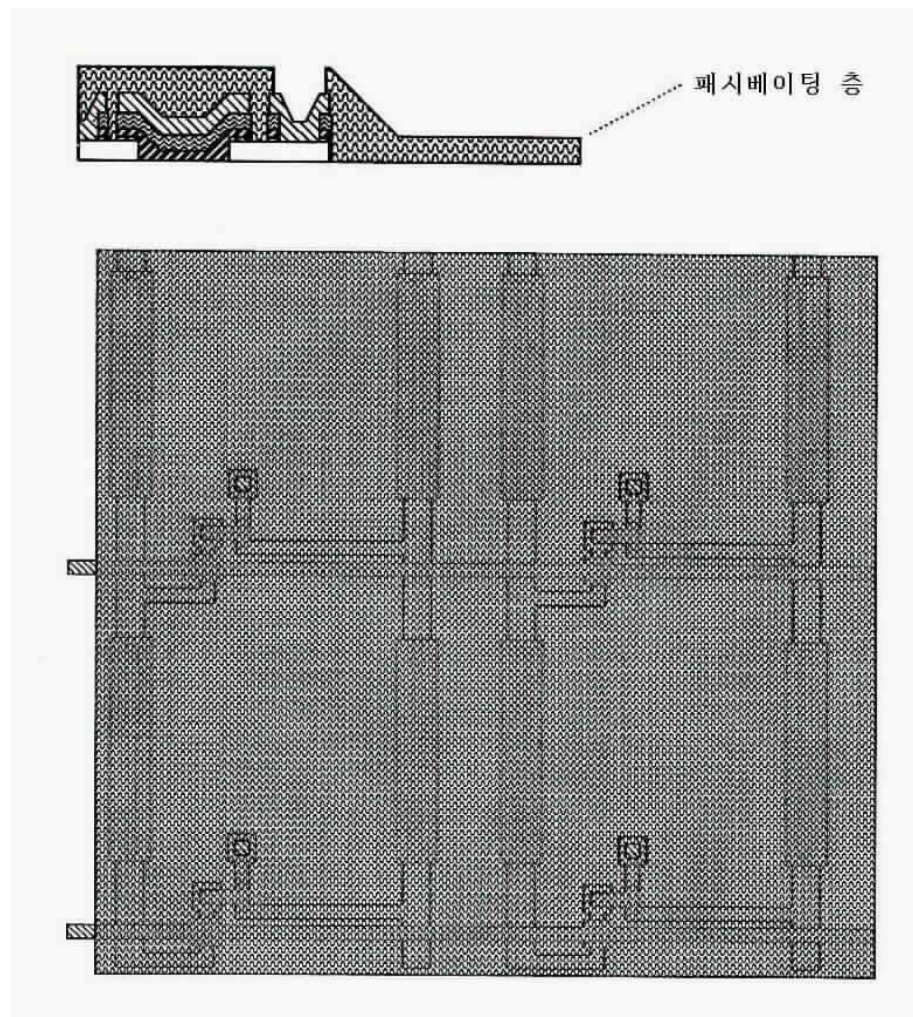
도면7c



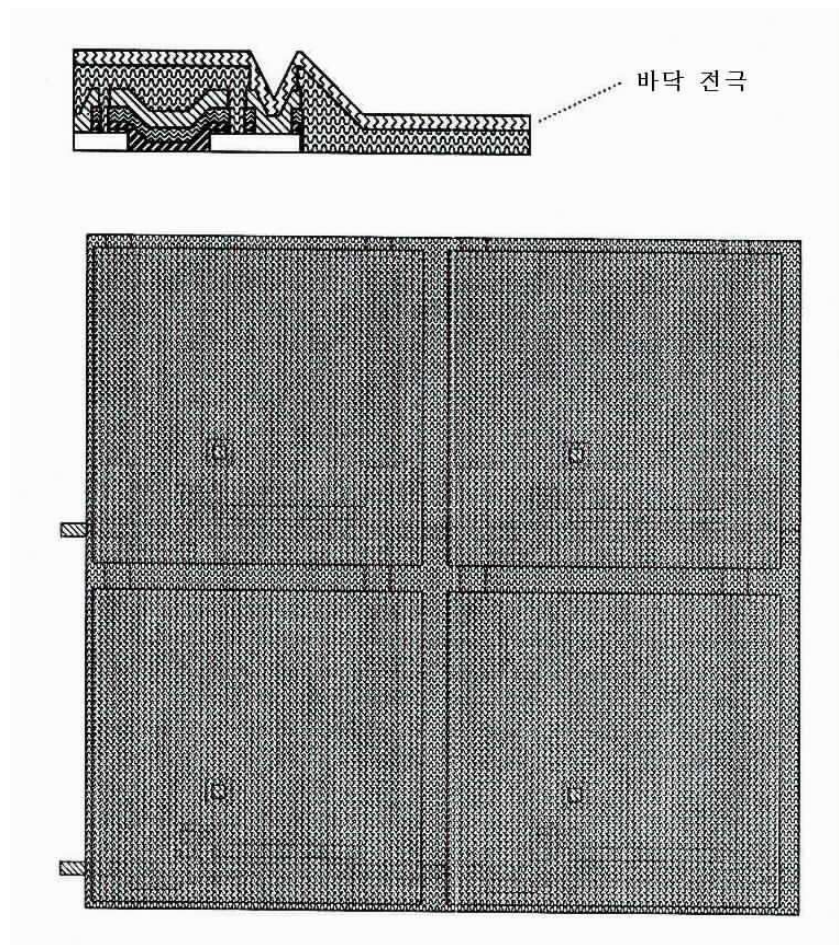
도면7d



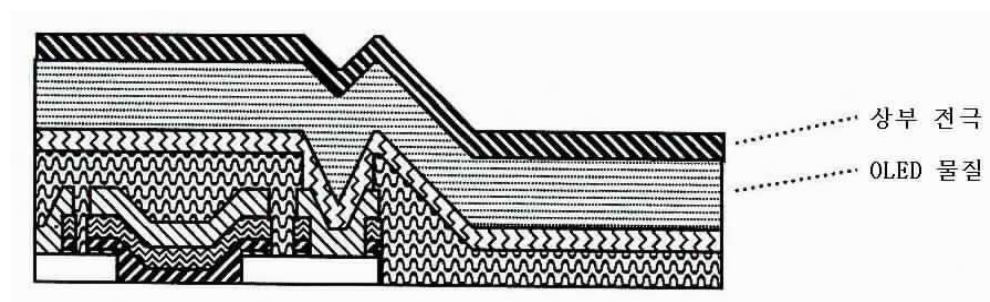
도면7e



도면7f



도면7g



专利名称(译)	有源矩阵OLED显示器的制造方法		
公开(公告)号	KR1020100090646A	公开(公告)日	2010-08-16
申请号	KR1020100010404	申请日	2010-02-04
[标]申请(专利权)人(译)	斯图加特大学 你不杀我炖特特		
申请(专利权)人(译)	你不杀我炖特特		
当前申请(专利权)人(译)	你不杀我炖特特		
[标]发明人	FRUHAUF NORBERT 프뤼하우프노르베르트 BURGSTEN THOMAS 뷔르그스타인토마스 SCHALBERGER PATRICK 쉬할베르거패트릭		
发明人	프뤼하우프,노르베르트 뷔르그스타인,토마스 쉬할베르거,패트릭		
IPC分类号	H01L51/56		
CPC分类号	H01L27/3248 H01L27/1214 H01L27/1288 A47F1/08 A47F5/08 A47F7/146		
优先权	102009007947 2009-02-06 DE		
其他公开文献	KR101104431B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有源矩阵有机发光二极管显示器的制造方法，其中设置至少2个薄膜晶体管和一个存储电容器以驱动每个像素，并且减少了光刻图案化步骤数。

