



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0033630
(43) 공개일자 2008년04월17일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)
G11C 19/28 (2006.01) H03K 19/00 (2006.01)

(21) 출원번호 10-2006-0099350

(22) 출원일자 2006년10월12일

심사청구일자 없음

(71) 출원인

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

정선이

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙 연구소

(74) 대리인

신영무

전체 청구항 수 : 총 18 항

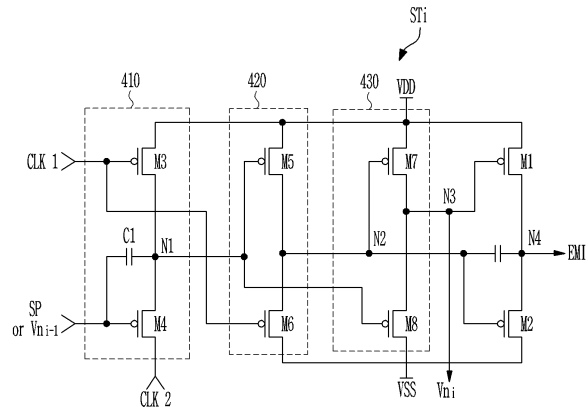
(54) 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치

(57) 요약

본 발명은 유기전계발광 표시장치의 화소열을 구동하는 구동회로에 구비되는 쉬프트 레지스터에 관한 것이다.

본 발명에 의한 쉬프트 레지스터는 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지들을 구비하며, 상기 각 스테이지는, 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호와 제1 및 제2 클럭신호 (CLK1, CLK2)에 대응하여 자신의 출력단자인 제1 노드(N1)의 전압레벨을 제어하는 제1 전압레벨 제어부와, 상기 제1 노드의 전압레벨과 상기 제1 클럭신호에 대응하여 자신의 출력단자인 제2 노드(N2)의 전압레벨을 제어하는 제2 전압레벨 제어부와, 상기 제1 및 제2 노드의 전압레벨에 대응하여 자신의 출력단자인 제3 노드(상기 스테이지의 제1 출력노드, N3)의 전압레벨을 제어하는 제3 전압레벨 제어부와, 상기 제3 노드에 게이트 전극이 접속되며, 제1 전원(VDD)과 제4 노드(상기 스테이지의 제2 출력노드, N4) 사이에 접속되는 제1 트랜지스터와, 상기 제2 노드에 게이트 전극이 접속되며, 상기 제4 노드와 제2 전원(VSS) 사이에 접속되는 제2 트랜지스터를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지들을 구비하는 쉬프트 레지스터에 있어서,

상기 각 스테이지는,

상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호와 제1 및 제2 클럭신호(CLK1, CLK2)에 대응하여 자신의 출력단자인 제1 노드(N1)의 전압레벨을 제어하는 제1 전압레벨 제어부와,

상기 제1 노드의 전압레벨과 상기 제1 클럭신호에 대응하여 자신의 출력단자인 제2 노드(N2)의 전압레벨을 제어하는 제2 전압레벨 제어부와,

상기 제1 및 제2 노드의 전압레벨에 대응하여 자신의 출력단자인 제3 노드(상기 스테이지의 제1 출력노드, N3)의 전압레벨을 제어하는 제3 전압레벨 제어부와,

상기 제3 노드에 게이트 전극이 접속되며, 제1 전원(VDD)과 제4 노드(상기 스테이지의 제2 출력노드, N4) 사이에 접속되는 제1 트랜지스터와,

상기 제2 노드에 게이트 전극이 접속되며, 상기 제4 노드와 제2 전원(VSS) 사이에 접속되는 제2 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 2

제1 항에 있어서,

상기 제1 전압레벨 제어부는,

상기 제1 전원과 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제1 클럭신호의 입력라인에 접속되는 제3 트랜지스터와,

상기 제1 노드와 상기 제2 클럭신호의 입력라인 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호의 입력라인에 접속되는 제4 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 3

제2 항에 있어서,

상기 제3 및 제4 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 4

제2 항에 있어서,

상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호의 입력라인과 상기 제1 노드 사이에 접속된 제1 커패시터를 더 포함하는 쉬프트 레지스터.

청구항 5

제1 항에 있어서,

상기 제2 전압레벨 제어부는,

상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제5 트랜지스터와,

상기 제2 노드와 상기 제2 전원 사이에 접속되며, 게이트 전극이 상기 제1 클럭신호의 입력라인에 접속되는 제6 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 6

제5 항에 있어서,

상기 제5 및 제6 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 7

제1 항에 있어서,
 상기 제3 전압레벨 제어부는,
 상기 제1 전원과 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제2 노드에 접속되는 제7 트랜지스터와,
 상기 제3 노드와 상기 제2 전원 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제8 트랜지스터를
 포함하는 쉬프트 레지스터.

청구항 8

제7 항에 있어서,
 상기 제7 및 제8 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 9

제1 항에 있어서,
 상기 제1 및 제2 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 10

제1 항에 있어서,
 상기 제2 노드와 상기 제4 노드 사이에 접속되는 제2 커패시터를 더 포함하는 쉬프트 레지스터.

청구항 11

제1 항에 있어서,
 상기 제2 전원의 전압은 상기 제1 전원의 전압보다 낮은 값으로 설정되는 쉬프트 레지스터.

청구항 12

제1 항에 있어서,
 상기 제1 클럭신호와 상기 제2 클럭신호는 상반된 파형을 갖는 것을 특징으로 하는 쉬프트 레지스터.

청구항 13

주사선들, 발광 제어선들 및 데이터선들에 전기적으로 연결된 다수의 화소를 포함하는 화상 표시부와,
 상기 주사선들 및 발광 제어선들에 각각 주사신호 및 발광 제어신호를 인가하는 적어도 하나의 쉬프트 레지스터
 를 포함하는 주사 구동부와,
 상기 데이터선들에 데이터 신호를 인가하는 데이터 구동부를 포함하여 구성되고,
 상기 쉬프트 레지스터는 스타트펄스의 입력라인에 종속적으로 접속된 다수의 스테이지들을 구비하며,
 상기 각 스테이지는,
 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호와 제1 및 제2 클럭신호(CLK1, CLK2)에 대응하여 자신의
 출력단자인 제1 노드(N1)의 전압레벨을 제어하는 제1 전압레벨 제어부와,
 상기 제1 노드의 전압레벨과 상기 제1 클럭신호에 대응하여 자신의 출력단자인 제2 노드(N2)의 전압레벨을 제어
 하는 제2 전압레벨 제어부와,
 상기 제1 및 제2 노드의 전압레벨에 대응하여 자신의 출력단자인 제3 노드(상기 스테이지의 제1 출력노드, N3)
 의 전압레벨을 제어하는 제3 전압레벨 제어부와,
 상기 제3 노드에 게이트 전극이 접속되며, 제1 전원(VDD)과 제4 노드(상기 스테이지의 제2 출력노드, N4) 사이
 에 접속되는 제1 트랜지스터와,

상기 제2 노드에 게이트 전극이 접속되며, 상기 제4 노드와 제2 전원(VSS) 사이에 접속되는 제2 트랜지스터를 포함하는 유기전계발광 표시장치.

청구항 14

제13 항에 있어서,

상기 제1 전압레벨 제어부는,

상기 제1 전원과 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제1 클럭신호의 입력라인에 접속되는 P 타입의 제3 트랜지스터와,

상기 제1 노드와 상기 제2 클럭신호의 입력라인 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호의 입력라인에 접속되는 P 타입의 제4 트랜지스터를 포함하는 유기전계발광 표시장치.

청구항 15

제13 항에 있어서,

상기 제2 전압레벨 제어부는,

상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 P 타입의 제5 트랜지스터와,

상기 제2 노드와 상기 제2 전원 사이에 접속되며, 게이트 전극이 상기 제1 클럭신호의 입력라인에 접속되는 P 타입의 제6 트랜지스터를 포함하는 유기전계발광 표시장치.

청구항 16

제13 항에 있어서,

상기 제3 전압레벨 제어부는,

상기 제1 전원과 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제2 노드에 접속되는 P 타입의 제7 트랜지스터와,

상기 제3 노드와 상기 제2 전원 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 P 타입의 제8 트랜지스터를 포함하는 유기전계발광 표시장치.

청구항 17

제13 항에 있어서,

상기 제1 및 제2 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 하는 유기전계발광 표시장치.

청구항 18

제13 항에 있어서,

상기 제1 클럭신호와 상기 제2 클럭신호는 상반된 파형을 갖는 것을 특징으로 하는 유기전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 유기전계발광 표시장치의 화소열을 구동하는 구동회로에 구비되는 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

- <13> 일반적으로, 유기전계발광 표시장치와 같은 평판 표시장치는 데이터선들과 주사선들 및/또는 발광 제어선들과의 교차부에 매트릭스 형태로 배열되는 화소 어레이(array)를 구비한다.
- <14> 여기서, 주사선들 및 발광 제어선들은 매트릭스 화소 어레이의 수평라인들로서, 쉬프트 레지스터에 의해 선택되어 각각 주사신호 및 발광 제어신호를 공급받는다.
- <15> 도 1은 일반적인 쉬프트 레지스터의 구성을 나타내는 블록도이다.
- <16> 도 1을 참조하면, 쉬프트 레지스터는 스타트펄스(SP)의 입력 라인에 종속적으로 접속된 다수의 스테이지(ST1 내지 STn)를 구비한다.
- <17> 각각의 스테이지들(ST1 내지 STn)은 도시되지 않은 클럭신호의 입력라인들로부터 공급되는 클럭신호들에 대응하여 스타트펄스(SP) 또는 이전단의 출력신호를 순차적으로 쉬프트시켜 출력신호를 발생한다.
- <18> 이와 같은 스테이지들(ST1 내지 STn)은 유기전계발광 표시장치의 화소열을 구동하는 구동회로와 연결된 주사선들과 접속되어 주사선들을 구동하거나, 혹은 발광 제어선들과 접속되어 발광 제어선들을 구동하는 데 이용될 수 있다. 즉, 스테이지들(ST1 내지 STn)에서 출력되는 출력신호는 주사선들 및/또는 발광 제어선들을 통해 화소 어레이로 공급되어 주사신호(SS1 내지 SSn) 및/또는 발광 제어신호(EMI1 내지 EMIn)로 이용될 수 있다.
- <19> 이와 같은 쉬프트 레지스터는 주사선들 및/또는 발광 제어선들을 구동하는 주사 구동부에 포함되는 것으로, 주사 구동부는 화소 어레이가 형성된 이후 칩의 형태로 실장되기도 하나, 기판 상에 화소 어레이를 형성하는 공정 중에 화소 어레이와 함께 형성되는 것도 보편적이다.
- <20> 따라서, 화소 어레이와 주사 구동부를 형성하는 공정을 보다 단순화하여 제조공정의 효율성을 향상시킬 수 있는 방안을 모색할 필요가 있다.
- <21> 또한, 비교적 적은 수의 소자들과 클럭신호들을 이용하여 쉬프트 레지스터를 구성함으로써, 쉬프트 레지스터의 설계를 보다 용이하게 하고 데드 스페이스를 감소시킬 필요가 있다.

발명이 이루고자 하는 기술적 과제

- <22> 따라서, 본 발명의 목적은 비교적 적은 수의 소자들과 클럭신호들을 이용하여 쉬프트 레지스터를 구성함으로써 쉬프트 레지스터의 설계를 보다 용이하게 하고 데드 스페이스를 감소시키는 물론, 제조공정의 효율성을 향상시킬 수 있도록 한 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <23> 상기 목적을 달성하기 위하여, 본 발명의 제1 측면은 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지들을 구비하는 쉬프트 레지스터에 있어서, 상기 각 스테이지는, 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호와 제1 및 제2 클럭신호(CLK1, CLK2)에 대응하여 자신의 출력단자인 제1 노드(N1)의 전압레벨을 제어하는 제1 전압레벨 제어부와, 상기 제1 노드의 전압레벨과 상기 제1 클럭신호에 대응하여 자신의 출력단자인 제2 노드(N2)의 전압레벨을 제어하는 제2 전압레벨 제어부와, 상기 제1 및 제2 노드의 전압레벨에 대응하여 자신의 출력단자인 제3 노드(상기 스테이지의 제1 출력노드, N3)의 전압레벨을 제어하는 제3 전압레벨 제어부와, 상기 제3 노드에 게이트 전극이 접속되며, 제1 전원(VDD)과 제4 노드(상기 스테이지의 제2 출력노드, N4) 사이에 접속되는 제1 트랜지스터와, 상기 제2 노드에 게이트 전극이 접속되며, 상기 제4 노드와 제2 전원(VSS) 사이에 접속되는 제2 트랜지스터를 포함하는 쉬프트 레지스터를 제공한다.
- <24> 바람직하게, 상기 제1 전압레벨 제어부는, 상기 제1 전원과 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제1 클럭신호의 입력라인에 접속되는 제3 트랜지스터와, 상기 제1 노드와 상기 제2 클럭신호의 입력라인 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호의 입력라인에 접속되는 제4 트랜지스터를 포함한다. 상기 제3 및 제4 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 한다. 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호의 입력라인과 상기 제1 노드 사이에 접속된 제1 커패시터를 더 포함한다. 상기 제2 전압레벨 제어부는, 상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제5 트랜지스터와, 상기 제2 노드와 상기 제2 전원 사이에 접속되며, 게이트 전극이 상기 제1 클럭신호의 입력라인에 접속되는 제6 트랜지스터를 포함한다. 상기 제5 및 제6 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 한다. 상기 제3 전압레벨 제어부는, 상기 제1 전원과 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제2 노드에 접속되는 제7 트랜지스터와, 상기 제3 노드와 상기 제2 전원 사이에 접속되며, 게

이트 전극이 상기 제1 노드에 접속되는 제8 트랜지스터를 포함한다. 상기 제7 및 제8 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 한다. 상기 제1 및 제2 트랜지스터는 P 타입 트랜지스터인 것을 특징으로 한다. 상기 제2 노드와 상기 제4 노드 사이에 접속되는 제2 커패시터를 더 포함한다. 상기 제2 전원의 전압은 상기 제1 전원의 전압보다 낮은 값으로 설정된다. 상기 제1 클럭신호와 상기 제2 클럭신호는 상반된 파형을 갖는다.

<25> 본 발명의 제2 측면은 주사선들, 발광 제어선들 및 데이터선들에 전기적으로 연결된 다수의 화소를 포함하는 화상 표시부와, 상기 주사선들 및 발광 제어선들에 각각 주사신호 및 발광 제어신호를 인가하는 적어도 하나의 쉬프트 레지스터를 포함하는 주사 구동부와, 상기 데이터선들에 데이터 신호를 인가하는 데이터 구동부를 포함하여 구성되고, 상기 쉬프트 레지스터는 스타트펄스의 입력라인에 종속적으로 접속된 다수의 스테이지들을 구비하며, 상기 각 스테이지는, 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호와 제1 및 제2 클럭신호(CLK1, CLK2)에 대응하여 자신의 출력단자인 제1 노드(N1)의 전압레벨을 제어하는 제1 전압레벨 제어부와, 상기 제1 노드의 전압레벨과 상기 제1 클럭신호에 대응하여 자신의 출력단자인 제2 노드(N2)의 전압레벨을 제어하는 제2 전압레벨 제어부와, 상기 제1 및 제2 노드의 전압레벨에 대응하여 자신의 출력단자인 제3 노드(상기 스테이지의 제1 출력노드, N3)의 전압레벨을 제어하는 제3 전압레벨 제어부와, 상기 제3 노드에 게이트 전극이 접속되며, 제1 전원(VDD)과 제4 노드(상기 스테이지의 제2 출력노드, N4) 사이에 접속되는 제1 트랜지스터와, 상기 제2 노드에 게이트 전극이 접속되며, 상기 제4 노드와 제2 전원(VSS) 사이에 접속되는 제2 트랜지스터를 포함하는 유기전계발광 표시장치를 제공한다.

<26> 바람직하게, 상기 제1 전압레벨 제어부는, 상기 제1 전원과 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제1 클럭신호의 입력라인에 접속되는 P 타입의 제3 트랜지스터와, 상기 제1 노드와 상기 제2 클럭신호의 입력라인 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 제1 출력신호의 입력라인에 접속되는 P 타입의 제4 트랜지스터를 포함한다. 상기 제2 전압레벨 제어부는, 상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 P 타입의 제5 트랜지스터와, 상기 제2 노드와 상기 제2 전원 사이에 접속되며, 게이트 전극이 상기 제1 클럭신호의 입력라인에 접속되는 P 타입의 제6 트랜지스터를 포함한다. 상기 제3 전압레벨 제어부는, 상기 제1 전원과 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제2 노드에 접속되는 P 타입의 제7 트랜지스터와, 상기 제3 노드와 상기 제2 전원 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 P 타입의 제8 트랜지스터를 포함한다. 상기 제1 및 제2 트랜지스터는 P 타입 트랜지스터이다. 상기 제1 클럭신호와 상기 제2 클럭신호는 상반된 파형을 갖는다.

<27> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예가 첨부된 도 2 내지 도 5를 참조하여 자세히 설명하면 다음과 같다.

<28> 도 2는 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

<29> 도 2를 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)에 의하여 구획된 영역에 형성되는 화소들(140)을 포함하는 화상 표시부(130)와, 주사선들(S1 내지 Sn) 및 발광 제어선들(E1 내지 En)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 포함한다.

<30> 주사 구동부(110)는 타이밍 제어부(150)로부터 스타트펄스(SP) 및 클럭신호(CLK) 등이 포함된 주사 구동 제어신호(SCS)를 공급받아 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 공급한다. 또한, 주사 구동부(110)는 주사 구동 제어신호(SCS)에 응답하여 발광 제어신호를 생성하고, 생성된 발광 제어신호를 발광 제어선들(E1 내지 En)로 공급한다.

<31> 이를 위하여, 주사 구동부(110)는 스타트펄스(SP) 및 클럭신호들(CLK)에 대응하여 순차적으로 주사신호 및/또는 발광 제어신호를 생성하고 이를 각각 주사선들(S1 내지 Sn) 및 발광 제어선들(E1 내지 En)로 인가하는 적어도 하나의 쉬프트 레지스터를 포함하여 구성된다.

<32> 여기서, 주사신호 및 발광 제어신호가 모두 주사 구동부(110)에서 생성되는 경우를 가정하여 설명하였지만, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 주사신호를 생성하기 위한 주사 구동부와 발광 제어신호를 생성하기 위한 발광 제어 구동부가 따로 구비될 수도 있고, 이 경우 주사 구동부와 발광 제어 구동부에는 각각 적어도 하나의 쉬프트 레지스터가 포함될 수 있다.

<33> 데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동 제어신호(DCS) 및 데이터(Data)를 공급받아 데이터 신호를 생성한다. 데이터 구동부(120)에서 생성된 데이터 신호는 주사신호와 동기되도록 데이터선들(D1 내지

Dm)로 공급된다.

- <34> 타이밍 제어부(150)는 외부로부터 공급되는 동기 신호들에 대응하여 주사 구동 제어신호(SCS) 및 데이터 구동 제어신호(DCS)를 생성한다. 타이밍 제어부(150)에서 생성된 주사 구동 제어신호(SCS)는 주사 구동부(110)로 공급되고, 데이터 구동 제어신호(DCS)는 데이터 구동부(120)로 공급된다. 또한, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(120)로 공급한다.
- <35> 화상 표시부(130)는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)에 전기적으로 연결된 다수의 화소(140)를 포함한다. 각각의 화소(140)들은 외부로부터 제1 화소전원(ELVDD) 및 제2 화소전원(ELVSS)을 공급받고, 주사 구동부(110) 및 데이터 구동부(120)로부터 각각 주사신호, 발광 제어신호 및 데이터신호를 공급받는다. 제1 및 제2 화소전원(ELVDD, ELVSS)과 주사신호, 발광 제어신호 및 데이터신호를 공급받은 각각의 화소(140)들은 주사신호에 의해 선택되어 발광 제어신호에 대응되는 기간 동안 데이터 신호에 대응되는 빛을 생성한다. 이를 위해, 각각의 화소(140)들은 적어도 유기전계발광 다이오드를 포함하며, 능동형으로 형성되는 경우 화소(140)들은 P 타입 트랜지스터 등의 능동소자를 더 포함할 수도 있다.
- <36> 도 3은 도 2의 주사 구동부에 포함된 쉬프트 레지스터의 일례를 나타내는 블록도이다. 편의상, 도 3에서는 발광 제어신호들(EMI1 내지 EMI_n)을 순차적으로 생성하는 쉬프트 레지스터를 도시하였지만, 본 발명이 이에 한정된 것은 아니며 본 발명에 의한 쉬프트 레지스터는 입력신호를 순차적으로 위상지연시키기 위한 다양한 용도로 이용될 수 있다.
- <37> 도 3을 참조하면, 쉬프트 레지스터는 스타트펄스(SP)의 입력 라인에 종속적으로 접속됨과 아울러 4개의 클럭신호(CLK1 내지 CLK4)의 공급라인 중 2개의 클럭신호(CLK)의 공급라인에 각각 접속된 다수의 스테이지들(ST11 내지 ST1_n)을 구비한다. 여기서, 제1 및 제2 클럭신호(CLK1, CLK2)는 상반된 파형을 갖는다. 즉, 제2 클럭신호(CLK2)는 제1 클럭신호(CLK1)의 반대파형을 갖는 클럭신호(CLK1B)이다. 또한, 제3 및 제4 클럭신호(CLK3, CLK4)도 상반된 파형을 가지며, 즉, 제4 클럭신호(CLK4)는 제3 클럭신호(CLK3)의 반대파형을 갖는 클럭신호(CLK3B)이다. 그리고, 제1 클럭신호(CLK1)와 제3 클럭신호(CLK3)의 주기는 동일하며, 이들 클럭신호(CLK)는 소정 주기만큼의 위상차를 가진다. 예를 들어, 제1 클럭신호(CLK1)와 제3 클럭신호(CLK3)는 1/4 주기(혹은, 3/4주기)에 해당하는 위상차를 가질 수 있다.
- <38> 이와 같은 스테이지들(ST11 내지 ST1_n)은 4개의 클럭신호(CLK1 내지 CLK4)의 입력라인 중 상반된 파형을 갖는 2개의 클럭신호(CLK)의 입력라인에 접속되어, 상반된 파형을 갖는 클럭신호들(CLK)에 의하여 구동된다. 즉, 스테이지들(ST11 내지 ST1_n) 각각은 제1 및 제2 클럭신호(CLK1, CLK2)를 공급받거나, 혹은, 제3 및 제4 클럭신호(CLK3, CLK4)를 공급받는다.
- <39> 또한, 각각의 스테이지들(ST11 내지 ST1_n)은 두 개의 출력단자를 가진다. 이때, 다음 단 스테이지(ST_{i+1})의 입력단과 접속되는 제1 출력단자로는 스타트 펄스(SP) 또는 이전단 스테이지의 제1 출력신호(V_{n1}-1)와 동일한 파형을 가지며, 위상이 소정 주기만큼 지연된 형태의 제1 출력신호(V_{n1})가 출력된다. 그리고, 발광 제어선(E)과 접속되는 제2 출력단자로는 스타트 펄스(SP) 또는 이전단 스테이지의 제1 출력신호(V_{n1}-1)와 상반된 파형을 가지며, 위상이 소정 주기만큼 지연된 형태의 발광 제어신호(EMI_i)가 출력된다.
- <40> 제1 스테이지(ST11)는 제1 및 제2 클럭신호(CLK1, CLK2)에 대응하여 자신에게 공급되는 스타트펄스(SP)를 소정의 주기만큼 위상지연시켜 출력신호들(V_{n1}, EMI1)을 출력한다.
- <41> 제2 스테이지(ST12)는 제3 및 제4 클럭신호(CLK3, CLK4)에 대응하여 자신에게 공급되는 제1 스테이지(ST11)의 제1 출력신호(V_{n1})를 소정의 주기만큼 위상지연시켜 출력신호들(V_{n2}, EMI2)을 출력한다.
- <42> 제3 스테이지(ST13)는 제1 및 제2 클럭신호(CLK1, CLK2)에 대응하여 자신에게 공급되는 제2 스테이지(ST12)의 제1 출력신호(V_{n2})를 소정의 주기만큼 위상지연시켜 출력신호들(V_{n3}, EMI3)을 출력한다. 이때, 제3 스테이지(ST13)의 제1 및 제2 클럭신호(CLK1, CLK2)의 입력단자는 제1 스테이지(ST11)의 제1 및 제2 클럭신호(CLK1, CLK2)의 입력단자와 상반되도록 설정된다.
- <43> 제4 스테이지(ST14)는 제3 및 제4 클럭신호(CLK3, CLK4)에 대응하여 자신에게 공급되는 제3 스테이지(ST13)의 제1 출력신호(V_{n3})를 소정의 주기만큼 위상지연시켜 출력신호들(V_{n4}, EMI4)을 출력한다. 이때, 제4 스테이지(ST14)의 제3 및 제4 클럭신호(CLK3, CLK4)의 입력단자는 제2 스테이지(ST12)의 제3 및 제4 클럭신호(CLK3, CLK4)의 입력단자와 상반되도록 설정된다.
- <44> 제5 내지 제n 스테이지(ST15 내지 ST1_n)는 전술한 바와 같은 구동에 의하여, 제1 내지 제4 클럭신호(CLK1 내지

CLK4)에 대응하여 자신에게 공급되는 이전단 스테이지(STi-1)의 제1 출력신호(Vni-1)를 소정의 주기만큼 위상지연시켜 출력신호들(Vni, EMIi)을 출력한다.

- <45> 이와 같은 각 스테이지들(ST11 내지 ST1n)에서 발생된 발광 제어신호들(EMI1 내지 EMIn)은 각각의 발광 제어선들(E1 내지 En)로 순차적으로 공급된다.
- <46> 도 4는 도 3에 도시된 임의의 스테이지의 일례를 나타내는 상세 회로도이다. 편의상, 도 4에서는 제1 및 제2 클럭신호를 공급받는 임의의 스테이지를 도시하기로 한다.
- <47> 도 4를 참조하면, 임의의 스테이지(STi)는 스타트펄스(SP) 또는 이전단 스테이지의 제1 출력신호(Vni-1)와 제1 및 제2 클럭신호(CLK1, CLK2)에 대응하여 자신의 출력단자인 제1 노드(N1)의 전압레벨을 제어하는 제1 전압레벨 제어부(410)와, 제1 노드(N1)의 전압레벨과 제1 클럭신호(CLK1)에 대응하여 자신의 출력단자인 제2 노드(N2)의 전압레벨을 제어하는 제2 전압레벨 제어부(420)와, 제1 및 제2 노드(N1, N2)의 전압레벨에 대응하여 자신의 출력단자인 제3 노드(N3)의 전압레벨을 제어하는 제3 전압레벨 제어부(430)와, 제3 노드(N3)의 전압레벨에 대응하여 제4 노드(N4)의 전압레벨을 제어하는 제1 트랜지스터(M1)와, 제2 노드(N2)의 전압레벨에 대응하여 제4 노드(N4)의 전압레벨을 제어하는 제2 트랜지스터(M2)를 포함한다.
- <48> 여기서, 제3 노드(N3) 및 제4 노드(N4)는 스테이지(STi)의 출력노드들이다. 보다 구체적으로, 제3 노드(N3)는 스테이지(STi)의 제1 출력노드로, 다음 단 스테이지(STi+1)의 입력라인과 접속되어 다음 단 스테이지(STi+1)로 제1 출력신호(Vni)를 공급한다. 그리고, 제4 노드(N4)는 스테이지(STi)의 제2 출력노드로, 발광 제어선들(E) 중 어느 하나(Ei)와 접속되어 자신과 접속된 발광 제어선(Ei)으로 발광 제어신호(EMIi)를 공급한다.
- <49> 제1 전압레벨 제어부(410)는 제3 전원(VDD)과 제2 클럭신호(CLK2)의 입력라인 사이에 직렬 접속된 제3 내지 제4 트랜지스터(M3, M4)를 포함한다.
- <50> 제3 트랜지스터(M3)는 제3 전원(VDD)과 제1 노드(N1) 사이에 접속되며, 제3 트랜지스터(M3)의 게이트 전극은 제1 클럭신호(CLK1)의 입력라인과 접속된다. 이와 같은 제3 트랜지스터(M3)는 P 타입 트랜지스터로써, 로우레벨의 전압값을 갖는 제1 클럭신호(CLK1)가 공급될 때 턴-온되어 제1 전원(VDD)과 제1 노드(N1)를 전기적으로 연결한다.
- <51> 제4 트랜지스터(M4)는 제1 노드(N1)와 제2 클럭신호(CLK2)의 입력라인 사이에 접속되며, 제4 트랜지스터(M4)의 게이트 전극은 스타트펄스(SP) 또는 이전단 스테이지의 제1 출력신호(Vni-1)의 입력라인에 접속된다. 이와 같은 제4 트랜지스터(M4)는 P 타입 트랜지스터로써, 로우레벨의 전압값을 갖는 스타트펄스(SP) 또는 이전단 스테이지의 제1 출력신호(Vni-1)가 공급될 때 턴-온되어 제2 클럭신호(CLK2)의 전압레벨에 해당하는 전압값으로 제1 노드(N1)를 충전한다.
- <52> 제2 전압레벨 제어부(420)는 제1 전원(VDD)과 제2 전원(VSS) 사이에 직렬 접속된 제5 내지 제6 트랜지스터(M5, M6)를 포함한다. 여기서, 제2 전원(VSS)의 전압은 제1 전원(VDD)의 전압보다 낮은 값으로 설정된다.
- <53> 제5 트랜지스터(M5)는 제1 전원(VDD)과 제2 노드(N2) 사이에 접속되며, 제5 트랜지스터(M5)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제5 트랜지스터(M5)는 P 타입 트랜지스터로써, 제1 노드(N1)의 전압레벨이 로우레벨일 때 턴-온되어 제1 전원(VDD)과 제2 노드(N2)를 전기적으로 연결한다.
- <54> 제6 트랜지스터(M6)는 제2 노드(N2)와 제2 전원(VSS) 사이에 접속되며, 제6 트랜지스터(M6)의 게이트 전극은 제1 클럭신호(CLK1)의 입력라인에 접속된다. 이와 같은 제6 트랜지스터(M6)는 P 타입 트랜지스터로써, 로우레벨의 전압값을 갖는 제1 클럭신호(CLK1)가 공급될 때 턴-온되어 제2 노드(N2)와 제2 전원(VSS)을 전기적으로 연결한다.
- <55> 제3 전압레벨 제어부(430)는 제1 전원(VDD)과 제2 전원(VSS) 사이에 직렬 접속된 제7 내지 제8 트랜지스터(M7, M8)를 포함한다.
- <56> 제7 트랜지스터(M7)는 제1 전원(VDD)과 제3 노드(N3) 사이에 접속되며, 제7 트랜지스터(M7)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제7 트랜지스터(M7)는 P 타입 트랜지스터로써, 제2 노드(N2)의 전압레벨이 로우레벨일 때 턴-온되어 제1 전원(VDD)과 제3 노드(N3)를 전기적으로 연결한다.
- <57> 즉, 제7 트랜지스터(M7)가 턴-온되면 제3 노드(N3)는 하이레벨의 전압값을 가지므로, 스테이지(STi)의 제1 출력노드인 제3 노드(N3)와 접속된 다음 단 스테이지(STi+1)의 입력라인으로 하이레벨의 제1 출력신호(Vni)가 공급된다.

- <58> 제8 트랜지스터(M8)는 제3 노드(N3)와 제2 전원(VSS) 사이에 접속되며, 제8 트랜지스터(M8)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제8 트랜지스터(M8)는 P 타입 트랜지스터로써, 제1 노드(N1)의 전압레벨이 로우레벨일 때 턴-온되어 제3 노드(N3)와 제2 전원(VSS)을 전기적으로 연결한다.
- <59> 즉, 제8 트랜지스터(M8)가 턴-온되면 제3 노드(N3)는 로우레벨의 전압값을 가지므로, 다음 단 스테이지(STi+1)의 입력라인으로 로우레벨의 제1 출력신호(Vni)가 공급된다.
- <60> 제1 트랜지스터(M1)는 제1 전원(VDD)과 제4 노드(N4) 사이에 접속되며, 제1 트랜지스터(M1)의 게이트 전극은 제3 노드(N3)에 접속된다. 이와 같은 제1 트랜지스터(M1)는 P 타입 트랜지스터로써, 제3 노드(N3)의 전압레벨이 로우레벨일 때 턴-온되어 제1 전원(VDD)과 제4 노드(N4)를 전기적으로 연결한다. 즉, 제1 트랜지스터(M1)가 턴-온되었을 때 제4 노드(N4)는 제1 전원(VDD)에 대응되는 하이레벨 전압값으로 충전된다. 이로 인하여, 제1 트랜지스터(M1)가 턴-온되면 스테이지(STi)의 제2 출력노드인 제4 노드(N4)가 하이값으로 충전되어 제4 노드(N4)와 접속된 발광 제어선(Ei)으로 하이레벨의 발광 제어신호(EMIi)가 공급된다.
- <61> 제2 트랜지스터(M2)는 제4 노드(N4)와 제2 전원(VSS) 사이에 접속되며, 제2 트랜지스터(M2)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 P 타입 트랜지스터로써, 제2 노드(N2)의 전압레벨이 로우레벨일 때 턴-온되어 제4 노드(N4)와 제2 전원(VSS)을 전기적으로 연결한다. 즉, 제2 트랜지스터(M2)가 턴-온되었을 때 제4 노드(N4)는 제2 전원(VSS)에 대응되는 로우레벨 전압값으로 충전된다. 이로 인하여, 제2 트랜지스터(M2)가 턴-온되면 제4 노드(N4)가 로우값으로 충전되어 제4 노드(N4)와 접속된 발광 제어선(Ei)으로 로우레벨의 발광 제어신호(EMIi)가 공급된다.
- <62> 또한, 임의의 스테이지(STi)는 스타트펄스(SP) 또는 이전단 스테이지의 제1 출력신호(Vni-1)의 입력라인과 제1 노드(N1) 사이에 접속된 제1 커패시터(C1)와, 제2 노드(N2)와 제4 노드(N4) 사이에 접속된 제2 커패시터(C2)를 더 포함한다.
- <63> 이와 같은 제1 커패시터(C1)는 자신의 양측 단자에 각각 접속된 제4 트랜지스터(M4)의 게이트 전극과 소스 전극 간의 전압을 안정화함으로써 제4 트랜지스터(M4)가 안정적으로 동작할 수 있게 한다. 그리고, 제2 커패시터(C2)는 자신의 양측 단자에 각각 접속된 제2 트랜지스터(M2)의 게이트 전극과 소스 전극 간의 전압을 안정화함으로써 제2 트랜지스터(M2)가 안정적으로 동작할 수 있게 한다. 즉, 본 발명에서는 보다 안정적인 동작을 위하여 제1 및 제2 커패시터(C1, C2)를 형성하였다. 하지만, 본 발명이 이에 한정되는 것은 아니며, 예를 들어 제1 및/또는 제2 커패시터(C1, C2)는 제거될 수도 있다.
- <64> 전술한 바와 같이 스테이지(STi)들의 회로를 설계하면, 비교적 적은 수의 소자 즉, 비교적 적은 수의 트랜지스터들(M) 및 커패시터(C)들과, 클럭신호들(CLK)을 이용하여 쉬프트 레지스터를 구성함으로써, 쉬프트 레지스터의 설계를 보다 용이하게 하고 데드 스페이스를 감소시킬 수 있다.
- <65> 또한, 임의의 스테이지(STi)에 구비된 트랜지스터들(M1 내지 M8)을 모두 동일한 타입으로 설계함으로써 제조공정도 단순화된다.
- <66> 특히, 능동형 유기전계발광 표시장치와 같은 평판 표시장치에서는 화소 어레이에 P 타입의 트랜지스터들이 포함되는데, 주사 구동부의 쉬프트 레지스터 내에 구비된 스테이지들이 화소 어레이에 포함된 트랜지스터들과 동일한 타입의 트랜지스터들로 구성되는 경우, 기판 상에 화소 어레이를 형성하는 공정을 수행하면서 동시에 쉬프트 레지스터를 형성할 수 있게 된다. 따라서, 공정단계를 더 늘리지 않고도 화소 어레이와 주사 구동부를 동시에 형성함에 의하여 표시장치의 제조공정이 단순화되고 용이해져, 그 효율성이 향상된다.
- <67> 단, 본 발명은 쉬프트 레지스터가 기판 상에 화소 어레이와 함께 형성되는 경우에만 국한되는 것은 아니며, 쉬프트 레지스터가 칩 등에 내장되어 화소 어레이가 형성된 기판에 실장되는 경우에도 적용될 수 있음은 물론이다.
- <68> 이하에서는 도 3 및 도 4에 도시된 쉬프트 레지스터의 동작을 도 5에 도시된 입/출력 신호의 파형과 결부하여 상세히 설명하기로 한다. 편의상, 트랜지스터의 문턱전압 등의 요소는 고려하지 않기로 한다.
- <69> 도 5를 참조하면, 우선, t1 구간 동안 로우레벨의 스타트 펄스(SP), 로우레벨의 제1 클럭신호(CLK1) 및 하이레벨의 제2 클럭신호(CLK2)가 제1 스테이지(ST11)로 공급된다. 여기서, 제1 스테이지(ST11)의 회로구성은 도 4에 도시된 바와 동일하다고 가정하기로 한다.
- <70> 그러면, 로우레벨의 제1 클럭신호(CLK1)에 대응하여 제3 및 제6 트랜지스터(M3, M6)가 턴-온되고, 로우레벨의

스타트펄스(SP)에 대응하여 제4 트랜지스터(M4)가 턴-온된다.

- <71> 제3 및 제4 트랜지스터(M3, M4)가 턴-온되면 제1 노드(N1)는 제1 전원(VDD) 및 제2 클럭신호(CLK2)의 입력라인에 전기적으로 연결된다. 이때, 제1 전원(VDD) 및 제2 클럭신호(CLK2)의 전압레벨이 모두 하이레벨이므로, 제1 노드(N1)는 하이레벨의 전압으로 충전된다. 그리고, 제6 트랜지스터(M6)가 턴-온되면 제2 노드(N2)는 제2 전원(VSS)과 전기적으로 연결된다. 즉, 제2 노드(N2)는 로우레벨의 전압으로 충전된다.
- <72> 제1 노드(N1)가 하이레벨 전압으로 충전됨에 따라, 제5 및 제8 트랜지스터(M5, M8)는 턴-오프된다. 그리고, 제2 노드(N2)가 로우레벨 전압으로 충전됨에 따라, 제7 트랜지스터(M7)와 제9 트랜지스터(M9)가 턴-온된다.
- <73> 제7 트랜지스터(M7)가 턴-온되면 제1 전원(VDD)과 제3 노드(N3)가 전기적으로 연결되어, 제3 노드(N3)가 하이레벨 전압으로 충전된다. 이에 따라, 제1 트랜지스터(M1)가 턴-오프되는 한편, 제1 출력노드인 제3 노드(N3)로부터 다음 단 스테이지(즉, 제2 스테이지, ST12)의 입력라인으로 하이레벨의 제1 출력신호(Vn1)가 공급된다.
- <74> 또한, 제9 트랜지스터(M9)가 턴-온되면 제2 출력노드인 제4 노드(N4)와 제2 전원(VSS)이 전기적으로 연결되어, 제4 노드(N4)로부터 제1 발광 제어선(E1)으로 로우레벨의 발광 제어신호(EMI1)가 공급된다.
- <75> 이후, t2_1 구간 동안 로우레벨의 스타트 펄스(SP), 하이레벨의 제1 클럭신호(CLK1) 및 로우레벨의 제2 클럭신호(CLK2)가 제1 스테이지(ST11)로 공급된다.
- <76> 그러면, 하이레벨의 제1 클럭신호(CLK1)에 대응하여 제3 및 제6 트랜지스터(M3, M6)가 턴-오프된다.
- <77> 그리고, 로우레벨의 스타트펄스(SP)에 대응하여 제4 트랜지스터(M4)가 턴-온되어, 제2 클럭신호(CLK2)의 로우레벨 전압이 제1 노드(N1)로 전달된다. 이에 의하여, 제1 노드(N1)는 로우레벨 전압으로 충전된다.
- <78> 제1 노드(N1)가 로우레벨 전압으로 충전되면, 제5 및 제8 트랜지스터(M5, M8)가 턴-온된다. 이에 따라, 제2 노드(N2)는 제3 전원(VDD)의 하이레벨 전압으로 충전되고, 제3 노드(N3)는 제4 전원(VSS)의 로우레벨 전압으로 충전된다.
- <79> 제2 노드(N2)가 하이레벨 전압으로 충전됨에 따라, 제7 및 제2 트랜지스터(M7, M2)는 턴-오프된다.
- <80> 한편, 제3 노드(N3)가 로우레벨 전압으로 충전됨에 따라 제1 트랜지스터(M1)가 턴-온되어 제4 노드(N4)는 제1 전원(VDD)의 하이레벨 전압으로 충전된다. 이에 따라, 제4 노드(N4)와 접속된 제1 발광 제어선(E1)으로 하이레벨의 발광 제어신호(EMI1)가 공급된다. 또한, 제3 노드(N3)와 접속된 다음 단 스테이지(즉, 제2 스테이지, ST12)의 입력라인으로 로우레벨의 제1 출력신호(Vn1)가 공급된다.
- <81> 이후, t2_2 구간 동안 하이레벨의 스타트 펄스(SP), 하이레벨의 제1 클럭신호(CLK1) 및 로우레벨의 제2 클럭신호(CLK2)가 제1 스테이지(ST11)로 공급된다.
- <82> 그러면, 하이레벨의 스타트 펄스(SP) 및 제1 클럭신호(CLK1)에 대응하여 제3, 제4 및 제6 트랜지스터(M3, M4, M6)가 턴-오프되어 이전 상태 즉, t2_1 구간의 상태를 유지한다. 따라서, t2_1 구간 동안에도 t2_1 구간과 마찬가지로 하이레벨의 제1 발광 제어신호(EMI1)와 로우레벨의 제1 출력신호(Vn1)가 각각 제1 발광 제어선(E1)과 다음 단 스테이지(즉, 제2 스테이지, ST12)의 입력라인으로 출력된다.
- <83> 이후, t3 구간 동안 하이레벨의 스타트 펄스(SP), 로우레벨의 제1 클럭신호(CLK1) 및 하이레벨의 제2 클럭신호(CLK2)가 제1 스테이지(ST11)로 공급된다.
- <84> 그러면, 하이레벨의 스타트 펄스(SP)에 대응하여 제4 트랜지스터(M4)가 턴-오프되고, 로우레벨의 제1 클럭신호(CLK1)에 대응하여 제3 및 제6 트랜지스터(M3, M6)가 턴-온된다.
- <85> 제3 트랜지스터(M3)가 턴-온되면 제1 노드(N1)는 제1 전원(VDD)의 하이레벨 전압으로 충전되고, 이에 의해 제5 및 제8 트랜지스터(M5, M8)가 턴-오프된다. 그리고, 제6 트랜지스터(M6)가 턴-온되면 제2 노드(N2)가 제2 전원(VSS)의 로우레벨 전압으로 충전된다.
- <86> 제2 노드(N2)가 로우레벨 전압으로 충전됨에 따라 제7 및 제2 트랜지스터(M7, M2)가 턴-온된다.
- <87> 제7 트랜지스터(M7)가 턴-온되면 제3 노드(N3)는 제1 전원(VDD)의 하이레벨 전압으로 충전되고, 이에 따라 제1 트랜지스터(M1)가 턴-오프되는 한편, 다음 단 스테이지(즉, 제2 스테이지, ST12)의 입력라인으로 하이레벨의 제1 출력신호(Vn1)가 출력된다.
- <88> 또한, 제2 트랜지스터(M2)가 턴-온되면 제4 노드(N4)가 제2 전원(VSS)의 로우레벨 전압으로 충전되고, 이에 따

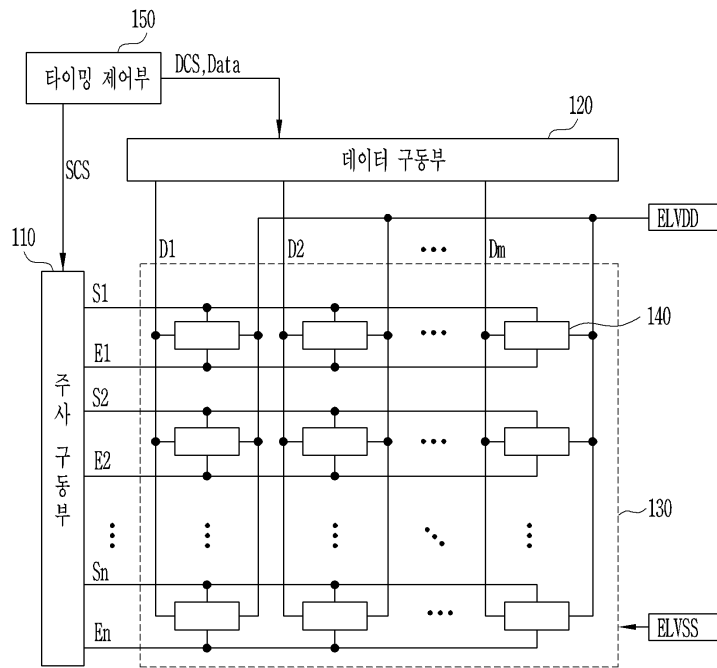
라, 제4 노드(N4)와 접속된 발광 제어선(E1)으로 로우레벨의 제1 발광 제어신호(EMI1)가 출력된다.

- <89> 이후, t4 구간 동안 하이레벨의 스타트 펄스(SP), 하이레벨의 제1 클럭신호(CLK1) 및 로우레벨의 제2 클럭신호(CLK2)가 제1 스테이지(ST11)로 공급된다.
- <90> 그러면, 하이레벨의 스타트 펄스(SP) 및 제1 클럭신호(CLK1)에 대응하여 제3, 제4 및 제6 트랜지스터(M3, M4, M6)가 턴-오프되어 이전 상태 즉, t3 구간의 상태를 유지한다. 따라서, t4 구간 동안에도 t3 구간과 마찬가지로 로우레벨의 제1 발광 제어신호(EMI1)와 하이레벨의 제1 출력신호(Vn1)가 각각 제1 발광 제어선(E1)과 다음 단 스테이지(즉, 제2 스테이지, ST12)의 입력라인으로 출력된다.
- <91> 이후, t3 구간과 t4 구간에서와 동일한 신호들이 반복적으로 제1 스테이지(ST11)로 공급됨에 따라, 나머지 구간 동안 제1 발광 제어신호(EMI1)의 전압레벨은 로우레벨로 유지되고, 제1 출력신호(Vn1)의 전압레벨은 하이레벨로 유지된다.
- <92> 한편, 제2 스테이지(ST12)는 스타트 펄스(SP) 대신 제1 스테이지(ST11)로부터의 제1 출력신호(Vn1)와, 제3 및 제4 클럭신호(CLK3, CLK4)를 이용하여 자신에게 공급된 제1 스테이지(ST11)로부터의 제1 출력신호(Vn1)를 반 클럭만큼, 즉, 클럭신호의 1/4 주기만큼 위상지연시켜 출력한다.
- <93> 보다 구체적으로, t2_1 구간 동안 제2 스테이지(ST12)는 로우레벨의 제1 스테이지(ST11)의 제1 출력신호(Vn1), 로우레벨의 제3 클럭신호(CLK3) 및 하이레벨의 제4 클럭신호(CLK4)에 대응하여 로우레벨의 제2 발광 제어신호(EMI2)와 하이레벨의 제2 스테이지(ST2)의 제1 출력신호(Vn2)를 출력한다. 여기서, t2_1 구간 동안 제2 스테이지(ST12)의 동작은 t1 구간 동안의 제1 스테이지(ST11)의 동작과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다.
- <94> 이후, t2_2 구간 동안 제2 스테이지(ST12)는 로우레벨의 제1 스테이지(ST11)의 제1 출력신호(Vn1), 하이레벨의 제3 클럭신호(CLK3) 및 로우레벨의 제4 클럭신호(CLK4)에 대응하여 하이레벨의 제2 발광 제어신호(EMI2)와 로우레벨의 제2 스테이지(ST12)의 제1 출력신호(Vn2)를 출력한다. 여기서, t2_2 구간동안의 제2 스테이지(ST12)의 동작은 t2_1 구간 동안의 제1 스테이지(ST11)의 동작과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다.
- <95> 이후, t3_1 구간 동안 제2 스테이지(ST12)는 하이레벨의 제1 스테이지(ST11)의 제1 출력신호(Vn1), 하이레벨의 제3 클럭신호(CLK3) 및 로우레벨의 제4 클럭신호(CLK4)에 대응하여 하이레벨의 제2 발광 제어신호(EMI2)와 로우레벨의 제2 스테이지(ST12)의 제1 출력신호(Vn2)를 출력한다. 여기서, t3_1 구간동안의 제2 스테이지(ST12)의 동작은 t2_2 구간 동안의 제1 스테이지(ST11)의 동작과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다.
- <96> 이후, 제2 스테이지(ST12)는 t3 구간 및 t4 구간에서의 제1 스테이지의(ST11)의 동작과 동일하게 동작한다. 즉, 나머지 구간 동안 제2 스테이지(ST12)에서 출력되는 제2 발광 제어신호(EMI2)의 전압레벨은 로우레벨로 유지되고, 제2 스테이지(ST12)의 제1 출력신호(Vn2)의 전압레벨은 하이레벨로 유지된다.
- <97> 진술한 바와 같은 구동에 의하여, 본 발명에 의한 쉬프트 레지스터의 스테이지(ST)들은 자신에게 입력되는 이전 단 스테이지의 제1 출력신호(Vn)(또는, 스타트펄스(SP))를 제1 및 제2 클럭신호(CLK1, CLK2) 또는 제3 및 제4 클럭신호(CLK3, CLK4)에 대응하여 반 클럭, 즉, 클럭신호의 1/4 주기만큼 위상지연시켜 출력라인으로 출력한다.
- <98> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

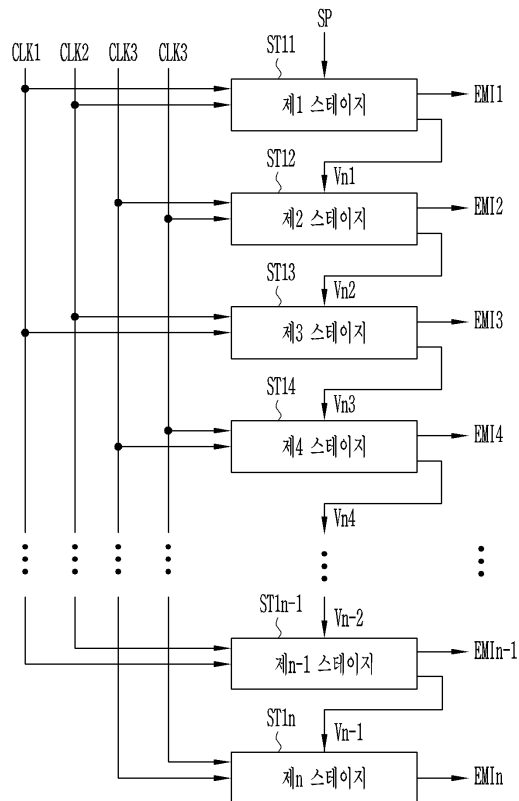
발명의 효과

- <99> 상술한 바와 같이, 본 발명에 의한 쉬프트 레지스터에 따르면, 비교적 적은 수의 소자들과 클럭신호들을 이용하여 쉬프트 레지스터를 구성함으로써 쉬프트 레지스터의 설계를 보다 용이하게 하고 데드 스페이스를 감소시킬 수 있다.
- <100> 또한, 각각의 스테이지에 구비되는 트랜지스터들을 모두 동일한 타입으로 설계하여 제조공정을 단순화할 수 있다. 특히, P 타입 트랜지스터들로 구성되는 화소 어레이를 포함하는 유기전계발광 표시장치에 P 타입의 트랜지스터들로 구성된 쉬프트 레지스터를 포함하는 주사 구동부를 채용함으로써, 공정단계를 더 늘리지 않고도 화소 어레이와 주사 구동부를 동시에 형성할 수 있다. 이에 의하여, 표시장치의 제조공정이 단순화되고 용이해져, 제조공정의 효율성이 향상된다.

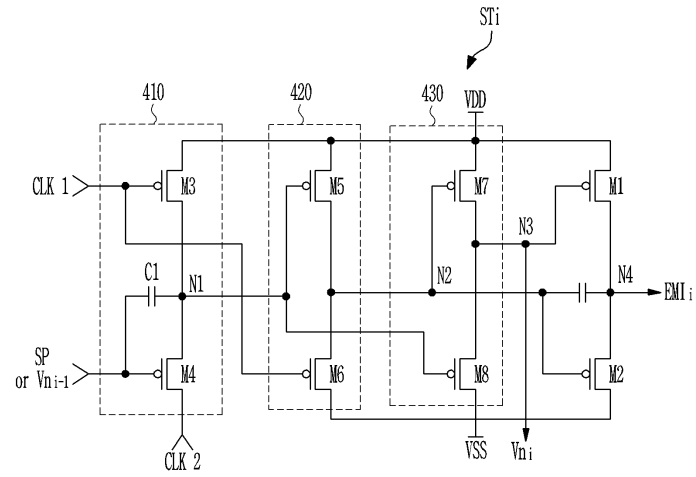
도면2



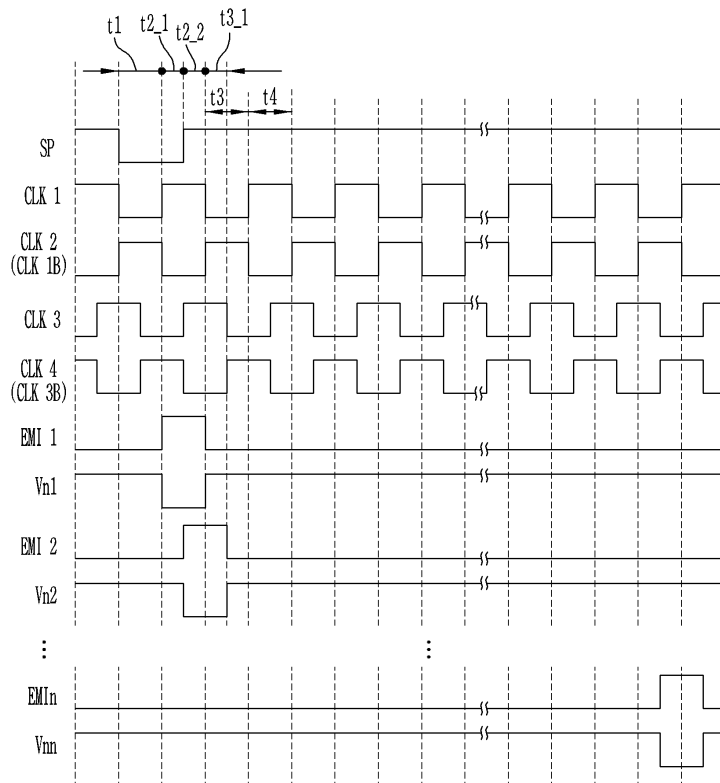
도면3



도면4



도면5



专利名称(译)	移位寄存器和使用其的有机发光显示器		
公开(公告)号	KR1020080033630A	公开(公告)日	2008-04-17
申请号	KR1020060099350	申请日	2006-10-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SEONI JEONG 정선이		
发明人	정선이		
IPC分类号	G09G3/30 G09G3/20 G11C19/28 H03K19/00		
CPC分类号	G09G3/3266 G09G2310/0286 G11C19/182 H03K19/08		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR101252861B1		
外部链接	Espacenet		

摘要(译)

移位寄存器技术领域本发明涉及一种设置在用于驱动有机发光显示器的像素列的驱动电路中的移位寄存器。根据本发明的移位寄存器具有多个级，这些级根据前一级的起始脉冲或第一输出信号以及第一和第二时钟信号连接到起始脉冲的输入线。CLK1, CLK2) 相对应的第一电压电平控制器，用于在其输出端控制第一节点 (N1) 的电压电平，所述第一节点的电压电平，并且在其输出响应于所述第一时钟信号提供给所述第二第二节点N2是第二节点N2的终端，第二节点N2控制第二节点N2的电压电平，第三电压电平控制单元，用于控制第一节点N3和第三节点N3的电压电平，以及连接到第三节点的栅电极，还有第二个晶体管和栅电极连接到第二节点，连接在第四节点和第二电源 (VSS) 之间的第二晶体管。

