

부; 트랜지스터부 상에 위치하며 제2게이트의 상부, 제1드레인의 상부, 제2드레인의 상부 및 제3게이트의 상부가 각각 노출되도록 형성된 평탄화막; 평탄화막 상에 위치하며 제2게이트와 제1드레인 사이 영역의 상부 및 제3게이트와 제2드레인 사이 영역의 상부에 위치하는 평탄화막이 각각 노출되도록 언더컷 패터닝된 버퍼층; 및 버퍼층 상에 형성되며 노출된 제2게이트의 상부, 제1드레인의 상부, 제2드레인의 상부 및 제3게이트의 상부에 각각 구분되어 전기적으로 연결된 제1, 제2 및 제3투명전극층을 포함하되, 제1 및 제2투명전극층은 비개구영역에 위치하고 제3투명전극층은 개구영역에 위치하는 유기전계발광표시장치를 제공한다.

특허청구의 범위

청구항 1

기관 상에 정의된 개구영역과 비개구영역;

상기 비개구영역에 위치하는 제1게이트, 제1소오스 및 제1드레인을 포함하는 스위칭 트랜지스터와, 상기 비개구영역에 위치하는 제2게이트를 포함하는 접지배선과, 상기 개구영역과 상기 비개구영역 사이에 위치하는 제3게이트, 제2소오스 및 제2드레인을 포함하는 구동 트랜지스터를 포함하는 트랜지스터부;

상기 트랜지스터부 상에 위치하며 상기 제2게이트의 상부, 상기 제1드레인의 상부, 상기 제2드레인의 상부 및 상기 제3게이트의 상부가 각각 노출되도록 형성된 평탄화막;

상기 평탄화막 상에 위치하며 상기 제2게이트와 상기 제1드레인 사이 영역의 상부 및 상기 제3게이트와 상기 제2드레인 사이 영역의 상부에 위치하는 평탄화막이 각각 노출되도록 언더컷 패터닝된 버퍼층; 및

상기 버퍼층 상에 형성되며 노출된 상기 제2게이트의 상부, 상기 제1드레인의 상부, 상기 제2드레인의 상부 및 상기 제3게이트의 상부에 각각 구분되어 전기적으로 연결된 제1, 제2 및 제3투명전극층을 포함하되,

상기 제1 및 제2투명전극층은 상기 비개구영역에 위치하고 상기 제3투명전극층은 상기 개구영역에 위치하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1, 제2 및 제3투명전극층 상에 각각 위치하는 제1, 제2 및 제3패턴전극층을 포함하며,

상기 제1, 제2 및 제3패턴전극층은 언더컷 패터닝된 상기 버퍼층에 의해 각각 분리 형성된 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 트랜지스터부는,

상기 제1 및 제2소오스, 상기 제1 및 제2드레인을 덮는 하부보호막을 포함하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 비개구영역 상에 위치하는 제1, 제2패턴전극층과 상기 개구영역의 외곽 영역에 위치하는 제3패턴전극층 상에 형성된 बैं크층을 더 포함하되,

상기 제3패턴전극층은,

상기 개구영역의 외곽 영역에 위치하는 상기 बैं크층보다 인입되도록 언더컷 패터닝된 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 제3투명전극층 상에 위치하는 캐소드층과, 상기 캐소드층 상에 위치하는 유기 발광층과, 상기 유기 발광층 상에 위치하는 애노드층을 포함하는 유기전계발광표시장치.

청구항 6

기관 상에 개구영역과 비개구영역을 정의하고 상기 비개구영역에 제1게이트와 제2게이트를 형성하고 상기 비개구영역과 상기 개구영역 사이에 제3게이트를 형성하고 상기 제1, 제2 및 제3게이트 상에 게이트 절연막을 형성하는 단계;

상기 제1게이트 및 상기 제3게이트와 대응하는 상기 게이트 절연막 상에 반도체층을 각각 형성하는 단계;

상기 반도체층의 영역과 각각 접촉하도록 상기 개구영역과 상기 비개구영역 상에 제1 및 제2소오스와 제1 및 제2드레인을 형성하는 단계;

상기 제1 및 제2소오스와 상기 제1 및 제2드레인 상에 하부보호막을 형성하고 상기 하부보호막 상에서 상기 제2 게이트의 상부, 상기 제1드레인의 상부, 상기 제2드레인의 상부 및 상기 제3게이트의 상부가 각각 노출되도록 평탄화막을 형성하는 단계;

상기 평탄화막 상에 형성하되 상기 제2게이트와 상기 제1드레인 사이 영역의 상부 및 상기 제3게이트와 상기 제2드레인 사이 영역의 상부에 위치하는 평탄화막이 각각 노출되도록 언더컷 패터하여 버퍼층을 형성하는 단계; 및

상기 버퍼층 상에 노출된 상기 제2게이트의 상부, 상기 제1드레인의 상부, 상기 제2드레인의 상부 및 상기 제3 게이트의 상부에 각각 구분되어 전기적으로 연결되도록 제1, 제2 및 제3투명전극층을 형성하는 단계를 포함하되,

상기 제1 및 제2투명전극층은 상기 비개구영역에 위치하고 상기 제3투명전극층은 상기 개구영역에 위치하는 유기전계발광표시장치의 제조방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 유기전계발광표시장치 및 이의 제조방법에 관한 것이다.

배경기술

[0002] 최근, 평판 표시 장치(Flat Panel Display: FPD)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정표시장치(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평판 표시 장치가 실용화되고 있다.

[0003] 특히, 유기전계발광표시장치는 고속 응답 속도를 가지며, 소비 전력이 낮고 자체 발광하는 특성이 있다. 또한, 유기전계발광표시장치는 시야각에 문제가 없기 때문에, 그 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 그리고, 유기전계발광표시장치는 저온 제작이 가능하고, 기존의 반도체 공정 기술을 이용하여 간단하게 제조될 수 있으므로, 차세대 평판 표시 장치로 주목받고 있다.

[0004] 일반적으로 유기전계발광표시장치는 기판, 상기 기판 상에 형성된 유기 발광층, 상기 유기 발광층을 사이에 두고 서로 대향하는 제1 및 제2전극을 포함한다. 유기전계발광표시장치의 제조방법을 개략적으로 설명하면, 기판 상에 제1전극을 형성한 후, 제1전극 상에 유기 발광층을 형성한 다음, 유기 발광층 상에 제2전극을 형성하는 등과 같은 제조공정을 통해 형성될 수 있다.

[0005] 한편, 제1전극 또는 제2전극의 재료로 사용되는 금속전극의 경우 외기에 의해 부식이 되는 문제가 있었으며, 접

지전압 영역이 전체 서브 픽셀에서 차지하는 면적의 한계로 접지배선의 저항이 상승하는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 패널에 위치하는 서브 픽셀 간의 구분을 용이하게 할 수 있음은 물론 접지배선 저항에 따른 문제를 최소화할 수 있으며 제조공정시 사용되는 마스크의 수를 줄일 수 있는 유기전계발광표시장치 및 이의 제조방법을 제공하는 것이다.

과제 해결수단

[0007] 상술한 과제 해결 수단으로 본 발명은, 기관 상에 정의된 개구영역과 비개구영역; 비개구영역에 위치하는 제1게이트, 제1소오스 및 제1드레인을 포함하는 스위칭 트랜지스터와, 비개구영역에 위치하는 제2게이트를 포함하는 접지배선과, 개구영역과 비개구영역 사이에 위치하는 제3게이트, 제2소오스 및 제2드레인을 포함하는 구동 트랜지스터를 포함하는 트랜지스터부; 트랜지스터부 상에 위치하며 제2게이트의 상부, 제1드레인의 상부, 제2드레인의 상부 및 제3게이트의 상부가 각각 노출되도록 형성된 평탄화막; 평탄화막 상에 위치하며 제2게이트와 제1드레인 사이 영역의 상부 및 제3게이트와 제2드레인 사이 영역의 상부에 위치하는 평탄화막이 각각 노출되도록 언더컷 패터닝된 버퍼층; 및 버퍼층 상에 형성되며 노출된 제2게이트의 상부, 제1드레인의 상부, 제2드레인의 상부 및 제3게이트의 상부에 각각 구분되어 전기적으로 연결된 제1, 제2 및 제3투명전극층을 포함하되, 제1 및 제2투명전극층은 비개구영역에 위치하고 제3투명전극층은 개구영역에 위치하는 유기전계발광표시장치를 제공한다.

[0008] 제1, 제2 및 제3투명전극층 상에 각각 위치하는 제1, 제2 및 제3패턴전극층을 포함하며, 제1, 제2 및 제3패턴전극층은 언더컷 패터닝된 버퍼층에 의해 각각 분리 형성될 수 있다.

[0009] 트랜지스터부는, 제1 및 제2소오스, 제1 및 제2드레인을 덮는 하부보호막을 포함할 수 있다.

[0010] 비개구영역 상에 위치하는 제1, 제2패턴전극층과 개구영역의 외곽 영역에 위치하는 제3패턴전극층 상에 형성된 बैं크층을 더 포함하되, 제3패턴전극층은, 개구영역의 외곽 영역에 위치하는 बैं크층보다 인입되도록 언더컷 패터닝될 수 있다.

[0011] 제3투명전극층 상에 위치하는 캐소드층과, 캐소드층 상에 위치하는 유기 발광층과, 유기 발광층 상에 위치하는 애노드층을 포함할 수 있다.

[0012] 한편, 다른 측면에서 본 발명은, 기관 상에 개구영역과 비개구영역을 정의하고 비개구영역에 제1게이트와 제2게이트를 형성하고 비개구영역과 개구영역 사이에 제3게이트를 형성하고 제1, 제2 및 제3게이트 상에 게이트 절연막을 형성하는 단계; 제1게이트 및 제3게이트와 대응하는 게이트 절연막 상에 반도체층을 각각 형성하는 단계; 반도체층의 영역과 각각 접촉하도록 개구영역과 비개구영역 상에 제1 및 제2소오스와 제1 및 제2드레인을 형성하는 단계; 제1 및 제2소오스와 제1 및 제2드레인 상에 하부보호막을 형성하고 하부보호막 상에서 제2게이트의 상부, 제1드레인의 상부, 제2드레인의 상부 및 제3게이트의 상부가 노출되도록 평탄화막을 형성하는 단계; 평탄화막 상에 형성하되 제2게이트와 제1드레인 사이 영역의 상부 및 제3게이트와 제2드레인 사이 영역의 상부에 위치하는 평탄화막이 노출되도록 언더컷 패터닝하여 버퍼층을 형성하는 단계; 및 버퍼층 상에 노출된 제2게이트의 상부, 제1드레인의 상부, 제2드레인의 상부 및 제3게이트의 상부에 각각 구분되어 전기적으로 연결되도록 제1, 제2 및 제3투명전극층을 형성하는 단계를 포함하되, 제1 및 제2투명전극층은 비개구영역에 위치하고 제3투명전극층은 개구영역에 위치하는 유기전계발광표시장치의 제조방법을 제공한다.

[0013] 제1, 제2 및 제3투명전극층 상에 각각 위치하도록 제1, 제2 및 제3패턴전극층을 형성하는 단계를 포함하며, 제1, 제2 및 제3패턴전극층은 언더컷 패터닝된 버퍼층에 의해 각각 분리 형성될 수 있다.

[0014] 제1 및 제2소오스와 제1 및 제2드레인을 형성하는 단계 이후, 제1 및 제2소오스, 제1 및 제2드레인을 덮는 하부보호막을 형성하는 단계를 포함할 수 있다.

[0015] 비개구영역 상에 위치하는 제1, 제2패턴전극층과 개구영역의 외곽 영역에 위치하는 제3패턴전극층 상에 बैं크층을 형성하는 단계를 포함하며, 제3패턴전극층은, 개구영역의 외곽 영역에 위치하는 बैं크층보다 인입되도록 언더컷 패터닝될 수 있다.

[0016] 제3투명전극층 상에 캐소드층을 형성하고 캐소드층 상에 유기 발광층을 형성하고 유기 발광층 상에 애노드층을 형성하는 단계를 포함할 수 있다.

효 과

[0017] 본 발명은, 패널에 위치하는 서브 픽셀 간의 구분을 용이하게 할 수 있음은 물론 접지배선 저항에 따른 문제를 최소화할 수 있으며 제조공정시 사용되는 마스크의 수를 줄일 수 있는 유기전계발광표시장치 및 이의 제조방법을 제공하는 효과가 있다. 이에 따라, 유기전계발광표시장치는 제조시 수율을 향상시킬 수 있고 구동시 휘도가 불균일하게 나타나는 현상을 개선할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0019] 도 1은 유기전계발광표시장치의 개략적인 평면도이다.

[0020] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 기판(110) 상에 다수의 서브 픽셀(P)이 위치하는 표시부(120)를 포함할 수 있다. 기판(110) 상에 위치하는 다수의 서브 픽셀(P)은 수분이나 산소에 취약하다.

[0021] 그리하여, 투명의 밀봉기관(130)을 구비하고, 표시부(120)의 외곽 기판(110)에 접착부재(140)를 형성하여 기판(110)과 밀봉기관(130)을 봉지할 수 있다. 한편, 다수의 서브 픽셀(P)은 기판(110) 상에 위치하는 구동부(150)에 의해 구동되어 영상을 표현할 수 있다.

[0022] 여기서, 서브 픽셀(P)은 적색, 녹색 및 청색 서브 픽셀들이 하나로 묶여 하나의 단위 픽셀로 정의될 수 있다. 그러나, 서브 픽셀(P)은 백색이나 이 밖에 다른 색(예를 들면, 주황색, 노란색 등)을 발광하는 서브 픽셀을 더 포함하여 4개 이상이 하나의 단위 픽셀로 정의될 수 있다.

[0023] 그리고 이러한 서브 픽셀(P)은 적어도 하나 이상의 커패시터와 트랜지스터를 포함하는 트랜지스터부와 유기 발광다이오드를 포함할 수 있다. 유기 발광다이오드는 적어도 유기 발광층을 포함할 수 있다. 여기서, 유기 발광층은 정공 주입층, 정공 수송층, 전자 수송층 또는 전자 주입층 중 하나 이상을 더 포함할 수 있고, 이 밖에 캐소드와 애노드 간의 전자 또는 정공의 흐름을 조절할 수 있도록 버퍼층, 블록킹층 등이 더 포함될 수도 있다.

[0024] 한편, 기판(110) 상에는 하나의 구동부(150)가 위치하는 것으로 도시하였지만, 구동부(150)는 서브 픽셀에 스캔 신호를 공급하는 스캔 구동부와, 서브 픽셀에 데이터 신호를 공급하는 데이터 구동부를 포함할 수 있다.

[0025] 이하, 본 발명의 일 실시예에 따른 서브 픽셀의 구조를 더욱 자세히 설명한다.

[0026] 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 평면도이다.

[0027] 도 2에 도시된 바와 같이, 서브 픽셀의 영역은 개구영역(A)과 비개구영역(NA)으로 정의될 수 있다. 여기서, 개구영역(A)에는 구동 트랜지스터와 유기 발광다이오드가 위치할 수 있다. 그리고 비개구영역(NA)에는 스위칭 트랜지스터와 커패시터 등이 위치할 수 있다.

[0028] 상세히 도시되어 있진 않지만, 서브 픽셀은 스캔 배선, 데이터 배선, 전원배선 및 접지배선 등에 연결될 수 있다.

[0029] 여기서, 스캔 배선을 통해 공급된 스캔 신호는 스위칭 트랜지스터의 게이트를 통해 공급되며, 데이터 배선을 통해 공급된 데이터 신호는 커패시터에 데이터 전압 형태로 저장될 수 있다. 그리고 커패시터에 저장된 데이터 전압이 구동 트랜지스터의 게이트에 공급되면 구동 트랜지스터는 구동할 수 있다. 그리고 구동 트랜지스터가 구동하게 되면 전원배선을 통해 공급된 전원이 접지배선을 통해 흐를 수 있게 됨으로써 유기 발광다이오드는 발광할 수 있다.

[0030] 도 3은 도 2에 도시된 X-X영역의 단면도이다.

[0031] 도 3에 도시된 바와 같이, 서브 픽셀의 영역은 기판(110) 상에 개구영역(A)과 비개구영역(NA)으로 정의될 수 있

으며, 이와 같이 정의된 개구영역(A)과 비개구영역(NA)에는 트랜지스터부가 위치할 수 있다.

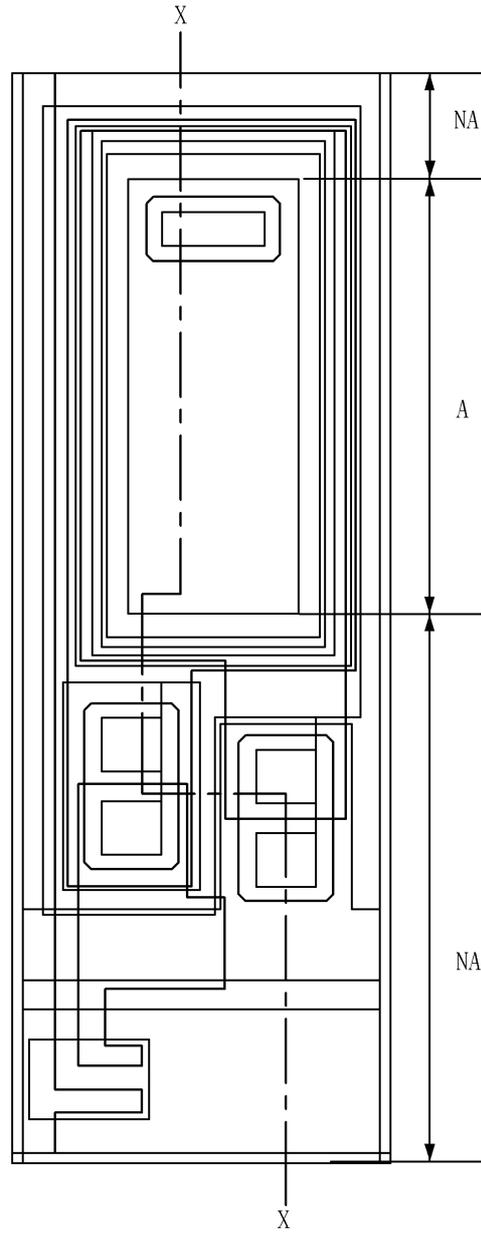
- [0032] 트랜지스터부는, 기관(110) 상에 정의된 비개구영역(NA)에는 제1게이트(111a), 제1소오스(114a) 및 제1드레인(114b)을 포함하는 스위칭 트랜지스터를 포함할 수 있다. 또한, 비개구영역(NA)에는 제2게이트(111b)를 포함하는 접지배선을 포함할 수 있다. 또한, 개구영역(A)과 비개구영역(NA) 사이에는 제3게이트(111c), 제2소오스(114d) 및 제2드레인(114c)을 포함하는 구동 트랜지스터를 포함할 수 있다. 또한, 도시되어 있지는 않지만, 트랜지스터부는 이 밖에 스캔 신호가 공급되는 스캔 배선과, 데이터 신호가 공급되는 데이터 배선 등을 포함할 수 있다. 여기서, 제1게이트(111a)와 제2게이트(111b)와 제3게이트(111c)는 게이트 절연막(112)에 의해 절연될 수 있다.
- [0033] 여기서, 트랜지스터부에 포함된 스위칭 트랜지스터에 대해 더욱 자세히 설명하면, 게이트 절연막(112) 상에서 제1게이트(111a)와 대응하는 영역에는 스위칭 트랜지스터의 반도체층(113a)이 위치할 수 있다. 그리고 게이트 절연막(112) 상에 위치하는 반도체층(113a)과 일부 접촉하도록 스위칭 트랜지스터의 제1소오스(114a) 및 제1드레인(114b)이 위치할 수 있다.
- [0034] 그리고, 트랜지스터부에 포함된 구동 트랜지스터에 대해 더욱 자세히 설명하면, 게이트 절연막(112) 상에서 제3게이트(111c)와 대응하는 영역에는 구동 트랜지스터의 반도체층(113b)이 위치할 수 있다. 그리고 게이트 절연막(112) 상에 위치하는 반도체층(113b)과 일부 접촉하도록 구동 트랜지스터의 제2소오스(114d) 및 제2드레인(114c)이 위치할 수 있다.
- [0035] 한편, 앞서 설명한 트랜지스터부는 스위칭 트랜지스터 및 구동 트랜지스터의 제1 및 제2소오스(114a, 114d), 제1 및 제2드레인(114b, 114c)을 덮는 하부보호막(115a)을 포함할 수 있다.
- [0036] 여기서, 하부보호막(115a)은 제2게이트(111b)의 상부와 제1드레인(114b)의 상부와 제3게이트(111c)의 상부와 제2드레인(114c)의 상부가 각각 노출되도록 패턴될 수 있다.
- [0037] 한편, 트랜지스터부 상부인 하부보호막(115a) 상에는 제2게이트(111b)의 상부, 제1드레인(114b)의 상부, 제2드레인(114c)의 상부 및 제3게이트(111c)의 상부가 노출되도록 패턴된 평탄화막(115b)이 위치할 수 있다.
- [0038] 또한, 평탄화막(115b) 상에는 제2게이트(111b)와 제1드레인(114b) 사이 영역의 상부 및 제3게이트(111c)와 제2드레인(114c) 사이 영역의 상부에 위치하는 평탄화막(115c)이 각각 노출되도록 언더컷(U1) 패턴된 버퍼층(115c)이 위치할 수 있다.
- [0039] 또한, 버퍼층(115c) 상에 노출된 제2게이트(111b)의 상부, 제1드레인(114b)의 상부, 제2드레인(114c)의 상부 및 제3게이트(111c)의 상부에 각각 구분되어 전기적으로 연결된 제1, 제2 및 제3투명전극층(116a, 116b, 116c)이 위치할 수 있다.
- [0040] 여기서, 제1 및 제2투명전극층(116a, 116b)은 비개구영역(NA)에 위치하고 제3투명전극층(116c)은 개구영역(A)에 위치할 수 있다.
- [0041] 또한, 제1, 제2 및 제3투명전극층(116a, 116b, 116c) 상에는 제1, 제2 및 제3패턴전극층(117a, 117b, 117c)이 위치할 수 있는데, 제1, 제2 및 제3패턴전극층(117a, 117b, 117c)은 언더컷(U1) 패턴된 버퍼층(115c)에 의해 각각 분리 형성될 수 있다.
- [0042] 위의 설명을 정리하면, 유기 물질로 선택된 평탄화막(115b)과 평탄화막(115b) 상에 위치하며 무기 물질로 선택된 버퍼층(115c)을 이용하여 해당 위치에 1차적인 언더컷(U1)을 실시한다.
- [0043] 그 이유는, 위와 같이 언더컷(U1)을 실시하여, 유기 물질 상에 금속성 전극층을 증착하지 않고 무기 물질 상에 금속성 전극층을 형성할 수 있기 때문에 증착 특성이 개선되기 때문이다. 또한, 위와 같은 언더컷(U1)으로 인하여 마스크 공정을 추가하지 않고도 제1, 제2 및 제3투명전극층(116a, 116b, 116c)은 물론 제1, 제2 및 제3패턴전극층(117a, 117b, 117c) 또한 형성할 수 있기 때문이다. 또한, 유기막과 무기막을 형성하고 금속성 전극층을 형성하였기 때문에 트랜지스터부에 부식이 발생하여 산화되는 것을 방지할 수 있다.
- [0044] 한편, 비개구영역(NA) 상에 위치하는 제1, 제2패턴전극층(117a, 117b)과 개구영역(A)의 외곽 영역에 위치하는 제3패턴전극층(117c) 상에는 बैं크층(118)이 위치할 수 있다. 여기서, 제3패턴전극층(117c)은, 개구영역(A)의 외곽 영역에 위치하는 बैं크층(118)보다 인입되도록 언더컷(U2) 패턴될 수 있다.
- [0045] 이와 같이 2차적인 언더컷(U2)을 개구영역(A)의 외곽 영역에 실시하면 서브 픽셀 간의 구분이 용이 해짐은 물론 이후 제3투명전극층 상에 다른 전극층을 형성할 때 별도의 마스크 없이 진행이 가능할 수 있다.

- [0046] 위와 같이 언더컷(U2) 형태로 패터닝된 बैं크층(118)을 이용하면 제3투명전극층(116c) 상에는 도시되지 않은 캐소드층과, 캐소드층 상에 위치하는 유기 발광층과, 유기 발광층 상에 위치하는 애노드층을 포함하는 유기 발광다이오드를 형성할 수 있다.
- [0047] 이하, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다.
- [0048] 도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 개략적으로 설명하기 위한 공정별 단면도이다.
- [0049] 도 4a에 도시된 바와 같이, 기판(110) 상에 개구영역(A)과 비개구영역(NA)을 정의하고 비개구영역(NA)에 제1게이트(111a)와 제2게이트(111b)를 형성하고 비개구영역(NA)과 개구영역(A) 사이에 제3게이트(111c)를 형성하고 게이트 절연막(112)을 형성하는 단계를 실시한다.
- [0050] 여기서, 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있으나 이에 한정되지 않는다.
- [0051] 도시되어 있진 않지만, 기판(110) 상에는 버퍼층이 위치할 수 있다. 버퍼층은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 트랜지스터부를 보호하기 위해 형성할 수 있다.
- [0052] 여기서, 제1, 제2 및 제3게이트(111a, 111b, 111c)는 기판(110) 상에 형성되어 사진(Photo), 식각(Etching) 방법에 의해 패터닝될 수 있으며 식각 방법으로는 습식 에칭방법(W/E)을 사용할 수 있다.
- [0053] 제1, 제2 및 제3게이트(111a, 111b, 111c)의 재료로는 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐(W), 텅스텐 실리사이드(WSi₂) 등을 예로 들 수 있으나 이에 한정되지 않는다.
- [0054] 그리고 제1, 제2 및 제3게이트(111a, 111b, 111c) 상에는 게이트 절연막(112)을 형성할 수 있다. 여기서, 게이트 절연막(112)은 제2게이트(111b)에 해당하는 영역과 제3게이트(111c)에 해당하는 영역을 노출하는 콘택홀이 형성되도록 사진, 식각 방법에 의해 패터닝될 수 있으며 식각 방법으로는 건식 에칭방법(D/E)을 사용할 수 있으나 이에 한정되지 않는다. 게이트 절연막(112)의 재료로는 실리콘 산화물(SiO₂) 또는 실리콘 질화물(SiNx) 등을 예로 들 수 있으나 이에 한정되지 않는다.
- [0055] 다음, 도 4b에 도시된 바와 같이, 제1게이트 및 제3게이트(111a, 111c)와 대응하는 게이트 절연막(112) 상에 반도체층(113a, 113b)을 각각 형성하는 단계를 실시한다.
- [0056] 여기서, 반도체층(113a, 113b)은 스위칭 트랜지스터의 게이트(111a)와 구동 트랜지스터의 게이트(111c)에 대응하는 영역 상부에 a-Si, p-Si 등의 형태로 형성될 수 있으나 이에 한정되지 않는다.
- [0057] 다음, 도 4b에 도시된 바와 같이, 반도체층(113a, 113b)의 영역과 각각 접촉하도록 개구영역(A)과 비개구영역(NA) 상에 제1 및 제2소오스(114a, 114d)와 제1 및 제2드레인(114b, 114c)을 형성하는 단계를 실시한다.
- [0058] 여기서, 제1 및 제2소오스(114a, 114d)와 제1 및 제2드레인(114b, 114c)의 재료로는 알루미늄(Al), 알루미늄(Al), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 티타늄 나이트라이드(TiN), 몰리브덴 나이트라이드(MoN) 또는 크롬 나이트라이드(CrN) 등과 같은 금속층을 포함하여 단층 또는 다층 구조로 형성될 수 있으나 이에 한정되지 않는다.
- [0059] 다음, 도 4c에 도시된 바와 같이, 제1 및 제2소오스(114a, 114d)와 제1 및 제2드레인(114b, 114c) 상에 하부보호막(115a)을 형성하고 하부보호막(115a) 상에서 제2게이트(111b)의 상부, 제1드레인(114b)의 상부, 제2드레인(114c)의 상부 및 제3게이트(111c)의 상부가 노출되도록 평탄화막(115b)을 형성하는 단계를 실시한다.
- [0060] 하부보호막(115a)을 제1 및 제2소오스(114a, 114d)와 제1 및 제2드레인(114b, 114c) 상에 형성할 때는 비개구영역(NA)에 위치하는 제2게이트(111b)의 상부, 제1드레인(114b)의 상부, 제2드레인(114c)의 상부 및 제3게이트

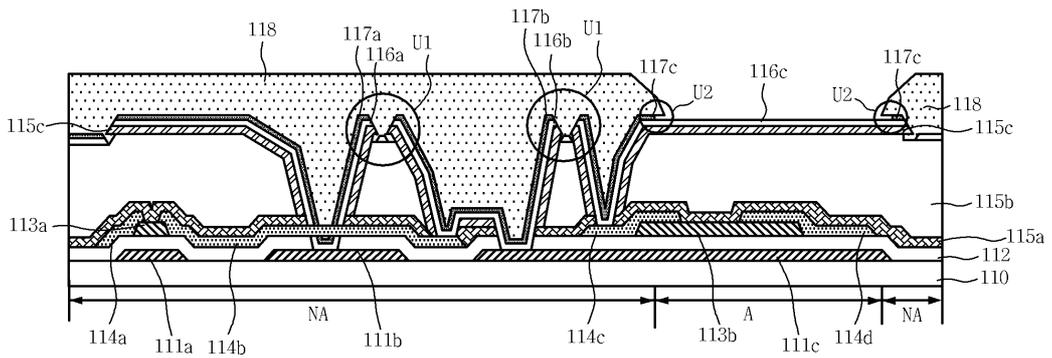
(111c)의 상부를 노출되하는 콘택홀이 형성되도록 패터닝할 수 있다.

- [0061] 하부보호막(115a)의 재료로는 옥사이드, 나이트라이드 계 등의 무기물을 예로 들 수 있으나 이에 한정되지 않는다.
- [0062] 또한, 하부보호막(115a) 상에는 평탄화막(115b)을 형성할 때는, 구동 트랜지스터의 소오스(114d) 또는 드레인(114c) 중 하나가 노출되도록 콘택홀을 형성할 수 있다. 또한, 비개구영역(NA) 상에 위치하는 제3게이트(111c)와 제2게이트(111b)가 위치하는 영역이 다른 영역보다 더 함몰되도록 패터닝할 수 있다.
- [0063] 평탄화막(115b)의 재료로는 벤조사이클로부텐(benzocyclobutene,BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 예로 들 수 있으나 이에 한정되지 않는다.
- [0064] 다음, 도 4c에 도시된 바와 같이, 평탄화막(115b) 상에 제2게이트(111b)와 제1드레인(114b) 사이 영역의 상부 및 제3게이트(111c)와 제2드레인(114c) 사이 영역의 상부에 위치하는 평탄화막(115b)이 노출되도록 언더컷(U1) 패터닝하여 버퍼층(115c)을 형성하는 단계를 실시한다.
- [0065] 이와 같이 평탄화막(115b) 상에 버퍼층(115c)을 형성하면, 유기 물질로 선택된 평탄화막(115b)과 평탄화막(115b) 상에 무기 물질로 선택된 버퍼층(115c)을 형성하여 유기 물질 상에 금속성 전극층을 증착하지 않고 무기 물질 상에 금속성 전극층을 형성할 수 있기 때문에 증착 특성이 개선될 수 있다.
- [0066] 또한, 위와 같은 1차적인 언더컷(U1)으로 인하여 마스크 공정을 추가하지 않고도 향후 투명전극층은 물론 투명전극층 상에 패터닝전극층 또한 형성할 수 있다. 또한, 유기막과 무기막을 형성하고 금속성 전극층을 형성하였기 때문에 트랜지스터부에 부식이 발생하여 산화되는 것을 방지할 수 있다.
- [0067] 버퍼층(115c)을 형성할 때는 패터닝된 평탄화막(115b)을 닦을 수 있도록 사진, 식각 방법을 이용하여 패터닝할 수 있으며, 이때 사용되는 식각 방법은 건식 식각방법(D/E)을 선택할 수 있으나 이에 한정되지 않는다.
- [0068] 한편, 버퍼층(115c)을 식각할 때 필요한 경우 하부보호막(115a) 및 게이트 절연막(112)까지 패터닝할 수 있다. 여기서, 필요한 경우란 제2게이트(111b)와 제3게이트(111c)가 위치하는 영역을 패터닝할 때, 이보다 앞선 공정에서 하부보호막(115a) 및 게이트 절연막(112)까지 패터닝하지 않고 본 단계에서 패터닝할 수 있음을 의미한다.
- [0069] 버퍼층(115c)의 재료로는 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 등을 사용할 수 있으나 이에 한정되지 않는다.
- [0070] 이상과 같은 공정에 의해 기관(110) 상에는 스위칭 트랜지스터와 구동 트랜지스터를 포함하는 트랜지스터부가 형성될 수 있다. 여기서, 도시하지 않았지만, 기관(110) 상에는 커패시터, 스캔 배선, 데이터 배선 및 접지배선 등이 형성될 수 있다. 다만, 도시된 단면도에서는 이를 생략한다.
- [0071] 다음, 도 4d에 도시된 바와 같이, 버퍼층(115c) 상에 노출된 제2게이트(111b)의 상부, 제1드레인(114b)의 상부, 제2드레인(114c)의 상부 및 제3게이트(111c)의 상부에 구분되어 전기적으로 연결되도록 제1, 제2 및 제3투명전극층(116a, 116b, 116c)을 각각 형성하는 단계를 실시한다.
- [0072] 여기서, 제1, 제2 및 제3투명전극층(116a, 116b, 116c)은 앞서 실행된 언더컷(U1) 패터닝에 의해 버퍼층(115c) 상에 노출된 제2게이트(111b)의 상부, 제1드레인(114b)의 상부, 제2드레인(114c)의 상부 및 제3게이트(111c)의 상부에 구분되어 전기적으로 연결되도록 형성될 수 있다.
- [0073] 여기서, 제1 및 제2투명전극층(116a, 116b)은 비개구영역(NA)에 위치하고 제3투명전극층(116c)은 개구영역(A)에 위치할 수 있다. 제1, 제2 및 제3투명전극층(116a, 116b, 116c)은 ITO(Indium Tin Oxide)와 같은 투명전극을 선택할 수 있으나 이에 한정되지 않는다.
- [0074] 한편, 제1, 제2 및 제3투명전극층(116a, 116b, 116c) 상에 각각 위치하도록 제1, 제2 및 제3패터닝전극층(117a, 117b, 117c)을 형성하는 단계를 실시할 수 있다. 제1, 제2 및 제3패터닝전극층(117a, 117b, 117c)은 Mo(Molybdenum)와 같은 금속전극을 선택할 수 있으나 이에 한정되지 않는다.
- [0075] 제1, 제2 및 제3패터닝전극층(117a, 117b, 117c)은 언더컷(U1) 패터닝된 버퍼층(115c)에 의해 각각 분리 형성될 수 있다. 즉, 앞서 설명한 바와 같이 별도의 마스크를 사용하지 않고도 버퍼층(115c) 상에 제1, 제2 및 제3투명전

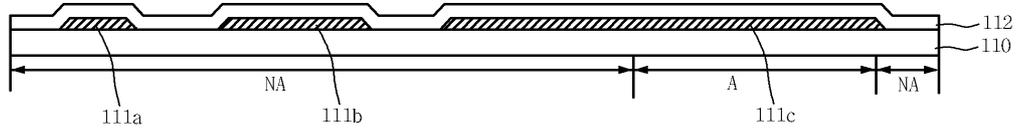
도면2



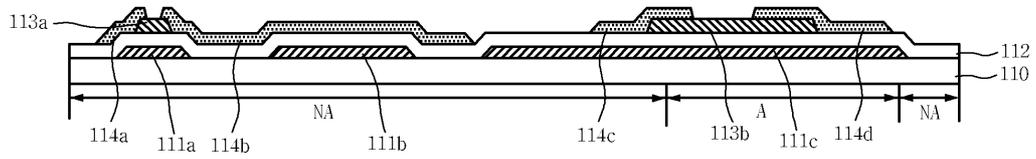
도면3



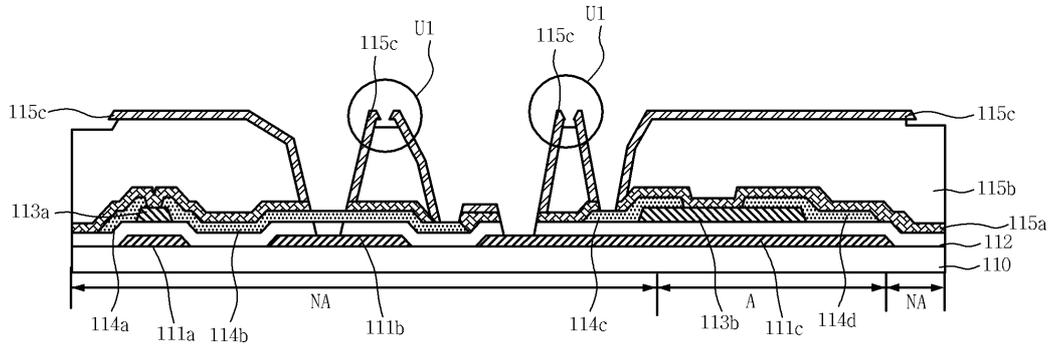
도면4a



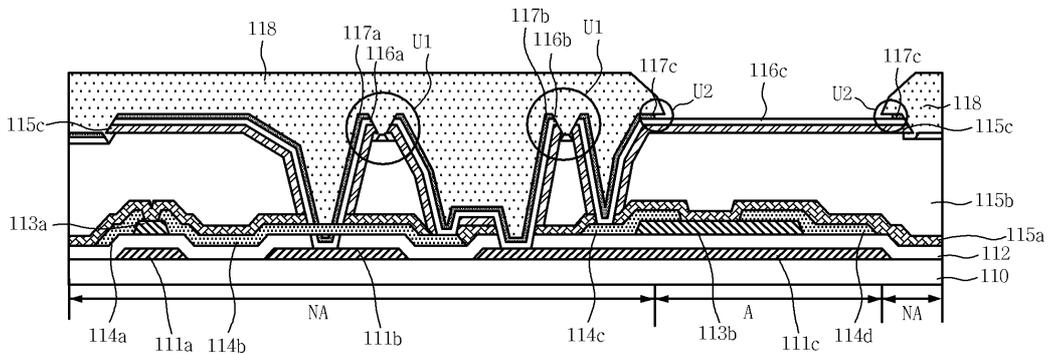
도면4b



도면4c



도면4d



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR101450873B1	公开(公告)日	2014-10-15
申请号	KR1020070113656	申请日	2007-11-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG		
发明人	CHOI, HEE DONG		
IPC分类号	H05B33/26 H05B33/22		
CPC分类号	H01L27/3246 H01L27/3248 H01L27/3262 H01L51/5012 H01L51/5206 H01L51/5221 H01L51/56 H01L2924/12044		
其他公开文献	KR1020090047696A		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括：开口区域和限定在基板上的非开口区域；一种接地布线，包括：开关晶体管，包括第一栅极，位于非开口区域中的第一源极和第一漏极；以及位于非开口区域中的第二栅极；一种驱动晶体管，包括第三栅极，第二源极和第二漏极晶体管部分包括；位于晶体管部和上部的第二栅极，所述第一漏极的上部，平坦化层布置成使得所述上和第二漏极每次曝光的第三栅极的上部；位于所述平坦化层上，并在平坦化膜暴露于其中的每一个位于所述第二栅与顶部和所述第三栅极和第二漏极区之间的第一漏极区的顶底切图案化缓冲层；第一，第二和第三透明电极层形成在缓冲层上并电连接到暴露的第二栅极的上部，第一漏极的上部，第二漏极的上部和第三栅极的上部，其中，第一透明电极层和第二透明电极层位于非开口区域，第三透明电极层位于开口区域提供一种有机电致发光显示装置。

