



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년10월09일
 (11) 등록번호 10-0862555
 (24) 등록일자 2008년10월02일

(51) Int. Cl.

H05B 33/02 (2006.01) *H05B 33/26* (2006.01)

(21) 출원번호 10-2007-0121542

(22) 출원일자 2007년11월27일
 심사청구일자 2008년05월27일

(56) 선행기술조사문현

KR100582130 B1*

KR1020060094934 A*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

정연식

서울 서초구 우면동 16번지 LG전자 전자기술원

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 10 항

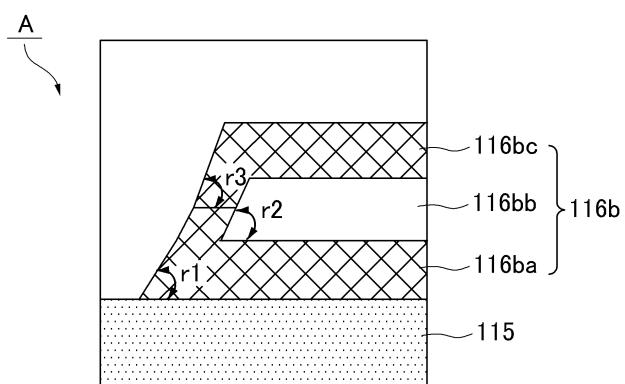
심사관 : 하정균

(54) 유기전계발광표시장치

(57) 요 약

본 발명은, 기판 상에 위치하는 케이트, 소오스 및 드레인 전극을 포함하는 트랜지스터; 소오스 또는 드레인 전극에 연결된 제1전극; 제1전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 제2전극을 포함하되, 소오스 및 상기 드레인 전극은 제1층, 제2층 및 제3층을 포함하며, 제1층, 제2층 및 제3층의 테이퍼 각은 서로 다른 유기전계발광표시장치를 제공한다.

대 표 도 - 도3b



특허청구의 범위

청구항 1

기판 상에 위치하는 게이트, 소오스 및 드레인 전극을 포함하는 트랜지스터;
 상기 소오스 또는 상기 드레인 전극에 연결된 제1전극;
 상기 제1전극 상에 위치하는 유기 발광층; 및
 상기 유기 발광층 상에 위치하는 제2전극을 포함하되,
 상기 소오스 및 상기 드레인 전극은 제1층, 제2층 및 제3층을 포함하고,
 상기 제1층, 상기 제2층 및 상기 제3층의 테이퍼 각이 서로 다르며,
 상기 제1전극은 금속층 및 도전층을 포함하되,
 상기 제2층은 상기 제1층과 상기 제3층에 의해 밀봉되고,
 상기 제1층과 상기 제2층의 두께의 비는 $1 : 2.25 \sim 22.5$ 이고, 상기 제3층과 상기 제2층의 두께의 비는 $1 : 1.2 \sim 1.9$ 이고,
 상기 금속층과 상기 도전층의 두께의 비는 $9.5 \sim 10 : 1$ 인 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

기판 상에 위치하는 게이트, 소오스 및 드레인 전극을 포함하는 트랜지스터;
 상기 소오스 또는 상기 드레인 전극에 연결된 제1전극;
 상기 제1전극 상에 위치하는 유기 발광층; 및
 상기 유기 발광층 상에 위치하는 제2전극을 포함하되,
 상기 소오스 및 상기 드레인 전극은 제1층, 제2층 및 제3층을 포함하고,
 상기 제1층, 상기 제2층 및 상기 제3층의 테이퍼 각이 서로 다르며,
 상기 제1전극은 제1도전층, 금속층 및 제2도전층을 포함하되,
 상기 제2층은 상기 제1층과 상기 제3층에 의해 밀봉되고,
 상기 제1층과 상기 제2층의 두께의 비는 $1 : 2.25 \sim 22.5$ 이고, 상기 제3층과 상기 제2층의 두께의 비는 $1 : 1.2 \sim 1.9$ 이고,
 상기 제1도전층과 상기 금속층의 두께의 비는 $1 : 9.5 \sim 10$ 이고 상기 금속층과 상기 제2도전층의 두께의 비는 $9.5 \sim 10 : 1$ 인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,
 상기 금속층의 테이퍼 각은 $35^\circ \sim 70^\circ$ 인 유기전계발광표시장치.

청구항 4

제1항에 있어서,
 상기 도전층의 테이퍼 각은 $70^\circ \sim 90^\circ$ 인 유기전계발광표시장치.

청구항 5

제2항에 있어서,
 상기 제1도전층의 테이퍼 각은 $50^\circ \sim 90^\circ$ 인 유기전계발광표시장치.

청구항 6

제2항에 있어서,

상기 금속층의 테이퍼 각은 35° ~ 70° 인 유기전계발광표시장치.

청구항 7

제2항에 있어서,

상기 제2도전층의 테이퍼 각은 70° ~ 90° 인 유기전계발광표시장치.

청구항 8

제1항 또는 제2항에 있어서,

상기 제1층의 테이퍼 각은 30° ~ 50° 인 유기전계발광표시장치.

청구항 9

제1항 또는 제2항에 있어서,

상기 제1층 상에 위치하는 상기 제2층의 테이퍼 각은 50° ~ 70° 인 유기전계발광표시장치.

청구항 10

제1항 또는 제2항에 있어서,

상기 제2층 상에 위치하는 상기 제3층의 테이퍼 각은 70° ~ 90° 인 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

<1>

본 발명은 유기전계발광표시장치에 관한 것이다.

배경기술

<2>

유기전계발광표시장치에 사용되는 유기전계발광소자는 기판 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

<3>

또한, 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

<4>

이러한 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

<5>

한편, 유기전계발광표시장치는 기판 상에 박막을 형성하고 이를 패턴하는 형태로 배선 또는 전극을 형성한다. 기판 상에 형성된 박막 형태의 배선 또는 전극은 이를 상에 형성된 유기발광층에 전달되는 전류 또는 전압 공급과 밀접한 관련이 있다.

<6>

그러나, 종래 유기전계발광표시장치의 배선 또는 전극은 단층으로 형성되어 있어 전류 또는 전압 공급시 배선 저항이 높게 형성되어 표시품질이 떨어지고 소자의 신뢰성이 저하되는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

<7>

상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 전극 또는 배선의 저항을 감소시키고 접촉 계면

특성을 개선하여 표시품질 및 신뢰성을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

- <8> 상술한 과제 해결 수단으로 본 발명은, 기판 상에 위치하는 게이트, 소오스 및 드레인 전극을 포함하는 트랜지스터; 소오스 또는 드레인 전극에 연결된 제1전극; 제1전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 제2전극을 포함하되, 소오스 및 상기 드레인 전극은 제1층, 제2층 및 제3층을 포함하며, 제1층, 제2층 및 제3층의 테이퍼 각은 서로 다른 유기전계발광표시장치를 제공한다.
- <9> 한편, 다른 측면에서 본 발명은, 기판 상에 위치하는 게이트, 소오스 및 드레인 전극을 포함하는 트랜지스터; 소오스 또는 드레인 전극에 연결된 제1전극; 제1전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 제2전극을 포함하되, 소오스 및 드레인 전극은 제1층, 제2층 및 제3층을 포함하고, 제1층, 제2층 및 제3층의 테이퍼 각이 서로 다르며, 제1전극은 금속층 및 도전층을 포함하는 유기전계발광표시장치를 제공한다.
- <10> 한편, 또 다른 측면에서 본 발명은, 기판 상에 위치하는 게이트, 소오스 및 드레인 전극을 포함하는 트랜지스터; 소오스 또는 드레인 전극에 연결된 제1전극; 제1전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 제2전극을 포함하되, 소오스 및 드레인 전극은 제1층, 제2층 및 제3층을 포함하고, 제1층, 제2층 및 제3층의 테이퍼 각이 서로 다르며, 제1전극은 제1도전층, 금속층 및 제2도전층을 포함하는 유기전계발광표시장치를 제공한다.
- <11> 금속층과 도전층의 테이퍼 각은 서로 다를 수 있다.
- <12> 금속층의 테이퍼 각은 35° ~ 70° 이고, 도전층의 테이퍼 각은 70° ~ 90° 일 수 있다.
- <13> 제1도전층, 금속층 및 제2도전층의 테이퍼 각은 하나 이상이 다를 수 있다.
- <14> 제1도전층의 테이퍼 각은 50° ~ 90° 이고, 금속층의 테이퍼 각은 35° ~ 70° 이며, 제2도전층의 테이퍼 각은 70° ~ 90° 일 수 있다.
- <15> 제1층의 테이퍼 각은 30° ~ 50° 이고, 제1층 상에 위치하는 제2층의 테이퍼 각은 50° ~ 70° 이며, 제2층 상에 위치하는 제3층의 테이퍼 각은 70° ~ 90° 일 수 있다.
- <16> 제1층과 제3층의 소재는 동일할 수 있다.
- <17> 제1층과 제2층의 소재는 서로 다를 수 있다.
- <18> 제1층과 제3층은 제2층을 밀봉하도록 형성될 수 있다.

효과

- <19> 본 발명은, 소오스 또는 드레인 전극 형성시 충간의 접촉 계면 특성을 향상시키고 저항을 감소시켜 전류 또는 전압 전송효율을 향상시킬 수 있는 유기전계발광표시장치를 제공한다. 또한, 유기 발광다이오드의 전극에 형성된 저항을 감소시켜 표시품질과 신뢰성을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <20> 발명의 실시를 위한 구체적인 내용은 이하의 첨부된 도면을 참조하여 하기와 같이 설명한다.
- <21> 도 1은 본 발명에 따른 유기전계발광표시장치의 개략적인 평면도이다.
- <22> 도 1에 도시된 바와 같이 유기전계발광표시장치는 기판(110) 상에 다수의 서브 픽셀(P)이 위치하는 표시부(120)를 포함할 수 있다. 기판(110) 상에 위치하는 다수의 서브 픽셀(P)은 수분이나 산소에 취약하다. 그리하여, 밀봉기판(130)을 구비하고, 표시부(120)의 외곽 기판(110)에 접착부재(140)를 형성하여 기판(110)과 밀봉기판(130)을 봉지될 수 있다. 한편, 다수의 서브 픽셀(P)은 기판(110) 상에 위치하는 구동부(150)에 의해 구동되어 영상을 표현할 수 있다.
- <23> 여기서, 서브 픽셀(P)은 적색, 녹색 및 청색 서브 픽셀들이 하나로 묶여 하나의 단위 픽셀로 정의될 수 있다. 그러나, 서브 픽셀(P)은 백색이나 이 밖에 다른 색(예를 들면, 주황색, 노랑색 등)을 발광하는 서브 픽셀을 더 포함하여 4개 이상이 하나의 단위 픽셀로 정의될 수 있다.
- <24> 서브 픽셀(P)은 적어도 유기발광층을 포함할 수 있다. 그리고 유기발광층은 정공 주입층, 정공 수송층, 전자 수

송충 또는 전자 주입층 중 하나 이상을 더 포함할 수 있고, 이 밖에 애노드와 캐소드 간의 정공 또는 전자의 흐름을 조절할 수 있도록 버퍼층, 블록킹층 등이 더 포함될 수도 있다.

- <25> 서브 핵셀(P)은 기판(110) 상에 위치하는 트랜지스터 어레이에 포함된 구동 트랜지스터의 소스 또는 드레인 전극에 연결된 유기 발광다이오드를 포함할 수 있다. 트랜지스터 어레이에는 하나 이상의 트랜지스터 및 커패시터를 포함할 수 있다. 트랜지스터 어레이에 포함된 트랜지스터는 스캔 신호를 스위칭하는 스위칭 트랜지스터와 데이터 신호를 드라이빙하는 구동 트랜지스터를 포함할 수 있다.
- <26> 이하, 서브 핵셀의 단면 구조를 첨부하여 이를 더욱 자세히 설명한다.
- <27> 도 2a는 서브 핵셀의 단면 예시도이다.
- <28> 도 2a에 도시된 바와 같이, 기판(110)이 위치할 수 있다. 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리아미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.
- <29> 기판(110) 상에는 버퍼층(111)이 위치할 수 있다. 버퍼층(111)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성할 수 있다. 버퍼층(111)은 실리콘 산화물(SiO_2), 실리콘 질화물(SiNx) 등을 사용할 수 있다.
- <30> 버퍼층(111) 상에는 반도체층(112)이 위치할 수 있다. 반도체층(112)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 반도체층(112)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다.
- <31> 반도체층(112)을 포함하는 기판(110) 상에는 게이트 절연막(113)이 위치할 수 있다. 게이트 절연막(113)은 실리콘 산화물(SiO_2) 또는 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.
- <32> 반도체층(112)의 일정 영역인 채널 영역에 대응되도록 게이트 절연막(113) 상에 게이트 전극(114)이 위치할 수 있다. 게이트 전극(114)은 알루미늄(Al), 알루미늄 합금(Al alloy), 타이타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텉스텐(W), 텉스텐 실리사이드(WSi_2) 중 어느 하나를 포함할 수 있다.
- <33> 게이트 전극(114)을 포함한 기판(110) 상에 충간절연막(115)이 위치할 수 있다. 충간절연막(115)은 유기막 또는 무기막일 수 있으며, 이들의 복합막일 수도 있다.
- <34> 충간절연막(115)이 무기막인 경우 실리콘 산화물(SiO_2), 실리콘 질화물(SiNx) 또는 SOG(silicate on glass)를 포함할 수 있다. 반면, 유기막인 경우 아크릴계 수지, 폴리아미드계 수지 또는 벤조사이클로부텐(benzocyclobutene, BCB)계 수지를 포함할 수 있다. 충간절연막(115) 및 게이트 절연막(113) 내에는 반도체층(112)의 일부를 노출시키는 제1 및 제2콘택홀(115a, 115b)이 위치할 수 있다.
- <35> 충간절연막(115) 상에는 제1전극(116a)이 위치할 수 있다. 제1전극(116a)은 애노드일 수 있으며 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 도전층을 포함하여 단층 구조로 형성될 수 있다. 또한, 제1전극(116a)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 도전층을 포함하여 다층 구조로 형성될 수 있다. 이에 대한 설명은 이하에 다른 도면을 첨부하여 더욱 자세히 설명한다.
- <36> 충간절연막(115) 상에는 소오스 전극 및 드레인 전극(116b, 116c)이 위치할 수 있다. 소오스 전극 및 드레인 전극(116b, 116c)은 제1 및 제2콘택홀(115a, 115b)을 통하여 반도체층(112)과 전기적으로 연결될 수 있다. 그리고, 드레인 전극(116c)의 일부는 제1전극(116a) 상에 위치하여, 제1전극(116a)과 전기적으로 연결될 수 있다.
- <37> 소오스 전극 및 드레인 전극(116b, 116c)은 배선 저항을 낮추기 위해 저저항 물질을 포함할 수 있다. 여기서, 소오스 전극 및 드레인 전극(116b, 116c)은 알루미늄(Al), 알미네리뮴(Alnd), 몰리브덴(Mo), 크롬(Cr), 타이타늄 나이트라이드(TiN), 몰리브덴 나이트라이드(MoN) 또는 크롬 나이트라이드(CrN) 등과 같은 금속층을 포함하여 다층 구조로 형성될 수 있다. 이에 대한 설명은 이하에 다른 도면을 첨부하여 더욱 자세히 설명한다.
- <38> 이상 기판(110) 상에 위치하는 트랜지스터는 게이트 전극(114), 소오스 전극 및 드레인 전극(116b, 116c)을 포함하고 다수의 트랜지스터 및 커패시터를 갖는 트랜지스터 어레이는 이하의 유기 발광다이오드와 전기적으로 연결될 수 있다. (단, 커패시터의 구조는 생략되었음)

- <39> 제1전극(116a)(예: 애노드) 상에는 제1전극(116a)의 일부를 노출시키는 절연막(117)이 위치할 수 있다. 절연막(117)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.
- <40> 노출된 제1전극(116a) 상에는 유기발광층(118)이 위치하고 유기발광층(118) 상에는 제2전극(119)(예: 캐소드)이 위치할 수 있다. 제2전극(119)은 유기발광층(118)에 전자를 공급하는 캐소드일 수 있으며, 마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금을 포함할 수 있다.
- <41> 이상 기판(110) 상에 위치하는 트랜지스터 어레이에 포함된 트랜지스터의 소오스 또는 드레인 전극(116b, 116c)에 연결된 유기 발광다이오드는 제1전극(116a), 유기발광층(118) 및 제2전극(119)을 포함할 수 있다.
- <42> 도 2a와는 달리 도 2b를 참조하면, 소오스 또는 드레인 전극(116b, 116c) 상에 위치하는 제1전극(116a)은 트랜지스터 어레이의 표면을 평탄화하는 평탄화막(117a) 상에 위치할 수도 있다. 이 경우, 절연막(117b)은 평탄화막(117a) 상에서 제1전극(116a)(예: 애노드)의 일부를 노출시키도록 위치할 수 있다.
- <43> 한편, 도 2a 및 도 2b와 같은 서브 픽셀 구조에서, 트랜지스터 어레이에 포함된 트랜지스터의 구조는 게이트의 구조가 탑 게이트 인지 또는 바탕 게이트 인지에 따라 달라질 수 있다. 또한, 트랜지스터 어레이를 형성할 때 사용되는 마스크의 개수와 반도체층 재료에 따라 트랜지스터의 구조는 달라질 수 있다. 그러므로, 서브 픽셀의 구조는 이에 한정되지는 않는다.
- <44> 이하, 도 3a 또는 3b를 참조하여 소오스 및 드레인 전극의 구조를 더욱 자세히 설명한다.
- <45> 도 3a는 도 2의 A 영역에 도시된 소오스 또는 드레인 전극의 예시도이다.
- <46> 여기서, 소오스 및 드레인 전극은 좁은 의미에서는 트랜지스터의 전극이지만, 넓은 의미에서는 매트릭스 형태로 교차하도록 위치하는 서브 픽셀에 전기적인 신호를 공급하는 배선이 될 수 있다. 이는 소오스 및 드레인 전극이 전극은 물론 배선 역할을 겸하도록 폐단 되었기 때문이다.
- <47> 한편, 본 발명에서는 설명의 편의를 위해 A 영역에 도시된 소오스 전극(116b)을 위주로 설명한다. 그러나 A 영역에 도시된 구조는 소오스 전극(116b)뿐만 아니라 드레인 전극(116c)에도 해당된다. 단, 도면 상에 도시된 소오스 전극(116b)과 드레인 전극(116c)의 위치는 서브 픽셀 구조에 따라 달라질 수 있다.
- <48> 도 3a의 A 영역에 도시된 소오스 전극(116b)을 참조한다. 소오스 전극(116b)(드레인 전극 포함)은 기판 상에 위치하는 충간절연막(115) 상에 위치할 수 있다. 그러나 소오스 전극(116b)(드레인 전극 포함)은 충간절연막(115)이 아닌 평탄화막과 같은 다른 절연 물질 상에 위치할 수 있다.
- <49> 여기서, 소오스 전극(116b)은 도시된 바와 같이 하나 이상 다른 소재가 3층으로 적층될 수 있다. 소오스 전극(116b)은 제1층, 제2층 및 제3층(116ba, 116bb, 116bc)을 포함할 수 있다.
- <50> 그러나, 제1층, 제2층 및 제3층(116ba, 116bb, 116bc)은 서로 다른 테이퍼 각을 가질 수 있다. 테이퍼 각은 엣지부의 하부 면을 기준으로 형성된 기울기로 정의될 수 있다.
- <51> 여기서, 제1층(116ba)과 제3층(116bc)은 서로 동일한 소재일 수 있으며, 제1층(116ba)과 제2층(116bb)은 다른 소재일 수 있다. 따라서, 제1층, 제2층 및 제3층(116ba, 116bb, 116bc)이 적층된 구조는 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 몰리브덴/알미네리움/몰리브덴(Mo/Alnd/Mo) 등을 예로 들 수 있다.
- <52> 여기서, 제1층(116ba)은 오믹 콘택을 개선할 수 있는 금속으로 선택할 수 있다. 그리고 제2층(116bb)은 비저항을 낮출 수 있는 금속으로 선택할 수 있다. 그리고 제3층(116bc)은 타 금속층 공정 시 쉽게 애칭이 되지 않는 금속으로 선택할 수 있다.
- <53> 한편, 기반이 되는 제1층(116ba)의 테이퍼 각(r1)은 30° ~ 50° 일 수 있다.
- <54> 여기서, 제1층(116ba)의 테이퍼 각(r1)이 30° 이상을 유지하면, 제1층(116ba)의 상부에 넓은 면적을 확보할 수 있음은 물론 접촉 계면 특성을 향상시킬 수 있다. 이에 따라, 제1층(116ba)의 상부에 위치하는 제2층(116bb)과의 접촉 저항을 줄일 수 있다. 또한, 기판 상에 정의된 공간 상에 제1층(116ba)은 물론 제2층(116bb) 및 제3층(116bc)을 용이하게 형성할 수 있는 기반을 마련할 수 있다.
- <55> 반면, 제1층(116ba)의 테이퍼 각(r1)이 50° 이하를 유지하면, 제1층(116ba)의 평탄도를 향상시킬 수 있다. 그리하여, 제1층(116ba)의 하부에 위치하는 충간절연막(115)과의 접촉 면이 넓어져 접착력이 향상될 수 있다.

- <56> 한편, 제1층(116ba) 상에 위치하는 제2층(116bb)의 테이퍼 각(r2)은 50° ~ 70° 일 수 있다.
- <57> 여기서, 제2층(116bb)의 테이퍼 각(r2)이 50° 이상을 유지하면, 제2층(116ba)의 하부와 상부에 넓은 면적을 확보할 수 있음은 물론 접촉 계면 특성을 향상시킬 수 있다. 이에 따라, 제2층(116bb)의 하부에 위치하는 제1층(116ba)과 제2층(116bb)의 상부에 위치하는 제3층(116bc)과의 접촉 저항을 줄일 수 있다.
- <58> 반면, 제2층(116bb)의 테이퍼 각(r2)이 70° 이하를 유지하면, 제2층(116bb)의 평탄도를 향상시킬 수 있다. 그리하여, 제2층(116bb)의 하부에 위치하는 제1층(116ba)과의 접촉 면이 넓어져 접착력이 향상될 수 있다. 또한, 제2층(116bb) 상에 위치하는 제3층(116bc)과의 접촉 면적을 확보할 수 있다.
- <59> 한편, 제2층(116bb) 상에 위치하는 제3층(116bc)의 테이퍼 각(r3)은 70° ~ 90° 일 수 있다.
- <60> 여기서, 제3층(116bc)의 테이퍼 각(r3)이 70° 이상을 유지하면, 제3층(116bc)의 하부와 상부에 넓은 면적을 확보할 수 있음은 물론 접촉 계면 특성을 향상시킬 수 있다. 이에 따라, 제3층(116bc)의 하부에 위치하는 제1층(116ba)과 제3층(116bc)의 상부에 위치하는 화소 전극인 제1전극(미도시)과의 접촉 저항을 줄일 수 있다.
- <61> 반면, 제3층(116bc)의 테이퍼 각(r3)이 90° 이하를 유지하면, 제3층(116bc)의 평탄도를 향상시킬 수 있다. 그리하여, 제3층(116bc)의 하부에 위치하는 제2층(116bb)은 물론 제3층(116bc)의 상부에 위치하는 화소 전극인 제1전극(미도시)과의 접촉 면이 넓어져 접착력이 향상될 수 있다.
- <62> 단, 화소 전극인 제1전극(미도시)과 접촉하는 영역은 도 2에 도시된 바와 같이 제3층(116bc)을 통해 전기적으로 연결될 수 있으나 박막 형성 방식에 따라 달라질 수 있다. 그리하여, 제3층(116bc)이 아닌 제1층(116ba) 또는 제2층(116bb) 중 하나 이상을 통해서도 화소 전극인 제1전극(미도시)과 전기적으로 연결될 수 있다.
- <63> 한편, 소오스 및 드레인 전극을 제1층, 제2층 및 제3층(116ba, 116bb, 116bc) 구조로 형성시, 각층의 두께는 제2층(116bb)을 기준으로 설정할 수 있다.
- <64> 이는 하부층과 상부층 사이에서 접착 또는 접촉 면적을 결정하고 배선 저항을 낮추어주는 역할을 하는 중간층인 제2층(116bb)을 기준으로 각층의 두께를 설정하는 것이 유리하기 때문이다.
- <65> 즉, 소오스 및 드레인 전극은 전원을 전달하기 위해 저 저항을 가져야 함으로서 제1층(116ba) 또는 제3층(116bc)을 이용하는 측면보다 이들 사이에 위치하는 제2층(116bb)을 두껍게 하는 것이 유리할 수 있다.
- <66> 여기서, 제1층의 두께와 제2층의 두께의 비는 1: 2.25~22.5 일 수 있다. 또한, 제3층의 두께와 제2층의 두께의 비는 1: 1.2~9 일 수 있다.
- <67> 그리고, 중간층이 되는 제2층(116bb)의 두께는 450(Å) 내지 4500(Å)일 수 있으며, 제1층(116ba)의 두께는 20(Å) 내지 200(Å)일 수 있고, 제3층(116bc)의 두께는 50(Å) 내지 500(Å)일 수 있다.
- <68> 여기서, 제1층의 두께와 제2층의 두께의 비가 1: 2.25~22.5인 이유는 제2층(116bb)과 제1층(116ba) 간에 저항차가 발생하지 않는 범위 내에서 제1층(116ba)을 형성할 수 있고, 제1층(116ba)이 소오스 및 드레인 전극의 오믹 콘택 역할은 물론 하부에 위치하는 중간절연막(115)과의 접착력을 향상시키는 역할을 할 수 있기 때문이다. 따라서, 제1층(116ba)은 위와 같은 역할을 수행할 수 있을 정도로 제2층(116bb) 대비 얇게 형성할 수 있다.
- <69> 한편, 제3층의 두께와 제2층의 두께의 비는 1: 1.2~9인 이유는 제2층(116bb)과 제3층(116bc) 간에 저항 차가 발생하지 않는 범위 내에서 제3층(116bc)을 형성할 수 있고, 제3층(116bc)이 저항 측면보다는 하부에 위치하는 제2층(116bb)을 보호하는 역할(예를 들면, 유기 발광다이오드의 제1전극 형성을 위해 에칭공정 시 식각 방지)을 할 수 있기 때문이다.
- <70> 따라서, 제3층(116bc)은 위와 같은 역할을 수행할 수 있을 정도로 제2층(116bb) 대비 얇게 형성되나, 제1층(116ba)보다는 두껍게 형성될 수 있다.
- <71> 도 3b는 도 2의 A 영역에 도시된 소오스 또는 드레인 전극의 다른 예시도이다.
- <72> 도 3b에 도시된 소오스 전극(116b)를 참조하면, 3a를 참조하여 설명한 것과는 달리 제1층(116ba)과 제3층(116bc)이 제2층(116bb)을 밀봉하는 구조로 형성될 수 있다. 이 경우, 제1층(116ba)과 제3층(116bc)이 직접적으로 접촉하는 형태를 가진다.
- <73> 그러므로, 제1층(116ba)과 제3층(116bc)이 동일한 소재일 경우 전기적이 특성이 더욱 향상될 수 있다. 반면, 제1층(116ba)과 제3층(116bc)이 다른 소재인 경우라 하더라도 이들이 직접적으로 접촉하고 있기 때문에 이 종간의

전기적 특성 문제가 발생하는 문제를 해결할 수 있다.

<74> 이하, 도 4a 또는 도 4b를 참조하여 제1전극의 구조를 더욱 자세히 설명한다.

<75> 도 4a는 도 2의 B 영역에 도시된 제1전극의 예시도이다.

<76> 도 4a는 제1전극의 구조가 2층으로 형성된 것을 일례로 설명한다.

<77> 여기서, 화소 전극인 제1전극(116a)의 구조는 발광 방식(탑 발광형, 바탐 발광형)에 따라 달라질 수 있다. 즉, 발광 방식에 따라 소재가 달라질 수 있다. 그리고, 전극이 거꾸로 뒤집힌 구조 다른 말로는 인버티드(inverted)된 구조로 적용될 수 있다.

<78> 한편, 본 발명에서는 설명의 편의를 위해 B 영역에 제1전극(116a)이 애노드인것을 일례로 설명한다. 그러나 B 영역에 도시된 구조는 애노드인 제1전극(116a)뿐만 아니라 캐소드인 제2전극(미도시)에도 적용할 수 있다.

<79> 도 4a의 B 영역에 도시된 제1전극(116a)을 참조한다. 제1전극(116a)은 기판 상에 위치하는 충간절연막(115) 상에 위치할 수 있다. 그러나 제1전극(116a)은 충간절연막(115)이 아닌 평탄화막과 같은 다른 절연 물질 상에 위치할 수 있다.

<80> 여기서, 제1전극(116a)은 도시된 바와 같이 하나 이상 다른 소재가 2층으로 적층될 수 있다. 제1전극(116a)은 기반이 되는 금속층(116aa)과 금속층(116aa) 상에 위치하는 도전층(116ab)을 포함할 수 있다.

<81> 그러나, 금속층(116aa)과 도전층(116ab)은 서로 다른 테이퍼 각을 가질 수 있다. 테이퍼 각은 옛지부의 하부 면을 기준으로 형성된 기울기로 정의될 수 있다.

<82> 여기서, 금속층(116aa)은 알루미늄(Al) 또는 은(Ag) 등을 예로 들 수 있고, 도전층(116ab)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등을 예로 들 수 있다. 여기서, 금속층(116aa)은 탑 발광시 저저항율 및 가시광 영역에서 약 95%의 고반사율을 가져올 수 있는 금속을 선택할 수 있다. 또한, 도전층(116ab)은 기반이 되는 금속층(116aa)과의 접착력이 높으면서, 도전층(116ab) 상부에 위치하는 유기발광층 과의 전기적 특성을 고려한 도전체를 선택할 수 있다.

<83> 한편, 기반이 되는 금속층(116aa)의 테이퍼 각(r1)은 35° ~ 70° 일 수 있다.

<84> 여기서, 금속층(116aa)의 테이퍼 각(r1)이 35° 이상을 유지하면, 금속층(116aa)의 상부에 넓은 면적을 확보할 수 있음은 물론 접촉 계면 특성을 향상시킬 수 있다. 이에 따라, 금속층(116aa)의 상부에 위치하는 도전층(116ab)과의 접촉 저항을 줄일 수 있다. 또한, 기판 상에 정의된 공간 상에 금속층(116aa)은 물론 도전층(116ab)을 용이하게 형성할 수 있는 기반을 마련할 수 있다.

<85> 반면, 금속층(116aa)의 테이퍼 각(r1)이 70° 이하를 유지하면, 금속층(116aa)의 평탄도를 향상시킬 수 있다. 그리하여, 금속층(116aa)의 하부에 위치하는 충간절연막(115)과의 접촉 면이 넓어져 접착력이 향상될 수 있다.

<86> 한편, 금속층(116aa) 상에 위치하는 도전층(116ab)의 테이퍼 각(r2)은 70° ~ 90° 일 수 있다.

<87> 여기서, 도전층(116ab)의 테이퍼 각(r2)이 70° 이상을 유지하면, 도전층(116ab)의 하부와 상부에 넓은 면적을 확보할 수 있음은 물론 접촉 계면 특성을 향상시킬 수 있다. 이에 따라, 도전층(116ab)의 하부에 위치하는 금속층(116aa)과 도전층(116ab)의 상부에 위치하는 화소 전극인 제1전극(미도시)과의 접촉 저항을 줄일 수 있다.

<88> 반면, 도전층(116ab)의 테이퍼 각(r2)이 90° 이하를 유지하면, 도전층(116ab)의 평탄도를 향상시킬 수 있다. 그리하여, 도전층(116ab)의 하부에 위치하는 금속층(116aa)은 물론 도전층(116ab)의 상부에 위치하는 화소 전극인 제1전극(미도시)과의 접촉 면이 넓어져 접착력이 향상될 수 있다.

<89> 한편, 제1전극(미도시)을 금속층(116aa)과 도전층(116ab) 구조로 형성시, 금속층(116aa)의 두께와 도전층(116ab)의 두께의 비는 대략 9.5 ~ 10 : 1 비율로 형성할 수 있다.

<90> 여기서, 금속층(116aa)과 도전층(116ab)을 9.5 ~ 10 : 1 비율로 형성하면, 금속층(116aa)은 반사층으로써의 역할을 수행할 수 있기 때문이다. 따라서, 제1전극(미도시)이 2층 구조인 경우, 금속층(116aa)의 두께는 도전층(116ab)의 두께보다 대략 9.5배 내지 10배 더 두껍게 형성될 수 있다.

<91> 도 4b는 도 2의 B 영역에 도시된 제1전극의 다른 예시도이다.

<92> 도 4b는 제1전극의 구조가 3층으로 형성된 것을 일례로 설명한다.

- <93> 여기서, 화소 전극인 제1전극(116a)의 구조는 발광 방식(탑 발광형, 바탐 발광형)에 따라 달라질 수 있다. 즉, 발광 방식에 따라 소재가 달라질 수 있다. 그리고, 전극이 거꾸로 뒤집힌 구조 다른 말로는 인버티드(inverted)된 구조로 적용될 수 있다.
- <94> 한편, 본 발명에서는 설명의 편의를 위해 B 영역에 제1전극(116a)이 애노드인것을 일례로 설명한다. 그러나 B 영역에 도시된 구조는 애노드인 제1전극(116a)뿐만 아니라 캐소드인 제2전극(미도시)에도 적용할 수 있다.
- <95> 도 4b의 B 영역에 도시된 제1전극(116a)을 참조한다. 제1전극(116a)은 기판 상에 위치하는 충간절연막(115) 상에 위치할 수 있다. 그러나 제1전극(116a)은 충간절연막(115)이 아닌 평탄화막과 같은 다른 절연 물질 상에 위치할 수 있다.
- <96> 여기서, 제1전극(116a)은 도시된 바와 같이 하나 이상 다른 소재가 3층으로 적층될 수 있다. 제1전극(116a)은 기반이 되는 제1도전층(116aa)과 제1도전층(116aa) 상에 위치하는 금속층(116ab)과 금속층(116ab) 상에 위치하는 제2도전층(116ac)를 포함할 수 있다.
- <97> 그러나, 제1도전층(116aa), 금속층(116ab) 및 제2도전층(116ac)은 하나 이상이 다른 테이퍼 각을 가질 수 있다. 테이퍼 각은 엣지부의 하부 면을 기준으로 형성된 기울기로 정의될 수 있다.
- <98> 여기서, 제1도전층(116aa)과 제2도전층(116ac)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등을 예로 들 수 있고, 금속층(116ab)은 알루미늄(Al) 또는 은(Ag) 등을 예로 들 수 있다.
- <99> 한편, 기반이 되는 제1도전층(116aa)의 테이퍼 각(r1)은 $50^{\circ} \sim 90^{\circ}$ 일 수 있다.
- <100> 여기서, 제1도전층(116aa)의 테이퍼 각(r1)이 50° 이상을 유지하면, 제1도전층(116aa)의 상부에 넓은 면적을 확보할 수 있음은 물론 접촉 계면 특성을 향상시킬 수 있다. 이에 따라, 제1도전층(116aa)의 상부에 위치하는 금속층(116ab)과의 접촉 저항을 줄일 수 있다. 즉, 제1도전층(116aa)의 상부 면적을 확보한 상태에서 제1도전층(116aa) 상에 금속층(116ab)은 물론 제2도전층(116ac)을 용이하게 형성할 수 있는 기반을 마련할 수 있다.
- <101> 반면, 제1도전층(116aa)의 테이퍼 각(r1)이 90° 이하를 유지하면, 제1도전층(116aa)의 평탄도를 향상시킬 수 있다.
- <102> 한편, 제1도전층(116aa) 상에 위치하는 금속층(116ab)의 테이퍼 각(r2)은 $35^{\circ} \sim 70^{\circ}$ 일 수 있다.
- <103> 여기서, 금속층(116ab)의 테이퍼 각(r2)이 35° 이상을 유지하면, 금속층(116ab)의 하부와 상부에 넓은 면적을 확보할 수 있음은 물론 접촉 계면 특성을 향상시킬 수 있다. 이에 따라, 금속층(116ab)의 하부에 위치하는 제1도전층(116aa)은 물론 금속층(116ab)의 상부에 위치하는 제2도전층(116ac)과의 접촉 저항을 줄일 수 있다.
- <104> 반면, 금속층(116ab)의 테이퍼 각(r2)이 70° 이하를 유지하면, 금속층(116ab)의 평탄도를 향상시킬 수 있다. 그리하여, 금속층(116ab)의 하부에 위치하는 제1도전층(116aa)과의 접촉 면이 넓어져 접착력이 향상될 수 있다. 또한, 금속층(116ab) 상에 위치하는 제2도전층(116ac)과의 접촉 면적을 확보할 수 있다.
- <105> 한편, 금속층(116ab) 상에 위치하는 제2도전층(116ac)의 테이퍼 각(r3)은 $70^{\circ} \sim 90^{\circ}$ 일 수 있다.
- <106> 여기서, 제2도전층(116ac)의 테이퍼 각(r3)이 70° 이상을 유지하면, 제2도전층(116ac)의 하부와 상부에 넓은 면적을 확보할 수 있음은 물론 접촉 계면 특성을 향상시킬 수 있다. 이에 따라, 제2도전층(116ac)의 하부에 위치하는 금속층(116ab)은 물론 제2도전층(116ac)의 상부에 위치하는 화소 전극인 제1전극(미도시)과의 접촉 저항을 줄일 수 있다.
- <107> 반면, 제2도전층(116ac)의 테이퍼 각(r3)이 90° 이하를 유지하면, 제2도전층(116ac)의 평탄도를 향상시킬 수 있다. 그리하여, 제2도전층(116ac)의 하부에 위치하는 금속층(116ab)은 물론 제2도전층(116ac)의 상부에 위치하는 화소 전극인 제1전극(미도시)과의 접촉 면이 넓어져 접착력이 향상될 수 있다. 또한, 제2도전층(116ac) 상에 형성되는 유기발광층(미도시)의 개구면적을 최대한 확보한 상태에서 제2도전층(116ac) 상에 유기발광층(미도시)을 용이하게 형성할 수 있는 기반을 마련할 수 있다. 또한, 제2도전층(116ac) 상에 형성되는 유기발광층(미도시)의 휘도가 떨어지는 문제를 해결할 수 있다.
- <108> 한편, 제1전극(미도시)을 제1도전층(116aa), 금속층(116ab) 및 제2도전층(116ac) 구조로 형성시 각층의 두께는 금속층(116ab)을 기준으로 설정할 수 있다.
- <109> 이는 하부층과 상부층 사이에서 접착 또는 접촉 면적을 결정하고 반사층 역할을 하는 중간층인 금속층(116ab)을 기준으로 각층의 두께를 설정하는 것이 유리하기 때문이다.

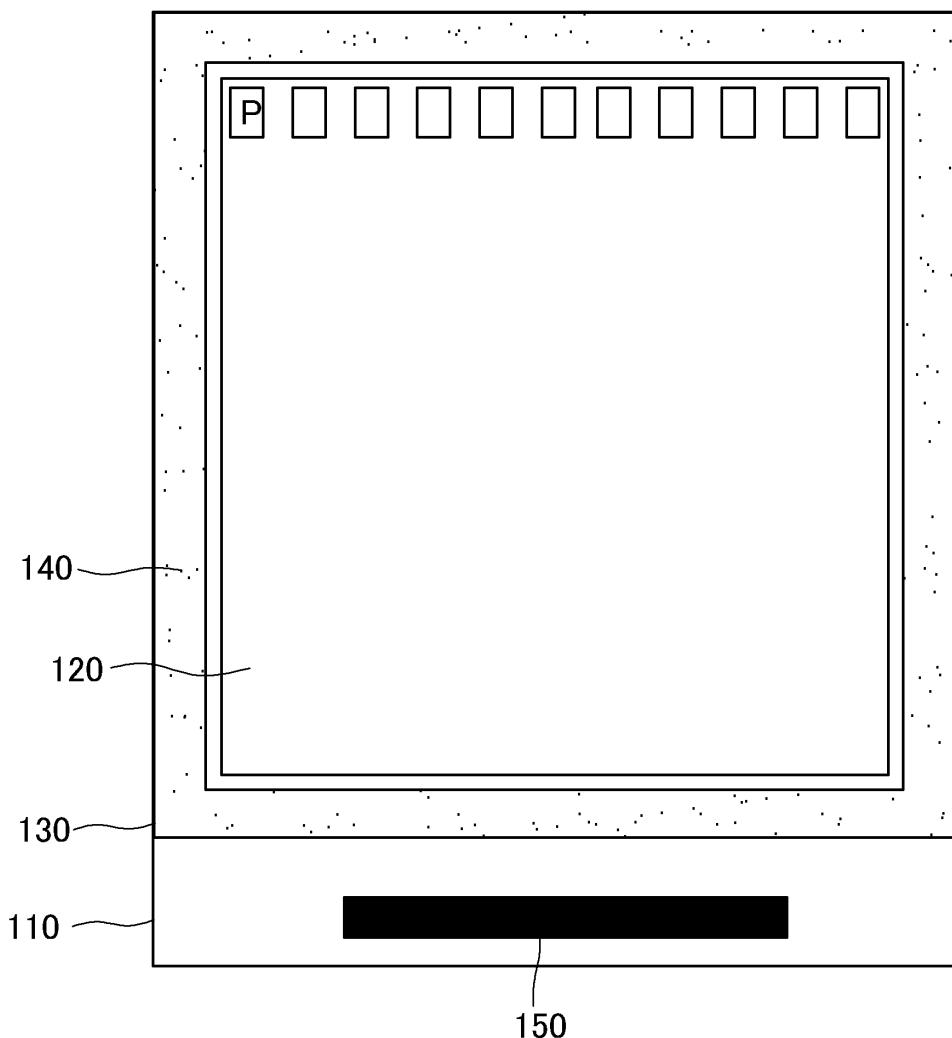
- <110> 여기서, 제1전극(116a)을 제1도전층(116aa), 금속층(116ab) 및 제2도전층(116ac) 구조로 형성시, 제1도전층(116aa)의 두께와, 금속층(116ab)의 두께는 대략 1 : 9.5 ~ 10 비율로 형성할 수 있고, 금속층(116ab)의 두께와 제2도전층(116ac)의 두께는 대략 9.5 ~ 10 : 1 비율로 형성할 수 있다.
- <111> 이는 제1도전층(116aa)은 하부에 위치하는 층간절연막(115)과의 접착력을 향상시키는 역할을 하므로 금속층(116ab)보다 얇게 형성할 수 있다.
- <112> 또한, 제2도전층(116ac)은 반사층 역할을 하는 금속층(116ab)으로부터 반사된 빛의 산란이나 회절 현상에 의해 색좌표 변화가 발생하는 문제를 최소화하기 위해 금속층(116ab)보다 얇게 형성할 수 있다.
- <113> 따라서, 제1전극(미도시)이 3층 구조인 경우, 금속층(116ab)의 두께는 제1도전층(116aa) 및 제2도전층(116ac)의 두께보다 대략 9.5배 내지 10배 더 두껍게 형성될 수 있다.
- <114> 한편, 위와 같이 소오스 및 드레인 전극의 테이퍼 각 또는 제1전극의 테이퍼 각을 형성할 때는 사진 식각 공정의 조건을 달리하여 달성할 수 있다. 이에 따른 조건으로는, 포토레지스트 패턴의 식각 조건을 달리하는 것을 예로 들 수 있다.
- <115> 설명을 덧붙이면, 소오스 및 드레인 전극에 포함된 재료는 이종 물질이 복층 구조로 형성되어 있기 때문에 각 재료에 적용되는 에칭율이 동일하지 않은 것과 선택적 에칭액 사용시 층간에 작용하는 간섭효과가 다르게 나타나기 때문에 위와 같이 테이퍼 각을 달리할 수 있다. 한편, 소오스 및 드레인 전극에 포함된 복층 구조의 재료에 형성된 테이퍼 각은 에칭 공정을 동시에 진행하여 형성할 수 있다.
- <116> 위와 같은 설명을 참조하면, 유기전계발광표시장치에 포함된 트랜지스터의 소오스 및 드레인 전극은 3층 구조를 가질 수 있다. 그리고 유기 발광다이오드의 제1전극은 단층 구조, 2층 구조 또는 3층 구조 중 하나를 선택할 수 있다.
- <117> 따라서, 본 발명에 따른 유기전계발광표시장치는 소오스 및 드레인 전극이 3층 구조를 가지고 제1전극이 단층 구조인 것과 소오스 및 드레인 전극이 3층 구조를 가지고 제1전극이 2층 구조인 것과 소오스 및 드레인 전극이 3층 구조를 가지고 제1전극이 3층 구조인 것 중 하나를 선택할 수 있다.
- <118> 그리하여, 본 발명은 소오스 및 드레인 전극 또는 제1전극 중 하나 이상을 다층으로 형성함과 아울러 이들의 테이퍼 각을 조절하여 전극 또는 배선의 저항을 감소시키고 접촉 계면 특성을 개선하여 표시품질과 신뢰성을 향상 시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.
- <119> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

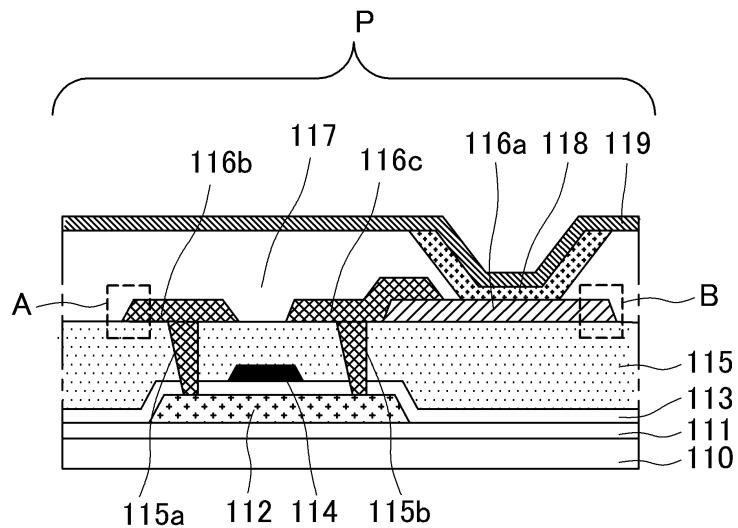
- <120> 도 1은 본 발명에 따른 유기전계발광표시장치의 개략적인 평면도.
- <121> 도 2a 및 도 2b는 서브 픽셀의 단면 예시도.
- <122> 도 3a는 도 2의 A 영역에 도시된 소오스 또는 드레인 전극의 예시도.
- <123> 도 3b는 도 2의 A 영역에 도시된 소오스 또는 드레인 전극의 다른 예시도.
- <124> 도 4a는 도 2의 B 영역에 도시된 제1전극의 예시도.
- <125> 도 4b는 도 2의 B 영역에 도시된 제1전극의 다른 예시도.
- <126> <도면의 주요 부분에 관한 부호의 설명>
- <127> 110: 기판 120: 표시부
- <128> 130: 밀봉기판 140: 접착부재
- <129> 150: 구동부

도면

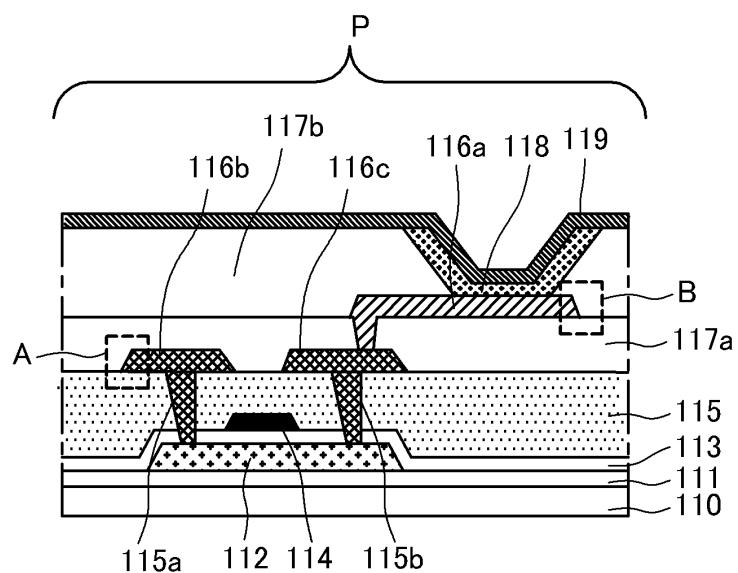
도면1



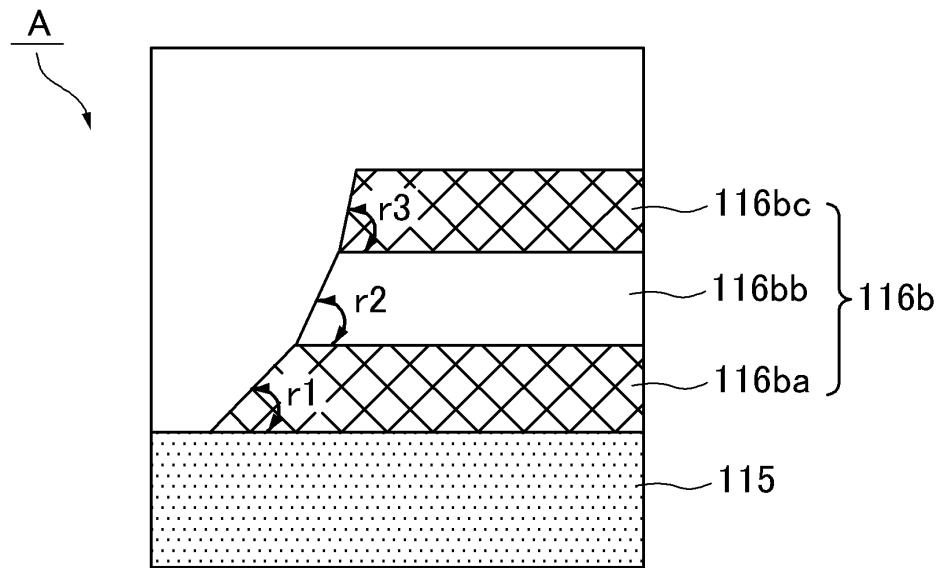
도면2a



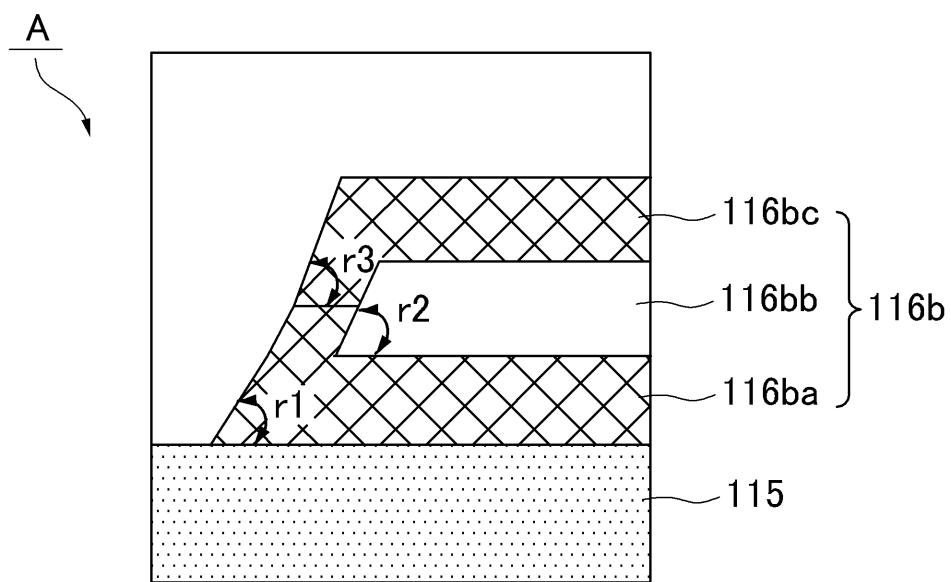
도면2b



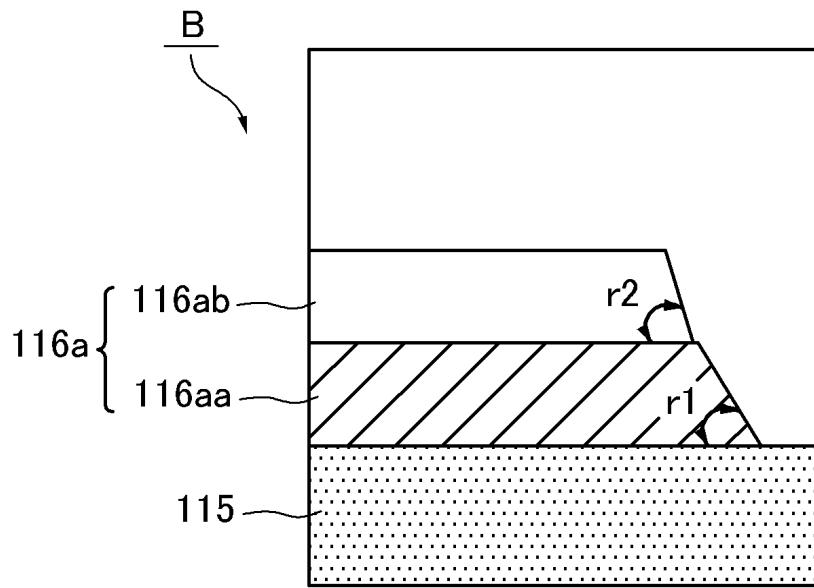
도면3a



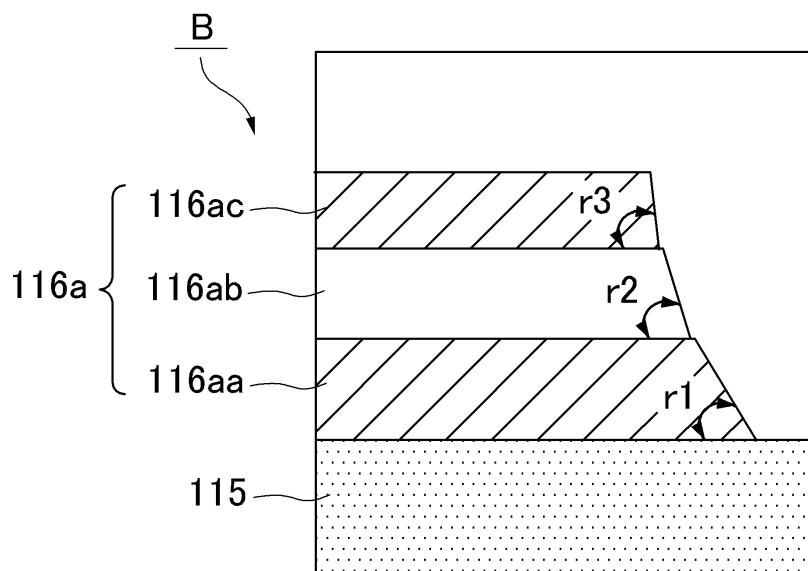
도면3b



도면4a



도면4b



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR100862555B1	公开(公告)日	2008-10-09
申请号	KR1020070121542	申请日	2007-11-27
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	JEONG YUN SIK		
发明人	JEONG, YUN SIK		
IPC分类号	H05B33/02 H05B33/26		
CPC分类号	H01L27/3248 H01L27/3262 H01L51/5012 H01L51/5203 H01L51/524 H01L2924/12044		
外部链接	Espacenet		

摘要(译)

提供一种有机发光二极管显示装置，通过降低电路中的电阻并改善接触干扰特性来提高电流或电压传输效率。有机发光二极管显示装置包括晶体管，第一电极，有机发光层和第二电极。晶体管包括形成在衬底上的栅极，源极和漏极。源电极和漏电极包括第一，第二和第三层（116ba，116bb，116bc），它们具有彼此不同的锥角。第一层包括金属层和导电层。第二层由第一层和第三层密封。第一层与第二层的厚度比为1：2.25至22.5。第三层与第二层的厚度比为1：2.2至1.9。金属层与导电层的厚度比为9.5至10：1。第一电极连接到源电极或漏电极。有机发光层形成在第一电极上。第二电极形成在有机发光层上。

