



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월17일
 (11) 등록번호 10-0846984
 (24) 등록일자 2008년07월10일

(51) Int. Cl.

H05B 33/26 (2006.01)

(21) 출원번호 10-2007-0019571
 (22) 출원일자 2007년02월27일
 심사청구일자 2007년02월27일

(56) 선행기술조사문헌
 JP2006030635 A
 KR1020030035219 A
 KR1020030058148 A
 KR1020050113693 A

전체 청구항 수 : 총 10 항

(73) 특허권자
 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자
 김양완
 경기도 용인시 기흥읍 공세리 428-5 삼성 SDI 중앙연구소

(74) 대리인
 신영무

심사관 : 추장희

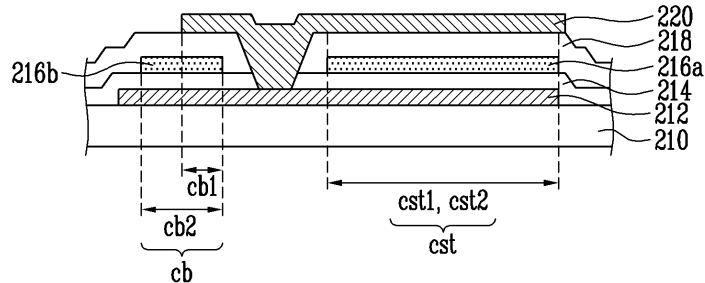
(54) 유기전계발광 표시장치 및 그의 제조방법

(57) 요약

본 발명은 유기 발광 다이오드로 원하는 전류를 공급할 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

본 발명의 실시 예에 따른 유기전계발광 표시장치는 기판과, 상기 기판 상에 형성되는 반도체층과, 상기 반도체층 상에 형성되는 제 1절연층과, 상기 제 1절연층 상에 서로 다른 길이로 형성되며 상기 스토리지 커패시터를 이루는 제 1전극층 및 상기 부스팅 커패시터를 이루는 제 2전극층과, 상기 제 1전극층 및 제 2전극층 상에 형성되는 제 2절연층과, 상기 제 2절연층 상에 형성되는 제 3전극층을 포함하며, 상기 제 3전극층은 상기 제 1전극층과의 중첩길이가 상기 제 2전극층과의 중첩길이보다 크도록 설정된다.

대표도 - 도8



특허청구의 범위

청구항 1

화소 영역 각각마다 형성되는 부스팅 커패시터 및 스토리지 커패시터를 포함하는 유기전계발광 표시장치에 있어서,

기판과,

상기 기판 상에 형성되는 반도체층과,

상기 반도체층 상에 형성되는 제 1절연층과,

상기 제 1절연층 상에 서로 다른 길이로 형성되며 상기 스토리지 커패시터를 이루는 제 1전극층 및 상기 부스팅 커패시터를 이루는 제 2전극층과,

상기 제 1전극층 및 제 2전극층 상에 형성되는 제 2절연층과,

상기 제 2절연층 상에 형성되는 제 3전극층을 포함하며,

상기 제 3전극층은 상기 제 1전극층과의 중첩길이가 상기 제 2전극층과의 중첩길이보다 크도록 설정되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2

제 1항에 있어서,

상기 제 3전극층은 콘택홀을 경유하여 상기 반도체층과 전기적으로 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3

제 1항에 있어서,

상기 제 1전극층의 길이가 상기 제 2전극층의 길이보다 길게 설정되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4

제 1항에 있어서,

상기 반도체층과 상기 제 2전극층이 중첩되는 영역에서 제 2부스팅 커패시터가 형성되고, 상기 제 2전극층과 상기 제 3전극층이 중첩되는 영역에서 제 1부스팅 커패시터가 형성되며 상기 제 1부스팅 커패시터 및 제 2부스팅 커패시터가 합쳐져 상기 부스팅 커패시터를 이루는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5

제 4항에 있어서,

상기 반도체층과 상기 제 1전극층 중첩되는 영역에서 제 2스토리지 커패시터가 형성되고, 상기 제 1전극층과 상기 제 3전극층이 중첩되는 영역에서 제 1스토리지 커패시터가 형성되며 상기 제 1스토리지 커패시터 및 제 2스토리지 커패시터가 합쳐져 상기 스토리지 커패시터를 이루는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6

제 5항에 있어서,

상기 제 1스토리지 커패시터, 제 2스토리지 커패시터, 제 1부스팅 커패시터 및 제 2부스팅 커패시터는 아래의 수학적식과 같은 조건으로 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

수학적식

$(\text{제 2부스팅 커패시터 용량} / \text{제 1부스팅 커패시터 용량}) > (\text{제 2스토리지 커패시터 용량} / \text{제 1스토리지 커패시터 용량})$

시터 용량)

청구항 7

기관 상의 화소영역 각각에 반도체층을 형성하는 단계와,

상기 반도체층 상에 제 1절연층을 형성하는 단계와,

상기 제 1절연층 상에 서로 다른 길이를 갖으며 스토리지 커패시터를 이루는 제 1전극층과 부스팅 커패시터를 이루는 제 2전극층을 형성하는 단계와,

상기 제 1전극층 및 제 2전극층 상에 제 2절연층을 형성하는 단계와,

상기 제 2절연층 상에 제 3전극층을 형성하는 단계를 포함하며,

상기 제 3전극층은 상기 제 1전극층과의 중첩길이가 상기 제 2전극층과의 중첩길이보다 크도록 형성되는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 8

제 7항에 있어서,

상기 제 2절연층이 형성된 이후에 상기 제 1전극층 및 제 2전극층 사이에 상기 반도체층이 노출되도록 콘택홀이 형성되는 단계와,

상기 콘택홀을 통하여 상기 반도체층과 접속되도록 상기 제 3전극층이 형성되는 단계를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 9

제 7항에 있어서,

상기 제 2전극층과 상기 반도체층의 중첩면적을 상기 제 2전극층과 상기 제 3전극층의 중첩면적으로 나눈 값은 상기 제 1전극층과 상기 반도체층의 중첩면적을 상기 제 1전극층과 상기 제 3전극층의 중첩면적으로 나눈 값보다 크게 형성되는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 10

제 7항에 있어서,

상기 제 3전극층 상에 제 3절연층이 형성되는 단계와,

상기 제 3절연층 상에 유기 발광 다이오드층이 형성되는 단계를 더 포함하는 유기전계발광 표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 유기전계발광 표시장치 및 그의 제조방법에 관한 것으로, 특히 유기 발광 다이오드로 원하는 전류를 공급할 수 있도록 한 유기전계발광 표시장치 및 그의 제조방법에 관한 것이다.
- <19> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광 표시장치(Organic Light Emitting Display Device) 등이 있다.
- <20> 평판표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode)를 이용하여 영상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속

도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 일반적인 유기전계발광 표시장치는 화소마다 형성되는 구동 트랜지스터를 이용하여 데이터신호에 대응되는 전류를 유기 발광 다이오드로 공급함으로써 유기 발광 다이오드에서 빛을 발생시킨다.

<21> 이와 같은 화소들 각각은 구동 트랜지스터의 문턱전압 보상을 위하여 다수의 트랜지스터 및 2개 이상의 커패시터를 구비한다. 여기서, 2개 이상의 커패시터가 화소들 각각에 포함되는 경우 커패시터들 각각의 용량에 의하여 전류값이 변화되는 문제점이 있다. 다시 말하여, 커패시터들 용량에 대응하여 유기 발광 다이오드로 공급되는 전류량이 변화되고, 이에 따라 원하는 전류를 유기 발광 다이오드로 공급할 수 없는 문제점이 있다. 따라서, 화소들 각각에 2개 이상의 커패시터가 포함되는 경우 커패시터들 각각의 용량을 조절하여 유기 발광 다이오드로 안정적인 전류가 공급될 수 있도록 하는 방법이 요구되고 있다.

발명이 이루고자 하는 기술적 과제

<22> 따라서, 본 발명의 목적은 유기 발광 다이오드로 원하는 전류를 공급할 수 있도록 한 유기전계발광 표시장치 및 그의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<23> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 유기전계발광 표시장치는 기판과, 상기 기판 상에 형성되는 반도체층과, 상기 반도체층 상에 형성되는 제 1절연층과, 상기 제 1절연층 상에 서로 다른 길이로 형성되며 상기 스토리지 커패시터를 이루는 제 1전극층 및 상기 부스팅 커패시터를 이루는 제 2전극층과, 상기 제 1전극층 및 제 2전극층 상에 형성되는 제 2절연층과, 상기 제 2절연층 상에 형성되는 제 3전극층을 포함하며, 상기 제 3전극층은 상기 제 1전극층과의 중첩길이가 상기 제 2전극층과의 중첩길이보다 크도록 설정된다.

<24> 본 발명의 실시 예에 의한 유기전계발광 표시장치의 제조방법은 기판 상의 화소영역 각각에 반도체층을 형성하는 단계와, 상기 반도체층 상에 제 1절연층을 형성하는 단계와, 상기 제 1절연층 상에 서로 다른 길이를 갖으며 스토리지 커패시터를 이루는 제 1전극층과 부스팅 커패시터를 이루는 제 2전극층을 형성하는 단계와, 상기 제 1전극층 및 제 2전극층 상에 제 2절연층을 형성하는 단계와, 상기 제 2절연층 상에 제 3전극층을 형성하는 단계를 포함하며, 상기 제 3전극층은 상기 제 1전극층과의 중첩길이가 상기 제 2전극층과의 중첩길이보다 크도록 형성된다.

<25> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 1 내지 도 9를 참조하여 상세히 설명하면 다음과 같다.

<26> 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

<27> 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사 구동부(110), 데이터 구동부(120), 화소부(130), 타이밍 제어부(150), 디멀티플렉서 블록부(160), 디멀티플렉서 제어부(170) 및 데이터 커패시터들(Cdata)을 구비한다.

<28> 화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)에 의해 구획된 영역에 위치되는 복수의 화소들(140)을 구비한다. 화소들(140) 각각은 데이터선(D)으로부터 공급되는 데이터신호에 대응하여 소정 휘도의 빛을 생성한다. 이를 위해, 화소들(140) 각각은 2개의 주사선, 하나의 데이터선, 제 1전원(ELVDD)을 공급하기 위한 전원선 및 초기화 전원을 공급하기 위한 초기화 전원선(미도시)과 접속된다. 예컨대, 마지막 수평라인에 위치한 화소들(140) 각각은 제 n-1주사선(Sn-1), 제 n주사선(Sn), 데이터선(D), 전원선 및 초기화 전원선과 접속된다. 한편, 첫번째 수평라인에 위치한 화소들(140)과 접속되도록 도시되지 않은 주사선(예를 들어, 제 0주사선(S0))이 추가로 구비된다.

<29> 주사 구동부(110)는 타이밍 제어부(150)로부터 공급되는 주사 구동제어신호(SCS)에 응답하여 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다. 여기서, 주사 구동부(110)는 도 3과 같이 주사신호를 1수평기간(1H) 중 일부기간에만 공급한다.

<30> 이를 상세히 설명하면, 본 발명의 제 1실시예에서 하나의 수평기간(1H)은 주사기간 및 데이터기간으로 분할된다. 주사 구동부(110)는 하나의 수평기간(1H) 중 주사기간 동안 주사선(S)으로 주사신호를 공급한다. 그리고, 주사 구동부(110)는 하나의 수평기간(1H) 중 데이터기간 동안 주사신호를 공급하지 않는다. 한편, 주사 구동부(110)는 주사 구동제어신호(SCS)에 응답하여 발광 제어신호를 생성하고, 생성된 발광 제어신호를 발광 제어선들(E1 내지 En)로 순차적으로 공급한다. 여기서, 발광 제어신호는 적어도 2개의 수평기간 동안

공급된다.

- <31> 데이터 구동부(120)는 타이밍 제어부(150)로부터 공급되는 데이터 구동제어신호(DCS)에 응답하여 데이터신호들을 생성하고, 생성된 데이터신호들을 출력선들(O1 내지 Om/i)로 공급한다. 여기서, 데이터 구동부(120)는 하나의 수평기간(1H) 동안 각각의 출력선들(O1 내지 Om/i)로 도 3과 같이 적어도 i (i 는 2이상의 자연수)개의 데이터신호를 순차적으로 공급한다.
- <32> 이를 상세히 설명하면, 데이터 구동부(120)는 하나의 수평기간(1H) 중 데이터 기간 동안 실제 화소로 공급될 i 개의 데이터신호(R,G,B)를 순차적으로 공급한다. 여기서, 실제 화소로 공급될 데이터신호(R,G,B)가 데이터기간에만 공급되기 때문에 실제로 화소로 공급될 데이터신호(R,G,B)와 주사신호의 공급시간이 중첩되지 않는다. 그리고, 데이터 구동부(120)는 하나의 수평기간(1H) 중 주사기간 동안 휘도에 기여하지 않는 더미 데이터(DD)를 공급한다. 여기서, 더미 데이터(DD)는 휘도에 기여하지 않는 데이터이기 때문에 공급되지 않을 수 있다.
- <33> 타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)을 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급된다.
- <34> 디멀티플렉서 블록부(160)는 m/i 개의 디멀티플렉서(162)를 구비한다. 다시 말하여, 디멀티플렉서 블록부(160)는 출력선들(O1 내지 Om/i)과 동일한 수의 디멀티플렉서(162)를 구비하고, 각각의 디멀티플렉서(162)는 출력선들(O1 내지 Om/i) 중 어느 하나와 접속된다. 그리고, 디멀티플렉서(162) 각각은 i 개의 데이터선들(D)과 접속된다. 이와 같은 디멀티플렉서(162)는 데이터기간 동안 출력선(O)으로 공급되는 i 개의 데이터신호를 i 개의 데이터선들(D)로 공급한다.
- <35> 디멀티플렉서 제어부(170)는 출력선(O)으로 공급되는 i 개의 데이터신호가 i 개의 데이터선(D)으로 분할되어 공급될 수 있도록 하나의 수평기간(1H) 중 데이터기간 동안 i 개의 제어신호를 디멀티플렉서(162) 각각으로 공급한다. 여기서, 디멀티플렉서 제어부(170)는 데이터기간 동안 공급되는 i 개의 제어신호가 도 3과 같이 서로 중첩되지 않도록 순차적으로 공급한다. 한편, 도 1에서는 디멀티플렉서 제어부(170)가 타이밍 제어부(150)의 외부에 설치된 것으로 도시하였지만 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 디멀티플렉서 제어부(170)는 타이밍 제어부(150)의 내부에 설치될 수 있다.
- <36> 데이터 커패시터들(Cdata)은 데이터선(D) 각각 마다 설치된다. 이와 같은 데이터 커패시터들(Cdata)은 데이터선(D)으로 공급되는 데이터신호를 임시 저장하고, 저장된 데이터신호를 화소(140)로 공급한다. 여기서, 데이터 커패시터(Cdata)는 데이터선(D)에 증가적으로 형성되는 기생 커패시터로 이용된다. 실제로, 데이터선(D) 각각에 증가적으로 형성되는 기생 커패시터는 화소들(140) 각각에 형성되는 스토리지 커패시터보다 큰 용량을 갖기 때문에 데이터신호를 안정적으로 저장할 수 있다.
- <37> 도 2은 도 1에 도시된 디멀티플렉서의 내부 회로도를 나타내는 도면이다. 도 2에서는 설명의 편의성을 위하여 i 를 3으로 가정하기로 한다. 그리고, 도 2에는 첫번째 출력선(O1)에 접속된 디멀티플렉서(162)를 도시하기로 한다.
- <38> 도 2를 참조하면, 디멀티플렉서(162) 각각은 제 1스위칭소자(T1), 제 2스위칭소자(T2) 및 제 3스위칭소자(T3)를 구비한다.
- <39> 제 1스위칭소자(T1)는 제 1출력선(O1)과 제 1데이터선(D1) 사이에 접속된다. 이와 같은 제 1스위칭소자(T1)는 디멀티플렉서 제어부(170)로부터 제 1제어신호(CS1)가 공급될 때 턴-온되어 제 1출력선(O1)으로 공급되는 데이터신호를 제 1데이터선(D1)으로 공급한다. 제 1제어신호(CS1)가 공급될 때 제 1데이터선(D1)으로 공급되는 데이터신호는 제 1데이터 커패시터(CdataR)에 임시 저장된다.
- <40> 제 2스위칭소자(T2)는 제 1출력선(O1)과 제 2데이터선(D2) 사이에 접속된다. 이와 같은 제 2스위칭소자(T2)는 디멀티플렉서 제어부(170)로부터 제 2제어신호(CS2)가 공급될 때 턴-온되어 제 1출력선(O1)으로 공급되는 데이터신호를 제 2데이터선(D2)으로 공급한다. 제 2제어신호(CS2)가 공급될 때 제 2데이터선(D2)으로 공급되는 데이터신호는 제 2데이터 커패시터(CdataG)에 임시 저장된다.
- <41> 제 3스위칭소자(T3)는 제 1출력선(O1)과 제 3데이터선(D3) 사이에 접속된다. 이와 같은 제 3스위칭소자(T3)는 디멀티플렉서 제어부(170)로부터 제 3제어신호(CS3)가 공급될 때 턴-온되어 제 1출력선(O1)으로 공급되는 데이터신호를 제 3데이터선(D3)으로 공급한다. 제 3제어신호(CS3)가 공급될 때 제 3데이터선(D3)으로 공급되는 데이터신호는 제 3데이터 커패시터(CdataB)에 임시 저장된다.

- <42> 도 4는 도 1에 도시된 화소의 실시예를 나타내는 회로도이다.
- <43> 도 4를 참조하면, 본 발명의 실시예에 의한 화소(140)들 각각은 유기 발광 다이오드(OLED)와, 데이터선(D), 주사선(Sn) 및 발광 제어선(En)에 접속되어 유기 발광 다이오드(OLED)를 제어하기 위한 화소회로(142)를 구비한다.
- <44> 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(142)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 제 2전원(ELVSS)은 제 1전원(ELVDD)보다 낮은 전압으로 설정된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(142)로부터 공급되는 전류량에 대응되어 적색, 녹색 및 청색 중 어느 하나의 빛을 생성한다.
- <45> 화소회로(142)는 제 1전원(ELVDD)과 초기화전원(Vint) 사이에 접속되는 스토리지 커패시터(Cst) 및 제 6트랜지스터(M6)와, 제 1전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속되는 제 4트랜지스터(M4), 제 1트랜지스터(M1), 제 5트랜지스터(M5)와, 제 1트랜지스터(M1)의 게이트전극과 제 2전극 사이에 접속되는 제 3트랜지스터(M3)와, 데이터선(D)과 제 1트랜지스터(M1)의 제 1전극 사이에 접속되는 제 2트랜지스터(M2)와, 제 1트랜지스터(M1)의 게이트전극과 제 2트랜지스터(M2)의 게이트전극 사이에 접속되는 부스팅 커패시터(Cb)를 구비한다.
- <46> 여기서, 제 1전극은 드레인전극 및 소오스전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되었다면 제 2전극은 드레인전극으로 설정된다. 그리고, 도 4에서 제 1 내지 제 6트랜지스터(M1 내지 M6)들이 P타입 MOSFET로 도시되었지만, 본 발명이 이에 한정되는 것은 아니다. 다만, 제 1 내지 제 6트랜지스터(M1 내지 M6)들이 N타입 MOSFET로 형성되면 당업자에게 널리 알려진 바와 같이 구동파형의 극성이 반전된다.
- <47> 제 1트랜지스터(M1)의 제 1전극은 제 4트랜지스터(M4)를 경유하여 제 1전원(ELVDD)에 접속되고, 제 2전극은 제 5트랜지스터(M5)를 경유하여 유기 발광 다이오드(OLED)에 접속된다. 그리고, 제 1트랜지스터(M1)의 게이트전극은 제 1노드(N1)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 스토리지 커패시터(Cst)에 충전된 전압, 즉, 제 1노드(N1)에 인가되는 전압에 대응하는 전류를 유기 발광 다이오드(OLED)로 공급한다.
- <48> 제 3트랜지스터(M3)의 제 1전극은 제 1트랜지스터(M1)의 제 2전극에 접속되고, 제 2전극은 제 1트랜지스터(M1)의 게이트전극에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제 n주사선(Sn)에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제 n주사선(Sn)으로 주사신호가 공급될 때 턴-온되어 제 1트랜지스터(M1)를 다이오드 형태로 접속시킨다. 즉, 제 3트랜지스터(M3)가 턴-온될 때 제 1트랜지스터(M1)는 다이오드 형태로 접속된다.
- <49> 제 2트랜지스터(M2)의 제 1전극은 데이터선(D)에 접속되고, 제 2전극은 제 1트랜지스터(M1)의 제 1전극에 접속된다. 그리고, 제 2트랜지스터(M2)의 게이트전극은 제 n주사선(Sn)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 n주사선(Sn)에 주사신호가 공급될 때 턴-온되어 데이터선(D)으로 공급되는 데이터신호를 제 1트랜지스터(M1)의 제 1전극으로 공급한다.
- <50> 제 4트랜지스터(M4)의 제 1전극은 제 1전원(ELVDD)에 접속되고, 제 2전극은 제 1트랜지스터(M1)의 제 1전극에 접속된다. 그리고, 제 4트랜지스터(M4)의 게이트전극은 발광 제어선(En)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 발광 제어신호가 공급되지 않을 때(즉, 로우의 발광 제어신호가 공급될 때) 턴-온되어 제 1전원(ELVDD)과 제 1트랜지스터(M1)를 전기적으로 접속시킨다.
- <51> 제 5트랜지스터(M5)의 제 1전극은 제 1트랜지스터(M1)에 접속되고, 제 2전극은 유기 발광 다이오드(OLED)에 접속된다. 그리고, 제 5트랜지스터(M5)의 게이트전극은 발광 제어선(En)에 접속된다. 이와 같은 제 5트랜지스터(M5)는 발광 제어신호가 공급되지 않을 때(즉, 로우의 발광 제어신호가 공급될 때) 턴-온되어 제 1트랜지스터(M1)와 유기 발광 다이오드(OLED)를 전기적으로 접속시킨다.
- <52> 제 6트랜지스터(M6)의 제 1전극은 스토리지 커패시터(Cst) 및 제 1트랜지스터(M1)의 게이트전극(즉, 제 1노드(N1))에 접속되고, 제 2전극은 초기화전원(Vint)에 접속된다. 그리고, 제 6트랜지스터(M6)의 게이트전극은 제 n-1주사선(Sn-1)에 접속된다. 이와 같은 제 6트랜지스터(M6)는 제 n-1주사선(Sn-1)으로 주사신호가 공급될 때 턴-온되어 제 1노드(N1)를 초기화한다. 이를 위해, 초기화전원(Vint)의 전압값은 데이터신호의 전압값보다 낮게 설정된다.
- <53> 부스팅 커패시터(Cb)는 제 1노드(N1)와 제 n주사선(Sn)의 사이에 접속된다. 이와 같은 부스팅 커패시터(Cb)는 주사신호의 공급이 중단될 때 제 1노드(N1)의 전압을 상승시킨다.
- <54> 스토리지 커패시터(Cst)는 제 1전원(ELVDD)과 제 1노드(N1) 사이에 접속된다. 이와 같은 스토리지 커패시터

(Cst)는 데이터신호에 대응하는 전압을 저장한다.

- <55> 도 5는 도 4에 도시된 화소와 디멀티플렉서의 연결구조를 나타내는 도면이다.
- <56> 도 3 및 도 5를 결부하여 동작과정을 상세히 설명하면, 먼저 하나의 수평기간(1H) 중 주사기간 동안 제 n-1주사선(Sn-1)으로 주사신호가 공급된다. 제 n-1주사선(Sn-1)으로 주사신호가 공급되면 화소들(140R, 140G, 140B) 각각에 포함된 제 6트랜지스터(M6)가 턴-온된다. 제 6트랜지스터(M6)가 턴-온되면 스토리지 커패시터(Cst) 및 제 1트랜지스터(M1)의 게이트단자가 초기화전원(Vint)과 접속된다. 그러면, 스토리지 커패시터(Cst) 및 제 1트랜지스터(M1)의 게이트전극이 초기화전원(Vint)의 전압으로 초기화된다.
- <57> 이후, 데이터기간 동안 순차적으로 공급되는 제 1제어신호(CS1) 내지 제 3제어신호(CS3)에 의하여 제 1스위칭소자(T1), 제 2스위칭소자(T2) 및 제 3스위칭소자(T3)가 순차적으로 턴-온된다. 제 1스위칭소자(T1)가 턴-온되면 제 1데이터선(D1)에 형성된 제 1데이터 커패시터(CdataR)에 데이터신호에 대응되는 전압이 충전된다. 제 2스위칭소자(T2)가 턴-온되면 제 2데이터선(D2)에 형성된 제 2데이터 커패시터(CdataG)에 데이터신호에 대응되는 전압이 충전된다. 제 3스위칭소자(T3)가 턴-온되면 제 3데이터선(D3)에 형성된 제 3데이터 커패시터(CdataB)에 데이터신호에 대응되는 전압이 충전된다. 이때, 화소들(140R, 140G, 140B) 각각에 포함된 제 2트랜지스터(M2)가 턴-오프 상태로 설정되기 때문에 화소들(140R, 140G, 140B)로는 데이터신호가 공급되지 않는다.
- <58> 이후, 데이터기간에 이은 주사기간 동안 제 n주사선(Sn)으로 주사신호가 공급된다. 제 n주사선(Sn)으로 주사신호가 공급되면 화소들(140R, 140G, 140B) 각각에 포함된 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)가 턴-온된다. 화소들(140R, 140G, 140B) 각각에 포함된 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)가 턴-온되면 제 1데이터 커패시터(CdataR) 내지 제 3데이터 커패시터(CdataB)에 저장된 데이터신호에 대응되는 전압이 화소들(140R, 140G, 140B)로 공급된다.
- <59> 여기서, 화소들(140R, 140G, 140B)에 포함된 제 1트랜지스터(M1)의 게이트전극의 전압이 초기화전원(Vint)에 의하여 초기화되었기 때문에(즉, 데이터신호의 전압보다 낮게 설정되기 때문에) 제 1트랜지스터(M1)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 데이터신호가 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)를 경유하여 제 1노드(N1)로 공급된다. 이때, 화소들(140R, 140G, 140B) 각각에 포함된 스토리지 커패시터(Cst)에는 데이터신호에 대응되는 전압이 충전된다. 여기서, 스토리지 커패시터(Cst)에는 데이터신호에 대응되는 전압 이외에 제 1트랜지스터(M1)의 문턱전압에 대응하는 전압이 추가적으로 충전된다.
- <60> 한편, 데이터 커패시터(Cdata)와 스토리지 커패시터(Cst)의 차지 웨어링에 의하여 화소들(140R, 140G, 140B) 각각의 제 1노드(N1)에는 원하는 전압보다 낮은 전압이 공급된다. 따라서, 스토리지 커패시터(Cst)에는 원하는 전압이 충전되지 못한다.
- <61> 이후, 제 n주사선(Sn)으로 공급되는 주사신호의 공급이 중단된다. 다시 말하여, 도 6에 도시된 바와 같이 제 n주사선(Sn)의 전압은 제 4전원(VVSS)의 전압으로부터 제 3전원(VVDD)의 전압으로 상승된다. 여기서, 제 4전원(VVSS)은 주사신호가 공급될 때 공급되는 전압으로 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)가 턴-온될 수 있는 전압으로 설정되고, 제 3전원(VVDD)은 주사신호의 공급이 중단될 때 공급되는 전압으로 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)가 턴-오프될 수 있는 전압으로 설정된다.
- <62> 제 n주사선(Sn)으로 주사신호의 공급이 중단될 때 제 1노드(N1)는 플로팅 상태로 설정된다. 따라서, 제 n주사선(Sn)으로 주사신호의 공급이 중단될 때 부스팅 커패시터(Cb)에 의하여 제 1노드(N1)의 전압이 상승된다. 여기서, 제 1노드(N1)의 상승전압은 수학적 식 1에 의하여 결정된다.

수학적 식 1

- <63>
$$N1 \text{ 상승전압} = Cb / (Cb + Cst) \times (VVDD - VVSS)$$
- <64> 수학적 식 1을 참조하면, 제 1노드(N1)의 상승전압은 제 n주사선(Sn)으로 공급되는 주사신호의 상승폭(VVDD-VVSS)과, 부스팅 커패시터(Cb) 및 스토리지 커패시터(Cst)의 용량에 의하여 결정된다. 즉, 본 발명에서는 제 3전원(VVDD) 및 제 4전원(VVSS)의 전압을 조절하여 제 1노드(N1)의 전압 상승폭을 제어할 수 있다. 한편, 제 1노드(N1)의 전압이 상승되면 데이터 커패시터(Cdata)와 스토리지 커패시터(Cst)의 차지 웨어링에 의하여 손실된 전압을 보충할 수 있고, 이에 따라 원하는 계조를 표현할 수 있다.
- <65> 한편, 본 발명에서는 제 1노드(N1)의 전압이 원하는 만큼 상승될 수 있도록 스토리지 커패시터(Cst)의 용량을 부스팅 커패시터(Cb)의 용량보다 크게 설정한다. 다시 말하여, 제 3전원(VVDD)과 제 4전원(VVSS)의 전압차는

대략 10V이상으로 설정된다. 따라서, 부스팅 커패시터(Cb)의 용량이 스토리지 커패시터(Cst)보다 크게 설정되면 제 1노드(N1)가 원하는 전압보다 높게 상승된다. 이를 방지하기 위하여, 본 발명에서는 부스팅 커패시터(Cb)의 용량을 스토리지 커패시터(Cst)의 용량보다 낮게 설정한다.

- <66> 제 n주사선(Sn)으로 주사신호의 공급이 중단되어 제 1노드(N1)의 전압이 상승된 후 제 n발광 제어선(En)으로 발광 제어신호의 공급이 중단된다. 그러면, 제 4트랜지스터(M4) 및 제 5트랜지스터(M5)가 턴-온되고, 이에 따라 스토리지 커패시터(Cst)에 충전된 전압에 대응되는 전류가 유기 발광 다이오드(OLED)로 공급된다.
- <67> 도 7은 도 4에 도시된 스토리지 커패시터와 부스팅 커패시터의 용량에 따른 전압 변동량을 나타내는 그래프이다.
- <68> 먼저, 도 7의 그래프는 트랜지스터들(M1 내지 M6)의 W/L 및 커패시터들(Cst, Cb)의 용량을 표 1과 같이 설정한 상태에서 구해진다.

표 1

M1	7 μ m/24 μ m
M2	5 μ m/7 μ m
M3	5 μ m/7 μ m + 5 μ m/9 μ m (dual)
M4	5 μ m/7 μ m
M5	5 μ m/7 μ m
M6	5 μ m/7 μ m (dual)
Cst	0.36pF
Cb	0.04pF

- <69> 도 7에서 스토리지 커패시터(Cst)의 관련 그래프(■)는 스토리지 커패시터(Cst)의 용량을 -5% 내지 5%로 변화하면서 유기 발광 다이오드로 공급되는 전류(즉, 픽셀전류)를 측정하여 구해진다. 그리고, 부스팅 커패시터(Cb) 관련 그래프(▲)는 부스팅 커패시터(Cb)의 용량을 -5% 내지 5%로 변화하면서 픽셀전류를 측정하여 구해진다. 또한, 스토리지 커패시터(Cst) 및 부스팅 커패시터(Cb) 관련 그래프(●)는 스토리지 커패시터(Cst)와 부스팅 커패시터(Cb)를 동일한 값으로 변화하면서 픽셀전류를 측정하여 구해진다.
- <70> 도 7을 참조하면, 스토리지 커패시터(Cst)의 용량이 증가할수록 픽셀전류가 증가하고, 부스팅 커패시터(Cb)의 용량이 증가할수록 픽셀전류가 감소된다. 따라서, 스토리지 커패시터(Cst) 및 부스팅 커패시터(Cb)의 용량을 동시에 증가 및 감소시키는 경우 픽셀전류의 변동량이 어느 하나의 커패시터(Cst 또는 Cb)만을 증가 및 감소시키는 경우보다 낮아진다.
- <71> 상기의 결과에 나타나듯이 스토리지 커패시터(Cst) 및 부스팅 커패시터(Cb)의 용량을 조절하여 커패시터들(Cst, Cb)이 픽셀전류에 미치는 영향을 최소화할 수 있다.
- <72> 도 8은 본 발명의 실시예에 의하여 화소 영역에 형성되는 커패시터들을 나타내는 단면도이다. 도 8에서는 설명의 편의성을 위하여 커패시터들만을 도시하였지만 실제로 화소영역에는 다수의 트랜지스터들이 추가로 형성된다.
- <73> 도 8을 참조하면, 본 발명의 화소들 각각에는 기관(210) 상에 형성되어 커패시터들(Cb, Cst)을 이루는 반도체층(212), 제 1전극층(216a), 제 2전극층(216b) 및 제 3전극층(220)이 구비된다. 즉, 커패시터들(Cb, Cst) 각각은 충분한 용량이 확보될 수 있도록 듀얼 커패시터 형태로 형성된다.
- <74> 그리고, 화소들 각각에는 반도체층(212), 제 1전극층(216a), 제 2전극층(216b) 및 제 3전극층(220)이 절연될 수 있도록 제 1절연막(214), 제 2절연막(218)이 더 구비된다.
- <75> 먼저, 기관(210) 상에 반도체층(212)이 형성된다. 실제로, 반도체층(212)은 트랜지스터들의 채널을 이루는 반도체층과 동일 재료로 동시에 형성된다. 일례로, 반도체층(212)은 다결정-실리콘(Poly-Si)으로 형성된다.
- <76> 기관(212) 상에 반도체층(212)이 형성된 후 반도체층(212) 상에 제 1절연막(214)이 형성된다. 제 1절연막(214)은 이후에 형성되는 제 1전극층(216a), 제 2전극층(216b)과 반도체층(212)을 전기적으로 절연한다.
- <77> 이후, 스토리지 커패시터(Cst) 형성영역에 제 1전극층(216a)이 형성됨과 동시에 부스팅 커패시터(Cb) 형성영역에 제 2전극층(216b)이 형성된다. 이 경우, 스토리지 커패시터(Cst)의 용량이 부스팅 커패시터(Cb)의 용량보다

크게 설정되기 때문에 제 1전극층(216a)의 길이가 제 2전극층(216b)의 길이보다 길게 설정된다. 한편, 제 1전극층(216a) 및 제 2전극층(216b)은 트랜지스터들의 게이트전극과 동일 물질로 동시에 형성된다.

- <79> 제 1전극층(216a) 및 제 2전극층(216b)이 형성된 후 제 1전극층(216a) 및 제 2전극층(216b)을 덮도록 제 2절연막(218)이 형성된다. 제 2절연막(218)은 제 1전극층(216a) 및 제 2전극층(216b)과 이후에 형성되는 제 3전극층(220)을 전기적으로 절연한다.
- <80> 제 2절연막(218)이 형성된 후 제 1전극층(216a) 및 제 2전극층(216b)의 사이에서 반도체층(212)이 노출되도록 콘택홀이 형성된다. 그리고, 콘택홀을 통해 반도체층(212)과 접속되도록 제 3전극층(220)이 형성된다.
- <81> 여기서, 제 3전극층(220)은 제 2전극층(216b)과의 중첩길이보다 제 1전극층(216a)과의 중첩길이가 더 크게 설정되도록 형성된다. 이와 같이 제 3전극층(220)이 형성되면 스토리지 커패시터(Cst) 및 부스팅 커패시터(Cb)의 형성이 완료된다.
- <82> 상세히 설명하면, 제 3전극층(220)과 제 2전극층(216b)이 중첩되는 영역에서 제 1부스팅 커패시터(Cb1)가 형성되고, 반도체층(212)과 제 2전극층(216b)이 중첩되는 영역에서 제 2부스팅 커패시터(Cb2)가 형성된다. 여기서, 제 1부스팅 커패시터(Cb1) 및 제 2부스팅 커패시터(Cb2)가 합쳐져 부스팅 커패시터(Cb)를 형성하게 된다.
- <83> 그리고, 제 1전극층(216a)과 반도체층(212)이 중첩되는 영역에서 제 2스토리지 커패시터(Cst2)가 형성되고, 제 1전극층(216a)과 제 3전극층(220)이 중첩되는 영역에서 제 1스토리지 커패시터(Cst1)가 형성된다. 여기서, 제 1스토리지 커패시터(Cst1) 및 제 2스토리지 커패시터(Cst2)가 합쳐져 스토리지 커패시터(Cst)를 형성하게 된다.
- <84> 이와 같은 본 발명에서는 수학적 2과 같은 조건이 만족되도록 커패시터들(Cb, Cst)을 형성한다.

수학적 2

- <85> $(Cb2(Cap)/Cb1(Cap)) > (Cst2(Cap)/Cst1(Cap))$
- <86> 수학적 2에서 "Cap"은 커패시터의 용량을 의미한다. 수학적 2와 같이 스토리지 커패시터(Cst) 및 부스팅 커패시터(Cb)가 어느 정도 동일한 변동률을 갖기 때문에 실험적으로 픽셀전류의 변동률이 최소화된다. 일례로, 제 2커패시터(Cst2) : 제 1커패시터(Cst1)가 10 : 1 이하의 비율로 형성되는 경우 제 2부스팅 커패시터(Cb2) : 제 1부스팅 커패시터(Cb1)는 10 : 1 이상의 비율로 형성될 수 있다.
- <87> 한편, 도 8의 제 2전극층(220) 상에는 트랜지스터의 공정에 대응하여 추가적으로 소정의 층들이 형성될 수 있다. 일례로, 도 9에 도시된 바와 같이 제 3전극층(220) 상에는 제 3절연층(222)(또는 평탄화층) 및 유기 발광 다이오드층(224)이 형성될 수 있다.
- <88> 상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

발명의 효과

- <89> 상술한 바와 같이, 본 발명의 실시 예에 따른 유기전계발광 표시장치 및 그의 제조방법에 의하면 화소들 각각에 포함되는 스토리지 커패시터 및 부스팅 커패시터의 용량을 조절하여 픽셀전류의 변동률을 최소화하고, 이에 따라 원하는 휘도의 화상을 표시할 수 있는 장점이 있다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- <2> 도 2는 도 1에 도시된 디멀티플렉서를 나타내는 도면이다.
- <3> 도 3은 도 1에 도시된 유기전계발광 표시장치의 구동방법을 나타내는 파형도이다.
- <4> 도 4는 도 1에 도시된 화소의 실시예를 나타내는 도면이다.
- <5> 도 5는 도 2에 도시된 디멀티플렉서와 도 4에 도시된 화소의 접속을 나타내는 도면이다.

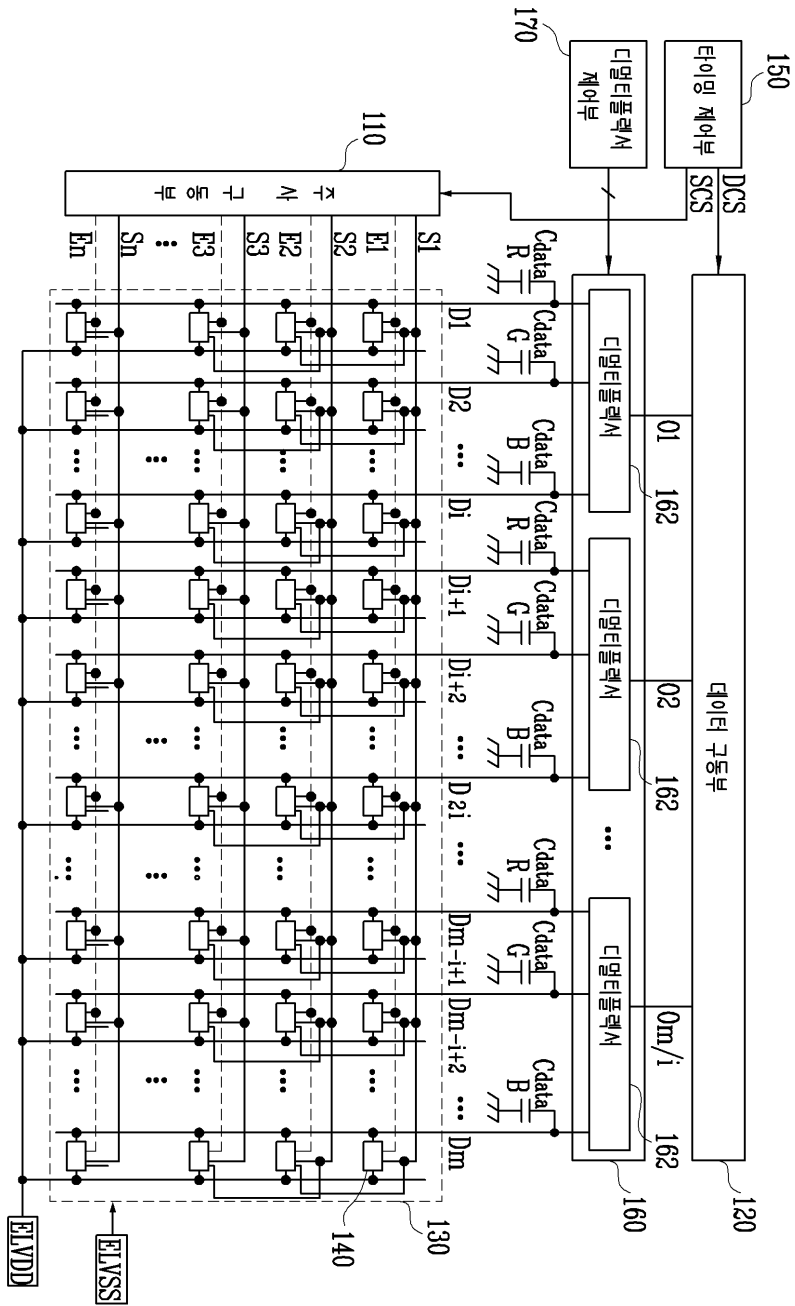
- <6> 도 6은 주사선으로 공급되는 주사신호를 나타내는 도면이다.
- <7> 도 7은 화소에 포함되는 스토리지 커패시터 및 부스팅 커패시터의 용량변화에 대응하는 픽셀전류를 나타내는 도면이다.
- <8> 도 8은 본 발명의 실시예에 의한 스토리지 커패시터 및 부스팅 커패시터의 일례를 나타내는 단면도이다.
- <9> 도 9는 도 8의 단면도에 추가적으로 형성되는 층을 나타내는 도면이다. ㄷ

<도면의 주요 부분에 대한 부호의 설명>

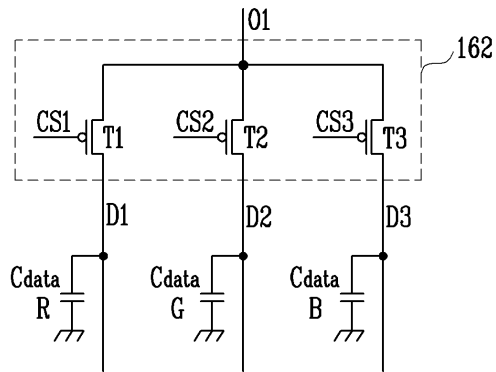
- | | |
|---|--|
| <ul style="list-style-type: none"> <11> 110 : 주사 구동부 <12> 130 : 화소부 <13> 142 : 화소회로 <14> 160 : 디멀티플렉서 블록부 <15> 170 : 디멀티플렉서 제어부 <16> 212 : 반도체층 <17> 216a,216b,220 : 전극층 | <ul style="list-style-type: none"> 120 : 데이터 구동부 140 : 화소 150 : 타이밍 제어부 162 : 디멀티플렉서 210 : 기판 214,218,222 : 절연층 224 : 유기 발광 다이오드층 |
|---|--|

도면

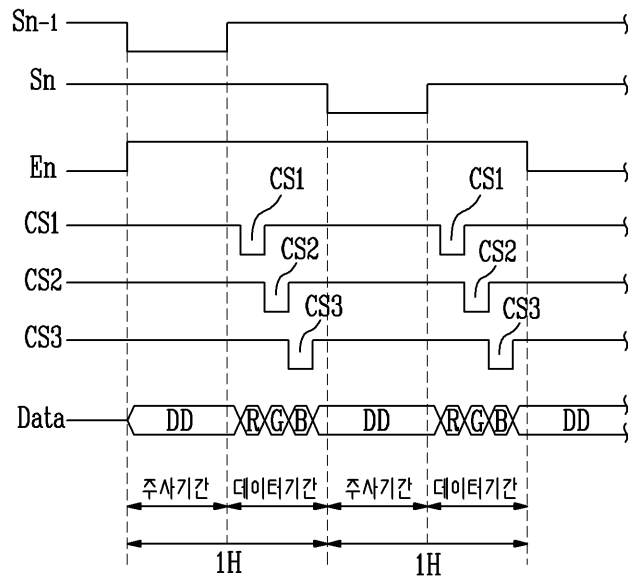
도면1



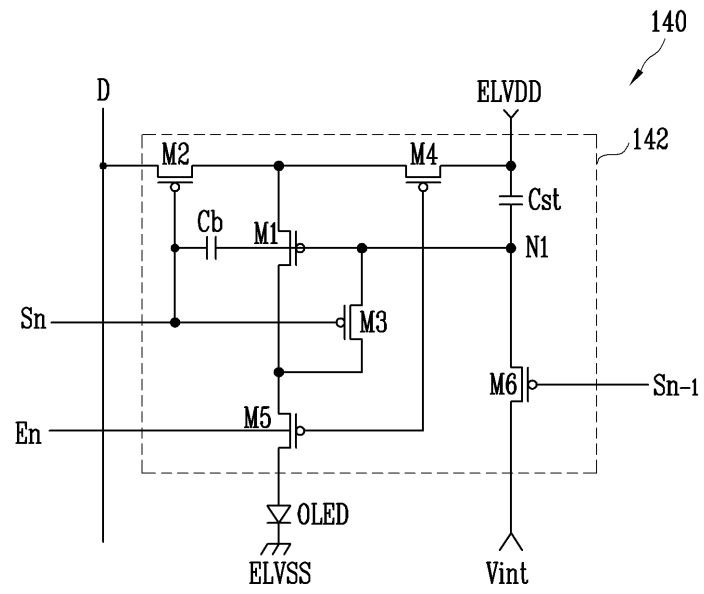
도면2



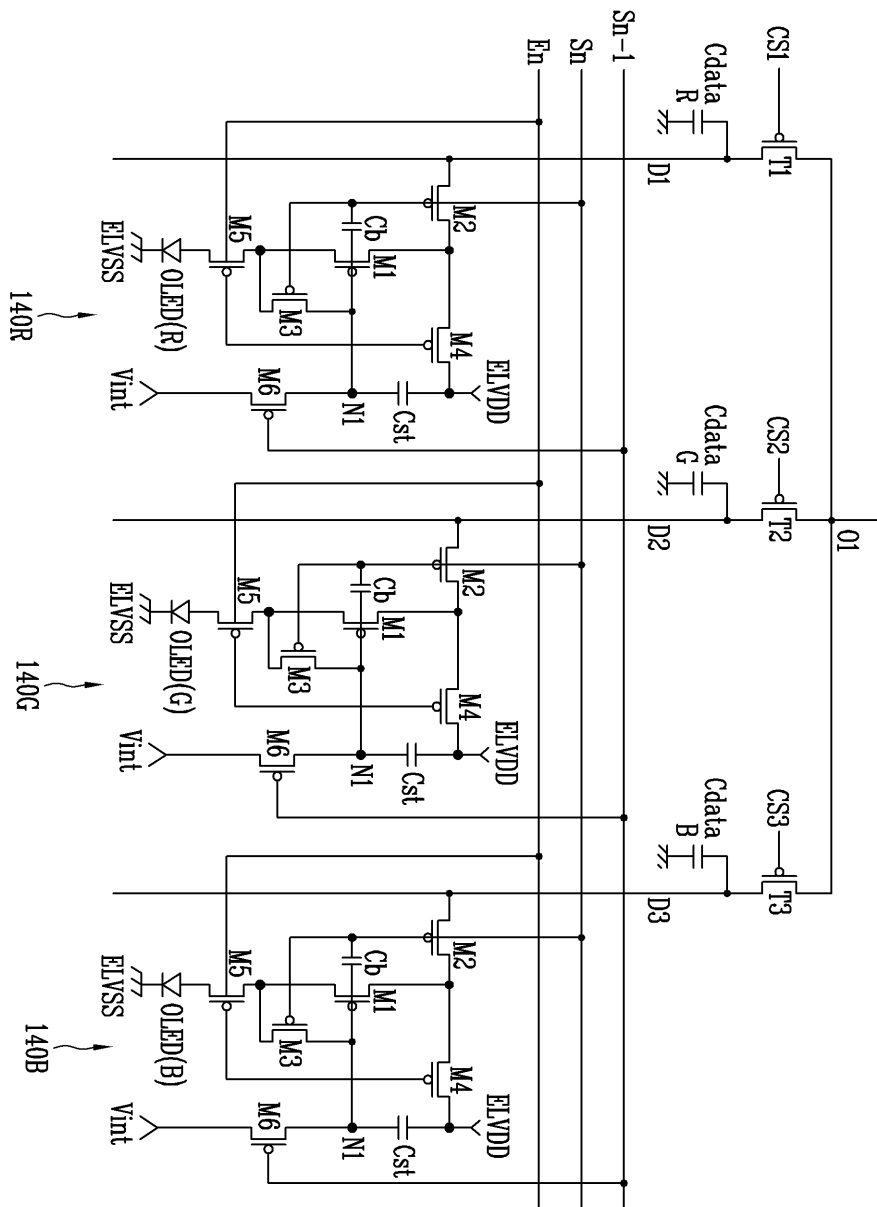
도면3



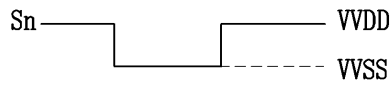
도면4



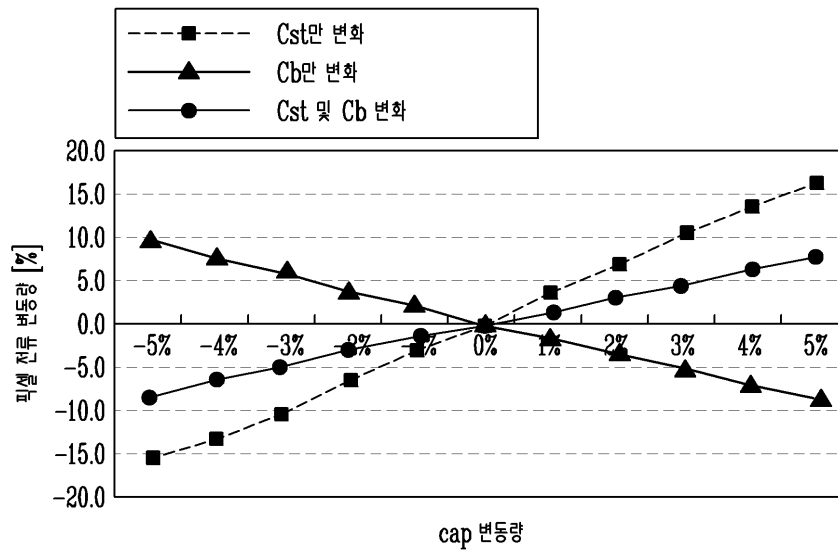
도면5



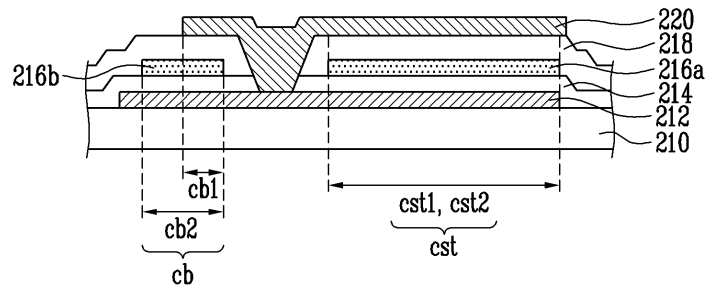
도면6



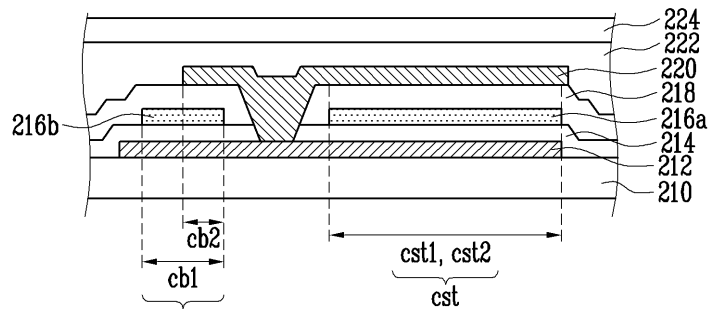
도면7



도면8



도면9



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100846984B1	公开(公告)日	2008-07-17
申请号	KR1020070019571	申请日	2007-02-27
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YANGWAN KIM 김양완		
发明人	김양완		
IPC分类号	H05B33/26		
CPC分类号	G09G2300/0852 G09G2300/0439 G09G2300/0814 G09G2320/043 H01L27/3265 G09G2310/0251 G09G3/3233 G09G2300/0819		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及能够向有机发光二极管提供所需电流的有机发光显示装置。根据本发明实施例的有机发光显示器包括基板，形成在基板上的半导体层，形成在半导体层上的第一绝缘层，以及形成在第一绝缘层上的具有不同长度的第二绝缘层形成在第一电极层和第二电极层上的第二电极层，和形成在第三电极层上的第二电极层，形成存储电容器的第三电极层和形成升压电容器的第二电极层，并且设置第三电极层使得与第一电极层的重叠长度大于与第二电极层的重叠长度。

