



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2007년09월21일

(11) 등록번호 10-0761121

(24) 등록일자 2007년09월17일

(51) Int. Cl.

H05B 33/26(2006.01) H05B 33/10(2006.01)

(21) 출원번호 10-2005-0136109

(22) 출원일자 2005년12월30일

심사청구일자 2005년12월30일

(65) 공개번호 10-2007-0072124

공개일자 2007년07월04일

(56) 선행기술조사문헌

KR1020010070450A

전체 청구항 수 : 총 8 항

(73) 특허권자

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

김홍규

경기도 의왕시 왕곡동 신안포은아파트 103동 902
호

(74) 대리인

이수웅

심사관 : 안준형

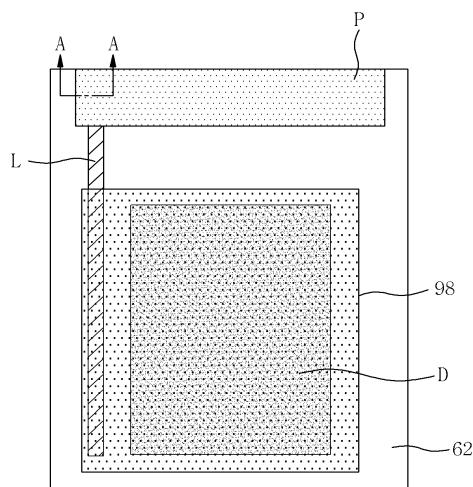
(54) 전계발광 표시장치와 그 제조방법

(57) 요 약

전계발광 표시장치와 그 제조방법이 개시된다.

전계발광 표시장치는 기판 상에 구비된 두 개의 전극 사이에 형성된 발광부 및 발광부와 전기적으로 연결되어 발광부를 구동하는 박막 트랜지스터부를 포함하며, 화상을 표시하는 표시 영역에 형성된 픽셀 회로부; 두 개의 전극과 연결되어 두 개의 전극에 신호를 인가하는 배선부; 및 금속층 및 이러한 금속층을 외부로 미노출시키도록 금속층 상에 외부로 노출되도록 형성된 도전층을 구비하며, 픽셀 회로부를 구동하기 위한 구동부 및 배선부를 전기적으로 연결하도록 기판 가장자리의 비표시 영역에 형성되는 패드부를 포함한다.

대표도 - 도7



특허청구의 범위

청구항 1

기판 상에 구비된 두 개의 전극 사이에 형성된 발광부 및 상기 발광부와 전기적으로 연결되어 상기 발광부를 구동하는 박막 트랜지스터부를 포함하며, 화상을 표시하는 표시 영역에 형성된 픽셀 회로부;

상기 두 개의 전극과 연결되어 상기 두 개의 전극에 신호를 인가하는 배선부; 및

금속층 및 상기 금속층을 외부로 미노출시키도록 상기 금속층 상에 상기 외부로 노출되도록 형성된 도전층을 구비하며, 상기 픽셀 회로부를 구동하기 위한 구동부 및 상기 배선부를 전기적으로 연결하도록 상기 기판 가장자리의 비표시 영역에 형성되는 패드부

를 포함하는 전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 패드부의 도전층의 재질은, ITO, IZO, ITZO 중 어느 하나인 것을 특징으로 하는 전계발광 표시장치.

청구항 3

제1항에 있어서,

상기 패드부의 금속층은, 상기 박막 트랜지스터부의 게이트 전극, 드레인 전극 및 소스 전극 중 적어도 어느 하나 이상과 동일 재질로 동일 평면 상에 형성된 것을 특징으로 하는 전계발광 표시장치.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 발광부의 발광층은, 유기물로 형성된 것을 특징으로 하는 전계발광 표시장치.

청구항 6

기판 상에 형성된 두 개의 전극 사이에 형성된 발광부 및 상기 발광부와 전기적으로 연결되어 상기 발광부를 구동하는 박막 트랜지스터부를 포함하는 픽셀 회로부를 상기 기판 상의 표시 영역에 형성하는 단계;

상기 두 개의 전극과 연결되어 상기 두 개의 전극에 신호를 인가하는 배선부를 형성하는 단계; 및

상기 기판 가장자리의 비표시 영역에 금속층 및 상기 금속층을 외부로 미노출시키도록 상기 금속층 상에 상기 외부로 노출되도록 형성된 도전층을 구비하는 패드부를 형성하는 단계

를 포함하는 전계발광 표시장치의 제조방법.

청구항 7

제6항에 있어서,

상기 패드부의 도전층의 재질은, ITO, IZO, ITZO 중 어느 하나인 것을 특징으로 하는 전계발광 표시장치의 제조방법.

청구항 8

제6항에 있어서,

상기 패드부의 금속층은, 상기 박막 트랜지스터부의 게이트 전극, 드레인 전극 및 소스 전극 중 적어도 어느 하나 이상과 동일 재질로 동일 평면 상에 형성된 것을 특징으로 하는 전계발광 표시장치의 제조방법.

청구항 9

삭제

청구항 10

제6항에 있어서,

상기 발광부의 발광층은, 유기물로 형성된 것을 특징으로 하는 전계발광 표시장치의 제조방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- <36> 본 발명은 전계발광 표시장치와 그 제조방법에 관한 것이다.
- <37> 전계발광소자는 전자(electron)주입 전극(cathode)과 정공(hole)주입 전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기상태로부터 기저상태로 떨어질 때 발광하는 자발광 소자이다.
- <38> 이러한 전계발광소자는 낮은 전압에서 구동이 가능하고, 박형 등의 장점을 지니고 있다. 또한, 시야각이 매우 넓고 응답속도가 빠르며, 구동전압이 낮고 초박막화가 가능하기 때문에 벽걸이형 또는 휴대용 등의 차세대 디스플레이로 주목받고 있다.
- <39> 또한, 전계발광소자는 서브픽셀을 구동하는 방식에 따라 패시브 매트릭스형 전계발광소자(Passive Matrix LED)와 박막트랜지스터(TFT)를 이용하여 구동하는 방식인 액티브 매트릭스형 전계발광소자(Active Matrix LED)로 구분되었다.
- <40> 이와 같은 전계발광소자를 이용한 전계발광 표시장치는 적색, 청색, 녹색의 서브 픽셀들이 각각 또는 상호 작용하여 하나의 색을 표현하는 단위인 픽셀을 이용하여 칼라를 구현하였다.
- <41> 도 1은 종래 전계발광소자의 구조 단면도로, 액티브 매트릭스형 전계발광소자(이하, 전계발광소자로 약칭함.)의 구조를 도시한다.
- <42> 도 1을 참조하면, 종래 전계발광소자(10)는 기판(12) 상에 반도체층(14)이 선택적으로 형성되어 있었고, 반도체층(14)의 일부에 B 또는 P와 같은 불순물이 첨가되어 박막 트랜지스터부(20)의 소스(16) 및 드레인(18)으로 구분되었다.
- <43> 전술한 반도체층(14) 상에는 게이트 절연막(22)이 형성되어 있었고, 전술한 반도체층(14)에 대응되어 게이트 전극(24)이 형성되어 있었다.
- <44> 또한, 게이트 전극(24) 상에는 충간 절연막A(26)가 형성되어 있었고, 그 위에 애노드 전극(32)이 박막 트랜지스터부(20)을 기준으로 구분되게 형성되어 있었다.
- <45> 이어서, 충간 절연막A(26) 상에는 소스(16) 및 드레인(18)이 노출되도록 컨택홀이 형성되어 제1 및 제2 전극(28, 30)이 소스(16) 및 드레인(18)과 각각 연결되어 있었고, 드레인(18)과 연결된 제2 전극(30)은 애노드 전극(32)과 연결되었다.
- <46> 계속해서, 박막 트랜지스터부(20)에 대응되는 소정 영역 및 이웃하는 애노드 전극(32)의 일부를 포함하는 영역에 절연막B(34)가 형성되어 있었고, 그 위에 발광부(36) 상세하게는 정공 주입층(38), 정공 전달층(40), 발광층(42), 전자 전달층(44), 전자 주입층(46)이 적층되었다. 또한, 발광부(36) 상에 캐소드 전극(48)이 형성되어 있었다.
- <47> 도 2는 도 1 상의 전계발광소자가 구비된 전계발광 표시장치의 구조도이다.
- <48> 도 2를 참조하면, 종래 전계발광 표시장치에는 이상과 같은 구조를 갖는 전계발광소자(10)가 구비되어 화상을 표시하는 표시 영역에 픽셀 회로부(D)가 형성되었고, 픽셀 회로부(D)에 구동 신호를 전달하는 배선부(L)가 인접

한 영역에 배치되었으며, 배선부(L)는 구동부와 전계발광 표시장치를 연결해주는 패드부(P)에 전기적으로 연결되었다. 여기서, 상기 패드부(P)는 기판(12)의 일측 가장자리의 비표시 영역에 형성된다.

<49> 도 3 및 도 4는 도 2 상의 패드부의 단면도로, 각각 제1 실시예와 제2 실시예에 따른 종래 패드부의 구조를 도시하였다. 단, 도시의 이해를 용이하게 하기 위해 도 2 상의 A-A선을 따라 패드부(P)를 절단하여 배선부(L)와 연결된 하나의 패드의 구조를 도시하였다.

<50> 종래 제1 및 제2 실시예에 따른 패드부의 구조는 공정의 단축효과를 위해 전계발광소자(10)의 공정 상 사용되는 과정과 각 부의 재료를 그대로 적용하여 형성하였다.

<51> 도 2 및 도 3을 참조하면, 기판(12) 상에 게이트 절연막(22)과 동일한 재료로 게이트 절연막(22)과 동일 평면 상에 제1 절연막(52)이 형성되어 있었고, 그 위에 게이트 전극(24)과 동일한 재료로 게이트 전극(24)과 동일 평면 상에 제1 금속층(54)이 형성되어 있었다.

<52> 또한, 제1 금속층(54) 상에는 충간 절연막A(26)와 동일한 재료로 충간 절연막A(26)와 동일 평면 상에 제2 절연막(56)이 형성되었고, 제1 금속층(54)이 노출되도록 컨택홀(H)이 형성되어 있었다.

<53> 도 2 및 도 4를 참조하면, 기판(12) 상에 게이트 절연막(22)과 동일한 재료로 게이트 절연막(22)과 동일 평면 상에 제1 절연막(52)이 형성되어 있었고, 그 위에 게이트 전극(24)과 동일한 재료로 게이트 전극(24)과 동일 평면 상에 제1 금속층(54)이 형성되어 있었다.

<54> 또한, 제1 금속층(54) 상에는 충간 절연막A(26)와 동일한 재료로 충간 절연막A(26)와 동일 평면 상에 제2 절연막(56)이 형성되었고, 제1 금속층(54)이 노출되도록 컨택홀이 형성되어 컨택홀을 통해 제1 및 제2 금속 전극(28, 30) 중 어느 하나와 같은 재료로 제1 및 제2 금속 전극(28, 30) 중 어느 하나와 동일 평면 상에 제2 금속층(58)이 형성되어 있었다.

<55> 위에서 설명한 구조의 종래 전계발광소자(10)의 경우, 충간 절연막A(26) 상에 애노드 전극(32)을 형성한 후에 컨택홀을 통해 박막 트랜지스터부(20)의 소스(16) 및 드레인(18) 영역이 충간 절연막A(26) 상의 외부로 노출되도록 제1 및 제2 금속 전극(28, 30)을 형성하기 때문에, 컨택홀을 형성하는 식각 과정에서 애노드 전극(32)이 식각액(etchant)에 의해 손상을 입는 문제점이 있었다.

<56> 전계발광소자(10)는 애노드 전극(32)의 표면 특성에 따라 그 발광 효율과 수명이 크게 좌우되므로, 이러한 문제는 종래 전계발광 표시장치로 이어졌다.

<57> 또한, 종래 패드부(P)는 패드부(P) 및 구동부 간 접속을 위해 제1 및 제2 금속층(54, 58) 중 어느 하나 또는 하나 이상이 외부로 노출되는 구조였기 때문에, 수분 및 산소 또는 각 공정별 바람직하지 못한 불순물 가스등에 노출되어 oxide층 또는 불순물 층이 형성되거나 제1 및 제2 금속층(54, 58) 자체가 열화 및 손상되는 문제가 있었다.

<58> 이러한 제1 및 제2 금속층(54, 58)의 손상 문제는 패드부(P)의 기능을 불안정하게 하여 종래 전계발광 표시장치의 수율과 수명 및 신뢰도 저하라는 심각한 문제가 발생하였다.

발명이 이루고자 하는 기술적 과제

<59> 이상과 같은 문제를 해결하기 위해 본 발명은 전계발광소자의 구조 및 제조 공정을 개선하여 소자 및 패드부의 안정성을 확보함으로써, 수율과 수명 및 신뢰도가 향상된 전계발광 표시장치를 구현 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

<60> 상기 목적을 달성하기 위해, 본 발명에 따른 전계발광 표시장치는, 기판 상에 구비된 두 개의 전극 사이에 형성된 발광부 및 상기 발광부와 전기적으로 연결되어 상기 발광부를 구동하는 박막 트랜지스터부를 포함하며, 화상을 표시하는 표시 영역에 형성된 픽셀 회로부; 상기 두 개의 전극과 연결되어 상기 두 개의 전극에 신호를 인가하는 배선부; 및 금속층 및 상기 금속층을 외부로 미노출시키도록 상기 금속층 상에 상기 외부로 노출되도록 형성된 도전층을 구비하며, 상기 픽셀 회로부를 구동하기 위한 구동부 및 상기 배선부를 전기적으로 연결하도록 상기 기판 가장자리의 비표시 영역에 형성되는 패드부를 포함한다.

<61> 여기서, 상기 패드부의 도전층의 재질은, ITO, IZO, ITZO 중 어느 하나일 수 있다.

- <62> 여기서, 상기 패드부의 금속층은, 상기 박막 트랜지스터부의 게이트 전극, 드레인 전극 및 소스 전극 중 적어도 어느 하나 이상과 동일 재질로 동일 평면 상에 형성될 수 있다.
- <63> 여기서, 상기 발광부의 발광층은, 유기물로 형성될 수 있다.
- <64> 삭제
- <65> 한편, 상기 목적을 달성하기 위해, 본 발명에 따른 전계발광 표시장치의 제조방법은, 기판 상에 형성된 두 개의 전극 사이에 형성된 발광부 및 상기 발광부와 전기적으로 연결되어 상기 발광부를 구동하는 박막 트랜지스터부를 포함하는 광셀 회로부를 상기 기판 상의 표시 영역에 형성하는 단계; 상기 두 개의 전극과 연결되어 상기 두 개의 전극에 신호를 인가하는 배선부를 형성하는 단계; 및 상기 기판의 가장자리에 금속층 및 상기 금속층 상에 외부로 노출되도록 형성되되 상기 금속층을 상기 외부로 미노출시키도록 형성된 도전층을 포함하는 패드부를 형성하는 단계를 포함한다.
- <66> 여기서, 상기 패드부의 도전층의 재질은, ITO, IZO, ITZO 중 어느 하나일 수 있다.
- <67> 여기서, 상기 패드부의 금속층은, 상기 박막 트랜지스터부의 게이트 전극, 드레인 전극 및 소스 전극 중 적어도 어느 하나 이상과 동일 재질로 동일 평면 상에 형성될 수 있다.
- <68> 삭제
- <69> 여기서, 상기 발광부의 발광층은, 유기물로 형성될 수 있다.
- <70> 이하, 본 발명의 다양한 실시예들을 첨부한 도면을 참조하여 상세히 설명한다.
- <71> 도 5는 본 발명의 실시예에 따른 전계발광소자의 구조 단면도이다.
- <72> 도 5를 참조하면, 본 발명의 실시예에 따른 전계발광소자(60)는 기판(62) 상에 반도체층(64)이 선택적으로 형성되어 있고, 반도체층(64)의 일부에 B 또는 P와 같은 불순물이 첨가되어 박막 트랜지스터부(70)의 소스(66) 및 드레인(68)으로 구분된다.
- <73> 전술한 반도체층(64) 상에는 게이트 절연막(72)이 형성되어 있고, 반도체층(64)에 대응되어 게이트 전극(74)이 형성되어 있다.
- <74> 또한, 게이트 전극(74) 상에는 충간 절연막A(76)가 형성되고, 충간 절연막A(76) 상에는 소스(66) 및 드레인(68)이 노출되도록 컨택홀이 형성되어 제1 및 제2 전극(78, 80)이 소스(66) 및 드레인(68)과 각각 연결된다.
- <75> 이어서, 애노드 전극(82)이 박막 트랜지스터부(70)을 기준으로 구분되게 형성되어 있다.
- <76> 또한, 박막 트랜지스터부(70)에 대응되는 소정 영역 및 이웃하는 애노드 전극(82)의 일부를 포함하는 영역에 절연막B(84)가 형성되고, 그 위에 발광부(86) 상세하게는 정공 주입층(88), 정공 전달층(90), 발광층(92), 전자 전달층(94), 전자 주입층(96)이 적층된다. 또한, 발광부(86) 상에 캐소드 전극(98)이 형성되어 있다.
- <77> 도 6a 내지 6e는 도 5 상의 전계발광소자의 공정별 단면도이다.
- <78> 도 6a를 참조하면, 패터닝된 기판(62) 상에 실리콘과 같은 반도체층(64)을 형성하고, 여기에 B 또는 P와 같은 불순물을 주입하고 열처리하여, 박막 트랜지스터부(70)의 소스(66) 및 드레인(68) 영역을 형성한다.
- <79> 이어서, 반도체물질층(74) 상에 게이트 절연막(72)을 형성하고, 그 위에 게이트 전극(78)과 충간 절연막A(76)를 차례로 형성한다.
- <80> 도 6b를 참조하면, 박막 트랜지스터부(70)의 소스(66)와 드레인(68) 영역이 충간 절연막A(76)의 외부로 노출되도록 게이트 절연막(54) 및 충간 절연막A(76)를 관통하는 두 개의 컨택홀(H)을 형성한다.
- <81> 도 6c를 참조하면, 충간 절연막A(76) 상에서 두 개의 컨택홀(H)을 통해 박막 트랜지스터부(70)의 소스(66) 및 드레인(68)과 각각 접촉하는 제1 금속 전극(78)과 제2 금속 전극(80)을 형성한다.
- <82> 도 6d를 참조하면, 제2 금속 전극(80)의 일부 또는 전부를 덮도록 애노드 전극(60)을 형성한다. 이 때, 제1 금속 전극(78) 상에도 제2 금속 전극(80)과 동일한 재료와 구조로 애노드 전극(82)을 형성할 수 있다.

- <83> 이때, 애노드 전극(82)은 소자의 발광 구조에 따라 투명한 금속 전극 예를 들어, ITO, IZO, ITZO 등과 같이 투명한 도전 재료로 형성할 수 있다.
- <84> 이처럼, 제1 및 제2 금속 전극(78, 80)의 형성 후, 애노드 전극(82)을 형성하는 본 발명에 따른 공정 상의 특징은 종래 전계발광소자(10)의 공정 단계상 컨택홀 형성 단계에서 식각액가 애노드 전극(도 1의 32)에 손상을 입히던 문제를 해결할 수 있다.
- <85> 또한, 애노드 전극(82)이 제1 및 제2 금속 전극(78, 80)을 덮는 구조는 흐르는 전류에 의한 제1 및 제2 금속 전극(78, 80)의 열화 현상을 억제하여, 제품의 수명을 향상시킬 수 있다.
- <86> 또한, 애노드 전극(82)이 제1 및 제2 금속 전극(78, 80)을 덮는 구조는 제1 및 제2 금속 전극(78, 80)에 대하여 보호막과 같은 역할을 하므로, 공기 및 수분과 공정상 발생하는 이물질 가스 등에 대한 노출로 인한 산화를 방지하여, 소자의 신뢰도를 향상시키고, 그로 인해 공정 수율이 향상시킬 수 있다.
- <87> 도 6e를 참조하면, 애노드 전극(82) 상에 절연막B(34)와 정공 주입층(88) 및 정공 전달층(90), R,G,B 발광층(92)과 전자 전달층(94) 및 전자 주입층(96)을 차례로 층착하여, 발광층(86)을 형성한다.
- <88> 이어서, 발광층(86) 상에 캐소드 전극(98)을 형성함으로써 본 발명의 전계발광소자(60)를 완성한다.
- <89> 이상, 본 발명을 실시예에 따른 도면을 참조하여 설명하였으나, 본 발명의 소자의 구조는 이에 국한되지 않는다.
- <90> 도 7은 도 5 상의 전계발광소자가 구비된 전계발광 표시장치의 구조도이다.
- <91> 도 7을 참조하면, 본 발명의 실시예에 따른 전계발광 표시장치에는 이상과 같은 구조를 갖는 전계발광소자(60)가 구비되어 기판(62) 상에 픽셀 회로부(D)가 형성되고, 픽셀 회로부(D)에 구동 신호를 전달하는 배선부(L)가 인접한 영역에 배치되며, 배선부(L)는 구동부와 전계발광 표시장치를 연결해주는 패드부(P)에 전기적으로 연결된다. 여기서, 상기 픽셀 회로부(D)는 상기 기판 상의 표시 영역에 형성되며, 상기 패드부(P)는 기판(62) 가장 자리의 비표시 영역 상에 외부로 노출되도록 형성될 수 있다.
- <92> 도 8 내지 도 10은 도 7 상의 패드부의 단면도로, 각각 본 발명의 제1 내지 제3 실시예에 따른 패드부의 구조를 도시하였다. 단, 도시의 이해를 용이하게 하기 위해 도 7 상의 A-A선을 따라 패드부(P)를 절단하여 배선부(L)와 연결된 하나의 패드의 구조를 도시하였다.
- <93> 본 발명의 제1 내지 제3 실시예에 따른 패드부의 구조는 공정의 단축효과를 위해 전계발광소자(60)의 공정 상 사용되는 과정과 각 부의 재료를 그대로 적용하여 형성하였다.
- <94> 도 7 및 도 8을 참조하면, 기판(62) 상에 게이트 절연막(72)과 동일한 재료로 게이트 절연막(72)과 동일 평면 상에 제1 절연막(102)이 형성되고, 그 위에 게이트 전극(72)과 동일한 재료로 게이트 전극(72)과 동일 평면 상에 제1 금속층(104)이 형성된다.
- <95> 또한, 제1 금속층(104) 상에는 충간 절연막A(76)와 동일한 재료로 충간 절연막A(76)와 동일 평면 상에 제2 절연막(106)이 형성되고, 제1 금속층(104)이 노출되도록 컨택홀이 형성된다.
- <96> 또한, 컨택홀을 통해 제1 금속층(104)과 접촉하도록 애노드 전극(82)과 동일한 재료로 애노드 전극(82)과 동일 평면 상에 도전층(108)이 형성된다. 이때, 도전층(108)은 외부로 노출되도록 형성되며, 제1 금속층(104)은 상기 도전층으로 인해 외부로 노출되지 않도록 형성된다. 이 때문에, 패드부(P)의 신뢰성이 확보될 수 있다.
- <97> 이때, 애노드 전극(82) 및 도전층(108)은 내산화성이 있으며 도전성이 있는 ITO, IZO, ITZO 중 어느 하나 또는 하나 이상으로 형성될 수 있다.
- <98> 도 7 및 도 9를 참조하면, 기판(62) 상에 게이트 절연막(72)과 동일한 재료로 게이트 절연막(72)과 동일 평면 상에 제1 절연막(102)이 형성되고, 그 위에 게이트 전극(74)과 동일한 재료로 게이트 전극(74)과 동일 평면 상에 제1 금속층(104)이 형성된다.
- <99> 또한, 제1 금속층(104) 상에는 충간 절연막A(76)와 동일한 재료로 충간 절연막A(76)와 동일 평면 상에 제2 절연막(106)이 형성되고, 제1 금속층(104)이 노출되도록 컨택홀이 형성되어 컨택홀을 통해 제1 및 제2 금속 전극(78, 80) 중 어느 하나와 같은 재료로 제1 및 제2 금속 전극(78, 80) 중 어느 하나와 동일 평면 상에 제2 금속 층(110)이 형성된다. 이때, 제2 금속층(110)은 하나 이상의 층으로 형성될 수도 있다.

- <100> 전술한 제2 금속층(110) 상에는 애노드 전극(82)과 동일한 재료로 애노드 전극(82)과 동일 평면 상에 형성됨과 아울러 외부로 노출되도록 형성된 도전층(108)이 제2 금속층(110)을 덮도록 형성된다. 이 때문에, 제2 금속층(110)은 외부로 노출되지 않게 되며, 이로 인해 패드부(P)의 신뢰성이 확보될 수 있다.
- <101> 이와 같은 제2 실시예의 패드부 구조는 도 8에 도시한 제1 실시예에 상대적으로 패드부의 금속층 구조가 더 추가됨으로써 패드부의 열화를 억제하고, 더 효과적인 신호전달을 가능하게 하는 장점이 있다.
- <102> 도 7 및 도 10을 참조하면, 기판(62) 상에 게이트 절연막(72)과 동일한 재료로 게이트 절연막(72)과 동일 평면 상에 제1 절연막(102)이 형성되고, 그 위에 층간 절연막A(76)와 동일한 재료로 층간 절연막A(76)와 동일 평면 상에 제2 절연막(106)이 형성된다.
- <103> 이어서, 제1 및 제2 금속 전극(78, 80) 중 어느 하나와 동일한 재료로 제1 및 제2 금속 전극(78, 80) 중 어느 하나와 동일 평면 상에 제3 금속층(112)이 형성되고, 애노드 전극(82)과 동일한 재료로 애노드 전극(82)과 동일 평면 상에 제3 금속층(112)을 덮도록 형성됨과 아울러 외부로 노출되도록 형성된 도전층(108)이 형성된다. 상기 도전층(108)으로 인해 제3 금속층(112)은 외부로 노출되지 않는다. 이 때문에, 패드부(P)의 신뢰성이 확보될 수 있다.
- <104> 이와 같은 제3 실시예의 패드부 구조는 컨택홀 형성공정이 없어지므로, 전술한 제1 및 제2 실시예보다 상대적으로 공정이 단순화되어 수율이 향상되는 장점이 있다.
- <105> 위에서 설명한 바와 같은 구조 및 공정에 따른 본 발명의 전계발광소자 및 그를 구비한 전계발광 표시장치는 소자 및 패드부의 안정성을 확보함으로써 소기 목적을 달성할 수 있다.
- <106> 이상 본 발명의 제2 금속층이 소스 및 드레인과 연결된 금속 전극 중 어느 하나와 동일한 재료로 형성되거나, 하나 이상의 층으로 형성될 수 있는 것으로 설명하였으나, 본 발명은 이에 국한되지 않으며, 박막 트랜지스터부의 소스 전극, 드레인 전극 및 게이트 전극의 위치 관계가 바뀔 수 있고, 소스와 드레인은 어느 하나 또는 둘 다 각각 하나의 전극으로 형성될 수 있다. 또한, 그에 따라 제2 금속층은 소스 전극과 드레인 전극 및 게이트 전극 중 어느 하나 또는 하나 이상으로 형성될 수 있다.
- <107> 이상 본 발명의 전계발광소자는 발광부에 유기물 또는 무기물을 모두 적용할 수 있는 전계발광소자의 범주로 이해되어야 한다.
- <108> 이상 다양한 실시예를 들어 본 발명에 대하여 서술하였으나, 본 발명의 범위는 전술한 상세 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고, 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

- <109> 본 발명에 따르면, 전계발광소자 및 전계발광 표시장치의 개선된 구조와 제조 방법을 제공하여 소자 및 패드부의 안정성을 확보함으로써, 수율과 수명 및 신뢰도가 향상된 전계발광 표시장치를 구현 제공할 수 있다. 특히, 패드부의 금속층이 외부로 노출되지 않기 때문에 패드부의 신뢰성을 확보할 수 있다.

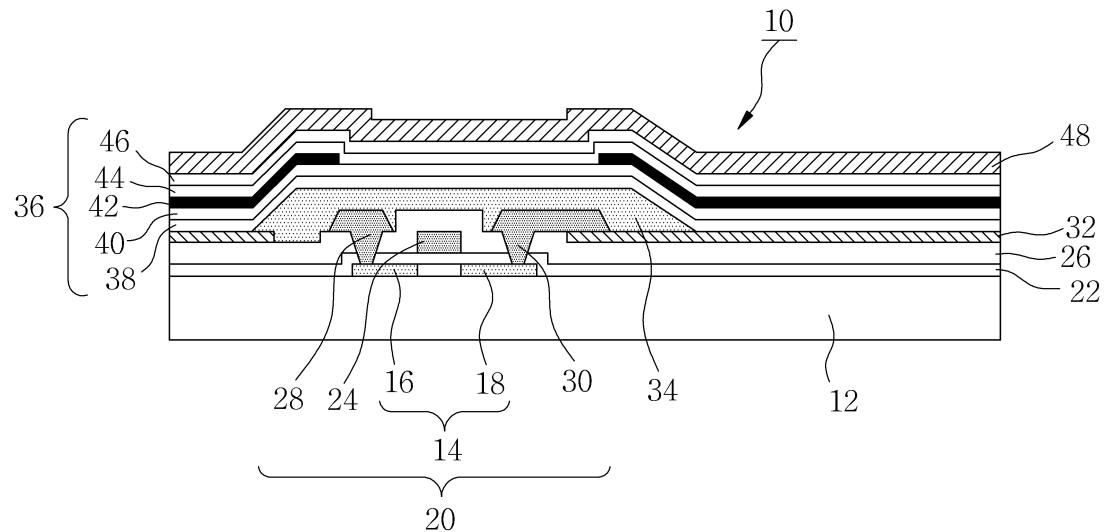
도면의 간단한 설명

- <1> 도 1은 종래 전계발광소자의 구조 단면도.
- <2> 도 2는 도 1 상의 전계발광소자가 구비된 전계발광 표시장치의 구조도.
- <3> 도 3 및 도 4는 도 2 상의 패드부의 단면도.
- <4> 도 5는 본 발명의 실시예에 따른 전계발광소자의 구조 단면도.
- <5> 도 6a 내지 6e는 도 5 상의 전계발광소자의 공정별 단면도.
- <6> 도 7은 도 5 상의 전계발광소자가 구비된 전계발광 표시장치의 구조도.
- <7> 도 8 내지 도 10은 도 7 상의 패드부의 단면도.
- <8> * 도면의 주요부호에 대한 설명 *
- <9> 10 : 전계발광소자 12 : 기판

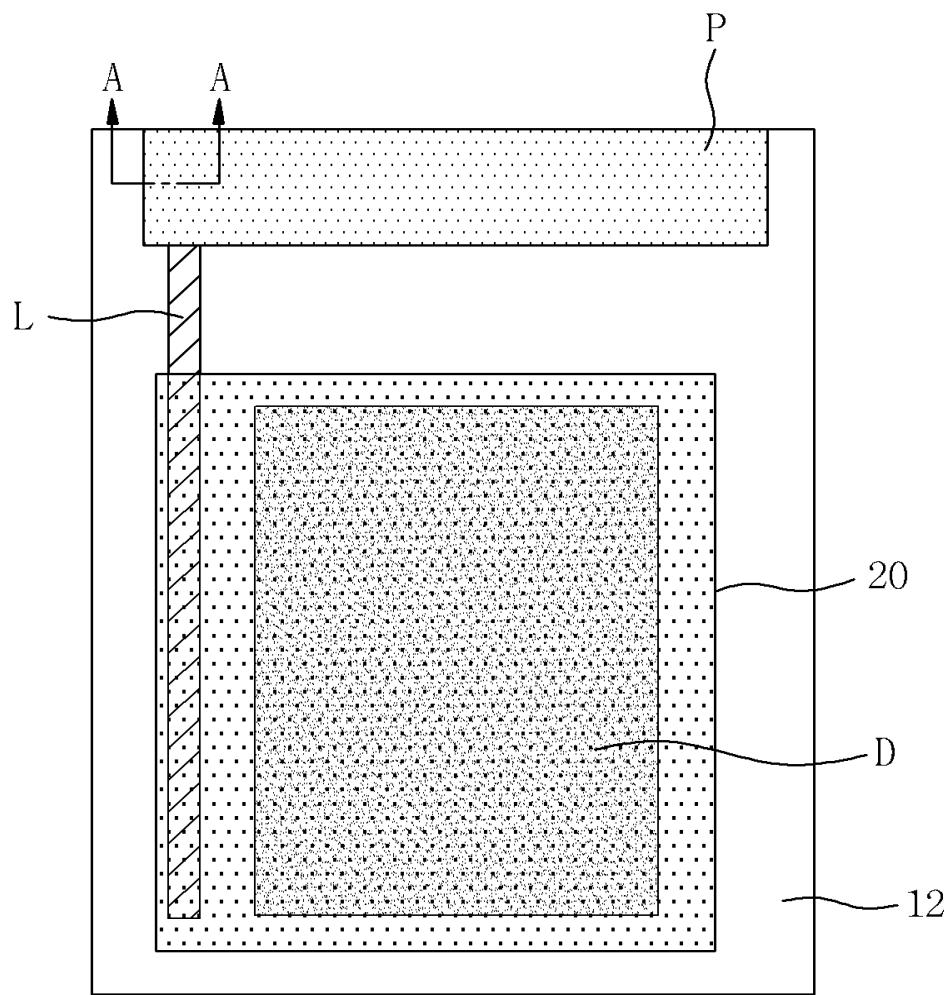
- <10> 14 : 반도체층 16 : 소스
- <11> 18 : 드레인 20 : 박막 트랜지스터부
- <12> 22 : 게이트 절연막 24 : 게이트 전극
- <13> 26 : 층간 절연막A 28 : 제1 금속 전극
- <14> 30 : 제2 금속 전극 32 : 애노드 전극
- <15> 34 : 절연막B 36 : 발광부
- <16> 38 : 정공 주입층 40 : 정공 전달층
- <17> 42 : 발광층 44 : 전자 전달층
- <18> 46 : 전자 주입층 48 : 캐소드 전극
- <19> 52 : 제1 절연막 54 : 제1 금속층
- <20> 56 : 제2 절연막 58 : 제2 금속층
- <21> 60 : 전계발광소자 62 : 기판
- <22> 64 : 반도체층 66 : 소스
- <23> 68 : 드레인 70 : 박막 트랜지스터부
- <24> 72 : 게이트 절연막 74 : 게이트 전극
- <25> 76 : 층간 절연막A 78 : 제1 금속 전극
- <26> 80 : 제2 금속 전극 82 : 애노드 전극
- <27> 84 : 절연막B 86 : 발광부
- <28> 88 : 정공 주입층 90 : 정공 전달층
- <29> 92 : 발광층 94 : 전자 전달층
- <30> 96 : 전자 주입층 98 : 캐소드 전극
- <31> 102 : 제1 절연막 104 : 제1 금속층
- <32> 106 : 제2 절연막 108 : 도전층
- <33> 110 : 제2 금속층 112 : 제3 금속층
- <34> D : 꽈셀 회로부 H : 컨택홀(Contact Hole)
- <35> L : 배선부 P : 패드부(Pad)

도면

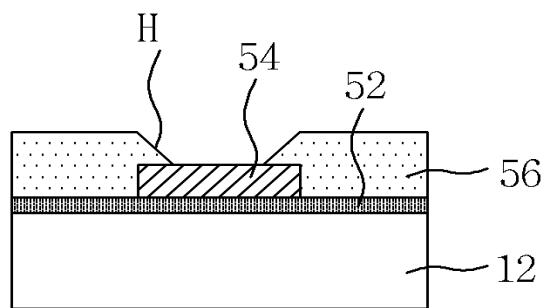
도면1



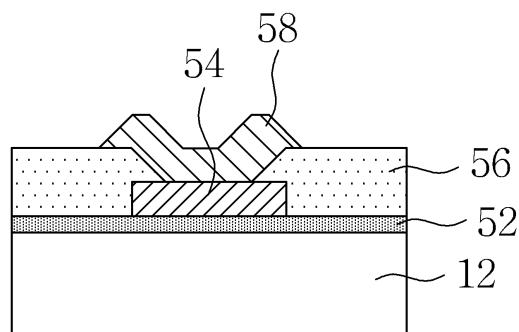
도면2



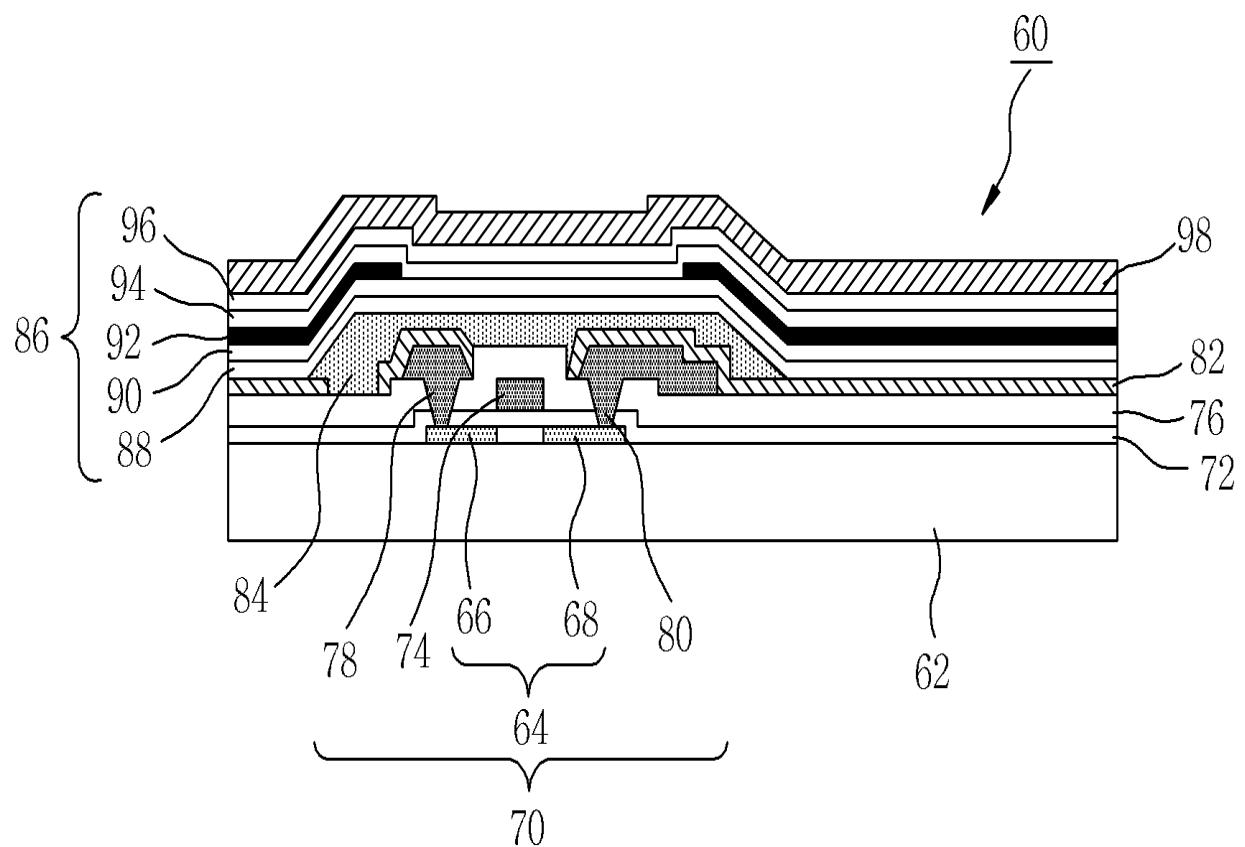
도면3



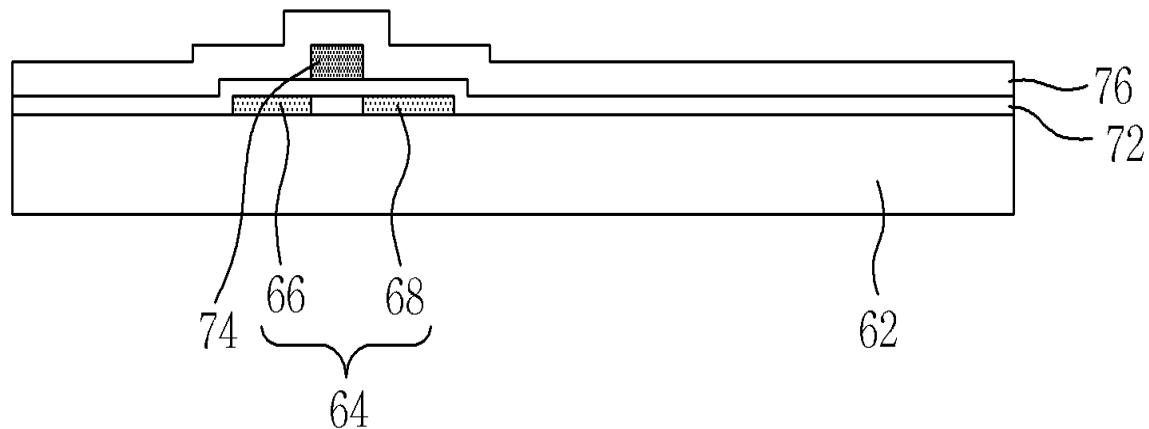
도면4



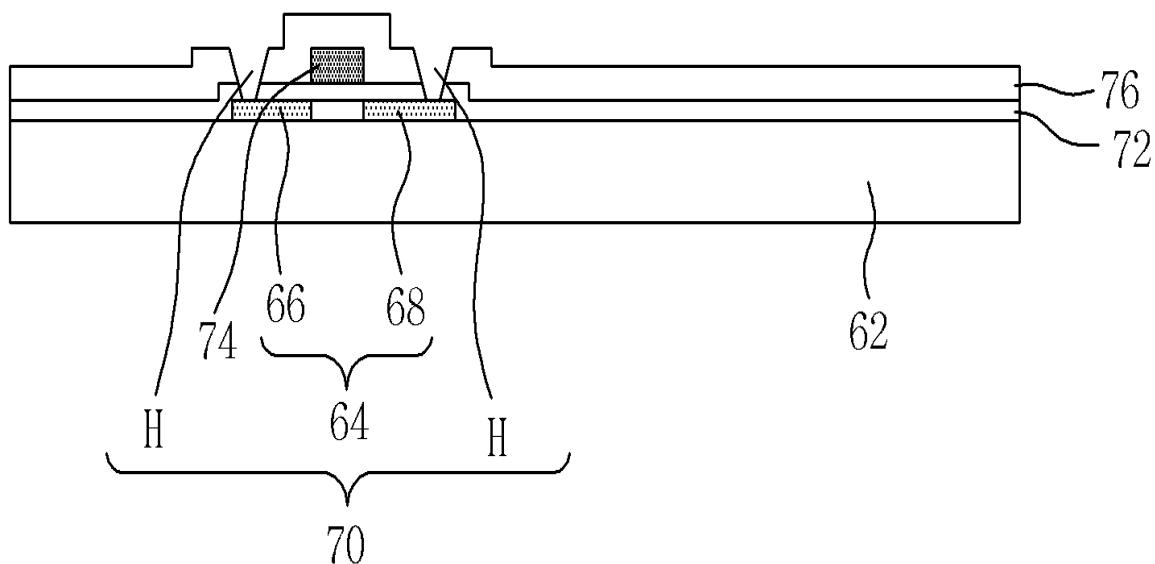
도면5



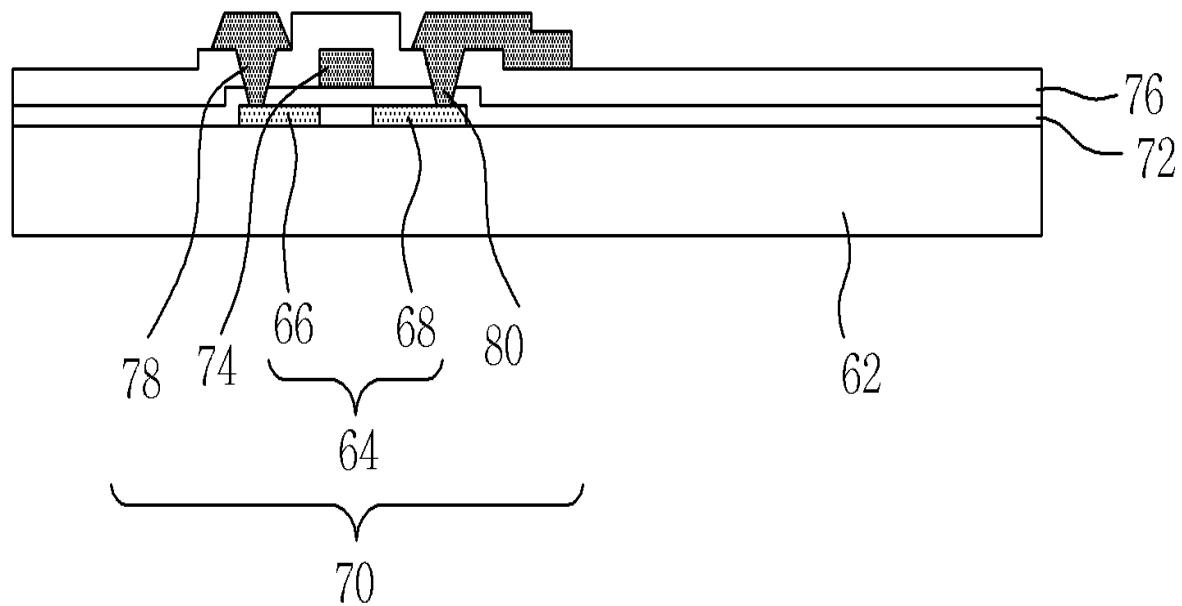
도면6a



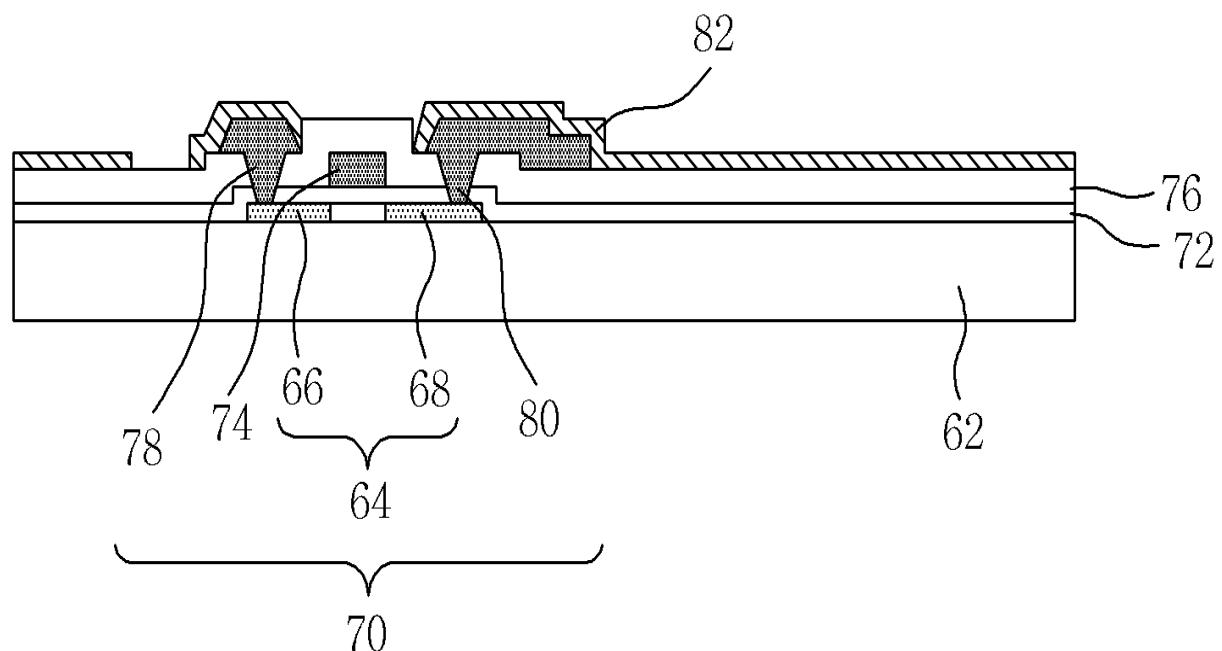
도면6b



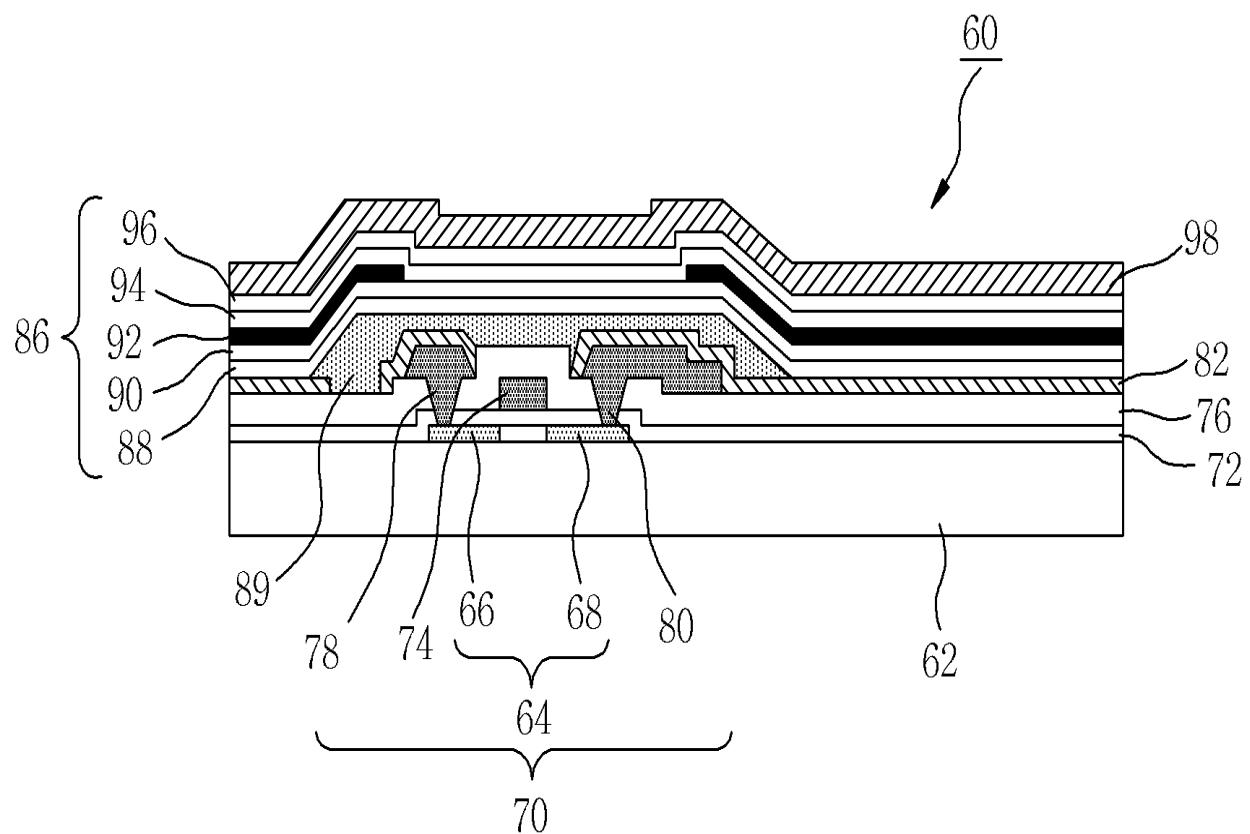
도면6c



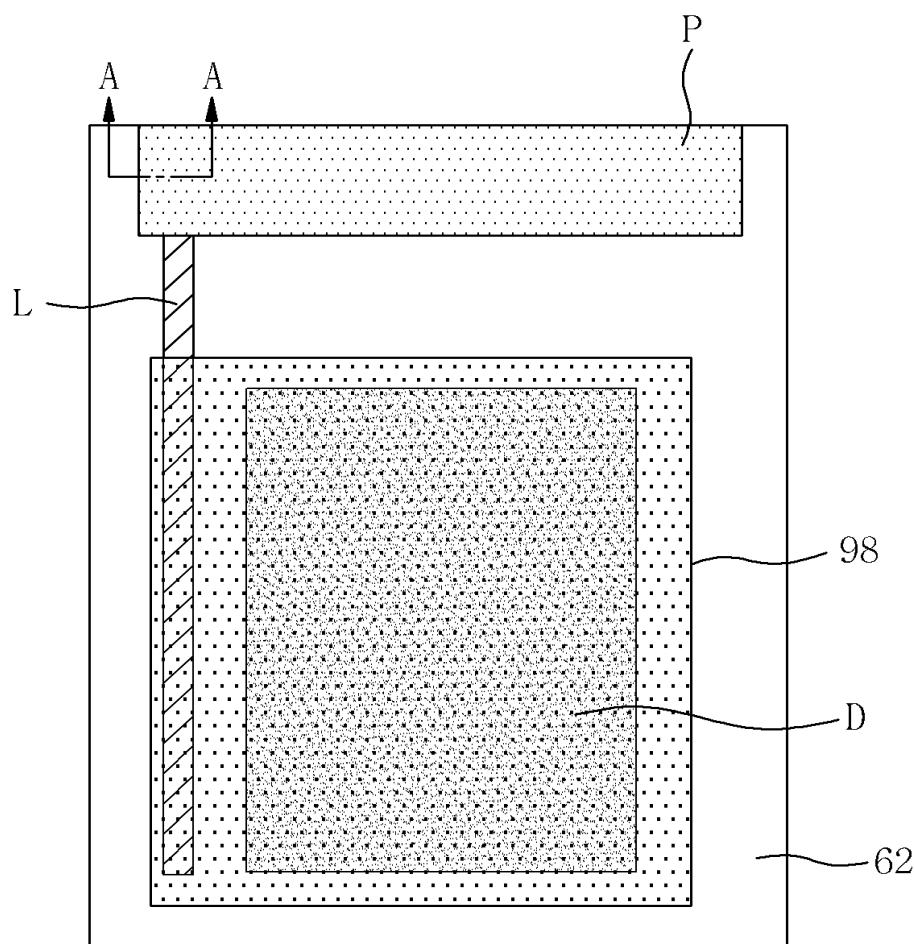
도면6d



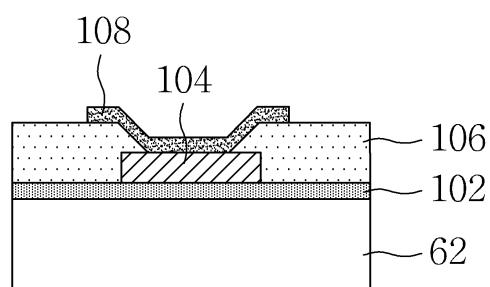
도면6e



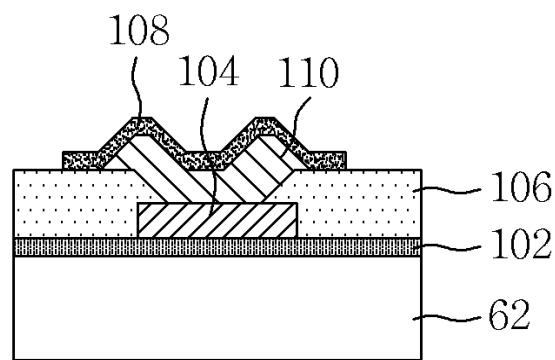
도면7



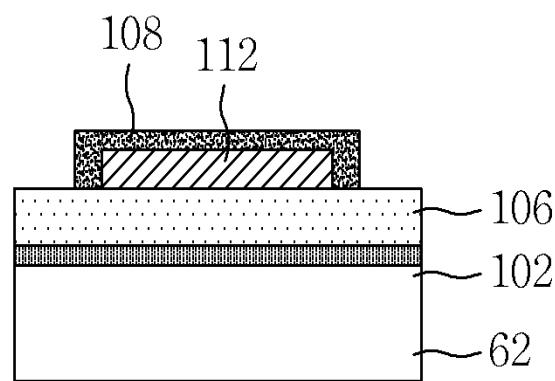
도면8



도면9



도면10



专利名称(译)	电致发光显示器及其制造方法		
公开(公告)号	KR100761121B1	公开(公告)日	2007-09-21
申请号	KR1020050136109	申请日	2005-12-30
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KIM HONG GYU		
发明人	KIM,HONG GYU		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3244 H01L27/3262 H01L51/5237 H01L51/56 H05B33/10 H05B33/26		
代理人(译)	李, SOO WOONG		
其他公开文献	KR1020070072124A		
外部链接	Espacenet		

摘要(译)

提供一种发光显示装置及其制造方法，以通过改进发光显示装置的结构和制造工艺来确保装置和焊盘部分的稳定性，从而提高成品率，寿命和可靠性。像素电路部分包括在基板(62)上，并且包括在两个电极之间的发射部分。布线部分连接到两个电极，并且向两个电极施加信号。焊盘部分电连接到布线部分，并且形成为使导电层覆盖金属层上的金属层。焊盘部分的导电层由ITO，IZO和ITZO中的一种或多种制成。

