

# (19)대한민국특허청(KR)

## (12) 등록특허공보(B1)

|                                                      |                 |           |                 |
|------------------------------------------------------|-----------------|-----------|-----------------|
| (51) 。 Int. Cl. <sup>8</sup><br>H05B 33/22 (2006.01) |                 | (45) 공고일자 | 2006년01월20일     |
|                                                      |                 | (11) 등록번호 | 10-0542997      |
|                                                      |                 | (24) 등록일자 | 2006년01월06일     |
| (21) 출원번호                                            | 10-2003-0054795 | (65) 공개번호 | 10-2005-0015821 |
| (22) 출원일자                                            | 2003년08월07일     | (43) 공개일자 | 2005년02월21일     |

|           |                                                                                                          |
|-----------|----------------------------------------------------------------------------------------------------------|
| (73) 특허권자 | 삼성에스디아이 주식회사<br>경기 수원시 영통구 신동 575                                                                        |
| (72) 발명자  | 박상일<br>서울특별시양천구신정4동983-12호<br><br>구재본<br>경기도용인시수지읍풍림아파트105동504호<br><br>이현정<br>경기도안양시만안구안양1동삼성아파트107동504호 |
| (74) 대리인  | 박상수                                                                                                      |

심사관 : 손희수

### (54) 평판표시장치 및 그의 제조방법

#### 요약

본 발명은 TFT와 EL 소자사이에 광차단막이 독립적으로 전면형성된 평판표시장치 및 그의 제조방법을 개시한다.

본 발명의 평판표시장치는 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터가 형성된 절연기판과; 기판전면에 형성된 제1절연막과; 상기 제1절연막상에 형성된 제2절연막과; 상기 제1 및 제2절연막에 형성되어 상기 소오스/드레인전극 중 하나를 노출시키는 비어홀과; 상기 제2절연막상에 형성되어 상기 비어홀을 통해 상기 소오스/드레인 전극중 하나에 연결되는 화소전극과; 상기 화소전극 하부에 형성된 분리패턴과; 제1절연막상에 전면적으로 형성되고, 상기 분리패턴에 의해 상기 비어홀과 분리되는 광차단막을 구비한다.

#### 대표도

도 3

#### 명세서

#### 도면의 간단한 설명

도 1a는 종래의 유기전계 발광표시장치의 레이아웃도,

도 1b는 종래의 유기전계 발광표시장치에 있어서, 하나의 단위화소에 대한 레이아웃도,

도 3은 본 발명의 실시예에 따른 유기전계 발광표시장치의 레이아웃도,

도 4a는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면구조도,

도 4b는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 단면구조도,

도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 제조방법을 설명하기 위한 공정단면도,

도 6a 내지 도 6d는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 제조방법을 설명하기 위한 공정단면도,

도 7a 및 도 7b는 본 발명의 유기전계 발광표시장치에 있어서, 광차단막의 형성예를 도시한 도면,

\*도면의 주요 부분에 대한 부호의 설명\*

310 : 게이트 라인 320 : 데이터 라인

330 : 전원공급라인 340 : 화소영역

350 : 화소전극 360, 490, 540, 640 : 광차단막

400, 500, 600 : 절연기판 440, 510, 610 : 층간 절연막

467, 565, 665 : 분리패턴 469, 571, 671 : 비어홀

465, 570, 670 : 평탄화막 470, 580, 680 : 하부전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로서, 보다 구체적으로는 TFT와 EL소자사이에 독립적으로 광차단막을 전면형성하여 콘트라스트를 개선시킨 유기전계 발광표시장치 및 그의 제조방법에 관한 것이다.

도 1a는 통상적인 액티브 매트릭스 유기전계 발광표시장치(AMOLED)의 평면구조를 도시한 것으로서, R, G, B 단위화소로 구성된 하나의 화소에 한정하여 도시한 것이다. 도 1b는 종래의 유기전계 발광표시장치에 있어서, 하나의 단위화소에 대한 평면구조를 도시한 것이다.

도 1a 및 도 1b를 참조하면, 종래의 AMOLED는 서로 절연되어 일방향으로 배열된 다수의 게이트라인(110)과, 서로 절연되어 상기 게이트라인(110)과 교차하는 방향으로 배열된 다수의 데이터라인(120)과, 서로 절연되어 상기 게이트라인(110)과 교차하고 상기 데이터 라인에 평행하게 배열된 공통전원라인(130)과, 상기 게이트라인(110) 및 데이터라인(120)과 공통전원라인(130)에 의해 형성되는 복수개의 화소영역(140)과, 각각 화소영역(140)마다 배열되어 개구부(155)를 구비한 복수개의 화소전극(150)을 구비한다.

각 화소영역(140)에는 R, G, B 단위화소가 배열되며, 각 단위화소는 2개의 트랜지스터(160), (180), 하나의 캐패시터(170) 및 상기 화소전극(150)을 구비한 EL소자를 구비한다. 이때, 도면부호 189는 상기 구동 트랜지스터(180)의 드레인전극(185)과 화소전극(150)을 연결하기 위한 비어홀을 나타낸다.

2개의 트랜지스터(160), (170)중 스위칭 트랜지스터(160)는 소오스/드레인 영역을 구비한 반도체층(161)과, 상기 게이트라인(110)에 연결되는 게이트전극(163) 및 상기 반도체층(161)의 소오스/드레인 영역에 콘택홀을 통해 연결되는 소오스/

드레인 전극(165), (167)을 구비한다. 또한, 구동 트랜지스터(180)는 소오스/드레인 영역을 구비한 반도체층(181)과, 게이트전극(183) 및 상기 반도체층(181)의 소오스/드레인 영역에 콘택홀을 통해 연결되는 소오스/드레인 전극(185), (187)을 구비한다.

한편, 캐패시터(170)는 상기 구동 트랜지스터(180)의 게이트(183) 및 콘택홀을 통해 구동 트랜지스터(180)의 드레인(167)에 연결되는 하부전극(171)과, 구동 트랜지스터(180)의 소오스(185)가 콘택홀을 통해 연결되는 공통전원선(130)에 연결되는 상부전극(173)을 구비한다. 상기 화소전극(150)은 비어홀(187)을 통해 상기 구동 트랜지스터(180)의 드레인(187)에 연결된다.

도 2는 종래의 유기전계 발광표시장치의 단면구조를 도시한 것으로서, 도 1b에서 구동 트랜지스터(180) 및 화소전극(150)과 캐패시터(170)에 대응되는 부분에 한정하여 도시한 것이다.

도 2를 참조하면, 절연기판(200)상에 버퍼층(210)이 형성되고, 버퍼층(210)상에 소오스/드레인 영역(221), (225)을 구비한 반도체층(220)이 형성되며, 게이트 절연막(230)상에 게이트전극(231) 및 캐패시터의 하부전극(237)이 형성된다. 층간 절연막(240)상에는 콘택홀(241), (245)을 통해 상기 소오스/드레인영역(221), (225)과 연결되는 소오스/드레인 전극(251), (255)과 상기 소오스/드레인 전극(251) (255)중 하나, 예를 들면 소오스전극(251)에 연결되는 캐패시터의 상부전극(257)이 형성된다.

기관전면에 보호막(260)과 평탄화막(265)이 형성되고, 상기 평탄화막(265)상에 비어홀(269)을 통해 상기 소오스/드레인 전극(2551), (255)중 하나, 예를 들어 드레인 전극(255)에 연결되는 EL소자의 화소전극인 하부전극(270)이 형성된다. 상기 하부전극(270)을 일부분을 노출시키는 화소분리층(275)이 형성되고, 개구부(279)내의 하부전극(270)상에 유기발광층(280)이 형성되며, 기관전면에 상부전극(285)이 형성된 구조를 갖는다.

상기한 바와같은 구조를 갖는 종래의 유기전계 발광표시장치는 폴리실리콘막 TFT를 채용하고 있으며, 트랜지스터, 캐패시터 및 배선 등의 금속물질에 의해 외부광이 반사되어 EL 소자가 발광할 때 콘트라스트를 저하시키는 문제점이 있었다. 특히, 외부광에 대해 노출이 심한 모바일용 표시장치의 경우에는 외부광의 높은 반사율에 의한 콘트라스트 저하가 심각한 문제로 대두되고 있다.

이러한 외부광의 반사에 의한 콘트라스트 저하를 방지하기 위하여, 종래에는 표시장치의 전면에 고가의 편광판을 부착하였으나, 이는 고가의 편광판 사용에 따른 제조 원가의 상승을 초래할 뿐 아니라 편광판 자체가 유기 전계발광층으로부터 방출되는 빛도 차단하기 때문에 투과도를 저하시켜 휘도를 저하시키는 문제점이 있었다.

한편, Cr/CrOx, 또는 유기막 등으로 된 블랙매트릭스를 TFT와 캐패시터가 형성되는 영역에 별도로 형성하는 방법이 있었는데, 이러한 방법은 블랙매트릭스를 형성하기 위해 별도의 마스크공정이 요구되어 공정이 복잡해지는 문제점이 있었다.

또한, AMOLED에서, 투명도전막의 투과도 변형방법을 이용하여 블랙매트릭스를 형성하는 방법이 국내특허 제2000-0005436호와 제2001-0075075호에 개시되었다. 그러나, 상기 특허는 배면발광구조의 AMOLED에서 투명도전막의 투과도 변형방법을 이용하여 블랙매트릭스를 형성하여 줌으로써 외부광의 반사에 의한 콘트라스트는 개선할 수 있었으나, 전면발광구조의 AMOLED에서는 외부광의 반사를 해결할 수 없었다. 특히, 전면발광형 AMOLED의 경우에는 캐패시터의 상부전극으로 사용되는 소오스/드레인전극으로 사용되는 금속막의 반사율이 특히 문제가 되고 있다.

또한, 전면발광구조에서 MIHL을 이용하여 블랙매트릭스를 형성하는 경우에는, MIHL의 금속물질에 의해 화소간 분리되도록 블랙매트릭스를 형성하여야 한다. 그러므로, 블랙매트릭스에 의해 외부광을 완전히 차단할 수 있을 뿐만 아니라 블랙매트릭스를 화소간 분리시켜 주기 위한 추가의 마스크공정이 요구되는 문제점이 있었다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와같은 종래기술의 문제점을 해결하기 위한 것으로서, 외부광의 반사율을 최소화하여 콘트라스트를 개선할 수 있는 전면발광형 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

본 발명의 목적은 반사형 화소전극을 제외한 기관전면에 독립적으로 전면형성되어 외부광을 완전하게 차단시킬 수 있는 전면발광형 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 있다.

본 발명의 목적은 추가의 마스크공정없이 광차단막을 형성하여 공정을 단순화한 전면발광형 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 있다.

### 발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 기관상에 형성되고, 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터와; 상기 소오스/드레인 전극중 하나에 연결되며, 적어도 반사막을 구비하는 화소전극과; 상기 화소전극에 대응하는 부분을 제외한 기관전면에 형성되는 광차단막을 구비하며, 상기 광차단막의 상, 하부에 각각 형성된 보호막과 평탄화막을 포함하며, 상기 광차단막은 상기 평탄화막상에 형성되는 화소전극과는 독립적으로 보호막상에 전면형성되는 것을 특징으로 하는 유기전계 발광표시장치를 제공하는 것을 특징으로 한다.

또한, 본 발명은 기관상에 형성되고, 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터와; 상기 소오스/드레인 전극중 하나에 연결되며, 적어도 반사막을 구비하는 화소전극을 포함하는 EL소자와; 상기 EL 소자와 박막 트랜지스터사이에 전면형성된 광차단막을 구비하며, 상기 광차단막과 박막 트랜지스터사이에 형성된 보호막과; 상기 광차단막과 EL 소자의 화소전극사이에 형성된 평탄화막을 포함하며, 상기 광차단막은 상기 평탄화막상에 형성되는 화소전극과는 독립적으로 보호막상에 전면형성되는 것을 특징으로 하는 유기전계 발광표시장치를 제공하는 것을 특징으로 한다.

또한, 본 발명은 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터가 형성된 기관과; 기관전면에 형성된 제1절연막과; 상기 제1절연막상에 형성된 제2절연막과; 상기 제1 및 제2절연막에 형성되어 상기 소오스/드레인전극중 하나를 노출시키는 비어홀과; 상기 제2절연막상에 형성되어 상기 비어홀을 통해 상기 소오스/드레인 전극중 하나에 연결되는 화소전극과; 상기 화소전극 하부에 형성된 홈형태의 분리패턴과; 제1절연막상에 전면적으로 형성되고, 상기 분리패턴에 의해 상기 비어홀과 분리되는 광차단막을 구비하는 유기전계 발광표시장치를 제공하는 것을 특징으로 한다.

상기 분리패턴은 광차단막에 형성되거나 또는 상기 보호막 및 광차단막에 걸쳐 형성된다. 상기 광차단막은 투명절연물질과 금속물질 또는 투명한전물질과 금속물질의 농도구배를 갖는 박막층, 또는 Cr/CrOx 또는 카본블랙으로 이루어진다. 상기 제1절연막은 보호막이고, 제2절연막은 평탄화막이다.

또한, 본 발명은 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터가 형성된 절연기관을 제공하는 단계와; 기관전면에 제1절연막과 광차단막을 형성하는 단계와; 상기 제1절연막과 광차단막을 식각하여 상기 제1절연막과 광차단막에 걸쳐 분리패턴을 형성함과 동시에 1차 비어홀을 형성하는 단계와; 분리패턴과 비어홀을 포함한 제1절연막상에 제2절연막을 형성하는 단계와; 1차 비어홀에 대응되는 상기 제2절연막을 식각하여 상기 소오스/드레인 전극중 하나를 노출시키는 2차 비어홀을 형성하는 단계와; 상기 2차 비어홀을 통해 상기 소오스/드레인 전극중 하나에 연결되는 화소전극을 형성하는 단계를 포함하는 평판표시장치의 제조방법을 제공하는 것을 특징으로 한다.

또한, 본 발명은 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터가 형성된 절연기관을 제공하는 단계와; 기관전면에 제1절연막과 광차단막을 형성하는 단계와; 상기 제1절연막과 광차단막을 식각하여 광차단막에 분리패턴을 형성함과 동시에 상기 제1절연막과 광차단막에 1차 비어홀을 형성하는 단계와; 분리패턴과 비어홀을 포함한 제1절연막상에 제2절연막을 형성하는 단계와; 1차 비어홀에 대응되는 상기 제2절연막을 식각하여 상기 소오스/드레인 전극중 하나를 노출시키는 2차 비어홀을 형성하는 단계와; 상기 2차 비어홀을 통해 상기 소오스/드레인 전극중 하나에 연결되는 화소전극을 형성하는 단계를 포함하는 유기전계 발광표시장치의 제조방법을 제공하는 것을 특징으로 한다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 3은 본 발명의 실시예에 따른 유기전계 발광표시장치의 개략적 평면구조를 도시한 것으로서, R, G, B 단위화소에 국한시켜 도시한 것이다.

도 3을 참조하면, 본 발명의 실시예에 따른 AMOLED는 서로 절연되어 일방향으로 배열된 다수의 게이트라인(310)과, 서로 절연되어 상기 게이트라인(310)과 교차하는 방향으로 배열된 다수의 데이터라인(320)과, 서로 절연되어 상기 게이트라인(310)과 교차하고 상기 데이터라인(320)과 평행하게 배열되는 공통전원라인(330)과, 상기 게이트라인(310) 및 데이터라인(320)과 공통전원라인(330)에 의해 형성되는 복수개의 화소영역(340)과, 각각 화소영역(340)마다 배열되어 개구부(355)를 구비한 복수개의 화소전극(350)을 구비한다.

각 화소영역(350)에는 R, G, B 단위화소가 배열되며, 각 단위화소는 도 1b에 도시된 바와같이 2개의 트랜지스터, 하나의 캐패시터 및 상기 화소전극(350)을 구비한 EL소자로 구성되거나 또는 다양한 형태로 구성될 수도 있다. 상기 화소전극(350)은 Al, Ti 과 같은 높은 반사율을 갖는 반사막과 ITO와 같은 투명도전막을 포함하는 적층막으로 형성된다. 이때, 도면부호 389는 구동 트랜지스터와 상기 화소전극(350)을 연결하기 위한 비어홀을 나타낸다.

본 발명의 실시예에서는, 기판전면에 전면형성된 광차단막(360)을 더 포함한다. 상기 광차단막(360)은 각 화소영역(340)에 형성되는 반사막을 구비하는 하부전극에 대응되는 부분을 제외한 기판전면에 형성되므로, 외부광을 완전하게 차단시켜 준다. 즉, 상기 광차단막(360)은 평탄화막하부에 상기 평탄화막에 형성되는 비어홀과 분리되어 기판전면에 형성되고, 반사막을 구비한 화소전극(350)은 비어홀을 포함한 평탄화막상에 형성되므로, 외부광을 완벽하게 차단시켜 준다.

도 4a는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면구조를 도시한 것으로서, 캐패시터와 하나의 트랜지스터 및 상기 트랜지스터에 연결되는 EL소자에 한정하여 도시한 것이다.

도 4a를 참조하면, 절연기판(400)상에 버퍼층(410)이 형성되고, 상기 버퍼층(410)상에 소오스/드레인 영역(421), (425)을 구비한 반도체층(420)이 형성되며, 게이트 절연막(430)상에 게이트전극(431) 및 캐패시터의 하부전극(437)이 형성된다. 층간 절연막(440)상에는 콘택홀(441), (445)을 통해 상기 소오스/드레인 영역(421), (425)과 연결되는 소오스/드레인 전극(451), (455)과 상기 소오스/드레인 전극(451) (455)중 하나, 예를 들면 소오스전극(451)에 연결되는 캐패시터의 상부전극(457)이 형성된다.

기판전면에 보호막(460)이 형성되고, 보호막(460)상에 광차단막(490)이 형성되며, 광차단막(490)상에 평탄화막(465)이 형성된다. 상기 보호막(460) 및 광차단막(490)과 평탄화막(465)에 상기 소오스/드레인 전극(451), (455)중 하나, 예를 들어 드레인 전극(455)을 노출시키는 비어홀(469)이 형성되며, 상기 보호막(460)과 광차단막(490)에는 상기 비어홀(469)과 상기 광차단막(490)을 분리시켜 주기위한 분리패턴(467)이 형성된다.

상기 평탄화막(465)상에 비어홀(469)을 통해 상기 드레인 전극(455)과 연결되는 EL소자의 화소전극인 하부전극(470)을 형성한다. 상기 하부전극(470)상에 상기 하부전극(470)을 일부분을 노출시키는 화소분리층(475)이 형성되고, 개구부(479)내의 하부전극(470)상에 유기발광층(480)이 형성되며, 기판전면에 상부전극(485)이 형성된 구조를 갖는다.

이때, 광차단막(490)은 투명물질과 금속물질의 농도구배를 갖는 박막층(MIHL) 또는 Cr/CrOx 또는 카본블랙과 같은 유기 절연막이 사용된다. 상기 박막층은 질화막 또는 산화막과 같은 투명절연물질과 금속물질 또는 ITO와 같은 투명도전물질과 금속물질의 농도구배를 갖는 MIHL 층으로 이루어지며, 보호막(460)에 인접할수록 금속물질의 농도가 증가하고, 평탄화막(465)에 인접할수록 투명물질의 농도가 증가하도록 형성된다.

분리패턴(467)은 광차단막(490)과 보호막(460)에 걸쳐 홈형태로 형성되어 상기 평탄화막(465)이 채워지므로, 광차단막(490)이 도전성 물질로 이루어지는 경우에도 상기 광차단막(490)이 상기 분리패턴(467)에 의해 비어홀(469)과 분리된다. 결과적으로, 광차단막(490)은 비어홀(469)에 형성되는 화소전극 즉, 하부전극(470)과 분리패턴(467)에 의해 분리되므로, 광차단막(490)이 기판전면에 형성되어도 화소전극(470)과의 쇼트는 방지된다.

그러므로, 본 발명의 일 실시예에서는 상기 분리패턴(469)을 제외한 기판전면에 광차단막(490)이 형성되고, 상기 분리패턴(469)상부에는 반사막을 구비한 화소전극(470)이 형성되므로, 기판전면에 걸쳐 외부광을 모두 차단할 수 있다.

도 4b는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 단면구조를 도시한 것으로서, 캐패시터와 하나의 트랜지스터 및 상기 트랜지스터에 연결되는 EL소자에 한정하여 도시한 것이다.

도 4b를 참조하면, 본 발명의 다른 실시예에 따른 유기전계 발광표시장치는 비어홀과 광차단막을 분리시켜 주기위한 분리패턴(467)이 광차단막(490)에만 형성되는 것만이 다르며, 광차단막(490)의 기판상에 전면형성함에 따른 효과는 일 실시예에서와 동일하게 얻어진다.

도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 제조방법을 설명하기 위한 공정단면도이다. 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 제조공정중 소오스/드레인 전극을 형성하는 공정까지는 통상적인 유기전계 발광표시장치의 제조공정과 동일하므로, 보호막을 형성하는 공정부터 설명하고자 한다.

도 5a를 참조하면, 절연기관(500)의 층간 절연막(510)상에 소오스/드레인 전극(520)을 형성한 다음, 보호막(530)과 광차단막(540)을 순차 형성하고, 비어홀 및 분리패턴이 형성될 부분의 광차단막(540)이 노출되도록 감광막패턴(550)을 형성한다.

상기 광차단막(540)으로는 MIHL층, Cr/CrOx 또는 카본블랙 등이 사용된다. MIHL층으로 광차단막(540)을 형성하는 경우에는, 산화막 또는 질화막과 같은 투명절연물질과 금속물질의 농도구배를 갖는 박막층 또는 ITO, IZO 등과 같은 투명도전물질과 금속물질의 농도구배를 갖는 박막층이 사용된다.

도 5b를 참조하면, 상기 감광막패턴(550)을 마스크로 하여 노출된 광차단막(540)을 식각하여 상기 소오스/드레인 전극(520)을 노출시키는 비어홀(561)을 1차로 형성함과 동시에 광차단막(540)과 보호막(530)에 걸쳐 분리패턴(565)을 형성한다. 상기 감광막 패턴(550)을 제거한다.

도 5c를 참조하면, 기관전면에 평탄화막(570)을 형성한 다음, 상기 1차로 형성된 비어홀(561)에 대응하는 평탄화막(570)을 노출시키는 감광막패턴(555)을 형성한다.

도 5d를 참조하면, 상기 감광막 패턴(555)을 마스크로 하여 상기 노출된 평탄화막(570)을 식각하여 최종적으로 상기 소오스/드레인 전극(520)을 노출시키는 비어홀(571)을 보호막(530), 광차단막(540) 및 평탄화막(570)에 걸쳐 형성한다. 상기 감광막패턴(555)을 제거한 다음, 상기 비어홀(571)을 통해 상기 소오스/드레인 전극(520)에 연결되는 하부전극(580)을 형성한다.

상기와 같이 광차단막(540)이 기관전면에 형성되는 경우에, 분리패턴이 없으면 하부전극(580)과 광차단막(540)이 비어홀(571)을 통해 전기적으로 연결되어 쇼트를 유발하게 되지만, 본 발명에서는 분리패턴(565)에 의해 비어홀(571)과 광차단막(540)이 서로 분리되어 결과적으로 하부전극과 광차단막의 쇼트는 발생되지 않는다.

또한, 본 발명의 일 실시예에서는 보호막(530)과 평탄화막(540)에 비어홀(461)을 형성할 때 분리패턴(465)을 형성하여 줌으로써, 추가의 마스크공정은 필요없다. 평탄화막을 사용하는 전면발광형 유기전계 발광표시장치의 경우, TFT가 형성되는 기관(500), 즉 TFT 기관의 단차를 극복하기 위하여 보호막(530)상에 평탄화막을 형성하고, 상기 TFT 기관과 봉지기판(도면상에는 도시되지 않음)과의 접착력을 향상시켜 주기위하여 TFT 기관과 봉지기판이 접착되는 실링부에서는 평탄화막을 제거해준다, 그러므로, 평탄화막을 사용하는 경우, 비어홀을 형성하기 위한 마스크공정과 실링부에 대응하는 평탄화막을 제거하기 위한 마스크공정의 2회의 마스크공정이 수행된다.

따라서, 본 발명에서는 보호막에 비어홀을 형성하기 위한 공정에서 광차단막과 보호막을 식각하여 1차로 비어홀과 분리패턴을 형성하여 준 다음, 실링부의 평탄화막을 제거하기 위한 공정에서 상기 1차로 형성된 비어홀이 노출되도록 평탄화막을 식각하여 줌으로써, 분리패턴을 형성하기 위한 추가의 마스크공정은 요구되지 않는다.

도 6a 내지 도 6d는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 제조방법을 설명하기 위한 공정단면도이다. 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 제조공정중 소오스/드레인 전극을 형성하는 공정까지는 통상적인 유기전계 발광표시장치의 제조공정과 동일하므로, 보호막을 형성하는 공정부터 설명하고자 한다.

도 6a를 참조하면, 절연기관(600)의 층간 절연막(610)상에 소오스/드레인 전극(620)을 형성한 다음, 보호막(630)과 광차단막(640)을 순차 형성하고, 상기 광차단막(640)상에 감광막패턴(650)을 형성한다. 이때, 비어홀이 형성될 부분에는 투과패턴(695)이 형성되고 분리패턴이 형성될 부분에는 반투과패턴(693)이 형성되며 나머지부분에 차단패턴(691)이 형성된 하프톤 마스크(690)를 이용하여, 비어홀이 형성될 부분의 광차단막(640)이 노출되고 분리패턴이 형성될 부분이 다른 부분에 비하여 얇은 두께를 갖는 감광막패턴(650)을 형성한다.

상기 광차단막(640)으로는 MIHL층, Cr/CrOx 또는 카본블랙 등이 사용된다. MIHL층으로 광차단막(640)을 형성하는 경우에는, 산화막 또는 질화막과 같은 투명절연물질과 금속물질의 농도구배를 갖는 박막층 또는 ITO, IZO 등과 같은 투명도전물질과 금속물질의 농도구배를 갖는 박막층이 사용된다.

도 6b를 참조하면, 상기 감광막패턴(650)을 마스크로 하여 노출된 광차단막(640)을 식각하여 상기 소오스/드레인 전극(620)을 노출시키는 비어홀(661)을 광차단막(640)과 보호막(630)에 걸쳐 1차로 형성함과 동시에 광차단막(640)에 분리패턴(665)을 형성한다. 상기 감광막 패턴(650)을 제거한다.

도 6c를 참조하면, 기관전면에 평탄화막(670)을 형성한 다음, 상기 1차로 형성된 비어홀(661)에 대응하는 평판화막(670)을 노출시키는 감광막패턴(655)을 형성한다.

도 6d를 참조하면, 상기 감광막 패턴(655)을 마스크로 하여 상기 노출된 평탄화막(670)을 식각하여 최종적으로 상기 소오스/드레인 전극(620)을 노출시키는 비어홀(671)을 보호막(630), 광차단막(640) 및 평탄화막(670)에 걸쳐 형성한다. 상기 감광막패턴(655)을 제거한 다음, 상기 비어홀(671)을 통해 상기 소오스/드레인 전극(620)에 연결되는 하부전극(680)을 형성한다.

다른 실시예에 따르면, 광차단막(640)에 형성된 분리패턴(665)에 의해 비어홀(671)과 광차단막(690)이 서로 분리되어 하부전극과 광차단막의 쇼트는 발생되지 않는다. 또한, 비어홀을 형성할 때 분리패턴을 형성하여 줌으로써, 추가의 마스크공정을 배제할 수 있다.

도 7a 및 도 7b는 본 발명의 실시예에 따른 광차단막과 분리패턴간의 관계를 보여주는 도면이다.

도 7a 및 도 7b를 참조하면, 광차단막(760)이 기관전면에 비어홀(789)을 제외한 화소영역(840)에 홈형태로 형성되거나, 또는 비어홀(789)을 둘러싸는 홈형태로 형성된다. 상기한 바와같은 분리패턴외에 광차단막과 비어홀을 분리시켜 줄 수 있는 구조는 모두 적용가능하다.

## 발명의 효과

상기한 바와같은 본 발명의 실시예에 따르면, 광차단막을 보호막상과 평탄화막상에 전면적으로 형성하여 줌으로써, 외부광을 완전하게 차단할 수 있는 이점이 있다. 또한, 보호막과 평탄화막에 비어홀을 형성할 때 분리패턴을 형성하여 화소전극과 광차단막간의 쇼트방생을 방지하여 줌으로써, 추가의 마스크공정은 요구되지 않는다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## (57) 청구의 범위

### 청구항 1.

기관상에 형성되고, 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터와;

상기 소오스/드레인 전극중 하나에 연결되며, 적어도 반사막을 구비하는 화소전극과;

상기 화소전극에 대응하는 부분을 제외한 기관전면에 형성되는 광차단막을 구비하며, 상기 광차단막의 상, 하부에 각각 형성된 보호막과 평탄화막을 포함하며, 상기 광차단막은 상기 평탄화막상에 형성되는 화소전극과는 독립적으로 보호막상에 전면형성되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 2.

제1항에 있어서, 상기 광차단막은 투명절연물질과 금속물질 또는 투명도전물질과 금속물질의 농도구배를 갖는 박막층으로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 3.

제1항에 있어서, 상기 광차단막은 Cr/CrOx 또는 카본블랙으로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 4.

삭제

#### 청구항 5.

기관상에 형성되고, 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터와;

상기 소오스/드레인 전극중 하나에 연결되며, 적어도 반사막을 구비하는 화소전극을 포함하는 EL소자와;

상기 EL 소자와 박막 트랜지스터사이에 전면형성된 광차단막을 구비하며, 상기 광차단막과 박막 트랜지스터사이에 형성된 보호막과;

상기 광차단막과 EL 소자의 화소전극사이에 형성된 평탄화막을 포함하며,

상기 광차단막은 상기 평탄화막상에 형성되는 화소전극과는 독립적으로 보호막상에 전면형성되는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 6.

제5항에 있어서, 상기 광차단막은 투명절연물질과 금속물질 또는 투명도전물질과 금속물질의 농도구배를 갖는 박막층으로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 7.

제5항에 있어서, 상기 광차단막은 Cr/CrOx 또는 카본블랙으로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 8.

삭제

#### 청구항 9.

적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터가 형성된 기관과;

기관전면에 형성된 제1절연막과;

상기 제1절연막상에 형성된 제2절연막과;

상기 제1 및 제2절연막에 형성되어 상기 소오스/드레인전극중 하나를 노출시키는 비어홀과;

상기 제2절연막상에 형성되어 상기 비어홀을 통해 상기 소오스/드레인 전극중 하나에 연결되는 화소전극과;

상기 화소전극 하부에 형성된 분리패턴과;

제1절연막상에 전면적으로 형성되고, 상기 분리패턴에 의해 상기 비어홀과 분리되는 광차단막을 구비하는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 10.

제9항에 있어서, 상기 분리패턴은 광차단막에 형성되는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 11.

제9항에 있어서, 상기 분리패턴은 상기 보호막 및 광차단막에 걸쳐 형성되는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 12.

제10항 또는 제11항에 있어서, 상기 분리패턴은 화소전극과 광차단막을 분리시켜 주기위한 홈패턴을 갖는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 13.

제9항에 있어서, 상기 광차단막은 투명절연물질과 금속물질 또는 투명도전물질과 금속물질의 농도구배를 갖는 박막층으로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 14.

제9항에 있어서, 상기 광차단막은 Cr/CrOx 또는 카본블랙으로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 15.

제9항에 있어서, 상기 제1절연막은 보호막이고, 제2절연막은 평탄화막인 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 16.

적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터가 형성된 기판을 제공하는 단계와;

기관전면에 제1절연막과 광차단막을 형성하는 단계와;

상기 제1절연막과 광차단막을 식각하여 상기 제1절연막과 광차단막에 걸쳐 분리패턴을 형성함과 동시에 1차 비어홀을 형성하는 단계와;

분리패턴과 비어홀을 포함한 제1절연막상에 제2절연막을 형성하는 단계와;

상기 1차 비어홀에 대응되는 상기 제2절연막을 식각하여 상기 소오스/드레인 전극중 하나를 노출시키는 2차 비어홀을 형성하는 단계와;

상기 2차 비어홀을 통해 상기 소오스/드레인 전극중 하나에 연결되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

#### 청구항 17.

적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터가 형성된 기판을 제공하는 단계와;

기관전면에 제1절연막과 광차단막을 형성하는 단계와;

상기 제1절연막과 광차단막을 식각하여 광차단막에 분리패턴을 형성함과 동시에 상기 제1절연막과 광차단막에 1차 비어홀을 형성하는 단계와;

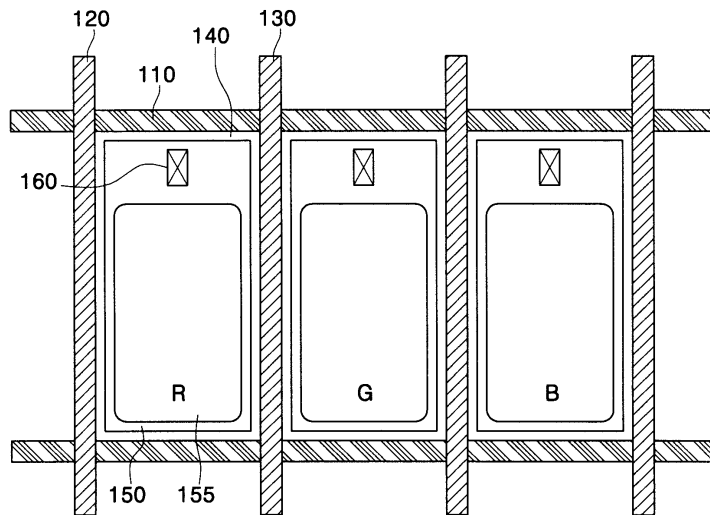
분리패턴과 비어홀을 포함한 제1절연막상에 제2절연막을 형성하는 단계와;

상기 1차 비어홀에 대응되는 상기 제2절연막을 식각하여 상기 소오스/드레인 전극중 하나를 노출시키는 2차 비어홀을 형성하는 단계와;

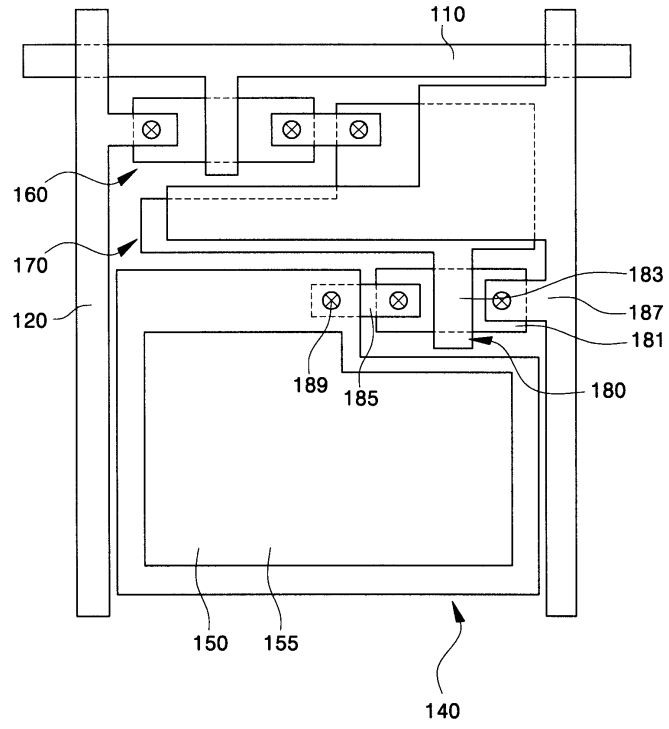
상기 2차 비어홀을 통해 상기 소오스/드레인 전극중 하나에 연결되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

도면

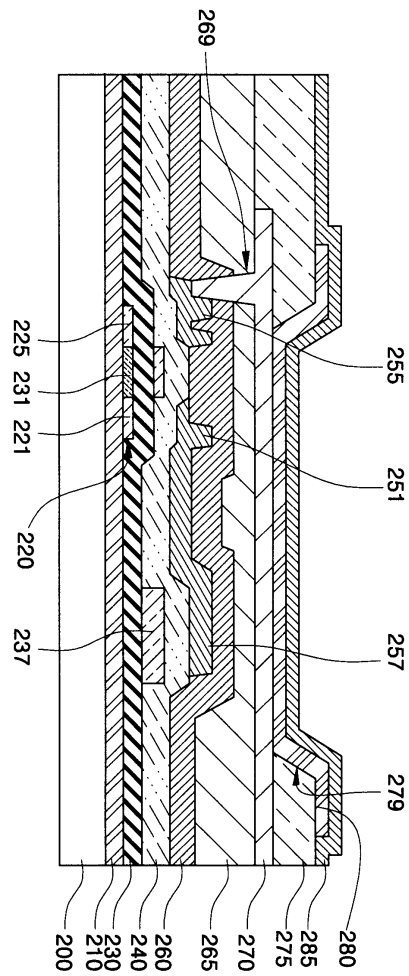
도면1a



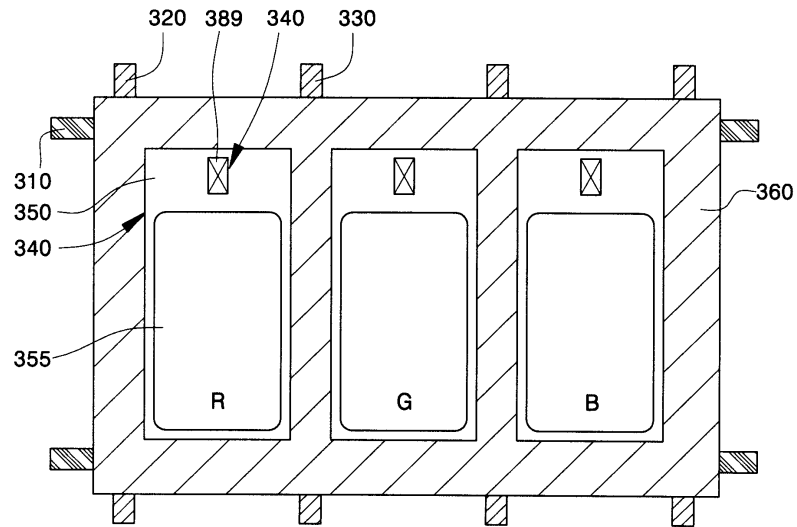
도면1b



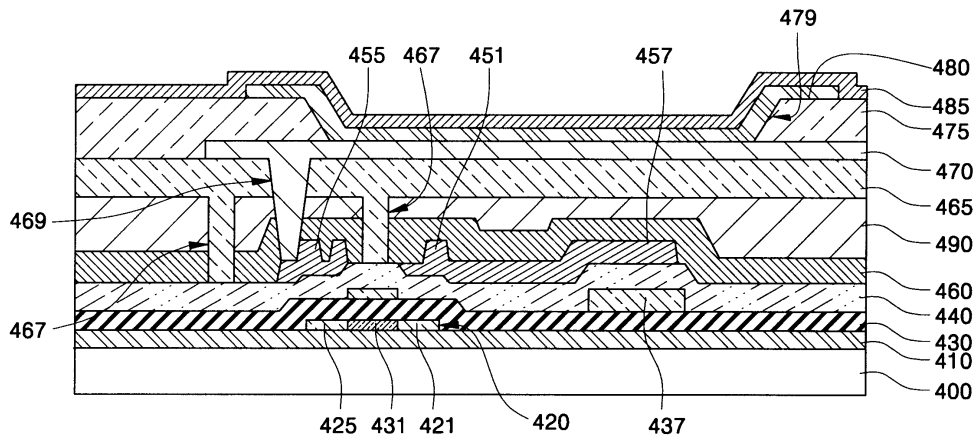
도면2



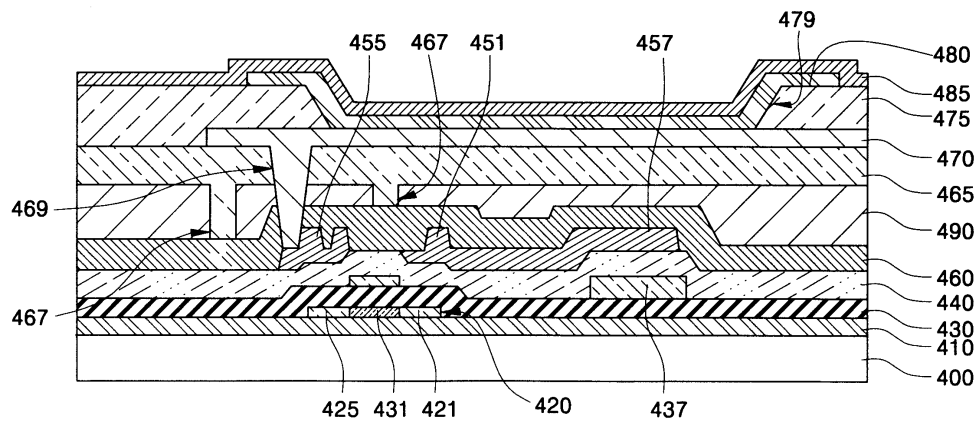
도면3



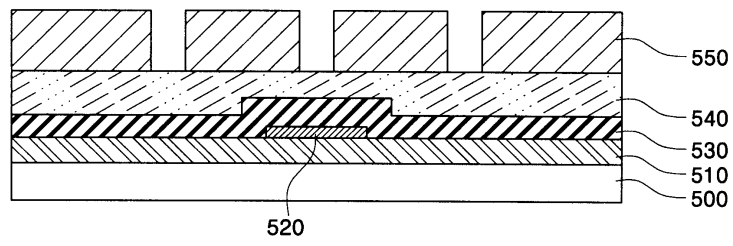
도면4a



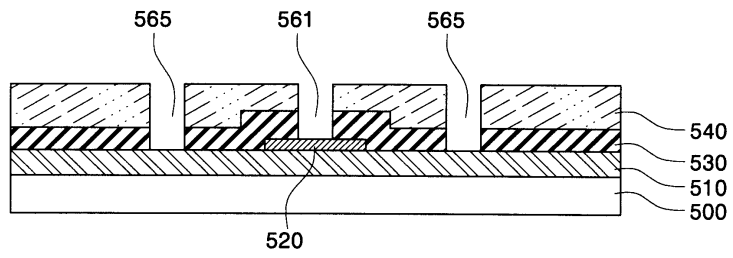
도면4b



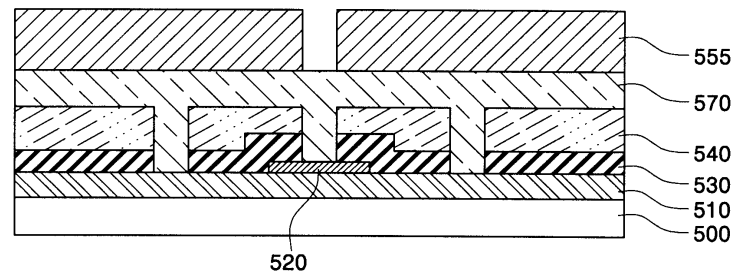
도면5a



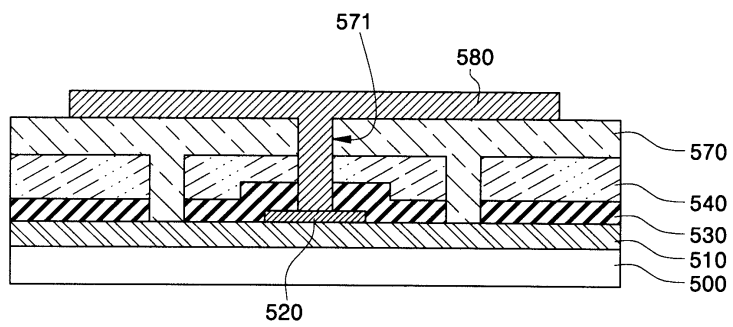
도면5b



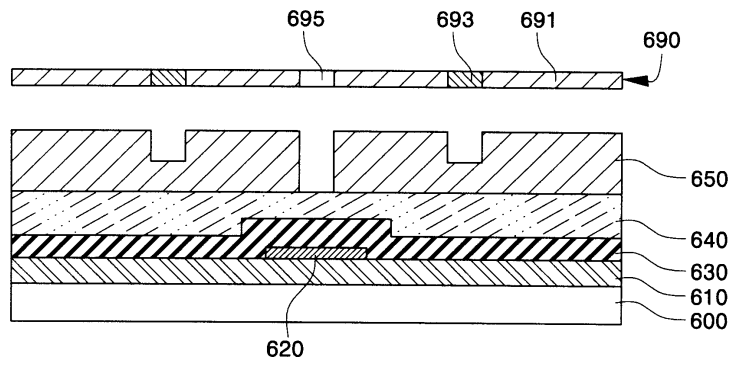
도면5c



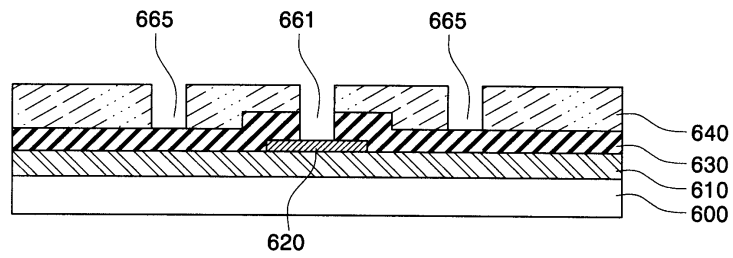
도면5d



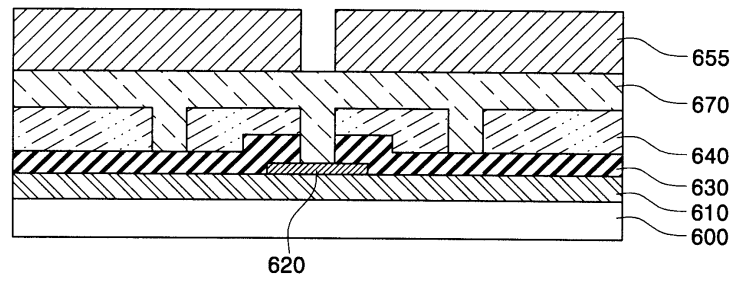
도면6a



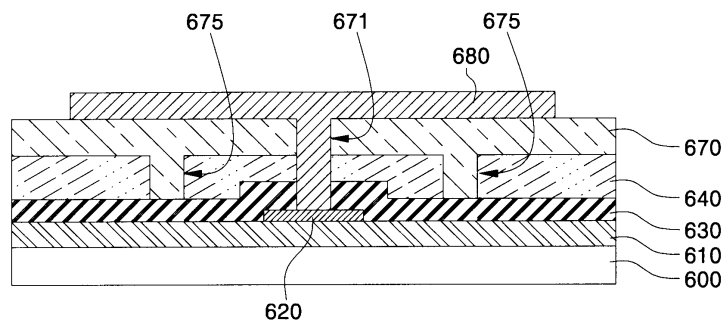
도면6b



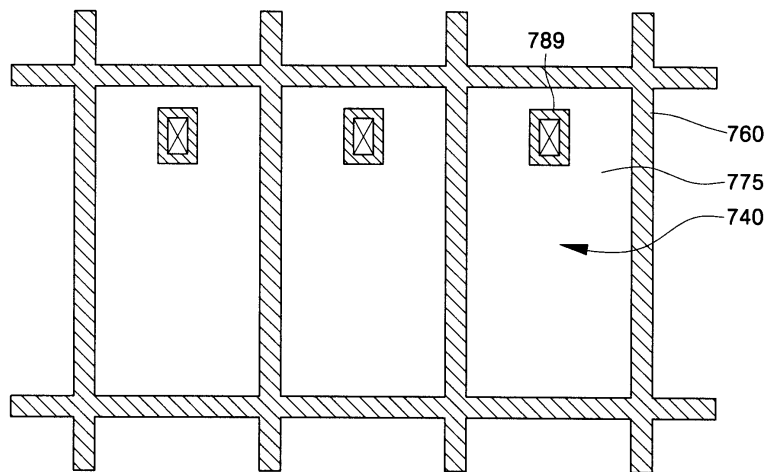
도면6c



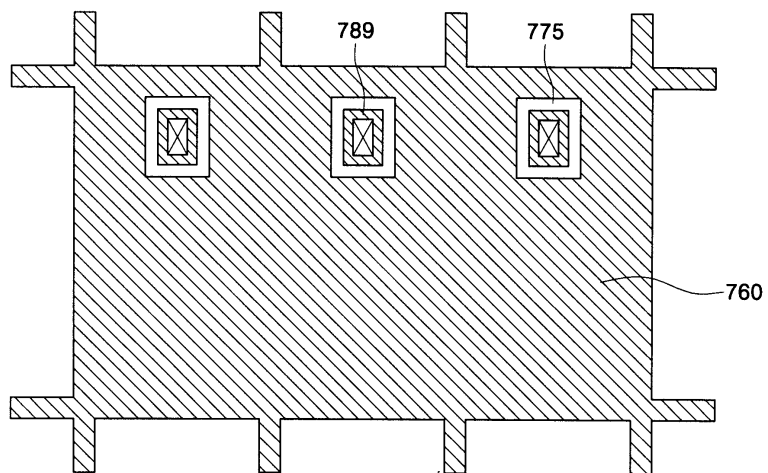
도면6d



도면7a



도면7b



|               |                                                                                                     |         |            |
|---------------|-----------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)       | 平板显示器及其制造方法                                                                                         |         |            |
| 公开(公告)号       | <a href="#">KR100542997B1</a>                                                                       | 公开(公告)日 | 2006-01-20 |
| 申请号           | KR1020030054795                                                                                     | 申请日     | 2003-08-07 |
| 申请(专利权)人(译)   | 三星SD眼有限公司                                                                                           |         |            |
| 当前申请(专利权)人(译) | 三星SD眼有限公司                                                                                           |         |            |
| [标]发明人        | PARK SANGIL<br>박상일<br>KOO JAEON<br>구재본<br>LEE HUNJUNG<br>이헌정                                        |         |            |
| 发明人           | 박상일<br>구재본<br>이헌정                                                                                   |         |            |
| IPC分类号        | H05B33/22 H05B33/02 H01L27/32 H01L51/50 H01L51/52 H05B33/00 H05B33/08 H05B33/10 H05B33/12 H05B33/14 |         |            |
| CPC分类号        | H01L2251/5346 H01L27/3244 H01L51/5284                                                               |         |            |
| 代理人(译)        | PARK, 常树                                                                                            |         |            |
| 其他公开文献        | KR1020050015821A                                                                                    |         |            |
| 外部链接          | <a href="#">Espacenet</a>                                                                           |         |            |

#### 摘要(译)

本发明公开了一种平板显示装置及其制造方法，其中在TFT和EL元件之间完全独立地形成遮光膜。本发明的平板显示器包括：绝缘基板，在其上形成至少具有源/漏电极的薄膜晶体管；第一绝缘膜形成在基板的整个表面上；形成在第一绝缘膜上的第二绝缘膜；形成在第一和第二绝缘膜中的通孔，以暴露源极和漏极之一；像素电极形成在第二绝缘膜上并通过通孔连接到源极和漏极之一；形成在像素电极下方的分离图案；和遮光膜，其形成在第一绝缘膜的整个表面上并通过分离图案与通孔分离。 3

