



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0075040
(43) 공개일자 2012년07월06일

- | | |
|---|---|
| (51) 국제특허분류(Int. Cl.)
<i>G09G 3/30</i> (2006.01) <i>H01L 51/56</i> (2006.01) | (71) 출원인
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동) |
| (21) 출원번호 10-2010-0137059 | (72) 발명자
박동욱
경기도 용인시 기흥구 삼성2로 95 (농서동) |
| (22) 출원일자 2010년12월28일 | (74) 대리인
팬코리아특허법인 |
| 심사청구일자 없음 | |

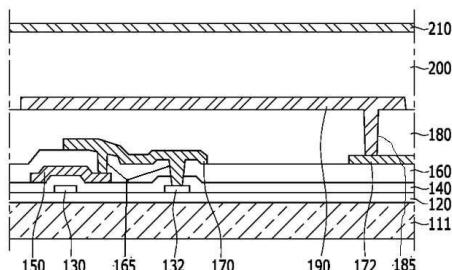
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기 발광 표시 장치, 이의 구동 방법 및 그 제조 방법

(57) 요 약

장거리 균일도가 향상된 유기 발광 표시 장치가 제공된다. 유기 발광 표시 장치는 유기 발광 다이오드, 현재 스캔 신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1 트랜지스터, 상기 제1 트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 상기 유기 발광 다이오드의 구동전류를 발생하는 제2 트랜지스터, 상기 제2 트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 제1 커페시터, 및 상기 제2 트랜지스터의 게이트 전극과 상기 유기 발광 다이오드의 캐소드 전극간의 기생 커페시터를 차폐하기 위한 제2 커페시터를 포함한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

유기 발광 다이오드;

현재 스캔 신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1 트랜지스터;

상기 제1 트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 상기 유기 발광 다이오드의 구동전류를 발생하는 제2 트랜지스터;

상기 제2 트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 제1 커패시터; 및

상기 제2 트랜지스터의 게이트 전극과 상기 유기 발광 다이오드의 캐소드 전극간의 기생 커패시터를 차폐하기 위한 제2 커패시터를 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서, 문턱전압보상을 위한 글로벌 조절 신호에 응답하여 상기 제2 트랜지스터의 문턱전압을 보상하기 위한 제3 트랜지스터 및 제3 커패시터를 더 포함하는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서, 상기 현재 스캔 신호에 응답하여 상기 제2 트랜지스터의 문턱전압을 보상하기 위한 제3 트랜지스터;

이전 스캔 신호에 응답하여 상기 제1 및 제2 커패시터에 저장된 데이터 신호를 초기화시켜 주기 위한 제4 트랜지스터;

현재 발광 신호에 응답하여 구동 전압을 상기 제2 트랜지스터로 제공하기 위한 제5 트랜지스터; 및

상기 현재 발광 신호에 응답하여 상기 구동전류를 상기 유기 발광 다이오드에 전달하는 제6 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 4

제1 항 내지 제3 항 중 어느 한 항에 있어서, 상기 제2 커패시터의 제1 전극은 상기 제2 트랜지스터의 게이트 전극을 포함하고, 상기 제2 커패시터의 제2 전극은 상기 제2 트랜지스터의 상기 게이트 전극과 상기 캐소드 전극 사이에 형성된 유기 발광 표시 장치.

청구항 5

제4 항에 있어서, 상기 제2 전극은 기판 상의 충간 절연막 상에 상기 유기 발광 다이오드의 애노드 전극과 함께 동시에 형성된 유기 발광 표시 장치.

청구항 6

제4 항에 있어서, 상기 제2 전극은 상기 제1 전극을 완전히 덮는 유기 발광 표시 장치.

청구항 7

제6 항에 있어서, 상기 제2 커패시터의 제1 전극은 상기 게이트 전극과 접촉하는 도전막 패턴을 더 포함하는 유기 발광 표시 장치.

청구항 8

화소 어레이의 각 화소에 순차적으로 데이터를 입력하는 주사 단계를 포함하되, 상기 각 화소는 유기 발광 다이오드;

현재 스캔 신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1 트랜지스터;

상기 제1 트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 상기 유기 발광 다이오드의 구동전류를

발생하는 제2 트랜지스터;

상기 제2 트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 제1 커패시터; 및

상기 제2 트랜지스터의 게이트 전극과 상기 유기 발광 다이오드의 캐소드 전극간의 기생 커패시터를 차폐하기 위한 제2 커패시터를 포함하는 주사 단계; 및

상기 캐소드 전극에 인가되는 전원을 스윙하여 상기 각 화소를 동시에 발광시키는 발광 단계를 포함하는 유기 발광 표시 장치의 구동 방법.

청구항 9

제8 항에 있어서, 상기 각 화소는 문턱전압보상을 위한 글로벌 조절 신호에 응답하여 상기 제2 트랜지스터의 문턱전압을 보상하기 위한 제3 트랜지스터 및 제3 커패시터를 더 포함하는 유기 발광 표시 장치의 구동 방법.

청구항 10

제8 항에 있어서, 상기 각 화소는 현재 스캔 신호에 응답하여 상기 제2 트랜지스터의 문턱전압을 보상하기 위한 제3 트랜지스터;

이전 스캔 신호에 응답하여 상기 제1 및 제2 커패시터에 저장된 데이터 신호를 초기화시켜 주기 위한 제4 트랜지스터;

현재 발광 신호에 응답하여 구동 전압을 상기 제2 트랜지스터로 제공하기 위한 제5 트랜지스터; 및

상기 현재 발광 신호에 응답하여 상기 구동전류를 상기 유기 발광 다이오드에 전달하는 제6 트랜지스터를 더 포함하는 유기 발광 표시 장치의 구동 방법.

청구항 11

제8 항 내지 10항 중 어느 한 항에 있어서, 상기 제2 커패시터의 제1 전극은 상기 제2 트랜지스터의 게이트 전극을 포함하고, 상기 제2 커패시터의 제2 전극은 상기 제2 트랜지스터의 상기 게이트 전극과 상기 캐소드 전극 사이에 형성된 유기 발광 표시 장치의 구동 방법.

청구항 12

제11 항에 있어서, 상기 제2 전극은 기판 상의 충간 절연막 상에 상기 유기 발광 다이오드의 애노드 전극과 함께 동시에 형성된 유기 발광 표시 장치의 구동 방법.

청구항 13

제11 항에 있어서, 상기 제2 전극은 상기 제1 전극을 완전히 덮는 유기 발광 표시 장치의 구동 방법.

청구항 14

제13 항에 있어서, 상기 제2 커패시터의 제1 전극은 상기 게이트 전극과 접촉하는 도전막 패턴을 더 포함하는 유기 발광 표시 장치의 구동 방법.

청구항 15

기판 상에 제1 활성 패턴을 형성하고,

게이트 절연막을 형성하고,

상기 게이트 절연막 상에 상기 제1 활성 패턴의 적어도 일부와 중첩하는 게이트 전극을 형성하고,

충간 절연막을 형성하고,

상기 충간 절연막상에 유기 발광 다이오드의 애노드 전극과 함께 상기 게이트 전극을 덮고 제1 전원 라인과 접촉하는 도전막 패턴을 형성하여, 상기 게이트 전극을 포함하는 제1 전극과 상기 도전막 패턴을 제2 전극으로 하는 차폐용 커패시터를 완성하고,

화소 정의막을 형성하고,

유기 발광층과 제2 전원 라인으로 기능하는 캐소드 전극을 형성하여 유기 발광 다이오드를 완성하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제15 항에 있어서, 상기 도전막 패턴은 상기 제1 전극을 완전히 덮도록 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제16 항에 있어서, 상기 충간 절연막을 형성하는 것은

제1 충간 절연막을 형성하고,

상기 게이트 전극과 접촉하는 도전막 패턴과 상기 제1 전원 라인을 형성하고,

제2 충간 절연막을 형성하는 것을 포함하고,

상기 제1 전원 라인과 접촉하는 도전막 패턴은 상기 게이트 전극과 상기 게이트 전극과 접촉하는 도전막 패턴으로 이루어진 상기 제1 전극을 완전히 덮도록 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제15 항에 있어서, 상기 게이트 전극은 입력되는 데이터 신호에 대응하여 유기 발광 다이오드의 구동 전류를 공급하는 구동 트랜지스터의 게이트 전극인 유기 발광 표시 장치의 제조 방법.

명세서

기술 분야

[0001]

본 발명은 표시 장치, 이의 구동 방법 및 그 제조 방법에 관한 것으로, 보다 상세하게는 장거리 균일도(Long Range Uniformity)가 양호한 유기 발광 표시 장치, 이의 구동 방법 및 그 제조 방법에 관한 것이다.

배경 기술

[0002]

유기 발광 표시 장치(Organic Light Emitting Diode display, OLED)는 자발광 특성을 가져 별도의 광원을 필요로 하지 않고, 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 장점으로 인하여 차세대 표시 장치로서 주목 받고 있다. 또한, 유기 발광 표시 장치는 전자 이동도(carrier mobility)가 우수하여 고속 동작 회로에 적용이 가능하다. 하지만, 유기 발광 표시 장치가 점점 대형화되면서 불필요한 기생 커패시턴스에 의한 커플링으로 인해 표시 장치 화면의 전체적인 휘도의 균일성을 나타내는 장거리 균일도가 떨어진다.

발명의 내용

해결하려는 과제

[0003]

본 발명의 실시예들은 장거리 균일도가 양호한 유기 발광 표시 장치를 제공하고자 한다.

[0004]

본 발명의 실시예들은 또한 장거리 균일도가 양호한 유기 발광 표시 장치의 구동 방법을 제공하고자 한다.

[0005]

본 발명의 실시예들은 또한 장거리 균일도가 양호한 유기 발광 표시 장치의 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0006]

본 발명의 일 측면에 따르면, 유기 발광 다이오드, 현재 스캔 신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1 트랜지스터, 상기 제1 트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 상기 유기 발광 다이오드의 구동전류를 발생하는 제2 트랜지스터, 상기 제2 트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 제1 커패시터 및 상기 제2 트랜지스터의 게이트 전극과 상기 유기 발광 다이오드의 캐소드 전극간의 기생 커패시터를 차폐하기 위한 제2 커패시터를 포함하는 유기 발광 표시 장치가 제공될 수 있다.

[0007]

상기 유기 발광 표시 장치는 문턱전압보상을 위한 글로벌 조절 신호에 응답하여 상기 제2 트랜지스터의 문턱

전압을 보상하기 위한 제3 트랜지스터 및 제3 커패시터를 더 포함할 수 있다.

[0008] 상기 유기 발광 표시 장치는 상기 현재 스캔 신호에 응답하여 상기 제2 트랜지스터의 문턱전압을 보상하기 위한 제3 트랜지스터, 이전 스캔 신호에 응답하여 상기 제1 및 제2 커패시터에 저장된 데이터 신호를 초기화시켜 주기 위한 제4 트랜지스터, 현재 발광 신호에 응답하여 구동 전압을 상기 제2 트랜지스터로 제공하기 위한 제5 트랜지스터, 및 상기 현재 발광 신호에 응답하여 상기 구동전류를 상기 유기 발광 다이오드에 전달하는 제6 트랜지스터를 더 포함할 수 있다.

[0009] 상기 제2 커패시터의 제1 전극은 상기 제2 트랜지스터의 게이트 전극을 포함하고, 상기 제2 커패시터의 제2 전극은 상기 제2 트랜지스터의 상기 게이트 전극과 상기 캐소드 전극 사이에 형성될 수 있다.

[0010] 상기 제2 전극은 기판 상의 충간 절연막 상에 상기 유기 발광 다이오드의 애노드 전극과 함께 동시에 형성될 수 있다.

[0011] 상기 제2 전극은 상기 제1 전극을 완전히 덮을 수 있다.

[0012] 상기 제2 커패시터의 제1 전극은 상기 게이트 전극과 접촉하는 도전막 패턴을 더 포함할 수 있다.

[0013] 본 발명의 다른 측면에 따르면, 화소 어레이의 각 화소에 순차적으로 데이터를 입력하는 주사 단계를 포함하되, 상기 각 화소는 유기 발광 다이오드, 현재 스캔 신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1 트랜지스터, 상기 제1 트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 상기 유기 발광 다이오드의 구동전류를 발생하는 제2 트랜지스터, 상기 제2 트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 제1 커패시터, 및 상기 제2 트랜지스터의 게이트 전극과 상기 유기 발광 다이오드의 캐소드 전극간의 기생 커패시터를 차폐하기 위한 제2 커패시터를 포함하는 주사 단계, 및 상기 캐소드 전극에 인가되는 전원을 스윙하여 상기 각 화소를 동시에 발광시키는 발광 단계를 포함하는 유기 발광 표시 장치의 구동 방법이 제공될 수 있다.

[0014] 상기 각 화소는 문턱전압보상을 위한 글로벌 조절 신호에 응답하여 상기 제2 트랜지스터의 문턱전압을 보상하기 위한 제3 트랜지스터 및 제3 커패시터를 더 포함할 수 있다.

[0015] 상기 각 화소는 현재 스캔 신호에 응답하여 상기 제2 트랜지스터의 문턱전압을 보상하기 위한 제3 트랜지스터, 이전 스캔 신호에 응답하여 상기 제1 및 제2 커패시터에 저장된 데이터 신호를 초기화시켜 주기 위한 제4 트랜지스터, 현재 발광 신호에 응답하여 구동 전압을 상기 제2 트랜지스터로 제공하기 위한 제5 트랜지스터, 및 상기 현재 발광 신호에 응답하여 상기 구동전류를 상기 유기 발광 다이오드에 전달하는 제6 트랜지스터를 더 포함할 수 있다.

[0016] 상기 제2 커패시터의 제1 전극은 상기 제2 트랜지스터의 게이트 전극을 포함하고, 상기 제2 커패시터의 제2 전극은 상기 제2 트랜지스터의 상기 게이트 전극과 상기 캐소드 전극 사이에 형성될 수 있다.

[0017] 상기 제2 전극은 기판 상의 충간 절연막 상에 상기 유기 발광 다이오드의 애노드 전극과 함께 동시에 형성될 수 있다.

[0018] 상기 제2 전극은 상기 제1 전극을 완전히 덮을 수 있다.

[0019] 상기 제2 커패시터의 제1 전극은 상기 게이트 전극과 접촉하는 도전막 패턴을 더 포함할 수 있다.

[0020] 본 발명의 또 다른 측면에 따르면, 기판 상에 제1 활성 패턴을 형성하고, 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 제1 활성 패턴의 적어도 일부와 중첩하는 게이트 전극을 형성하고, 충간 절연막을 형성하고, 상기 충간 절연막상에 유기 발광 다이오드의 애노드 전극과 함께 상기 게이트 전극을 덮고 제1 전원 라인과 접촉하는 도전막 패턴을 형성하여, 상기 게이트 전극을 포함하는 제1 전극과 상기 도전막 패턴을 제2 전극으로 하는 차폐용 커패시터를 완성하고, 화소 정의막을 형성하고, 유기 발광층과 제2 전원 라인으로 기능하는 캐소드 전극을 형성하여 유기 발광 다이오드를 완성하는 유기 발광 표시 장치의 제조 방법이 제공될 수 있다.

[0021] 상기 도전막 패턴은 상기 제1 전극을 완전히 덮도록 형성할 수 있다.

[0022] 상기 충간 절연막을 형성하는 것은 제1 충간 절연막을 형성하고, 상기 게이트 전극과 접촉하는 도전막 패턴과 상기 제1 전원 라인을 형성하고, 제2 충간 절연막을 형성하는 것을 포함하고, 상기 제1 전원 라인과 접촉하는 도전막 패턴은 상기 게이트 전극과 상기 게이트 전극과 접촉하는 도전막 패턴으로 이루어진 상기 제1 전극을 완전히 덮도록 형성할 수 있다.

[0023] 상기 게이트 전극은 입력되는 데이터 신호에 대응하여 유기 발광 다이오드의 구동 전류를 공급하는 구동 트랜지스터의 게이트 전극일 수 있다.

발명의 효과

[0024] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 구동 트랜지스터와 공통 전압(ELVss)이 인가되는 캐소드 전극간의 커플링을 방지하기 위한 차폐 커패시터를 포함한다. 따라서, 공통 전압(ELVss)이 스윙하더라도 구동 트랜지스터의 게이트 전압이 변화하는 현상을 방지할 수 있다. 따라서, 구동 트랜지스터와 캐소드 전극간의 불필요한 기생 커패시턴스에 의한 커플링을 방지할 수 있기 때문에 유기 발광 표시 장치 화면의 전체적인 휘도의 균일성을 나타내는 장거리 균일도를 향상시킬 수 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치 화소의 등가 회로도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 화소의 레이아웃이다.

도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치 화소의 단면도이다.

도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동 타이밍도이다.

도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 시뮬레이션 타이밍도이다.

도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치 화소의 등가 회로도이다.

도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치 화소의 레이아웃이다.

도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치 화소의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다.

[0027] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라 그 중간에 다른 구성요소를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.

[0028] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.

[0029] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도, 평면도 및/또는 개략도들을 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0030] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 구동 트랜지스터와 공통 전압(ELVss)이 인가되는 캐소드 전극간의 커플링을 방지하기 위한 차폐 커패시터를 포함한다. 차폐 커패시터는 구동 트랜지스터의 게이트 전극을 포함하는 제1 전극과 캐소드 전극 하부층에 제1 전극을 완전히 덮도록 형성된 제2 전극을 포함할 수 있

다. 따라서, 공통 전압(ELVss)이 하이에서 로우로(또는 로우에서 하이로) 스윙하더라도 구동 트랜지스터의 게이트 전압이 변화하는 현상을 방지할 수 있다. 이하에서는 도면을 참조하여 차폐 커패시터를 포함하는 본 발명의 실시예들에 따른 유기 발광 표시 장치를 구체적으로 설명한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치 화소의 등가회로도이다. 각 화소(10)는 유기 발광 다이오드(OLED)와 3개의 트랜지스터와 3개의 커패시터(3T3C) 구조의 화소 회로(12)를 가진다.

[0032] 제1 트랜지스터(Q1)의 게이트는 현재 스캔신호(Scan[n])와 연결되고, 입력 단자는 데이터 신호(Data[t])와 연결되고, 출력 단자는 제1 접점(N1)에 연결되어 있다.

[0033] 제2 트랜지스터(Q2)인 구동 트랜지스터(Qd)의 게이트는 제2 접점(N2)에서 제2 커패시터(C2) 및 제3 커패시터(C3)와 연결되고, 입력 단자는 제4 접점(N4)에서 제1 전원, 예컨대 구동 전압(ELVdd)과 연결되고, 출력 단자는 제3 접점(N3)에서 유기 발광 다이오드(OLED)의 애노드 전극 및 제3 트랜지스터(Q3)의 입력 단자와 연결되어 있다.

[0034] 제3 트랜지스터(Q3)의 게이트는 구동 트랜지스터(Qd)의 문턱 전압 보상을 위한 글로벌 조절 신호(GC(t))와 연결되고, 입력 단자는 제3 접점(N3)에서 구동 트랜지스터(Qd)의 출력 단자와 연결되고, 출력 단자는 제2 접점(N2)에서 구동 트랜지스터(Qd)의 게이트, 제2 및 제3 커패시터(C2, C3)와 연결되어 있다.

[0035] 제1 커패시터(C1)의 일단은 제1 접점(N1)에서 제3 커패시터(C3)의 일단 및 제1 트랜지스터(Q1)의 출력 단자와 연결되고, 다른 단은 제4 접점(N4)에서 제1 전원(ELVdd)에 연결되어 있다.

[0036] 제2 커패시터(C2)의 일단은 제2 접점(N2)에서 구동 트랜지스터(Qd)의 게이트, 제3 트랜지스터(Q3)의 출력 단자 및 제3 커패시터(C3)의 다른 단과 연결되어 있고, 다른 단은 제4 접점(N4)에서 제1 전원(ELVdd)과 연결되어 있다.

[0037] 제3 커패시터(C3)의 일단은 제1 접점(N1)에서 제1 트랜지스터(Q1)의 출력 단자 및 제1 커패시터(C1)의 일단과 연결되고, 다른 단은 제2 접점(N2)에서 구동 트랜지스터(Qd)의 게이트, 제3 트랜지스터(Q3)의 출력 단자 및 제2 커패시터(C2)의 일단과 연결되어 있다.

[0038] 유기 발광 다이오드(OLED)의 애노드 전극(화소 전극)은 제3 접점(N3)에서 구동 트랜지스터(Qd)의 출력 단자 및 제3 트랜지스터(Q3)의 입력 단자와 연결되고, 캐소드 전극(공통 전극)은 제2 전원, 예컨대 공통 전압(ELVss)에 연결되어 있다.

[0039] 제1 트랜지스터(Q1)는 현재 스캔 신호(scan[n])에 응답하여 해당하는 데이터라인에 인가되는 전압레벨의 데이터 신호(Data[t])를 전달하는 스위칭 트랜지스터이다.

[0040] 제2 트랜지스터(Q2)인 구동 트랜지스터(Qd)는 제1 트랜지스터(Q1)을 통해 게이트에 입력되는 전압 레벨의 데이터 신호(Data[t])에 따라 상기 유기 발광 다이오드(OLED)의 구동 전류를 공급하는 구동 트랜지스터(Qd)이다.

[0041] 제3 트랜지스터(Q3)는 글로벌 조절 신호(GC(t))에 응답하여 구동 트랜지스터(Qd)의 문턱 전압을 보상하기 위한 문턱 전압 보상용 트랜지스터이다.

[0042] 제1 커패시터(C1)는 구동 트랜지스터(Qd)의 게이트에 인가되는 데이터신호를 저장하기 위한 커패시터이다.

[0043] 제2 커패시터(C2)는 구동 트랜지스터(Qd)의 게이트 전극과 제2 전원(ELVss)이 인가되는 캐소드 전극간의 기생 커패시터에 의한 커플링을 방지하기 위한 차폐 커패시터이다.

[0044] 제3 커패시터(C3)는 구동 트랜지스터(Qd)의 문턱 전압을 조절하기 위한 커패시터이다.

[0045] 제1 내지 제 3 트랜지스터(Q1, Q2, Q3)는 p-채널 전계 효과 트랜지스터일 수 있다. 전계 효과 트랜지스터의 예로는 박막 트랜지스터(thin film transistor, TFT)가 사용될 수 있다. 제1 내지 제 3 트랜지스터(Q1, Q2, Q3)의 채널형(channel type)은 n-채널형으로 바뀔 수 있으며, 이 경우에는 이들을 구동하는 신호의 파형 또한 뒤집힐 수 있다.

[0046] 도 1에서는 화소 회로(12)로 3T3C 구조를 예시하고 있으나, 제2 트랜지스터(Q2)의 문턱 전압 편차의 문제가 발생하지 않거나 동작에 크게 영향을 미치지 않는 경우 제3 트랜지스터(Q3)와 제3 커패시터(C3)를 생략하여 2T2C로 구성된 화소 회로로 구성할 수 있다. 또는 제2 트랜지스터((Q2)의 문턱 전압 편차를 해결하기 위하여 제3 트랜지스터(Q3)와 제3 커패시터(C3)를 대체하는 다른 트랜지스터와 커패시터의 다양한 조합 또한 화소 회

로 구성에 적용될 수 있다.

[0047] 이하, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소의 레이아웃과 단면도를 각각 나타내는 도 2 및 도 3을 참고하여 차폐 커패시터인 제2 커패시터(C2)의 구조 및 기능을 보다 상세히 설명한다. 도 2는 도 1에 예시되어 있는 등가회로도로 이루어진 화소(10)를 구현하기 위한 레이아웃의 일부이고, 도 3은 도 2의 III-III'을 따라 자른 단면도를 나타낸다. 도 1에 예시되어 있는 화소(10)를 구현하기 위한 레이아웃은 당업자에 의해 다양한 변형이 가능하므로, 본 발명이 모호하게 해석되는 것을 피하기 위하여, 도 2에서는 제2 커패시터(C2)의 제1 전극을 구성하는 요소들, 예컨대 게이트 전극(150), 게이트 전극(150)과 접촉하는 도전막 패턴(170)과 제2 전극을 구성하는 요소들, 예컨대 도전막 패턴(170)과 같은 층에 형성되는 제1 전원 라인(ELVdd)(172) 및 애노드 전극(192)과 같은 층에 형성되는 도전막 패턴(190)의 레이아웃만을 예시하였다. 그리고 도 3에서는 애노드 전극(192) 영역은 미도시 하였다.

[0048] 도 2 및 도 3을 참고하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 적층 구조 및 그 제조 방법을 설명한다.

[0049] 기판(111)은 유리, 석영, 세라믹 및 플라스틱 등으로 이루어진 투명한 절연성 기판일 수 있다. 또한 기판(111)은 스테인리스 강으로 이루어진 금속성 기판일 수도 있다. 또한 기판(111)이 플라스틱 등으로 만들어질 경우 플렉서블(flexible)한 기판으로 형성될 수도 있다.

[0050] 베퍼막(120)이 기판(111) 상에 형성된다. 베퍼막(120)은 화학적 기상 증착(chemical vapor deposition)법 또는 물리적 기상 증착(physical vapor deposition)법을 이용하여 실리콘산화막(SiO_x), 실리콘질화막(SiNx), 실리콘산질화막(SiO_xNy) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연막들을 하나 이상 포함하는 단층 또는 복층 구조로 형성될 수 있다. 베퍼막(120)은 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 표면 평탄화 역할을 한다. 따라서, 베퍼막(120)은 기판(111)의 종류 및 공정 조건에 따라 생략될 수도 있다.

[0051] 제1 및 제2 활성 패턴(130, 132)이 베퍼막(120) 상에 형성된다. 제1 및 제2 활성 패턴(130, 132)은 불순물이 도핑되지 않은 채널 영역(미도시) 및 p+ 도핑되어 형성된 소스 영역(미도시)과 드레인 영역(미도시)을 포함한다. 이 때, 도핑되는 이온 물질은 붕소, 갈륨, 인듐 등의 P형 불순물이다. 도면에 예시되어 있는 제1 활성 패턴(130)은 구동 트랜지스터(Qd)인 제2 트랜지스터(Q2)용 활성 패턴이고, 제2 활성 패턴(132)은 제3 트랜지스터(Q3)용 활성 패턴의 일부이다. 제1 트랜지스터(Q1)용 활성 패턴 및 커패시터 전극으로 사용될 수 있는 패턴은 미도시하였다.

[0052] 제1 내지 제3 트랜지스터(Q1, Q2, Q3)로 P형 불순물을 사용하는 PMOS 구조의 박막 트랜지스터가 사용될 수 있으나, 본 발명이 이에 한정되는 것은 아니고, NMOS 구조 또는 CMOS 구조의 박막 트랜지스터를 사용할 수도 있다. 또한, 제1 내지 제3 트랜지스터(Q1, Q2, Q3)는 다결정 박막 트랜지스터이거나 비정질 박막 트랜지스터일 수 있다.

[0053] 게이트 절연막(140)이 제1 및 제2 활성 패턴(130, 132) 상에 형성된다. 게이트 절연막(140)은 실리콘 질화막(SiNx), 실리콘산화막(SiO₂), 테트라에톡시실란(tetra ethyl ortho silicate, TEOS) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질 중 하나 이상을 포함하여 형성될 수 있다.

[0054] 게이트 전극(150)이 게이트 절연막(140) 상에 형성된다. 게이트 전극(150)은 제1 활성 패턴(130)의 적어도 일부, 특히 채널 영역(미도시)과 중첩되도록 형성된다. 게이트 전극(150)은 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텉스텐(W) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하는 금속막으로 형성될 수 있다.

[0055] 제1 충간 절연막(160)이 게이트 전극(150) 상에 형성된다. 제1 충간 절연막(160)은 게이트 절연막(140)과 마찬가지로 실리콘 질화막(SiNx), 실리콘산화막(SiO₂), 테트라에톡시실란(tetra ethyl ortho silicate, TEOS) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질 중 하나 이상을 포함하도록 형성될 수 있다. 또한 충간 절연막(160)은 다층막으로도 형성될 수 있다. 예를 들면, 제1 충간 절연막(160)은 서로 다른 굴절율을 가지는 두 개의 막으로 구성될 수 있다. 두 개의 절연막이 서로 다른 굴절율을 가지면 이들의 계면에서 반사되는 빛에 의해 거울 효과를 얻을 수 있다. 예를 들어, 하나의 막은 상대적으로 높은 굴절율을 갖는 실리콘 질화막으로 형성되고, 다른 막은 상대적으로 낮은 굴절율을 갖는 실리콘 산화막으로 형성될 수 있다. 충간 절연막(160)에는 게이트 전극(150)과 접촉하기 위한 콘택홀(165)이 형성된다.

- [0056] 도전막 패턴(170)과 제1 전원(ELVdd) 라인(172)이 제1 층간 절연막(160) 상에 형성된다. 도전막 패턴(170)은 콘택홀(165)을 통해 게이트 전극(150)과 접촉하며 게이트 전극(150)과 제2 활성 패턴(132)를 연결시키기 위해 형성된다. 도전막 패턴(170)과 제1 전원(ELVdd) 라인(172)은 몰리브덴(Mo), 크롬(Cr), 알루미늄(AI), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텉스텐(W) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하는 금속막으로 형성될 수 있다.
- [0057] 게이트 전극(150)과 게이트 전극과 접촉하는 도전막 패턴(170)이 차폐 커패시터인 제2 커패시터(C2)의 제1 전극을 구성한다.
- [0058] 제2 층간 절연막(180)이 제1 층간 절연막(160) 상에 형성된다. 제2 층간 절연막(180)은 제1 층간 절연막(160) 상의 도전막 패턴(170)과 제1 전원(ELVdd) 라인(172)을 덮고 기판 전면을 평탄화시키는 평탄막이다. 제2 층간 절연막(180)에는 제1 전원(ELVdd) 라인(172)과 접촉하기 위한 콘택홀(185)이 형성된다.
- [0059] 차폐 커패시터인 제2 커패시터(C2)의 제2 전극을 구성하는 도전막 패턴(190)과 애노드 전극(192)이 제2 층간 절연막(180) 상에 형성된다. 제2 전극을 구성하는 도전막 패턴(190)은 콘택홀(185)을 통해 제1 전원(ELVdd) 라인(172)과 접촉한다. 제2 커패시터(C2)의 제2 전극을 구성하는 도전막 패턴(190)과 애노드 전극(192)은 반사형 도전성 물질로 형성될 수 있다. 반사형 도전성 물질로는 알루미늄(AI), 은(Ag), 마그네슘(Mg) 또는 이들의 합금이 사용될 수 있다. 화소 전극(192) 상에는 반사막(미도시)을 더 포함하여 빛이 더 잘 반사되도록 할 수 있다.
- [0060] 화소 정의막(200)이 제2 층간 절연막(180) 상에 형성된다. 화소 정의막(200)은 애노드 전극(192)의 일부를 드러내는 개구부(미도시)를 포함한다. 화소 정의막(200)이 형성된 부분은 실질적으로 비발광 영역이 되고, 화소 정의막(200)의 개구부가 형성된 부분은 실질적으로 발광 영역이 된다. 화소 정의막(200)은 다양한 유기 또는 무기 물질로 형성될 수 있다. 예를 들어 화소 정의막(200)은 폴리아크릴계 또는 폴리이미드계 등의 수지로 이루어질 수 있으며, 열경화 또는 광경화된 막일 수 있다.
- [0061] 애노드 전극(192) 상에 유기 발광층(미도시)과 캐소드 전극(210)이 형성되어 유기 발광 다이오드(OLED)를 구성한다.
- [0062] 유기 발광층은 저분자 유기물 또는 고분자 유기물로 이루어지고, 유기 발광층은 정공 주입층(Hole Injection Layer, HIL), 정공 수송층(Hole Transporting Layer, HTL), 전자 수송층(Electron Transporting Layer, ETL) 및 전자 주입층(Electron Injection Layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다.
- [0063] 캐소드 전극(210)은 투명 도전막으로 형성된다. 투명 도전막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZITO (Zinc Indium Tin Oxide), GITO(Gallium Indium Tin Oxide), In_2O_3 (Indium Oxide), ZnO(Zinc Oxide), GIZO(Gallium Indium Zinc Oxide), GZO(Gallium Zinc Oxide), FTO(Fluorine Tin Oxide), 및 AZO(Aluminum-Doped Zinc Oxide) 중 하나 이상을 포함할 수 있다.
- [0064] 도 2 및 도 3에 예시되어 있는 바와 같이, 차폐 커패시터인 제2 커패시터(C2)의 제2 전극을 구성하는 도전막 패턴(190)은 구동 트랜지스터(Qd)의 게이트 전극(150)과 게이트 전극(150)과 접촉하는 도전막 패턴(170)으로 이루어진 제1 전극(150, 170)을 완전히 덮도록 형성된다. 따라서, 캐소드 전극(210)과 제1 전극(150, 170) 사이에 기생 커패시턴스가 생기는 것을 차폐할 수 있다.
- [0065] 차폐 커패시터의 기능은 각 화소의 스캔 완료후 동시에 모든 유기 발광 다이오드가 발광하도록 하는 동시 발광 구동(Simultaneous Emission with Active Voltage, 이하 SEAV) 방식이 적용될 경우 그 효과가 극대화될 수 있다. 이하 도 4의 신호 타이밍도를 참조하여 구동 방법을 설명한다. 설명의 명료함을 위하여 신호 타이밍도에는 스캔(Scan[1]~Scan[n])신호와 제2 전원(ELVss) 신호만 예시하였다.
- [0066] 도 4를 참조하면, 동시 발광 방식에 따른 한 프레임의 기간은 전체 화소 각각에 복수의 데이터 신호가 전달 및 기입(programming)되는 주사 기간 및 전체 화소에 데이터 신호 기입이 완료된 후 전체 화소 각각이 기입된 데이터 신호 각각에 따라 발광하는 발광 기간을 포함한다. 즉, 종래의 순차 발광 방식의 경우 각 주사 라인 별로 데이터 신호가 순차적으로 입력되고 끝이어 발광도 순차적으로 수행되는 것이나, 동시 발광 구동에서는 데이터 신호 입력은 순차적으로 수행되지만, 발광은 데이터 신호 입력이 완료된 후 전체적으로 일괄 수행되는 것이다.
- [0067] 보다 구체적으로 구동 단계는 주사 기간 이전에 화소(10) 내의 유기 발광 다이오드(OLED)의 구동 전압을 리셋 하는 리셋 단계(a), 유기 발광 다이오드(OLED)의 구동 트랜지스터(Qd)의 문턱 전압을 보상하는 문턱전압 보상

단계(b), 표시 장치의 각 화소(10)에 데이터 신호를 전달하는 주사 단계(c), 및 유기 발광 표시 장치의 화소(10)들 각각의 유기 발광 다이오드(OLED)가 전달된 데이터 신호에 대응하여 동시에 발광하는 발광 단계(d)로 나뉜다.

[0068] 주사 단계(데이터 신호 입력 단계)(c)는 각 주사 라인 별로 순차적으로 수행되나, 나머지 (a) 리셋 단계 (b) 문턱전압 보상 단계 (d) 발광 단계는 도시된 바와 같이 동시에 일괄적으로 수행된다.

[0069] 주사 단계(c)에서는 복수의 주사신호(Scan[1]~Scan[n])가 각 주사선에 대해 순차적으로 입력되고, 이에 대응하여 각 화소(10)에 복수의 데이터 신호가 순차적으로 입력된다.

[0070] 발광 단계(d)는 제2 전원(ELVss)이 하이(예, 12V)에서 로우(예, 0V)로 스윙하면서 시작된다. 이 때, 본 발명과 같은 차폐 커패시터가 존재하지 않을 경우 캐소드 전극(210)과 제1 전극(150, 170) 사이에서 기생 커패시턴스로 인한 커플링이 일어날 수 있다. 커플링이 일어나면 구동 트랜지스터(Qd)의 게이트 노드인 제2 접점(N2)의 전압이 변화될 수 있다. 이로 인해 40인치 유기 발광 표시 장치에서와 같이 대형 패널에서 전원 공급부와 가까운 패널 상하는 밝으나 가운데 부분은 어두워져서 장거리 균일도가 나빠지는 현상이 발생할 수 있다.

[0071] 화소 회로(12)를 구성하는 제1 내지 제3 트랜지스터(Q1, Q2, Q3)를 n-채널형으로 구현할 경우, 도 4에 예시되어 있는 신호의 파형이 뒤집혀야 함은 당연하다 할 것이므로 이에 대한 파형의 도시 및 설명은 생략하도록 한다.

[0072] 하지만, 본 발명의 실시예에서와 같이 차폐 커패시터인 제2 커패시터(C2)를 형성하면 도 5의 시뮬레이션 타이밍도와 같이, 차폐 커패시터(C2)가 없는 경우(b)의 제2 접점(N2)의 전압 변화량 즉, 커플링 전압은 0.89V이고, 차폐 커패시터(C2)가 있는 경우(a)의 커플링 전압은 0.27V이다. 즉, 차폐 커패시터(C2)가 없는 경우(b)대비 차폐 커패시터(C2)가 있는 경우(a)의 커플링 전압이 1/3 이하로 감소하는 것을 알 수 있다. 따라서, 본 발명의 실시예와 같이 캐소드 전극(210)과 게이트 전극(150)과 게이트 전극(150)과 접촉하는 도전막 패턴(170) 사이에 기생 커패시턴스가 생기는 것을 차폐하는 차폐 커패시터인 제2 커패시터(C2)를 구비함으로써 유기 발광 표시 장치의 장거리 균일도를 향상시킬 수 있다.

[0073] 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치 화소(20)의 등가 회로도이다.

[0074] 도 6을 참조하면, 각 화소(20)는 유기 발광 다이오드(OLED)와 6T2C 구조의 화소 회로(22)를 가진다.

[0075] 제1 트랜지스터(Q1)의 게이트는 현재 스캔신호(scan[n])와 연결되고, 입력 단자는 데이터 신호(Data[t])와 연결되고, 출력 단자는 제1 접점(N1)에 연결되어 있다.

[0076] 제2 트랜지스터(Q2)인 구동 트랜지스터(Qd)의 게이트는 제2 접점(N2)에서 제1 커패시터(C1) 및 제2 커패시터(C2)와 연결되고, 입력 단자는 제1 접점(N1)에서 제5 트랜지스터(Q5)의 출력 단자 및 제1 트랜지스터(Q1)의 출력 단자와 연결되고, 출력 단자는 제3 접점(N3)에서 제3 트랜지스터(Q3)의 입력 단자 및 제6 트랜지스터(Q6)의 입력단자와 연결되어 있다.

[0077] 제3 트랜지스터(Q3)의 게이트는 현재 스캔신호(scan[n])와 연결되고, 입력 단자는 제3 접점(N3)에서 구동 트랜지스터(Qd)의 출력 단자와 연결되고, 출력 단자는 제2 접점(N2)에서 구동 트랜지스터(Qd)의 게이트, 제1 및 제2 커패시터(C1, C2), 및 제4 트랜지스터(Q4)의 입력 단자와 연결되어 있다.

[0078] 제4 트랜지스터(Q4)의 게이트는 이전 스캔 신호(scan[n-1])와 연결되고, 입력 단자는 제2 접점(N2)에서 구동 트랜지스터(Qd)의 게이트, 제1 및 제2 커패시터(C1, C2), 및 제3 트랜지스터(Q3)의 출력 단자와 연결되고, 출력 단자에 초기화 전압(Vint i)이 인가된다.

[0079] 제5 트랜지스터(Q5)의 게이트는 현재 발광 신호(em[n])와 연결되고, 입력 단자는 제4 접점(N4)에서 제1 전원, 예컨대 구동 전압(ELVdd)와 연결되고, 출력 단자는 제1 접점(N1)에서 제1 트랜지스터(Q1)의 출력 단자 및 구동 트랜지스터(Qd)의 입력 단자와 연결되어 있다.

[0080] 제6 트랜지스터(Q6)의 게이트는 현재 발광 신호(em[n])와 연결되고, 입력 단자는 제3 접점(N3)에서 구동 트랜지스터(Qd)의 출력 단자 및 제3 트랜지스터(Q3)의 입력 단자와 연결되고, 출력 단자는 제5 접점(N5)에서 유기 발광 다이오드(OLED)의 일단에 연결된다.

[0081] 제1 커패시터(C1)의 일단은 제2 접점(N2)에서 구동 트랜지스터(Qd)의 게이트, 제3 트랜지스터(Q3)의 출력 단자, 제4 트랜지스터(Q4)의 입력 단자 및 제2 커패시터(C2)의 일단과 연결되어 있고, 다른 단은 제4 접점(N4)

에서 제1 전원(ELVdd)과 연결되어 있다.

[0082] 제2 커패시터(C2)의 일단은 제2 접점(N2)에서 구동 트랜지스터(Qd)의 게이트, 제3 트랜지스터(Q3)의 출력 단자, 제4 트랜지스터(Q4)의 입력 단자 및 제1 커패시터(C1)의 일단과 연결되어 있고, 다른 단은 제4 접점(N4)에서 제1 전원(ELVdd)과 연결되어 있다.

[0083] 유기 발광 다이오드(OLED)의 애노드 전극(화소 전극)은 제5 접점(N5)에서 제6 트랜지스터((Q6)의 출력 단자와 연결되고, 캐소드 전극(공통 전극)은 제2 전원(ELVss)에 연결되어 있다.

[0084] 제1 내지 제6 트랜지스터(Q1 내지 Q6)는 모두 p-채널 전계 효과 트랜지스터(PMOS)일 수 있다. 전계 효과 트랜지스터의 예로는 박막 트랜지스터(thin film transistor, TFT)가 사용될 수 있다. 제1 내지 제6 트랜지스터(Q1 내지 Q6)의 채널형은 n-채널형으로 바뀔 수 있으며, 이 경우에는 이들을 구동하는 신호의 파형 또한 뒤집힐 수 있다.

[0085] 제1 트랜지스터(Q1)은 현재 스캔 신호(scan[n])에 응답하여 해당하는 데이터라인에 인가되는 전압레벨의 데이터 신호(Data[t])를 전달하는 스위칭 트랜지스터이다.

[0086] 제2 트랜지스터(Q2)인 구동 트랜지스터(Qd)는 제1 트랜지스터(Q1)을 통해 게이트에 입력되는 전압 레벨의 데이터 신호(Data[t])에 대응하여 상기 유기 발광 다이오드(OLED)의 구동 전류를 공급하는 구동 트랜지스터(Qd)이다.

[0087] 제3 트랜지스터(Q3)는 현재 스캔 신호(scan[n])에 응답하여 구동 트랜지스터(Qd)의 문턱 전압을 보상하기 위한 문턱 전압 보상용 트랜지스터이다.

[0088] 제4 트랜지스터(Q4)는 이전 스캔 신호(scan[n-1])에 응답하여 제1 및 제2 커패시터(C1, C2)에 저장된 데이터 신호를 초기화시켜 주기 위한 초기화용 트랜지스터이다.

[0089] 제5 트랜지스터(Q5)는 현재 발광 신호(em[n])에 응답하여 제1 전원, 예컨대 구동 전압(ELVdd)를 구동 트랜지스터(Qd)로 제공하기 위한 트랜지스터이다.

[0090] 제6 트랜지스터(Q6)는 현재 발광 신호(em[n])에 응답하여 구동 트랜지스터(Qd)의 출력 전류인 구동 전류를 유기 발광 다이오드(OLED)로 제공하기 위한 트랜지스터이다.

[0091] 제1 커패시터(C1)는 구동 트랜지스터(Qd)의 게이트에 인가되는 데이터신호를 저장하기 위한 커패시터이다.

[0092] 제2 커패시터(C2)는 구동 트랜지스터(Qd)의 게이트 전극과 제2 전원(ELVss)이 인가되는 캐소드 전극간의 기생 커패시터에 의한 커플링을 방지하기 위한 차폐 커패시터이다.

[0093] 도 6에서는 화소 회로(22)로 6T2C 구조를 예시하고 있으나, 제3 내지 제6 트랜지스터(Q3~Q6)의 기능은 생략되거나 다른 트랜지스터의 구성으로 대체될 수 있음을 물론이다.

[0094] 도 7 및 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소의 레이아웃과 단면도를 나타낸다. 도 7에서도 도 2에서와 마찬가지로 차폐 커패시터인 제2 커패시터(C2)의 제1 전극을 구성하는 요소들, 예컨대 게이트 전극(850), 게이트 전극(850)과 접촉하는 도전막 패턴(870)과 제2 전극을 구성하는 요소들, 예컨대 애노드 전극(892)과 같은 층에 형성되는 도전막 패턴(890) 및 제1 전원 라인(ELVdd)(872)의 레이아웃만을 예시하였다. 도전막 패턴(870)은 제2 트랜지스터(Q2)의 게이트 전극(850)을 제3 트랜지스터(Q3) 및 제4 트랜지스터(Q4)의 활성 패턴과 연결하기 위한 것이다. 도 2 및 도 3을 참조하여 설명한 일 실시예에 따른 유기 발광 표시 장치와 각 요소들의 레이아웃의 형태만 다를 뿐 적층 순서 및 각 구성 요소의 기능에 있어서는 실질적으로 동일하다. 따라서, 동일 참조 부호를 사용하는 실질적으로 동일한 구성 요소에 대한 설명은 생략하도록 한다.

[0095] 도 7 및 도 8에 예시되어 있는 바와 같이, 차폐 커패시터인 제2 커패시터(C2)의 제2 전극(890)은 구동 트랜지스터(Qd)의 게이트 전극(850)과 게이트 전극(850)과 접촉하는 도전막 패턴(870)으로 이루어진 제1 전극(850, 870)을 완전히 덮도록 형성된다. 따라서, 캐소드 전극(210)과 제1 전극(850, 870) 사이에 기생 커패시턴스가 생기는 것을 차폐할 수 있다.

[0096] 도면에는 예시하지 않았으나, 도 6 내지 8을 참조하여 설명한 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 차폐 커패시터의 기능 또한 각 화소의 스캔 완료후 동시에 모든 유기 발광 다이오드가 발광하도록 하는 동시 발광 구동(Simultaneous Emission with Active Voltage, 이하 SEAV) 방식이 적용될 경우 그 효과가 극대화될 수 있다.

[0097]

지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 예를 들면, 동시 발광 구동 방식을 적용하는 유기 발광 표시 장치의 다양한 레이아웃 및 적층 구조에 본 발명의 실시예들에 따른 차폐 커패시터를 구현할 수 있다. 다시 말하면, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0098]

10, 20: 화소

12, 22: 화소 회로

Q1, Q2, Q3, Q4, Q5, Q6: 트랜지스터

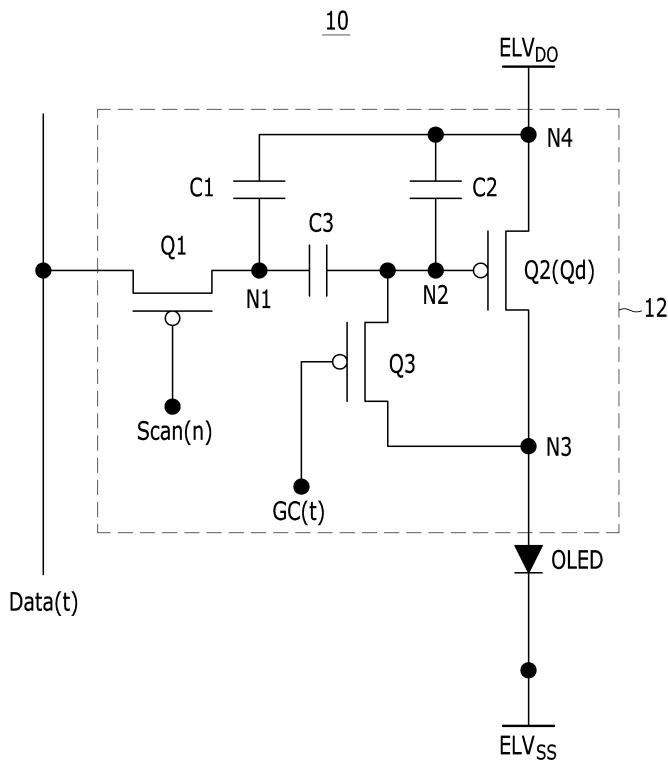
N1, N2, N3, N4, N5: 접점

C1, C2, C3: 커패시터

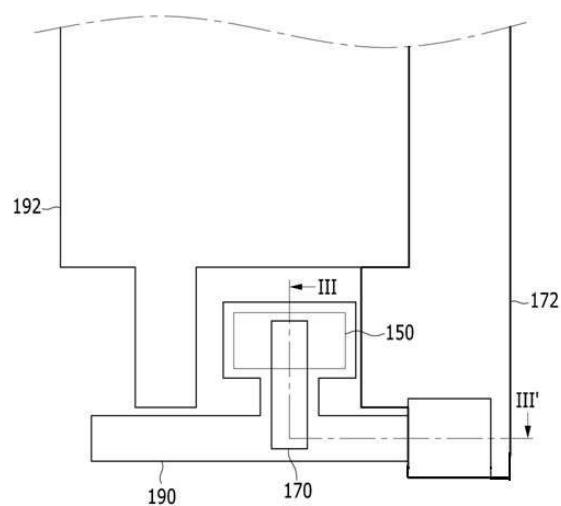
OLED: 유기 발광 다이오드

도면

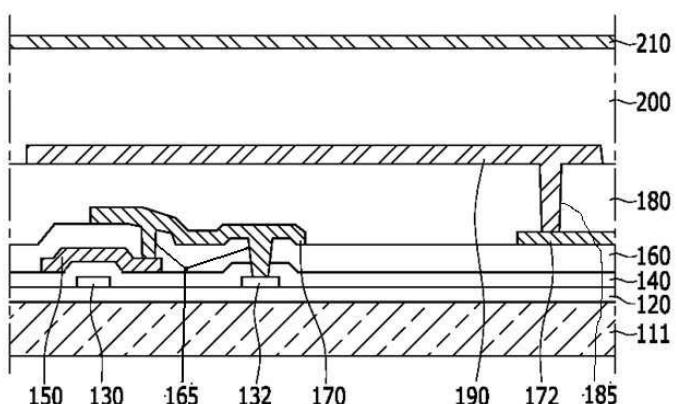
도면1



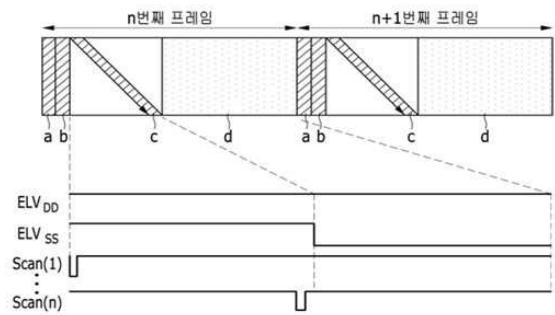
도면2



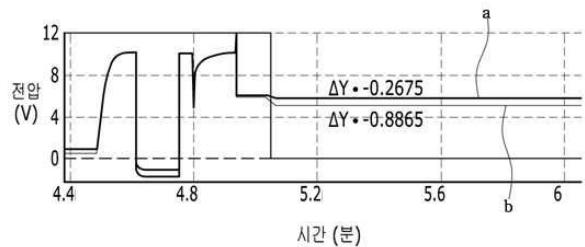
도면3



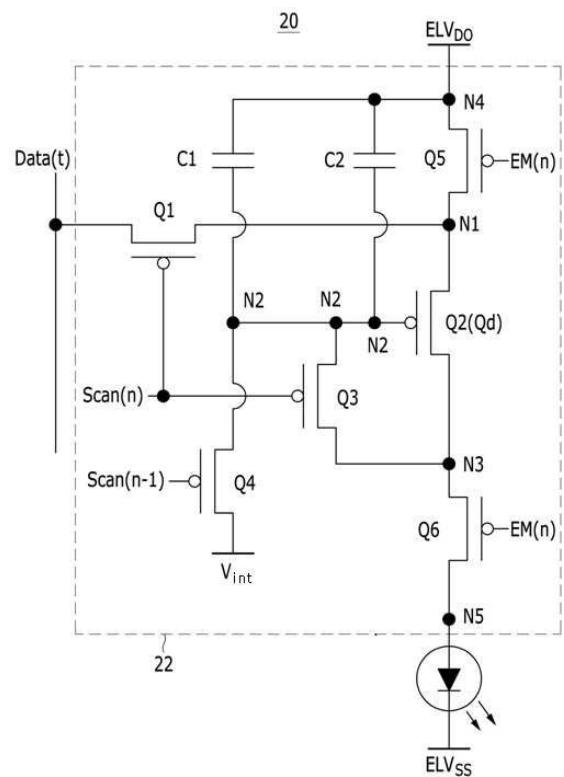
도면4



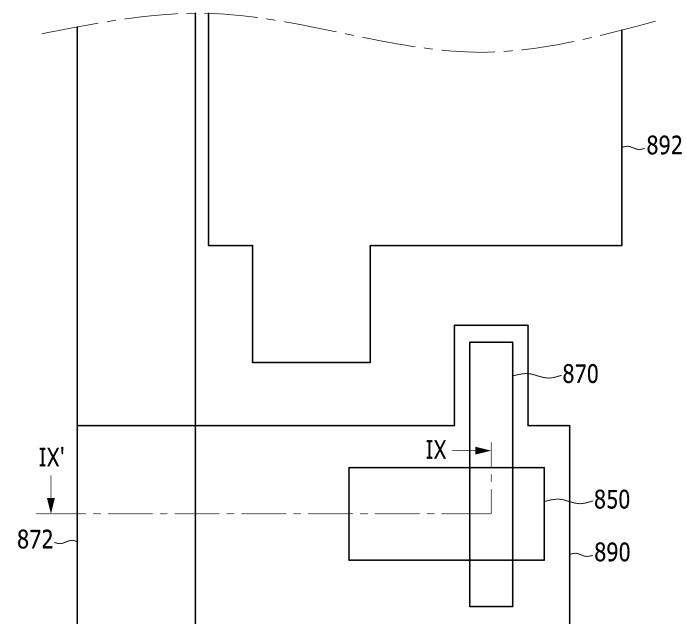
도면5



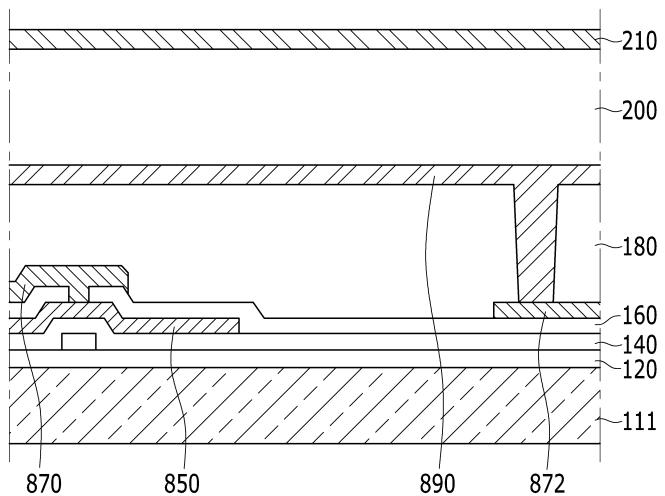
도면6



도면7



도면8



专利名称(译)	OLED显示装置，其驱动方法及其制造方法		
公开(公告)号	KR1020120075040A	公开(公告)日	2012-07-06
申请号	KR1020100137059	申请日	2010-12-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK DONG WOOK 박동욱		
发明人	박동욱		
IPC分类号	G09G3/30 H01L51/56 G09G3/3225 G09G3/3233 H01L27/32 G09G3/3283		
CPC分类号	H01L27/3262 G09G2300/0861 H01L27/3265 G09G3/3283 G09G2300/0866 G09G3/3225 G09G2300/0819 G09G3/3208 G09G3/3233 G09G2320/0233		
其他公开文献	KR101839533B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机发光显示装置及其驱动方法及其制造方法，以通过防止由阴极之间的不必要的寄生电容引起的耦合来提高有机发光显示装置的屏幕的总体亮度的均匀性。构成：在衬底(111)上形成缓冲膜(120)。第一有源图案(130)和第二有源图案(132)形成在缓冲膜上。在第一和第二有源图案上形成栅极绝缘膜(140)。栅电极(150)形成在栅极绝缘膜上。第一绝缘膜(160)形成在栅电极上。电膜(170)形成在第一绝缘膜上。

