

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호

10-2006-0043376

(43) 공개일자

2006년05월15일

(21) 출원번호 10-2005-0017727

(22) 출원일자 2005년03월03일

(30) 우선권주장 0404919.3 2004년03월04일 영국(GB)

(71) 출원인 세이코 엡슨 가부시키키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1(72) 발명자 탐 사이몬
영국 캠브리지 씨비2 1에스제이 킹스 페레이드 8씨(74) 대리인 문두현
문기상

심사청구 : 있음

(54) 화소 회로

요약

전류 구동 유기 발광소자 등과 같은 발광소자를 구동하는 화소 회로에서 구동 트랜지스터의 임계 전압 변화에 대해 보상하는 것이 주지되어 있다. 그러나, 이러한 화소 회로의 프로그래밍 및 초기화는 느려질 수 있고 복수의 제어 또는 신호선이 필요하게 된다. 본 발명은 다이오드 접속된 구동 트랜지스터용 n-채널 트랜지스터를 구성하는 화소 회로와 신호 및 제어선의 수를 줄이는 수단을 제공하는 것을 과제로 한다.

대표도

도 4

색인어

화소, 임계 전압, 다이오드 접속, 트랜지스터

명세서

도면의 간단한 설명

도 1은 액티브 매트릭스형 OLED 디스플레이에 대한 종래 기술의 전압 구동형 화소 회로를 나타내는 개략도.

도 2는 액티브 매트릭스형 OLED 디스플레이에 대한 종래 기술의 자기 보상(self-compensate) 전압 프로그래밍 화소 구조를 나타내는 개략도.

도 3은 다이오드 접속된 트랜지스터의 2가지 방법을 설명하는 개략도.

도 4는 본 발명의 제 1 실시예에 따른 화소 회로를 나타내는 개략도.

도 5는 정상 상태 전압에서 도 4의 화소 회로 부분을 설명하는 개략도.

도 6은 본 발명의 제 2 실시예에 따른 화소 회로를 나타내는 개략도.

도 7은 본 발명의 제 3 실시예에 따른 화소 회로를 나타내는 개략도.

도 8은 본 발명의 제 4 실시예에 따른 화소 회로를 나타내는 개략도.

도 9는 본 발명의 제 5 실시예에 따른 화소 회로를 나타내는 개략도.

도 10은 도 4, 6, 7, 8 및 9에서 설명한 화소 회로에 대한 일반적인 구동 파형을 나타내는 개략도.

도 11은 도 6, 7, 8 및 9에서 설명한 화소 회로에 대한 일반적인 구동 파형을 나타내는 개략도.

도 12는 도 4, 6, 7 및 8에서 설명한 화소 회로에 대한 구조를 나타내는 개략도.

도 13은 도 9에서 설명한 화소 회로에 대한 구조를 나타내는 개략도.

도 14는 도 4에서 설명한 화소 회로에 대한 노드(newdg)에서의 전압 시뮬레이션을 나타내는 개략도.

도 15는 ΔV_T 값의 변화에 대한 출력 전류 시뮬레이션을 나타내는 개략도.

도 16은 상이한 입력 전압 및 ΔV_T 값의 변화에 대한 출력 전류 시뮬레이션을 나타내는 개략도.

도 17은 본 발명에 따른 디스플레이 시스템을 내장한 휴대 전화를 나타내는 개략도.

도 18은 본 발명에 따른 디스플레이 시스템을 내장한 휴대 개인 컴퓨터를 나타내는 개략도.

도 19는 본 발명에 따른 디스플레이 시스템을 내장한 디지털 카메라를 나타내는 개략도.

도면의 주요 부분에 대한 부호의 설명

10, 50 : 화소 회로

14 : 제 2 공급 라인

16 : 제 3 공급 라인

18 : OLED

74 : 구동 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 일반적으로, 광원으로서 전류 구동 유기 또는 그 밖의 발광 소자를 이용하는 디스플레이 시스템에 채택된 형태의 화소 회로에 관한 것이다.

디스플레이 시스템은 보통 광원으로서 유기 발광 소자(OLED)와 받아들인 데이터 신호에 따라 OLED를 구동하는 구동 회로를 갖는 화소 회로의 어레이를 포함한다. OLED는 애노드 층과 캐소드 층 사이에 끼워진 발광 폴리머(LEP)층으로 구성된다. 전기적으로, OLED는 다이오드로서 동작하는 반면에 광학적으로, OLED는 순방향 전류가 증가함에 따라 발광의 밝기가 증가하는, 순방향 바이어스 될 때 발광하게 된다. 저온 폴리실리콘 박막 트랜지스터(TFT) 기술을 이용하여 어레이 내에 각각의 화소 회로를 구동하는 회로들을 집적함으로써, 디스플레이 상에 정지 또는 동(moving) 화상을 제공하기 위한 각각의 OLED의 밝기를 제어하는 것이 가능하다.

OLED는 전류 구동 소자이기 때문에, 만일 화소 회로가 전압 신호를 받아들인 경우, 구동 트랜지스터 등은 이 받아들인 전압 신호에 대응하여 적절한 레벨의 전류를 OLED에 공급하는 것이 필요하다. 액티브 매트릭스형 OLED 디스플레이에 대한 전압 구동 화소 회로로 알려진 일례를 도 1에 도시하였다. 도 1에 나타난 바와 같이, 화소 회로(10)는 각 화소마다 제 1 p-채널 TFT(T_1)와 제 2 p-채널 TFT(T_2)로 구성된다. 제 1 TFT(T_1)는 화소 회로(10)를 어드레싱하기 위한 스위치로서 전압 데이터 신호(VData)를 받아들이는 제 1 공급 라인(12)에 결합된 단자를 포함한다. 제 1 TFT(T_1)는 공급 전압(VSEL)을 받아들이는 제 2 공급 라인(14)에 결합된 게이트 단자와, 제 2 TFT(T_2)의 게이트 단자에 결합된 단자도 포함한다. 제 2 TFT(T_2)는 공급 전압(VDD)을 받아들이는 제 3 공급 라인(16)에 결합된 단자, OLED(18)의 애노드 단자에 결합된 단자, 접지에 결합되는 OLED(18)의 캐소드 단자를 포함한다. 제 2 TFT(T_2)는 전압 데이터 신호(VData)를 전류 신호로 변환하여 이어서 OLED(18)를 지정된 밝기로 구동하는 아날로그 구동 TFT이다.

도 1에 도시한 바와 같이 전압 구동 화소 회로의 어레이를 채택하는 디스플레이 시스템은, 어레이 내에서 각각의 구동 TFT에 동일한 전압 데이터 신호와 공급 전압이 공급되더라도, 이들의 표시된 화상이 비균일하다는 문제점이 있는 것을 알 수 있다. 이 비균일성은 디스플레이를 형성하는 화소 회로의 어레이 내에 각각의 구동 TFT의 임계 전압에 있어서 공간적인 변화에 기인하여 발생한다. 그러므로, 각 OLED는 구동 TFT들 사이에 임계 전압에서의 차이에 따라 다른 밝기로 구동된다. 이 비균일성 문제를 해결하기 위한 연구가 S. M. Choi 등에 의해 개시되어 있다("A self-compensated voltage programming pixel structure for active-matrix organic light emitting diodes", International Display Workshop 2003, p535~538). Choi 등에 의해 개시된 화소 회로 실시예가 도 2에 도시되어 있다.

도 2에 나타난 바와 같이, 각각의 구동 TFT의 임계 전압 변화를 보상하는 화소 회로(20)는 6개의 TFT(M1, M2, M3, M4, M5, M6)와, 1개의 커패시터(C1)와, 2개의 수평 제어 라인(scan[n-1], scan[n])을 포함한다. M2, M3, M4, M5 및 M6은 TFT를 스위칭하고, M1은 한 프레임의 시간 주기 동안에 지정된 밝기로 OLED(22)를 구동할 전류를 공급하기 위한 아날로그 구동 TFT이다.

동작 면에서 보면, 제 4 TFT(M4)는 전류 경로를 제공하여 구동 TFT(M1)의 게이트 단자 전압이 소정의 값으로 형성된다. 커패시터(C1)는 축적 커패시터로서 구동 TFT(M1)의 게이트 단자 전압을 저장한다. 화소 회로(20)는 데이터 프로그래밍 동작을 완료하는데 2개의 행(row) 라인 시간을 필요로 하기 때문에, scan[n](현재 행 스캔)과 scan[n-1](이전 행 스캔) 신호가 화소 회로(20)를 프로그램하기 위해 인가된다.

이전 행 스캔 동안에, scan[n-1] 신호가 논리 로우(low)일 경우, 구동 TFT(M1)의 게이트 단자 전압은 초기화로 언급된 단계에서 전압 V_I 까지 충전된다. 이전 행 스캔 동안에서 다음으로, scan[n] 신호가 논리 로우일 경우, TFT(M2) 및 TFT(M3)는 전압 데이터 신호 data[m]이 구동 TFT(M1)에 접속된 다이오드를 통하여 구동 TFT(M1)의 게이트 노드에 프로그램 되도록 턴온된다. 이 때에, 구동 TFT(M1)의 게이트 노드에서 프로그램 된 전압은 구동 TFT(M1)의 임계 전압(V_{TH})보다 낮은 데이터 신호 data[m]의 전압 값까지 자동적으로 감소된다. 초기화 및 프로그래밍 동안 TFT(M5, M6)는 턴오프 되어 있다.

이전 및 현재 행 스캔 이후에, TFT(M5)와 TFT(M6)는 em[n] 신호에 의해 턴온되어 VDD에서 접지까지 전류 경로가 형성됨으로 전류가 구동 TFT(M1)를 통하여 흐르게 되어 OLED(22)를 구동할 수 있게 된다. 그러므로, 구동 TFT(M1)는 임계 전압(V_{TH})과 독립적으로 전류를 조절한다.

발명이 이루고자 하는 기술적 과제

비록 상기 화소 회로(20)는 각각의 구동 TFT의 임계 전압의 변화를 보상하기 위한 수단을 제공하지만, 디스플레이 시스템이 높은 대역폭의 데이터가 공급되거나 대형 디스플레이에 채용될 경우에 있어서 충분히 성능을 발휘할 수 있도록 프로그래밍 속도를 증가시키는 것이 필요하기 때문에 화소 회로가 프로그래밍 될 수 있는 속도를 증가시키는 것이 필요하다. 더욱이, 전원의 수명을 연장하고 시스템의 기능성을 확장하기 위해 낮은 전력 소모를 특징으로 하는 소형 디스플레이 시스템에 대한 필요가 있다.

발명의 구성 및 작용

본 발명의 제 1 형태에 따르면,

전원 라인과 기준 라인 사이에 직렬로 접속되어 있으며, 제 1 제어 신호를 받아들이기 위해 배치된 게이트 단자를 갖는 제 1 트랜지스터와 커패시터,

전원 라인과 다른 라인 사이에 직렬로 접속되어 있으며, 제 1 트랜지스터와 커패시터 사이에 있는 제 1 노드에 접속된 게이트 단자 및 데이터 신호를 받아들이는 제 1 단자를 갖는 구동 트랜지스터와 발광 소자, 및

다이오드 접속된 구동 트랜지스터에 배치되고 게이트 단자에서 받아들이는 제 2 제어 신호에 응답함으로써, 데이터 신호를 구동 트랜지스터가 다이오드 접속되었을 때 구동 트랜지스터를 통하여 전송하고 제 1 노드에 유지하는, n-채널 형인 제 2 트랜지스터를 포함하는 화소 회로가 제공된다.

바람직하게는, 제 3 트랜지스터는 전원 라인과 구동 트랜지스터 사이에 직렬로 접속되고 제 4 트랜지스터는 발광 소자와 구동 트랜지스터 사이에 직렬로 접속되며, 여기서 제 2 트랜지스터의 한쪽 단자가 구동 트랜지스터와 제 3 트랜지스터 사이의 제 2 노드에서 구동 트랜지스터의 제 2 단자에 결합된다.

바람직하게는, 제 3 및 제 4 트랜지스터는 p-채널 형의 트랜지스터이고 이들 게이트 단자는 제 2 제어 신호를 받아들이기 위해 배치된다. 더욱 바람직하게는, 제 5 트랜지스터는 데이터 신호 라인과 제 3 노드 사이 및 구동 트랜지스터와 제 4 트랜지스터 사이에서 접속된다. 제 5 트랜지스터는 n-채널 형의 트랜지스터로 될 수 있고 제 2 제어 신호를 받아들이는 게이트 단자를 포함한다.

바람직하게는, 제 6 트랜지스터는 제 4 트랜지스터와 발광 소자 사이에 직렬로 결합되고, 제 6 트랜지스터는 제 1 트랜지스터와 반대 채널 형으로 되고 제 1 제어 신호를 받아들이는 게이트 단자를 갖는다.

바람직하게는, 제 7 트랜지스터는 구동 트랜지스터의 게이트 단자와 제 1 노드 사이에 직렬로 결합되고 제 8 트랜지스터는 전원 라인과 제 4 노드 사이 및 제 7 트랜지스터의 한쪽 단자와 구동 트랜지스터의 게이트 단자 사이에서 결합되며, 여기서 제 8 트랜지스터는 제 1 트랜지스터와 동일한 채널 형이고 제 7 트랜지스터는 제 1 트랜지스터와 반대 채널 형이며, 제 7 및 제 8 트랜지스터의 게이트 단자는 제 1 제어 신호를 받아들이도록 배치된다.

화소 회로는 제 1 노드와 구동 트랜지스터의 게이트 단자에 접속되는 제 2 트랜지스터의 단자 사이에 결합된 제 9 트랜지스터와, 제 1 노드와 구동 트랜지스터의 제 2 단자에 접속되는 제 2 트랜지스터의 다른 단자 사이에 결합된 제 10 트랜지스터를 더 포함할 수 있으며, 여기서 제 9 트랜지스터는 p-채널 형 트랜지스터이고 제 10 트랜지스터는 n-채널 형 트랜지스터이며 제 9 및 제 10 트랜지스터의 게이트 단자는 제 1 및 제 2 제어 신호를 각각 받아들이도록 배치된다.

본 발명의 다른 형태에 따르면, 전류 구동 소자를 구동하는 화소 회로는,

전류 구동 소자에 공급되는 구동 전류의 전류 레벨에 대응하는 도통 상태를 갖고, 제 1 게이트 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터,

제 2 게이트 단자를 갖는 제 2 트랜지스터, 및

제 1 게이트 단자와, 제 1 단자와 제 2 단자 중 어느 하나, 사이의 전기적인 접속을 제어하도록 배치되고, 제 3 게이트 단자를 갖는 제 3 트랜지스터를 포함하고,

제 1 단자는 제 2 트랜지스터를 통하여 데이터 신호를 받아들이도록 배치되고, 이 데이터 신호는 제 1 트랜지스터의 도통 상태를 결정하며,

제 1 트랜지스터의 도통 형은 제 2 트랜지스터의 도통 형과 다르다.

본 발명의 다른 형태에 따르면, 전류 구동 소자를 구동하기 위한 화소 회로는,

전류 구동 소자에 공급되는 구동 전류의 전류 레벨에 대응하는 도통 상태를 갖고, 제 1 게이트 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터,

제 2 게이트 단자를 갖는 제 2 트랜지스터, 및

제 1 게이트 단자와, 제 1 단자와 제 2 단자 중 어느 하나, 사이의 전기적인 접속을 제어하도록 배치되고, 제 3 게이트 단자를 갖는 제 3 트랜지스터를 포함하고,

제 1 단자는 제 2 트랜지스터를 통하여 데이터 신호를 받아들이도록 배치되고, 이 데이터 신호는 제 1 트랜지스터의 도통 상태를 결정하며,

제 1 트랜지스터의 도통 형은 제 3 트랜지스터의 도통 형과 다르다.

바람직하게는, 제 4 게이트 단자를 갖는 제 4 트랜지스터는 전류 구동 소자와 제 1 트랜지스터 사이에 직렬로 결합된다. 더욱 바람직하게는, 제 4 트랜지스터의 도통 형은 제 2 트랜지스터의 도통 형과 다르다.

바람직하게는, 제 5 게이트 단자를 갖는 제 5 트랜지스터는 제 1 트랜지스터와 구동 전류를 제 1 트랜지스터를 통하여 전류 구동 소자에 공급하는 전원 라인과의 사이에 직렬로 결합된다.

제 4 트랜지스터의 도통 형은 제 5 트랜지스터의 도통 형과 동일한 것으로 될 수 있다. 제 1 트랜지스터의 도통 형은 p-채널 형으로 될 수 있다.

바람직하게는, 제 4 게이트 단자, 제 2 게이트 단자 및 제 3 게이트 단자는 하나의 신호 라인에 접속된다. 바람직하게는, 제 5 게이트 단자, 제 2 게이트 단자 및 제 3 게이트 단자는 하나의 신호 라인에 접속된다. 바람직하게는, 제 6 트랜지스터는 제 4 트랜지스터와 전류 구동 소자 사이에 직렬로 결합된다.

바람직하게는, 제 1 게이트는 커패시터를 통하여 전원 라인에 접속된다. 더욱 바람직하게는, 제 7 트랜지스터는 제 1 게이트와 제 1 커패시터와의 사이에 접속된다.

바람직하게는, 제 8 트랜지스터는 전원 라인과 제 1 게이트 사이에 직접 접속된다.

바람직하게는, 제 9 트랜지스터는 커패시터와 제 2 단자 사이에 접속된다.

본 발명의 다른 형태에 따르면, 상술한 복수의 화소 회로를 포함하는 디스플레이 장치를 제공한다. 바람직하게는, 하나의 매트릭스 내에 적어도 제 1 신호 라인 및 제 2 신호 라인, 제 3 신호 라인 및 데이터 신호 라인과, 제 1 화소 회로에 대해 제 1 제어 신호를 제공하는 제 1 제어 신호 라인, 제 1 화소 회로에 대해 제 2 제어 신호를 제공하는 제 2 제어 신호 라인으로 형성되는 디스플레이 장치에 있어서, 제 2 화소 회로에 대한 제 1 제어 신호는 제 2 제어 라인에 의해 제공된 제 1 화소 회로에 대한 제 2 제어 신호이며, 제 3 제어 라인에 의해 제 2 화소 회로에 대한 제 2 제어 신호를 제공한다.

본 발명의 다른 형태에 따르면,

전원 라인과 기준 라인 사이에서 제 1 커패시터와 직렬로 접속된 제 1 트랜지스터를 스위칭 온 하도록 제 1 제어 신호를 인가하는 단계와,

구동 트랜지스터가 다이오드 접속되도록 제 2 트랜지스터를 스위칭 온하는 제 2 제어 신호를 인가하는 단계에 있어서, 상기 제 2 트랜지스터는 n-채널 트랜지스터이고 상기 구동 트랜지스터는 전원 라인과 다른 라인 사이에서 발광 소자와 직렬로 접속되어 있고, 구동 트랜지스터의 게이트 단자는 제 1 트랜지스터와 제 1 커패시터 및 데이터 신호를 받아들이기 위해 배치된 상기 구동 트랜지스터의 제 1 단자 사이에서 제 1 노드에 접속되어 있으며,

제 1 트랜지스터를 스위칭 오프하는 제 1 제어 신호를 인가하는 단계와,

구동 트랜지스터의 제 1 단자에 데이터 신호를 인가하는 단계와,

제 2 트랜지스터를 스위칭 오프하는 제 2 제어 신호를 인가하는 단계

를 포함하는 화소 회로 구동 방법을 제공한다.

바람직하게는, 상기 방법은 전원 라인과 구동 트랜지스터 사이에 직렬로 접속된 제 3 트랜지스터와, 발광 소자와 구동 트랜지스터와의 사이에 직렬로 접속된 제 4 트랜지스터에 제 3 및 제 4 트랜지스터를 스위칭 오프하는 동시에 제 2 트랜지스터를 스위칭 온하고, 제 3 및 제 4 트랜지스터를 스위칭 온하는 동시에 제 2 트랜지스터를 스위칭 오프하는 제 2 제어 신호를 인가하는 단계를 더 포함하고, 제 2 트랜지스터의 한쪽 단자가 구동 트랜지스터와 제 3 트랜지스터 사이의 제 2 노드에서 구동 트랜지스터의 한쪽 단자에 결합되어 있다.

바람직하게는, 제 3 및 제 4 트랜지스터는 p-채널 형의 트랜지스터이다. 바람직하게는, 이 방법은 또한 데이터 신호 라인과 제 3 노드 사이 및 구동 트랜지스터와 제 4 트랜지스터 사이에 접속된 제 5 트랜지스터에 이 제 5 트랜지스터를 스위칭 온하는 동시에 제 2 트랜지스터를 스위칭 오프하고 제 5 트랜지스터를 스위칭 오프하는 동시에 제 2 트랜지스터를 스위칭 오프하는 제 2 제어 신호를 인가하는 단계를 포함한다.

바람직하게는, 이 방법은 제 4 트랜지스터와 발광 소자 사이에 직렬로 결합된 제 6 트랜지스터에, 제 1 트랜지스터와 반대 채널 형인 이 제 6 트랜지스터를 스위칭 오프하는 동시에 제 1 트랜지스터를 스위칭 온하는 제 1 제어 신호를 인가하는 단계를 더 포함한다.

바람직하게는, 이 방법은 또한 구동 트랜지스터의 게이트 단자와 제 1 노드 사이에 직렬로 결합된 제 7 트랜지스터와, 전원 라인과 제 4 노드 사이 및 제 7 트랜지스터의 한쪽 단자와 구동 트랜지스터의 게이트 단자 사이에 결합된 제 8 트랜지스터에, 제 7 트랜지스터를 스위칭 오프하고 제 8 트랜지스터를 스위칭 온하는 동시에 제 1 트랜지스터가 스위칭 온되도록 제 1 제어 신호를 인가하는 단계를 포함하고, 제 8 트랜지스터는 제 1 트랜지스터와 동일한 채널 형이고 제 7 트랜지스터는 제 1 트랜지스터와 반대 채널 형이다.

바람직하게는, 이 방법은 제 1 노드와 구동 트랜지스터의 게이트 단자에 접속되는 제 2 트랜지스터 사이에 접속된 제 9 트랜지스터에 제 1 제어 신호를 인가하는 단계와, 제 1 노드와 구동 트랜지스터의 제 2 단자에 접속되는 제 2 트랜지스터의 다른 쪽 단자 사이에 결합된 제 10 트랜지스터에 제 2 제어 신호를 인가하는 단계를 더 포함하고, 제 9 트랜지스터는 p-채널 형의 트랜지스터이고 제 10 트랜지스터는 n-채널 형의 트랜지스터이며, 제 1 트랜지스터가 스위칭 온될 때 제 9 트랜지스터는 스위칭 오프되고 제 2 트랜지스터가 스위칭 온될 때 제 10 트랜지스터는 스위칭 온된다.

기준 라인은 제 1 트랜지스터가 제 5 트랜지스터와 커패시터와의 사이에 직렬로 접속되어 있는 데이터 신호 라인으로 될 수 있거나, 이 데이터 신호 라인이 기준 라인으로 될 수 있으며, 상기 방법은,

제 1 트랜지스터를 스위칭 온하도록 제 1 제어 신호를 인가하는 단계 이후와 제 1 트랜지스터를 스위칭 오프하도록 제 1 제어 신호를 인가하는 단계 이전에, 데이터 신호보다 낮은 값을 갖는 예비 충전 신호를 데이터 신호 라인에 인가하는 단계를 더 포함한다.

본 발명의 다른 형태에 따르면, 제 1 게이트 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터, 제 2 게이트 단자를 갖는 제 2 트랜지스터, 제 3 게이트 단자를 갖고 제 1 게이트 단자와 제 2 단자 사이의 전기적인 접속을 제어하는 제 3 트랜지스터, 전류 구동 소자와 제 1 트랜지스터 사이의 전기적인 접속을 제어하는 제 4 단자, 및 제 2 단자와 소정의 전압 사이의 전기적인 접속을 제어하는 제 5 단자를 포함하는 화소 회로에 있어서,

제 5 트랜지스터를 턴온함으로써 제 2 단자가 소정의 전압으로 설정되는 화소 회로의 제 1 상태를 생성하는 단계,

제 1 단자가 제 2 트랜지스터를 통하여 데이터 신호를 받아들이는 동안 제 1 주기의 적어도 일부분에서 제 1 단자가 제 3 트랜지스터를 통하여 제 2 단자에 전기적으로 접속되는 화소 회로의 제 2 상태를 생성하는 단계, 및

제 2 상태를 통하여 설정된 도통 상태에 대응하는 전류 레벨의 구동 전류를 제 1 트랜지스터와 제 4 트랜지스터를 통하여 전류 구동 소자에 공급하는 화소 회로의 제 3 상태를 생성하는 단계를 포함하고,

상기 제 2 단자는 제 2 상태에서 소정의 전압으로부터 전기적으로 차단되고,

상기 제 1 단자는 제 2 상태에서 전류 구동 소자로부터 전기적으로 차단되고,

제 2 게이트 단자, 제 3 단자, 제 4 단자 및 제 5 단자에 하나의 제어 신호가 공통으로 인가된다.

사용 시에, 본 발명에 따른 화소 회로의 초기화 및 프로그래밍에 소요되는 시간이 감소됨으로써 종래 기술에서 보다 더욱 효율적이고, 빠르고 더욱 다기능한 디스플레이 시스템을 제공할 수 있다. 화소 회로의 배치로 인해 em[n]과 scan[n] 신호들을 하나의 제어 신호로 대체되었기 때문에 종래 기술에서 사용된 제 3 신호 em[n]은 더 이상 필요하지 않게 된다. 바람직한 실시예에서, 기준 신호 공급 라인이 더 이상 필요하지 않기 때문에 더욱 소형의 디스플레이 시스템을 제공할 수 있다. 제어 라인의 수도 감소될 수 있기 때문에 종래 기술에서 공지된 것 이상으로 더욱 소형화되고 효율적인 디스플레이 시스템을 또한 제공할 수 있다.

본 발명의 실시예를 첨부한 도면을 참조하여 상세한 예로 설명한다.

이하의 설명에서 동일한 참조 번호는 동일한 부분을 식별하기 위해 사용된다.

도 3에 나타난 바와 같이, 핀(1, 2, 3)을 갖는 구동 트랜지스터(74)는 2가지 방법으로 다이오드 접속될 수 있으나, 다이오드 접속된 트랜지스터의 각각의 구성에서, 게이트 단자는 항상 드레인 단자에 접속되어 있다. 핀(1, 2)은 캐소드 단자를 형성하여 애노드 단자를 형성하는 핀(3)과 접속될 수 있다. 또는, 핀(2, 3)은 캐소드 단자를 형성하여 애노드 단자를 형성하는 핀(1)과 접속될 수 있다.

상술한 바와 같이, 동종의 TFT가 동시에 동일한 공정에 의해 제조되더라도 상이한 임계 전압을 갖는다. 어레이 내에 있는 모든 TFT는 공통의 공칭(nominal) 임계 전압(V_T)을 갖는 것으로 간주될 수 있다. 또한, 각각의 TFT는 상이한 임계 전압 변화(ΔV_T)를 갖는 것으로 간주될 수 있다. 그러므로, 각 TFT의 실제 임계 전압은 TFT 사이의 상이한 ΔV_T 를 갖는 $V_T + \Delta V_T$ 로 된다.

본 발명에서, 구동 트랜지스터는 전류가 흐르는 방향 - 즉, 소스로 설정된 단자 및 드레인으로 설정된 단자 - 과 상관 없이 임계 전압($V_T + \Delta V_T$)이 동일하다는 특성을 갖는다.

소스와 드레인 단자 사이에서 대칭적이고 응력받지 않은 구동 트랜지스터는 이러한 특성을 갖는다. 대칭적인 트랜지스터에서, 소스와 드레인 단자는 균일하게 도핑되고 게이트 단자에 대해 대칭적이다. 이러한 트랜지스터는 일반적으로 자동정렬(self-align)된다. 공칭 임계 전압(V_T)과 임계 전압 변화(ΔV_T)를 갖는 대칭적인 구동 트랜지스터(74)에 있어서, 다이오드 접속되었을 경우 구동 트랜지스터(74)의 관측된 임계 전압은 $V_T + \Delta V_T$ 으로 유지되고 구동 트랜지스터(74)가 다이오드 접속되는 방식과는 별개이다.

도 4에 나타난 바와 같이, 본 발명의 제 1 실시예에 따른 화소 회로(50)는 제 1 커패시터(56)의 제 1 단자에 결합된 제 1 노드(54)를 갖는 제 1 레일(rail)(52)을 포함한다. 제 1 커패시터(56)의 제 2 단자는 제 1 n-채널 트랜지스터(60)와 제 3 노드(62)의 소스 단자에 결합되어 있는 제 2 노드(58)(newdrg로 칭함)에 접속된다. 제 1 n-채널 트랜지스터(60)는 게이트 단자와 제 2 레일(64)에 결합되는 드레인 단자도 포함한다.

제 1 레일(52)은 제 5 노드(70)에 결합된 게이트 단자와 제 6 노드(72)에 결합된 드레인 단자(int로 칭함)를 포함하는 제 1 p-채널 트랜지스터(68)의 소스 단자에 결합된 제 4 노드(66)를 포함한다. 제 6 노드(72)(int)는 게이트 단자와 제 3 단자를 포함하는 구동 트랜지스터(74)의 제 1 단자에 결합되어 있다. 구동 트랜지스터(74)는 제 2 p-채널 트랜지스터이다. 도 3

을 참고하여 가장 잘 나타내어지고 또한 도 5를 참고하여 상세하게 후술되는 바와 같이, 구동 트랜지스터(74)의 제 1 단자와 제 3 단자는 구동 트랜지스터(74)가 어떻게 다이오드 접속되는지에 따라 소스와 드레인 단자가 교체될 수 있다. 구동 트랜지스터(74)의 제 3 단자는 제 7 노드(76)(ipn로 칭함)에 결합되고 게이트 단자는 제 3 노드(62)에 결합된다.

제 6 노드(72)(int)는 또한 제 8 노드(80)에 결합된 게이트 단자와 제 3 노드(62)에 결합된 드레인 단자를 포함하는 제 2 n-채널 트랜지스터(78)의 소스 단자에 결합되어 있다. 제 8 노드(80)는 제 3 n-채널 트랜지스터(84)의 게이트 단자와 제 3 p-채널 트랜지스터(86)의 게이트 단자에 결합되는 제 9 노드(82)에 결합된다. 제 3 n-채널 트랜지스터(84)의 드레인 단자는 제 7 노드(76)(ipn)에 결합되고 소스 단자는 제 4 레일(88)에 결합된다. 제 3 p-채널 트랜지스터(86)의 소스 단자는 제 7 노드(76)(ipn)에 결합되고 드레인 단자는 제 4 레일(94)에 결합된 캐소드 단자를 포함하는 OLED(96)의 애노드 단자에 결합된다. 제 2 커패시터(92)는 또한 OLED(96)의 내재된 기생 커패시턴스를 나타내기 위해 화소 회로(50)에 포함되어 있다.

상술한 내용과 이후의 내용을 참조하여, 화소 회로(50)에서 노드에 대한 기준은 설명으로만 한다. 예를 들면, 도 4의 노드(70, 80, 82)는 각각 하나의 접속으로 나타내어질 수도 있다.

동작 면에서 보면, 예를 들어 5V의 전압(V_{DD})은, 비록 다른 전압이 사용될 수 있지만, OLED(96)를 구동하기 위해 화소 회로(50) 양단에 인가된다. 도 3을 참조하여 상술한 바와 같이, 구동 트랜지스터(74)는 공칭 임계 전압(V_T)과 임계 전압 변화(ΔV_T)를 갖는다. 그러므로, 다이오드 접속될 때 구동 트랜지스터(74)의 관측된 임계 전압은 $V_T + \Delta V_T$ 이다. 임계 전압 변화(ΔV_T)는 도 4에 도시되어 있고 구동 트랜지스터(74)의 게이트 단자와 직렬로 접속된 가변 전압원에 의하여 이어진다. 제 1 n-채널 트랜지스터(60), 제 2 n-채널 트랜지스터(78) 및 제 3 n-채널 트랜지스터(84)와 함께 제 1 p-채널 트랜지스터(68)와 제 3 p-채널 트랜지스터(86)는 제 1 신호 $\phi 1$ 과 제 2 신호 $\phi 2$ 의 제어하에서 스위치로서 동작하는 반면에 제 2 p-채널 트랜지스터는 OLED(96)에 전류의 제어된 레벨을 공급하기 위한 구동 트랜지스터(74)이다.

화소 회로(50)은 3단계 동작, 즉, 예비 충전 단계, 자기 조정(self-adjustment) 단계 및 출력 단계를 갖는다.

예비 충전 단계에서, 제 1 신호($\phi 1$)는 논리 1이고 제 2 n-채널 트랜지스터(78), 제 3 n-채널 트랜지스터(84), 제 1 p-채널 트랜지스터(68) 및 제 3 p-채널 트랜지스터(86)의 게이트 단자에 인가된다. 그러므로, 제 2 n-채널 트랜지스터(78)와 제 3 n-채널 트랜지스터(84)는 스위칭 온되는 동시에 제 1 p-채널 트랜지스터(68)와 제 3 p-채널 트랜지스터(86)는 스위칭 오프된다. 또한, 예비 충전 단계에서, 제 2 신호($\phi 2$)는 논리 1이고 제 1 n-채널 트랜지스터(60)의 게이트 단자에 인가됨으로써 제 1 n-채널 트랜지스터(60)을 스위칭 온한다. 그러므로, 구동 트랜지스터(74)는 제 2 n-채널 트랜지스터(78)를 이용하는 다이오드 접속으로 되고, 제 1 p-채널 트랜지스터(68)가 스위칭 오프됨으로써 V_{DD} 로부터 접지 경로가 분리되고 제 2 노드(58)(newdg)는 제 1 n-채널 트랜지스터(60)의 스위칭 온을 통하여 접지된다.

제 3 레일(88)은 본 실시예의 예비 충전 단계에서, 비록 다른 전압이 사용될 수 있지만, 예를 들면, 0V인 전압(V_{DAT})에 있게 된다. 결과적으로, 제 2 노드(58)(newdg)는 접지(0V) 등의 제 2 레일(64)과 같은 전압(V_{newdg})로 예비 충전되고 화소 회로(50)는 도 5(a)에 나타난 화소 회로(50)로 나타내어질 수 있다. 이와 같이, $V_{DD} - V_{newde} = 5V$ 로 주어진 전압이 제 1 커패시터(56)의 양단에 걸리게 된다.

제 2 노드(58)(newdg)와 제 6 노드(72)(int)는 제 2 n-채널 트랜지스터(78)를 통하여 접속되고 제 2 노드(58)(V_{newdg})에 걸린 전압은 제 6 노드(72)(V_{int})에 걸린 전압과 같게 된다. 전압(V_{DAT})을 공급하는 공급 레일(88)은 제 3 n-채널 트랜지스터(84)를 통하여 제 7 노드(76)(ipt)에 접속되고 제 7 노드(76)에 걸린 전압(V_{ipn})이 V_{DAT} 와 같게 된다. 이와 같이, 제 2 노드(58)(newdg)는 캐소드 단자가 되고, 제 7 노드(76)(ipn)는 다이오드 접속된 구동 트랜지스터의 애노드 단자가 된다.

자기 조정 단계에서, 더욱 상세하게는 자기 조정 단계의 데이터 전달 동안에, 제 1 신호($\phi 1$)는 제 2 n-채널 트랜지스터(78), 제 3 n-채널 트랜지스터(84), 제 1 p-채널 트랜지스터(68) 및 제 3 p-채널 트랜지스터(86)의 게이트 단자에 인가된 논리 1을 유지한다. 제 2 n-채널 트랜지스터(78)와 제 3 n-채널 트랜지스터(84)는 스위칭 온으로 유지되는 반면에 제 1 p-채널 트랜지스터(68)와 제 3 p-채널 트랜지스터(86)는 스위칭 오프로 유지된다.

제 2 신호($\phi 2$)는 제 1 n-채널 트랜지스터(60)의 게이트 단자에 인가된 논리 0이 됨으로써 제 1 n-채널 트랜지스터(60)을 스위칭 오프하여 제 2 노드(newdg)가 더 이상 접지되지 않게 한다.

전압 V_{DAT} 는 OLED(96)를 구동하기 위한 V_{DAT} 의 요구값, 예를 들면 3V로 펄스 인가된다. 바람직하게는, V_{DAT} 의 요구값에 대한 펄스의 개시는 제 1 n-채널 트랜지스터(60)의 스위칭 오프와 동시에 또는 그 후에 발생한다.

제 2 노드(58)(newdg)가 접지 전위(0V)로 예비 충전되고 V_{DAT} (3V) 미만이기 때문에, 다이오드 접속 구동 트랜지스터(74)가 순방향 바이어스 되고, 전류(I)가 제 1 커패시터(56)로 흘러 정상 상태에 도달할 때까지 제 1 커패시터(56)가 방전된다.

정상 상태에서, $V_{newdg} = V_{DAT} - (V_T + \Delta V_T)$ 이다. 상기 제 1 커패시터(56)에 걸리는 전압은 따라서 $V_{DD} - V_{newdg} = V_{DD} - (V_{DAT} - (V_T + \Delta V_T))$ 가 된다. 1.1V의 전압 값이 공칭 임계 전압 V_T 로서 제공되는 경우, 정상 상태에서 제 1 커패시터(56)에 걸리는 전압은 $3.1V + \Delta V_T$ 가 된다. 정상 상태에 도달하는데 걸리는 시간은 주로 구동 트랜지스터(74)를 다이오드 접속시킬 수 있는 제 2 n-채널 트랜지스터(78)의 임피던스와 제 1 커패시터(56) 사이에서 발생하는 RC 시간 상수에 달려있다. 비록 상기 시간 상수에 비해 영향을 덜 주긴 하지만, 구동 트랜지스터(74) 및 제 3 n-채널 트랜지스터(84)의 저항도 상기 정상 상태에 도달하는데 걸리는 시간에 영향을 준다.

게이트 단자의 유효 전압은 $V_{dg} = V_{newdg} + \Delta V_T$ 가 된다. 따라서, 따라서 전상 상태에 도달한 경우, 게이트 단자의 유효 전압 V_{dg} 는 임의의 임계 전압 변화 ΔV_T 와는 무관하게 $V_{dg} = V_{DAT} - V_T = 1.9V$ 로 기재될 수 있다.

출력 단계에서, 제 1 신호 $\phi 1$ 은 논리 0이고 제 2 n-채널 트랜지스터(78), 제 3 n-채널 트랜지스터(84), 제 1 p-채널 트랜지스터(68) 및 제 3 p-채널 트랜지스터(86)의 게이트 단자에 인가된다. 따라서, 제 2 n-채널 트랜지스터(78)와 제 3 n-채널 트랜지스터(84)는 스위치 오프되고 반면에 제 1 p-채널 트랜지스터(68)와 제 3 p-채널 트랜지스터(86)는 스위치 온된다. 출력 단계에서, 제 2 신호 $\phi 2$ 는 논리 0으로 남는다.

도 5의 (b)에 나타난 바와 같이, 출력 단계에서, 구동 트랜지스터(74)는 제 1 단자와 게이트 단자 사이에서 더 이상 다이오드 접속되지 않게 됨으로써 OLED(96)의 정전류원으로서 역할을 하게 된다. 구동 트랜지스터(74)에 의해서 OLED(96)로 흐르는 전류의 진폭은 임계 전압 변화 ΔV_T 가 아니라 V_{DAT} 의 값(특히, 자기 조절 단계에서 V_{DAT} 가 펄스 인가되는 값)에 달려 있다. 따라서, 표시를 형성하는 어레이에서의 모든 화소 회로(50)는 동일 V_{DAT} 값에 대한 같은 밝기로 구동된다.

도 4에 나타난 화소 회로(50)에 대한 예시적인 구동 파형이 도 10에 나타나 있다. 도 10의 (a)를 참조하면, 제 1 신호 $\phi 1$ 과 제 2 신호 $\phi 2$ 의 양자 모두는 제 2 노드(58)(newdg)를 상술한 바와 같이 접지 전압으로 설정하기 위해서 예비 충전 단계의 개시를 지시하는 논리 1이된다. 제 2 신호 $\phi 2$ 가 논리 0으로 하강함으로써, 자기 조절 단계가 개시되고 V_{DAT} 는 3V의 전압으로 펄스 인가된다. 제 2 노드(58)(newdg)가 접지 전압으로 예비 충전되고 V_{DAT} (3V) 미만이기 때문에, 다이오드 접속 구동 트랜지스터(74)는 순방향 바이어스 되고 전류(I)가 제 1 커패시터(56)로 흘러 정상 상태에 도달할 때까지 제 1 커패시터(56)가 방전된다. 정상 상태에 도달 시, 제 1 신호 $\phi 1$ 이 논리 0이 되고 출력 단계가 개시되어 임계 전압 변화 ΔV_T 와 무관하게 OLED(96)가 구동된다. 당해 분야에서 숙련된 자에 의해서 알 수 있는 바와 같이, 도 10의 (b) 내지 (d)에 나타난 구동 파형은 상술한 화소 회로(50)에도 동일하게 적용될 수 있다.

후술하는 배열과 마찬가지로, 도 4에 도시된 배열은 화소 회로의 초기화 및 프로그래밍에 걸리는 시간이 종래 배열에 비해 크게 감소되기 때문에 보다 효율적이고 빠르고 보다 범용성을 가진 디스플레이 시스템이 제공된다. 또한, 본 발명에서는 각 화소 회로의 크기가 감소되어 향상된 개구율을 가진 보다 소형이면서 효율적인 디스플레이가 제공된다.

도 4의 화소 회로(50)에 대한 다른 실시예에서는, 제 1 n-채널 트랜지스터(60)가 제 2 레일(rail)(64) 대신에 전원선 V_{ss} 에 연결되어 있다. 또한, OLED(96)의 캐소드 단자는 전원선 V_{ss} 에 연결될 수 있고 또는 오히려 제 4 레일(94)에 연결될 수 있다.

도 6을 참조하면, 본 발명의 제 2 실시예에 따른 도 4의 화소 회로(50)는 제 3 p-채널 트랜지스터(86)의 드레인 단자에 연결된 소스 단자와 OLED(96)의 애노드 단자에 연결된 드레인 단자를 구비하는 제 4 p-채널 트랜지스터(98)를 추가로 포함한다.

동작 시에, 예비 충전 단계에서, 제 2 신호 $\phi 2$ 가 제 4 p-채널 트랜지스터(98)의 게이트 단자에 인가된다. 제 1 n-채널 트랜지스터(60)가 턴온되고 제 4 p-채널 트랜지스터(98)가 스위치 오프됨으로써 제 2 신호 $\phi 2$ 가 논리 1인 때 제 1 신호 $\phi 1$ 이 논리 0인 경우에도 예비 충전 동안 OLED(96)가 분리된다. 따라서, 제 2 실시예에서는 도 11의 (a) 및 (b)를 참조하여 후술하는 바와 같이 상이한 구동 파형이 사용될 수 있다.

도 11의 (a) 및 (b)를 참조하면, 제 2 신호 $\phi 2$ 는 제 1 신호 $\phi 1$ 이 논리 1이 되기 전에 논리 1이 된다. 이들 구동 파형이 도 4의 회로에서 사용되는 것이면 제 2 신호 $\phi 2$ 가 논리 1인 때 노드 newdg(58)가 접지되고 마찬가지로 p-형 구동 트랜지스터의 게이트 전압이 접지 전압이 된다. 따라서, 제 1 신호 $\phi 1$ 이 논리 1이고 트랜지스터(68, 86)가 스위치 오프되기 전에 구동 트랜지스터(74)가 잠시동안 스위치 온될 수도 있다. 이 때, OLED(96)가 최대 밝기로 잠시 동안 구동된다. 그러나, 도 6의 화소 회로에서는, 상술한 바와 같이 스위치(60)가 스위치 온될 때 스위치(98)이 스위치 오프되고 OLED(96)가 분리되기 때문에 이러한 문제는 발생하지 않는다.

도 7을 참조하면, 본 발명의 제 3 실시예에 따른 도 4의 화소 회로(50)는 추가로 제 5 p-채널 트랜지스터(102) 및 제 4 n-채널 트랜지스터(104)를 포함한다. 제 4 n-채널 트랜지스터(104)는 제 1 레일(52)에 연결된 소스 단자와 newdg2라 하는 노드(108)에 연결된 드레인 단자를 포함한다. 노드 newdg2는 제 3 노드(62) - 노드 newdg2와 제 3 노드(62)는 기술적으로 동일함 - 와 제 5 p-채널 트랜지스터(102)의 제 1 단자에 연결된다. 제 5 p-채널 트랜지스터(102)는 제 2 노드(58) (newdg)에 연결된 제 2 단자를 포함한다.

동작 시에, 예비 충전 단계에서, 제 2 신호 $\phi 2$ 가 제 4 n-채널 트랜지스터(104)의 게이트 단자와 제 5 p-채널 트랜지스터(102)의 게이트 단자에 연결된다. 제 2 신호 $\phi 2$ 가 논리 1이 되고 제 1 n-채널 트랜지스터(60)가 스위치 온 되는 경우, 제 5 p-채널 트랜지스터(102)가 스위치 오프되고 제 4 n-채널 트랜지스터(104)가 스위치 온되기 때문에 확실하게 구동 트랜지스터(74)가 오프되어 OLED(96)가 분리된다.

도 11의 (a) 및 (b)를 참조하여 상술 및 후술하는 구동 파형은 또한 도 7에 나타난 화소 회로(50)에도 사용될 수 있다. 특히, 도 7에서, 노드 newdg2는 노드 newdg(58)가 접지 전압인 경우 항상 V_{DD} 로 유지되고, 따라서, 구동 트랜지스터의 게이트 전압이 V_{DD} 가 되어 구동 트랜지스터가 스위치 온되지 않는다. 따라서 도 6에 설치된 트랜지스터(98)는 필요하지 않게 된다.

도 7에 나타난 배열의 대안으로서, 트랜지스터(104)가 n-채널 트랜지스터로부터 p-채널 트랜지스터로 교체될 수 있고 트랜지스터(102)는 p-채널 트랜지스터로부터 n-채널 트랜지스터로 교체될 수 있다. 이는 전원 V_{DD} 로부터 전류를 유도해 내는데 유용하다. 그러나, 제 2 신호 $\phi 2$ 에 접속된 결과적으로 반대 형의 트랜지스터의 양자의 게이트를 가진, 상기 두개의 트랜지스터가 인버터로서 역할을 한다. 이 변화만 이루어진 경우, 결과적인 인버터는 노드 newdg2에서 인버트된 제 2 신호 $\phi 2$ 를 출력한다. 따라서, 이와 동시에, $\phi 2$ 는 하이(high)가 되어 트랜지스터(60)가 스위치 온되고 노드 newdg는 접지 전위가 되고, 트랜지스터(104, 102)에 의해서 형성된 인버터는 newdg2에서 인버트된 $\phi 2$ (즉, 로(low))를 출력한다. 이러한 환경에서, $\phi 1$ 이 하이로 진행하기 전에 그리고 구동 트랜지스터가 다이오드 접속되기 전에 OLED가 발광하도록 p-형 구동 트랜지스터가 스위치 온된다.

이를 고려하여, 반대 형의 트랜지스터(104, 102)에 의해서 형성된 인버터와 제 2 신호선 사이에 다른 인버터가 추가된다. 따라서, 반대 형의 트랜지스터(104, 102)에 의해서 형성된 인버터에 입력되는 신호는 $\phi 2$ 이다. 또한, 이와 동시에, $\phi 2$ 가 하이로 되어 트랜지스터(60)가 스위치 온되고 노드 newdg가 접지 전위가 되고, 트랜지스터(104, 102)에 의해서 형성된 인버터는 입력으로서 $\phi 2$ 를 가지고 newdg2에서 $\phi 2$ (즉, 하이)를 출력한다. 결과적으로, $\phi 1$ 이 하이로 진행하기 전에 그리고 구동 트랜지스터가 다이오드 접속되기 전에는 OLED(96)가 발광하지 않도록 p-형 구동 트랜지스터가 스위치 오프된다.

도 8을 참조하면, 본 발명의 제 4 실시예는 교대로 타입이 반대인 구성으로 제 4 n-채널 트랜지스터(104)를 가진 도 7의 화소 회로(50)를 포함한다. 제 4 n-채널 트랜지스터(104)는 제 6 노드(72)(int)에 연결된 단자와 제 2 노드(newdg)에 연결된 단자를 포함한다. 제 4 n-채널 트랜지스터(104)는 제 1 신호 $\phi 1$ 을 수신하는 제 8 노드(80)에 연결된 게이트 단자를 포함한다.

동작 시에, 예비 충전 단계 및 자기 조절 단계 동안 제 1 신호 $\phi 1$ 이 논리 1인 경우, 제 4 n-채널 트랜지스터(104)가 스위치 온되어 제 7 노드(ipn)와 제 2 노드(newdg) 사이에 도통 경로가 확보된다.

도 9를 참조하면, 본 발명의 제 5 실시예에 따라 도 4의 화소 회로(50)는 제 2 레일(64)에 연결되는 대신에 제 7 노드(ipn)에 연결된 제 1 n-채널 트랜지스터(60)의 단자를 포함한다. 따라서, 구동 트랜지스터(74)는 제 3 p-채널 트랜지스터(86)의 단자와 제 3 n-채널 트랜지스터(84)의 단자에 연결된다.

동작 시에, 전압 V_{DAT} 는 제 1 n-채널 트랜지스터(60)와 제 3 n-채널 트랜지스터(84)를 통해 제 2 노드(newdg)에 예비 충전 단계 전압을 제공한다. 따라서, 제 2 레일(64)은 더 이상 접지 전위(0V)로서 필요치 않고 전원선 V_{SS} 에 의해서 대치되는 데도 필요치 않다. 예비 충전 동안, 전압 V_{DAT} 는 구동 트랜지스터(74)가 순방향 바이어스 다이오드 접속 트랜지스터로서 동작할 수 있도록 자기 조절 단계에서 V_{DAT} 가 펄스 인가되는 전압보다 낮아야만 한다.

도 9에 나타난 바와 같은 화소 회로(50)에 대한 예시적인 구동 파형이 도 11의 (b)에 나타나 있다. 예비 충전 단계에서, 제 1 신호 ϕ_1 이 논리 0이 되고 제 2 신호 ϕ_2 가 논리 1이 되는 경우, 노드(newdg)는 초기에 제 1 n-채널 트랜지스터(60), 제 3 p-채널 트랜지스터(86) 및 OLED(96)를 통해 접지로 방전된다. 제 1 신호 ϕ_1 은 논리 1이 되고 V_{DAT} 는 값 V_{DATlow} 로 증가한다. 이와 같이, 구동 트랜지스터(74)가 다이오드 접속되고 노드 newdg가 제 3 n-채널 트랜지스터(84) 및 제 1 n-채널 트랜지스터(60), 구동 트랜지스터(74) 및 제 2 n-채널 트랜지스터(78)를 통해 전압 V_{DATlow} 로 초기화된다.

제 2 신호 ϕ_2 가 논리 0으로 하강함에 따라, 자기 조절 단계에서, V_{DATlow} 가 전압 값 $V_{DAThigh}$ 로 증가한다. 이와 같이, 노드 newdg는 제 3 n-채널 트랜지스터(84), 구동 트랜지스터(74) 및 제 2 n-채널 트랜지스터(78)를 통해 전압 값 $V_{DAThigh} - (V_T + \Delta V_T)$ 로 증가한다.

출력 단계에서, 제 1 신호 ϕ_1 은 논리 0이고 구동 트랜지스터(74)는 더 이상 제 1 단자와 게이트 단자 사이에서 다이오드 접속되지 않는다. 따라서, 구동 트랜지스터(74)는 제 1 p-채널 트랜지스터(68), 구동 트랜지스터(74) 및 제 3 p-채널 트랜지스터(86)를 통해 OLED(96)용 정전류원으로 역할을 한다. 구동 트랜지스터(74)에 의해서 OLED(96)로 흐르는 전류의 진폭은 임계 전압 변환 ΔV_T 가 아니라 V_{DAT} 의 값(특히, 자기 조절 단계에서의 $V_{DAThigh}$ 의 값)에 달려 있다. 따라서, 디스플레이 형성 어레이에서의 모든 화소 회로(50)는 동일한 밝기로 구동된다.

다른 대안에서, 도 6에 나타난 트랜지스터(98)는 도 7 내지 9에 나타난 각 배열에 포함될 수 있다. 따라서, 화소 회로는 트랜지스터(86)와 OLED(96) 사이에서 직렬로 연결된 p-채널 트랜지스터(98)를 포함한다. 제어 신호 ϕ_2 가 p-채널 트랜지스터(98)의 게이트에 인가되어 n-채널 트랜지스터(60)가 스위치 온인 동안 p-채널 트랜지스터(98)가 스위치 오프된다.

도 12를 참조하면, 도 4, 6, 7 및 8에 나타난 바와 같이, 화소 회로(50)의 구성이 표시 시스템을 형성하는 어레이(150)에 나타나 있다. 어레이(150)는 도 10 또는 도 11의 (a)의 예시적인 파형 중 임의의 하나에 의해서 구동된다. 어레이(150)의 각 화소 회로(50)는 상술한 바와 같이 전원선 V_{SS} 로 대체될 수 있는 접지선 Gnd를 포함한다. 상기 구성은 또한 제 1 및 제 2 공급 신호 ϕ_1 및 ϕ_2 를 공급하는 두개의 분리된 수평 제어선을 포함한다.

도 13을 참조하면, 도 9에 나타난 바와 같은 화소 회로(50)의 구성은 디스플레이 시스템을 형성하는 어레이(200)에 나타나 있다. 도 9에 나타난 바와 같은 화소 회로(50)의 경우에 도 11의 (d)에 나타난 파형을 채용함으로써, 도 12의 구성에 비하여 수평 제어선의 수가 감소하는 것을 알 수 있다.

제어선 SEL(2)(도 11의 (c) 및 (d)에서는 제어 신호 V_{SELn+1} 이라 함)은 인접하는 화소 회로(50)에 대하여 제 1 제어 신호 ϕ_1 및 제 2 제어 신호 ϕ_2 를 제공하기 때문에 수평 제어선의 수의 감소가 실현된다.

물론, 화소의 각 행에 두개의 신호선이 제공되는 도 12에 나타난 구성은 도 13과 마찬가지로 각 화소 회로에서의 커패시터가 접지선 Gnd 대신에 데이터선 VDAT로 방전될 수 있도록 조절될 수 있다. 도 6, 7 및 8에 나타난 바와 같은 화소 회로(50)의 경우에 도 11의 (c)에 나타난 바와 같은 파형을 채용함으로써, 도 12의 구성에 비하여 수평 선의 수가 감소하는 것을 알 수 있다.

마찬가지로, 화소의 인접하는 행간 신호선이 공유되는 도 13에 나타난 구성은 도 12와 마찬가지로 각 화소 회로에서의 커패시터가 데이터선 VDAT 대신에 접지선 Gnd로 방전되도록 조절될 수 있다. 도 9에 나타난 바와 같은 화소 회로(50)의 경우에 도 11의 (b)에 나타난 바와 같은 파형을 채용함으로써, 도 12의 구성에 비하여 수평 제어선의 수가 감소하는 것을 알 수 있다.

물론, 도 12 및 도 13의 어레이는 상술의 여부에 관계 없이 본 발명의 모든 적합한 대안적 화소 회로에 적용될 수 있다.

도 11의 (a) 내지 (d)의 각각에서는 제 1 및 제 2 제어 신호 $\phi 1$ 및 $\phi 2$ 가 겹치는 것이 주목된다. 즉, $\phi 1$ 은 $\phi 2$ 가 하이인 시간의 일부 동안 하이이고 $\phi 2$ 는 $\phi 1$ 이 하이인 시간의 일부 동안 하이이다. 그러나, $\phi 1$ 은 $\phi 2$ 가 로인 시간의 일부 동안도 하이이고 $\phi 2$ 는 $\phi 1$ 이 로인 시간의 일부 동안도 하이이다. 지금까지 알려지지 않은 겹침 제어 신호를 사용할 수 있다는 것은 스캐닝 속도를 증가시키고 결과적으로 표시되는 동화상의 품질을 향상시킬 수 있게 한다.

도 14를 참조하면, 도 4에 나타난 바와 같은 화소 회로(50)에 대한 제 2 노드(58)에서의 전압 V_{newdg} 의 시뮬레이션이 마이크로초의 시간에 대한 그래프로 나타나 있다. 예비 충전 단계(도 12에서는 PRESET이라 함)에서, 전압 V_{newdg} 이 거의 접지 전위(0V)로 하강한다. 도 12에서의 자기 조절 단계(PROGRAM이라 함)에서 전압 V_{newdg} 는 VDAT가 OLED(96)를 구동하기 위한 전압으로 펄스 인가됨에 따라 전압값 $V_{DAT} - (V_T + \Delta V_T)$ 로 상승한다. 도 12에서의 출력 단계(LOCK DOWN이라 함)에서, 전압 V_{newdg} 는 상기 처리가 반복될 때까지 제 1 커패시터(56)에 의해서 유지된다. 도 12로부터 용이하게 알 수 있는 바와 같이, 전압 V_{newdg} 는 ΔV_T 의 값의 변동에 따라 변동한다.

도 14로부터, 예비 충전 단계 및 자기 조절 단계가 단지 수 마이크로초에서 이루어질 수 있음을 알 수 있다. 이는 종래에 비하여 약 100배 빠른 것이다. 또한 저전압이 사용될 수 있다. 따라서, 본 발명은 향상된 디스플레이 품질과 저전력 소비를 제공한다. 또한, 본 발명에 따른 화소 회로와 디스플레이 디바이스는 종래의 화소 회로보다 작고 표시 장치는 더 소형으로 된다.

도 15를 참조하면, OLED(96)를 구동하기 위한 출력 전류(IOLED)의 시뮬레이션이 ΔV_T 의 변동값에 대하여 플로팅되어 있다. 이와 같이, 도 15는 출력 전류 IOLED가 ΔV_T 와 관계 없이 동일하기 때문에 ΔV_T 가 변동함에도 불구하고 어레이를 형성하는 화소 회로가 동일한 밝기로 구동되는 것을 나타내고 있다.

도 16은 마찬가지로의 효과를 나타난 도면이다. 도 16의 (a)에서는, 출력 전류 IOLED가, 입력 전압 V_{DD} 의 값의 변동, 그에 따른 출력 전류 IOLED의 진폭의 변동 및 출력 IOLED에 영향을 주지 않는 ΔV_T 의 값의 변동에 대한 그래프로 마이크로 세컨드의 시간에 대하여 플로팅되어 있다. 도 16의 (b)는 차분 ΔV_T 에 대한 VDAT에서의 변동에 따른 IOLED의 변동을 나타낸다. 출력 전류 IOLED는 ΔV_T 에 무관하게 거의 동일하고 따라서 ΔV_T 의 각 값에 대한 출력 전류 IOLED가 중첩된다. 따라서, 어레이를 형성하는 화소 회로는 ΔV_T 의 값의 변동에도 불구하고 동일한 밝기로 구동될 수 있다.

상술한 바와 같은 화소 회로(50)를 사용하는 디스플레이 시스템(1000)은 소형의 모바일 폰, PDA(personal digital assistants), 컴퓨터, CD 플레이어, DVD 플레이어 등에 사용시 이점이 있으나 이에 한정되는 것은 아니다.

이하, 디스플레이 시스템(1000)이 채용될 수 있는 일부 단말 장치를 설명한다.

디스플레이 시스템(1000)이 휴대 전화기 또는 모파일 폰에 적용되는 예를 설명한다. 도 17은 휴대 전화기의 구성을 나타낸 등척도(isometric view)를 나타낸다. 도면에서, 휴대 전화기(1200)에는 복수의 작동키(1202), 이어피스(1204), 마우스피스(1206) 및 디스플레이 패널 형태의 디스플레이 시스템(1000)이 설치되어 있다.

이하, 상술한 실시예 중 하나에 따른 디스플레이 시스템(1000)이 모바일 개인용 컴퓨터에 적용된 예를 설명한다.

도 18은 이 개인용 컴퓨터의 구성을 나타낸 등척도이다. 도면에서, 개인용 컴퓨터(1100)에는 키보드(1102) 및 디스플레이 패널 형태의 디스플레이 시스템(1000)을 포함하는 본체(1104)가 설치되어 있다.

다음으로, 디스플레이 시스템(1000)을 사용하는 디지털 스틸 카메라를 설명한다. 도 19는 디지털 스틸 카메라의 구성과 외부 디바이스와의 연결을 간략히 나타낸 등척도이다.

통상적인 카메라는 피사체로부터의 광학 이미지에 기초하여 필름을 감광시키지만, 디지털 스틸 카메라(1300)는 예를 들면 CCD(charge coupled device)를 사용하여 광전 변환하여 피사체의 광학 이미지로부터 이미지 신호를 생성한다. 디지털 스틸 카메라(1300)에는 CCD로부터의 이미지 신호에 기초하여 디스플레이를 수행하기 위해 케이스(1302)의 후면에 디스플레이 패널의 형태로 디스플레이 시스템(1000)이 설치되어 있다. 따라서, 디스플레이 시스템(1000)은 피사체를 표시하는 파인더로서 기능을 한다. 광학 렌즈 및 CCD를 포함하는 수광 유닛(1304)에는 케이스(1302)의 정면측(도면의 뒤)에 설치되어 있다. 디스플레이 시스템(1000)은 디지털 스틸 카메라에 내장될 수도 있다.

도 17에 나타난 휴대 전화기, 도 18에 나타난 개인용 컴퓨터, 및 도 19에 나타난 디지털 스틸 카메라 이외의 단말 디바이스의 다른 예로서, PDA(personal digital assistant), 텔레비전 세트, 뷰 파인더형 및 모니터링형 비디오 테이프 레코더, 카 네비게이션, 페이지, 전자 노트북, 휴대용 계산기, 워드 프로세서, 워크 스테이션, TV 전화기, POS(point-of-sales system) 단말 및 터치 패널이 설치된 디바이스가 포함된다. 물론, 본 발명의 디스플레이 시스템은 이들 단말 디바이스 중 임의의 것에 적용될 수 있다.

상술한 발명은 단지 예로서 주어진 것이고, 당해 분야에서 숙련된 자에 의해서 본 발명의 범주를 벗어나지 않고 변경이 이루어질 수 있음이 명백하다.

발명의 효과

본 발명에 따르면, 사용 시에, 본 발명에 따른 화소 회로의 초기화 및 프로그래밍에 소요되는 시간이 감소됨으로써 종래 기술에서 보다 더욱 효율적이고, 빠르고 더욱 다기능한 디스플레이 시스템을 제공할 수 있다. 화소 회로의 배치로 인해 em[n]과 scan[n] 신호들을 하나의 제어 신호로 대체되었기 때문에 종래 기술에서 사용된 제 3 신호 em[n]은 더 이상 필요하지 않게 된다. 바람직한 실시예에서, 기준 신호 공급 라인이 더 이상 필요하지 않기 때문에 더욱 소형의 디스플레이 시스템을 제공할 수 있다. 제어 라인의 수도 감소될 수 있기 때문에 종래 기술에서 공지된 것 이상으로 더욱 소형화되고 효율적인 디스플레이 시스템을 또한 제공할 수 있다.

(57) 청구의 범위

청구항 1.

전원 라인과 기준 라인과 사이에 직렬로 접속되어 있으며, 제 1 제어 신호를 받아들이도록 배치된 게이트 단자를 갖는 제 1 트랜지스터와 커패시터,

상기 전원 라인과 다른 라인과 사이에 직렬로 접속되어 있으며, 제 1 트랜지스터와 상기 커패시터 사이에 제 1 노드에 접속된 게이트 단자 및 데이터 신호를 받아들이는 제 1 단자를 갖는 구동 트랜지스터와 발광 소자, 및

다이오드 접속된 상기 구동 트랜지스터에 배치되고 게이트 단자에서 받아들이는 제 2 제어 신호에 응답함으로써, 데이터 신호를 상기 구동 트랜지스터가 다이오드 접속되었을 때 상기 구동 트랜지스터를 통하여 전송하고 제 1 노드에 유지하는, n-채널 형인 제 2 트랜지스터

를 포함하는 것을 특징으로 하는 화소 회로.

청구항 2.

제 1 항에 있어서,

상기 전원 라인과 상기 구동 트랜지스터 사이에 직렬로 접속된 제 3 트랜지스터와 상기 발광 소자와 상기 구동 트랜지스터 사이에 직렬로 접속된 제 4 트랜지스터를 더 포함하고, 상기 제 2 트랜지스터의 한쪽 단자가 상기 구동 트랜지스터와 상기 제 3 트랜지스터 사이의 제 2 노드에서 상기 구동 트랜지스터의 제 2 단자에 결합되는 것을 특징으로 하는 화소 회로.

청구항 3.

제 2 항에 있어서,

상기 제 3 및 상기 제 4 트랜지스터는 p-채널 형의 트랜지스터이고 이들의 게이트 단자는 상기 제 2 제어 신호를 받아들이기 위해 배치되는 것을 특징으로 하는 화소 회로.

청구항 4.

제 2 항 또는 제 3 항에 있어서,

데이터 신호 라인과 제 3 노드 사이 및 상기 구동 트랜지스터와 상기 제 4 트랜지스터 사이에 접속된 제 5 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 5.

제 4 항에 있어서,

상기 제 5 트랜지스터는 n-채널 형의 트랜지스터이고 상기 제 2 제어 신호를 받아들이기 위한 게이트 단자를 포함하는 것을 특징으로 하는 화소 회로.

청구항 6.

제 2 항에 있어서,

상기 제 4 트랜지스터와 상기 발광 소자 사이에 직렬로 결합되고, 상기 제 1 트랜지스터와 반대 채널 형이고 상기 제 1 제어 신호를 받아들이기 위한 게이트 단자를 갖는 제 6 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 7.

제 1 항에 있어서,

상기 구동 트랜지스터의 게이트 단자와 상기 제 1 노드 사이에 직렬로 결합된 제 7 트랜지스터와, 상기 전원 라인과 제 4 노드 사이 및 상기 제 7 트랜지스터의 한쪽 단자와 상기 구동 트랜지스터의 게이트 단자 사이에 결합된 제 8 트랜지스터를 더 포함하고, 상기 제 8 트랜지스터는 상기 제 1 트랜지스터와 동일한 채널 형이고 상기 제 7 트랜지스터는 상기 제 1 트랜지스터와 반대 채널 형이며, 상기 제 7 및 상기 제 8 트랜지스터의 게이트 단자는 상기 제 1 제어 신호를 받아들이기 위해 배치되는 것을 특징으로 하는 화소 회로.

청구항 8.

제 1 항에 있어서,

상기 제 1 노드와 상기 구동 트랜지스터의 게이트 단자에 접속되는 상기 제 2 트랜지스터의 단자 사이에 결합된 제 9 트랜지스터와, 상기 제 1 노드와 상기 구동 트랜지스터의 제 2 단자에 접속되는 상기 제 2 트랜지스터의 다른 단자 사이에 결합된 제 10 트랜지스터를 더 포함하고, 상기 제 9 트랜지스터는 p-채널 형 트랜지스터이고 상기 제 10 트랜지스터는 n-채널 형 트랜지스터이며 상기 제 9 및 상기 제 10 트랜지스터의 게이트 단자는 상기 제 1 및 상기 제 2 제어 신호를 각각 받아들이기 위해 배치되는 것을 특징으로 하는 화소 회로.

청구항 9.

전류 구동 소자에 공급되는 구동 전류의 전류 레벨에 대응하는 도통 상태를 갖고, 제 1 게이트 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터,

제 2 게이트 단자를 갖는 제 2 트랜지스터, 및

상기 제 1 게이트 단자와, 상기 제 1 단자와 상기 제 2 단자 중 어느 하나와의, 사이에 전기적인 접속을 제어하도록 배치되고, 제 3 게이트 단자를 갖는 제 3 트랜지스터를 포함하고,

상기 제 1 단자는 상기 제 2 트랜지스터를 통하여 데이터 신호를 받아들이기 위해 배치되고, 상기 데이터 신호는 상기 제 1 트랜지스터의 도통 상태를 결정하며,

상기 제 1 트랜지스터의 도통 형(type)은 상기 제 2 트랜지스터의 도통 형과 다른 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 10.

전류 구동 소자에 공급되는 구동 전류의 전류 레벨에 대응하는 도통 상태를 갖고, 제 1 게이트 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터,

제 2 게이트 단자를 갖는 제 2 트랜지스터, 및

상기 제 1 게이트 단자와, 상기 제 1 단자와 상기 제 2 단자 중 어느 하나와의, 사이에 전기적인 접속을 제어하도록 배치되고, 제 3 게이트 단자를 갖는 제 3 트랜지스터를 포함하고,

상기 제 1 단자는 상기 제 2 트랜지스터를 통하여 데이터 신호를 받아들이기 위해 배치되고, 상기 데이터 신호는 상기 제 1 트랜지스터의 도통 상태를 결정하며,

상기 제 1 트랜지스터의 도통 형은 상기 제 3 트랜지스터의 도통 형과 다른 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 11.

제 9 항 또는 제 10 항에 있어서,

상기 전류 구동 소자와 상기 제 1 트랜지스터 사이에 직렬로 결합되고 제 4 게이트 단자를 갖는 제 4 트랜지스터를 더 포함하는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 12.

제 11 항에 있어서,

상기 제 4 트랜지스터의 도통 형은 상기 제 2 트랜지스터의 도통 형과 다른 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 13.

제 11 항에 있어서,

상기 제 1 트랜지스터와 상기 구동 전류를 상기 제 1 트랜지스터를 통하여 상기 전류 구동 소자에 공급하는 전원 라인과의 사이에 직렬로 결합되고, 제 5 게이트 단자를 갖는 제 5 트랜지스터를 더 포함하는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 14.

제 13 항에 있어서,

상기 제 4 트랜지스터의 도통 형은 상기 제 5 트랜지스터의 도통 형과 동일한 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 15.

제 9 항 또는 제 10 항에 있어서,

상기 제 1 트랜지스터의 도통 형은 p-채널 형인 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 16.

제 11 항에 있어서,

상기 제 4 게이트 단자, 상기 제 2 게이트 단자 및 상기 제 3 게이트 단자는 하나의 신호 라인에 접속되는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 17.

제 13 항에 있어서,

상기 제 5 게이트 단자, 상기 제 2 게이트 단자 및 상기 제 3 게이트 단자는 하나의 신호 라인에 접속 되는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 18.

제 13 항에 있어서,

상기 제 4 트랜지스터와 상기 전류 구동 소자와의 사이에 직렬로 결합되는 제 6 트랜지스터를 더 포함하는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 19.

제 9 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 게이트는 커패시터를 통하여 전원 라인에 접속되는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 20.

제 19 항에 있어서,

상기 제 1 게이트와 상기 제 1 커패시터 사이에 접속된 제 7 트랜지스터를 더 포함하는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 21.

제 20 항에 있어서,

상기 전원 라인과 상기 제 1 게이트 사이에 직접 접속된 제 8 트랜지스터를 더 포함하는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 22.

제 20 항에 있어서,

상기 커패시터와 상기 제 2 단자 사이에 접속된 제 9 트랜지스터를 더 포함하는 것을 특징으로 하는 전류 구동 소자를 구동하기 위한 화소 회로.

청구항 23.

제 1 항, 제 9 항 및 제 10 항 중 어느 한 항에 따른 복수의 화소 회로를 포함하는 디스플레이 장치.

청구항 24.

제 23 항에 있어서,

하나의 매트릭스 내에 적어도 제 1 신호 라인, 제 2 신호 라인, 제 3 신호 라인 및 데이터 신호 라인으로 형성되며, 제 1 화소 회로에 대해 제 1 제어 신호를 제공하는 제 1 제어 신호 라인 및 제 1 화소 회로에 대해 제 2 제어 신호를 제공하는 제 2 제어 신호 라인으로 형성되는 디스플레이 장치에 있어서, 제 2 화소 회로에 대한 제 1 제어 신호는 상기 제 2 제어 라인에 의해 제공된 상기 제 1 화소 회로에 대한 상기 제 2 제어 신호이며, 상기 제 3 제어 라인은 상기 제 2 화소 회로에 대한 제 2 제어 신호를 제공하는 것을 특징으로 하는 디스플레이 장치.

청구항 25.

전원 라인과 기준 라인 사이에서 제 1 커패시터와 직렬로 접속된 제 1 트랜지스터를 스위칭 온하는 제 1 제어 신호를 인가하는 단계와,

구동 트랜지스터가 다이오드 접속되도록 제 2 트랜지스터를 스위칭 온하는 제 2 제어 신호를 인가하는 단계 - 상기 제 2 트랜지스터는 n-채널 트랜지스터이고 상기 구동 트랜지스터는 전원 라인과 다른 라인 사이에서 발광 소자와 직렬로 접속되어 있고, 상기 구동 트랜지스터의 게이트 단자는 상기 제 1 트랜지스터와 상기 제 1 커패시터 및 데이터 신호를 받아들이기 위해 배치된 상기 구동 트랜지스터의 제 1 단자 사이에서 제 1 노드에 접속됨 - 와,

상기 제 1 트랜지스터를 스위칭 오프하는 상기 제 1 제어 신호를 인가하는 단계와,

상기 구동 트랜지스터의 제 1 단자에 상기 데이터 신호를 인가하는 단계와,
상기 제 2 트랜지스터를 스위칭 오프하는 상기 제 2 제어 신호를 인가하는 단계
를 포함하는 것을 특징으로 하는 화소 회로 구동 방법.

청구항 26.

제 25 항에 있어서,

상기 전원 라인과 상기 구동 트랜지스터 사이에 직렬로 접속된 제 3 트랜지스터와, 상기 발광 소자와 상기 구동 트랜지스터 사이에 직렬로 접속된 제 4 트랜지스터에, 상기 제 3 및 제 4 트랜지스터를 스위칭 오프하는 동시에 상기 제 2 트랜지스터를 스위칭 온하고, 상기 제 3 및 제 4 트랜지스터를 스위칭 온하는 동시에 상기 제 2 트랜지스터를 스위칭 오프하는 상기 제 2 제어 신호를 인가하는 단계를 더 포함하고, 상기 제 2 트랜지스터의 한쪽 단자가 상기 구동 트랜지스터와 상기 제 3 트랜지스터 사이의 제 2 노드에서 상기 구동 트랜지스터의 한쪽 단자에 결합되는 것을 특징으로 하는 화소 회로 구동 방법.

청구항 27.

제 26 항에 있어서,

상기 제 3 및 상기 제 4 트랜지스터는 p-채널 형의 트랜지스터인 것을 특징으로 하는 화소 회로 구동 방법.

청구항 28.

제 26 항 또는 제 27 항에 있어서,

데이터 신호 라인과 제 3 노드 사이 및 상기 구동 트랜지스터와 상기 제 4 트랜지스터 사이에 접속된 제 5 트랜지스터에, 상기 제 5 트랜지스터를 스위칭 온하는 동시에 상기 제 2 트랜지스터를 스위칭 온하고, 상기 제 5 트랜지스터를 스위칭 오프하는 동시에 상기 제 2 트랜지스터를 스위칭 오프하는 상기 제 2 제어 신호를 인가하는 단계를 포함하는 것을 특징으로 하는 화소 회로 구동 방법.

청구항 29.

제 26 항에 있어서,

상기 제 4 트랜지스터와 상기 발광 소자 사이에 직렬로 결합된 제 6 트랜지스터에, 제 1 트랜지스터와 반대 채널 형인 상기 제 6 트랜지스터를 스위칭 오프하는 동시에 상기 제 1 트랜지스터를 스위칭 온하는 상기 제 1 제어 신호를 인가하는 단계를 포함하는 것을 특징으로 하는 화소 회로 구동 방법.

청구항 30.

제 25 항에 있어서,

상기 구동 트랜지스터의 게이트 단자와 상기 제 1 노드 사이에 직렬로 결합된 제 7 트랜지스터와, 상기 전원 라인과 제 4 노드 사이 및 상기 제 7 트랜지스터의 한쪽 단자와 상기 구동 트랜지스터의 게이트 단자 사이에 결합된 제 8 트랜지스터에,

상기 제 7 트랜지스터를 스위칭 오프하고 상기 제 8 트랜지스터를 스위칭 온하는 동시에 상기 제 1 트랜지스터가 스위칭 온되도록 상기 제 1 제어 신호를 인가하는 단계를 포함하고, 상기 제 8 트랜지스터는 상기 제 1 트랜지스터와 동일한 채널 형이고 상기 제 7 트랜지스터는 상기 제 1 트랜지스터와 반대 채널 형인 것을 특징으로 하는 화소 회로 구동 방법.

청구항 31.

제 25 항에 있어서,

상기 제 1 노드와 상기 구동 트랜지스터의 게이트 단자에 접속되는 상기 제 2 트랜지스터의 단자 사이에 접속된 제 9 트랜지스터에 상기 제 1 제어 신호를 인가하는 단계와, 상기 제 1 노드와 상기 구동 트랜지스터의 제 2 단자에 접속되는 상기 제 2 트랜지스터의 다른 쪽 단자 사이에 결합된 제 10 트랜지스터에 상기 제 2 제어 신호를 인가하는 단계를 포함하고, 상기 제 9 트랜지스터는 p-채널 형의 트랜지스터이고 상기 제 10 트랜지스터는 n-채널 형의 트랜지스터이며, 상기 제 1 트랜지스터가 스위칭 온될 때 상기 제 9 트랜지스터는 스위칭 오프되고, 상기 제 2 트랜지스터가 스위칭 온될 때 상기 제 10 트랜지스터는 스위칭 온되는 것을 특징으로 하는 화소 회로 구동 방법.

청구항 32.

제 25 항 내지 제 27 항 중 어느 한 항에 있어서,

상기 기준 라인은 데이터 신호 라인이거나,

제 28 항 또는 제 29 항에 기재된 바와 같이, 상기 제 1 트랜지스터가 상기 제 5 트랜지스터와 상기 커패시터 사이에 직렬로 접속됨으로써, 상기 데이터 신호 라인이 상기 기준 라인으로 되고,

상기 제 1 트랜지스터를 스위칭 온하는 상기 제 1 제어 신호를 인가하는 단계 이후와 상기 제 1 트랜지스터를 스위칭 오프하는 상기 제 1 제어 신호를 인가하는 단계 이전에, 상기 데이터 신호보다 낮은 값을 갖는 예비 충전 신호를 데이터 신호 라인에 인가하는 단계를 포함하는 것을 특징으로 하는 화소 회로 구동 방법.

청구항 33.

제 1 게이트 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터, 제 2 게이트 단자를 갖는 제 2 트랜지스터, 제 3 게이트 단자를 갖고 상기 제 1 게이트 단자와 상기 제 2 단자 사이의 전기적인 접속을 제어하는 제 3 트랜지스터, 전류 구동 소자와 상기 제 1 트랜지스터 사이의 전기적인 접속을 제어하는 제 4 단자, 및 상기 제 2 단자와 소정의 전압 사이의 전기적인 접속을 제어하는 제 5 단자를 포함하는 화소 회로에 있어서,

상기 제 5 트랜지스터를 턴온함으로써 상기 제 2 단자가 소정의 전압으로 설정되는 상기 화소 회로의 제 1 상태를 생성하는 단계,

상기 제 1 단자가 상기 제 2 트랜지스터를 통하여 데이터 신호를 받아들이는 동안 제 1 주기의 적어도 일부분에서 상기 제 1 단자가 상기 제 3 트랜지스터를 통하여 상기 제 2 단자에 전기적으로 접속되는 상기 화소 회로의 제 2 상태를 생성하는 단계, 및

상기 제 2 상태를 통하여 설정된 도통 상태에 대응하는 전류 레벨의 구동 전류를 상기 제 1 트랜지스터와 상기 제 4 트랜지스터를 통하여 전류 구동 소자에 공급하는 상기 화소 회로의 제 3 상태를 생성하는 단계를 포함하고,

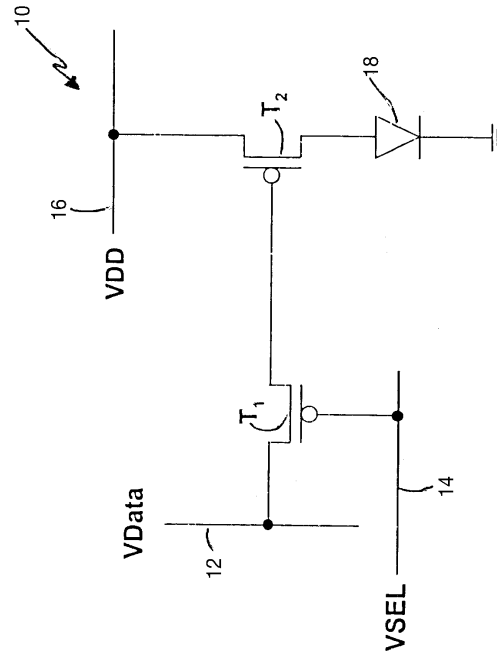
상기 제 2 단자는 상기 제 2 상태에서 소정의 전압으로부터 전기적으로 차단되고,

상기 제 1 단자는 상기 제 2 상태에서 상기 전류 구동 소자로부터 전기적으로 차단되고,

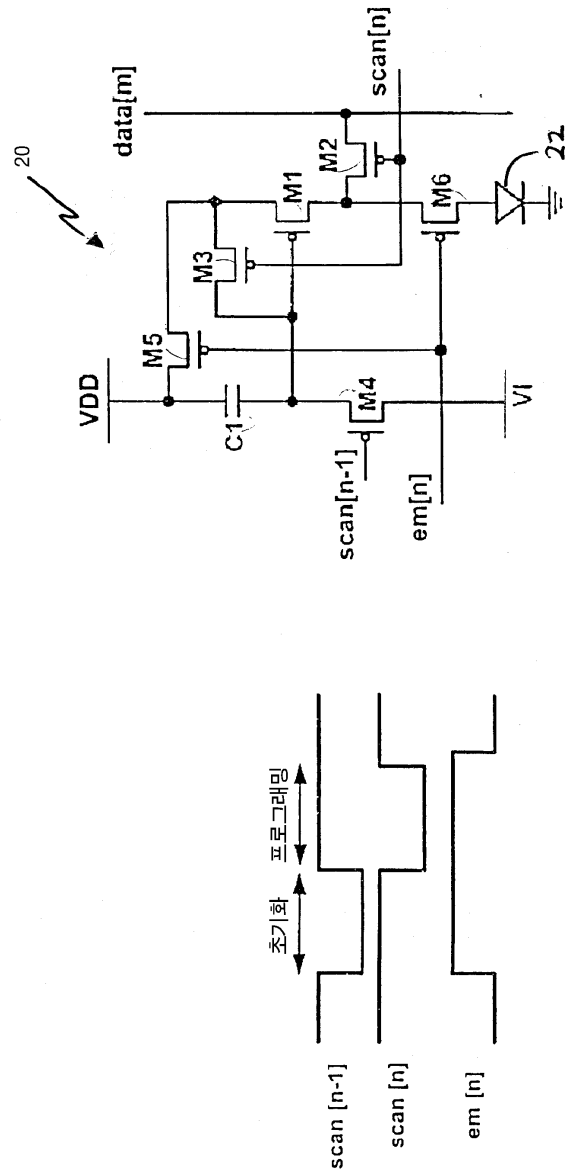
상기 제 2 게이트 단자, 상기 제 3 단자, 상기 제 4 단자 및 상기 제 5 단자에 하나의 제어 신호가 공통으로 인가되는 것을 특징으로 하는 화소 회로 구동 방법.

도면

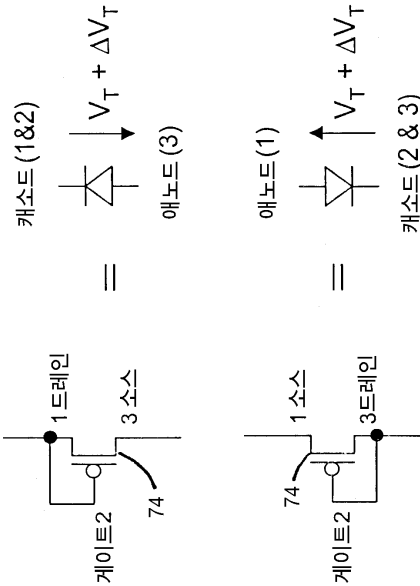
도면1



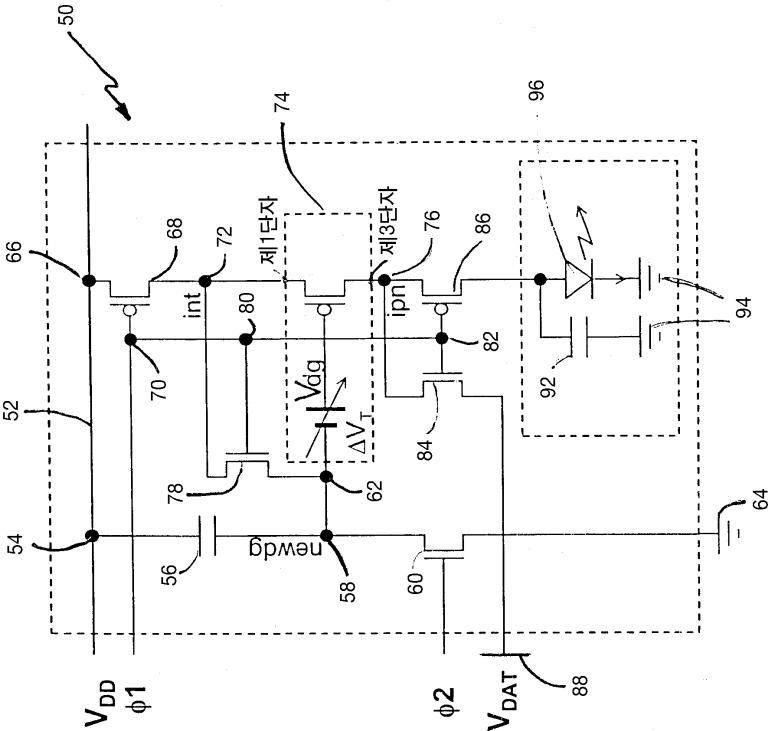
도면2



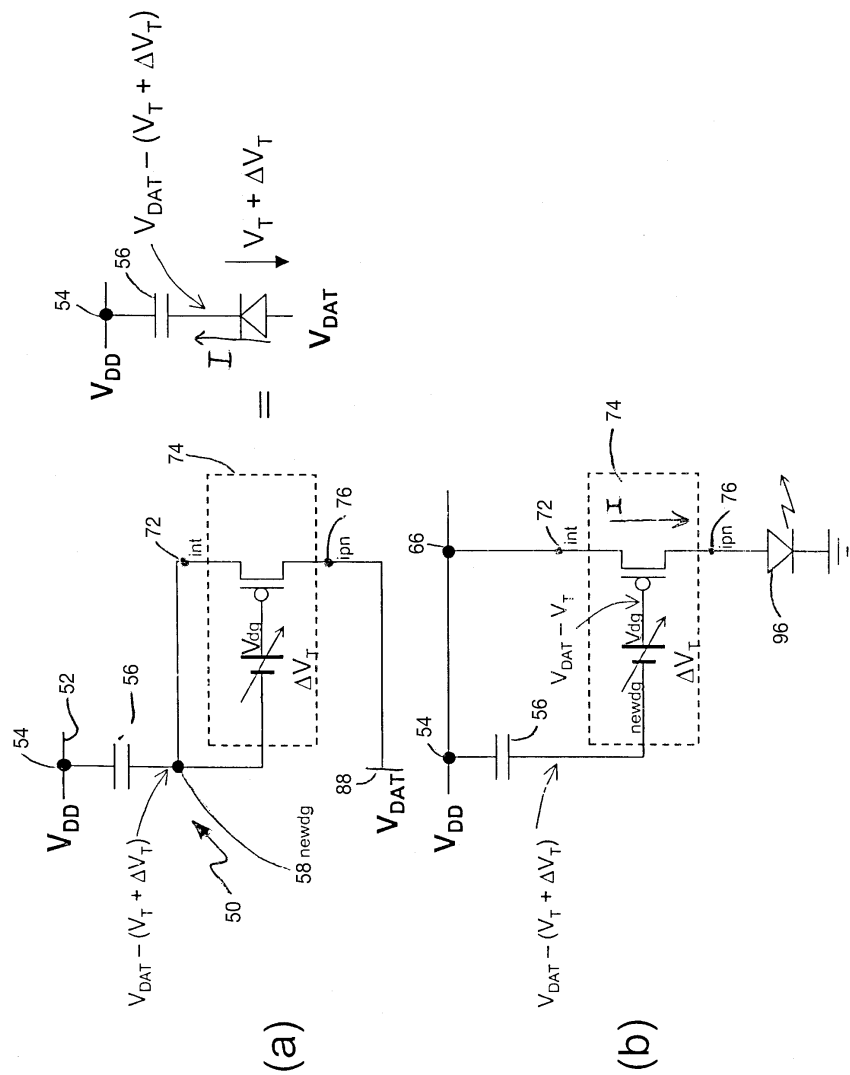
도면3



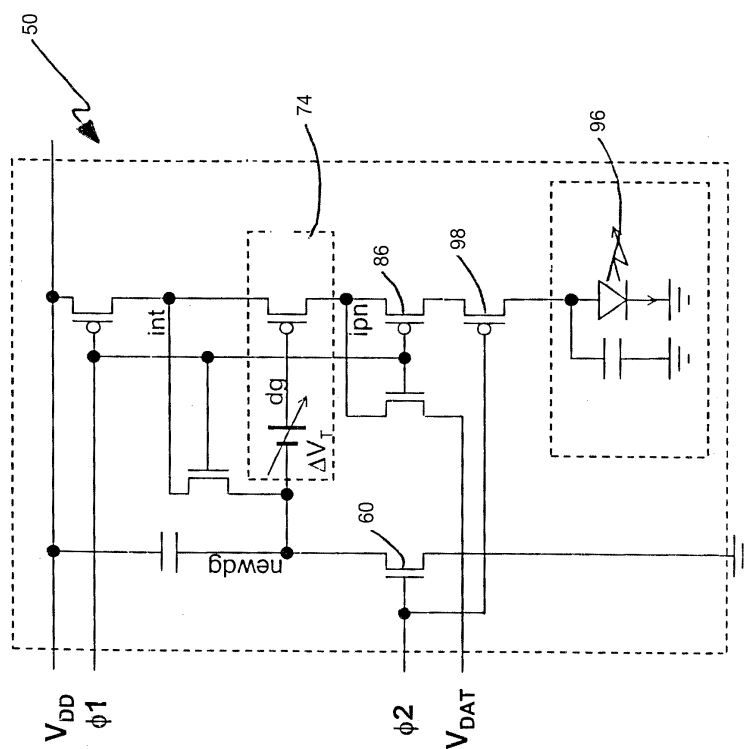
도면4



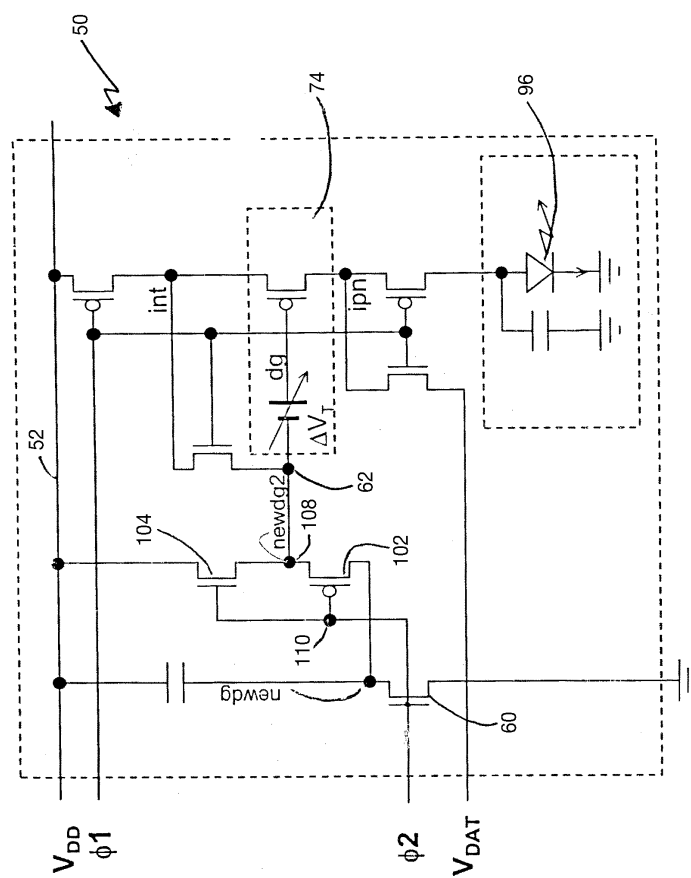
도면5



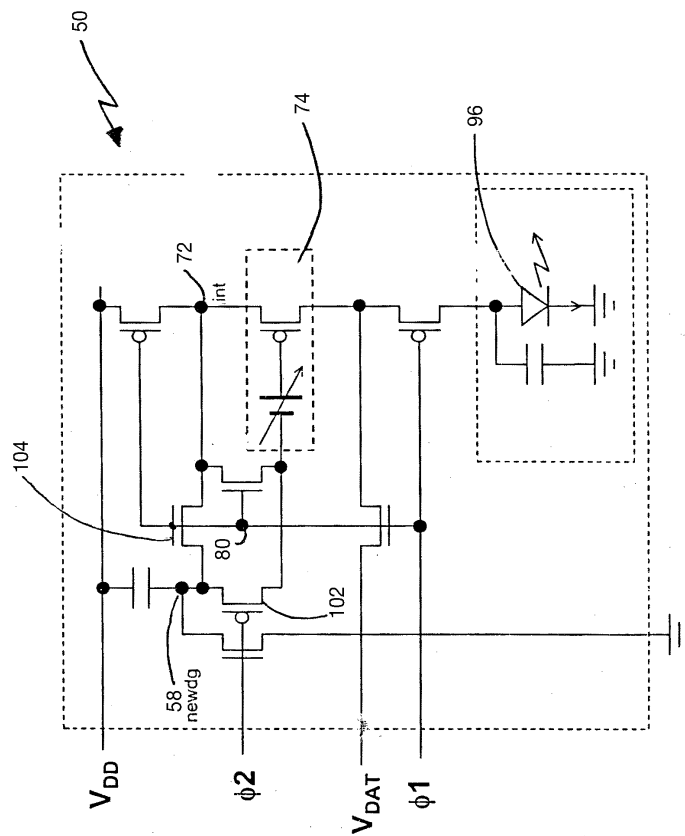
도면6



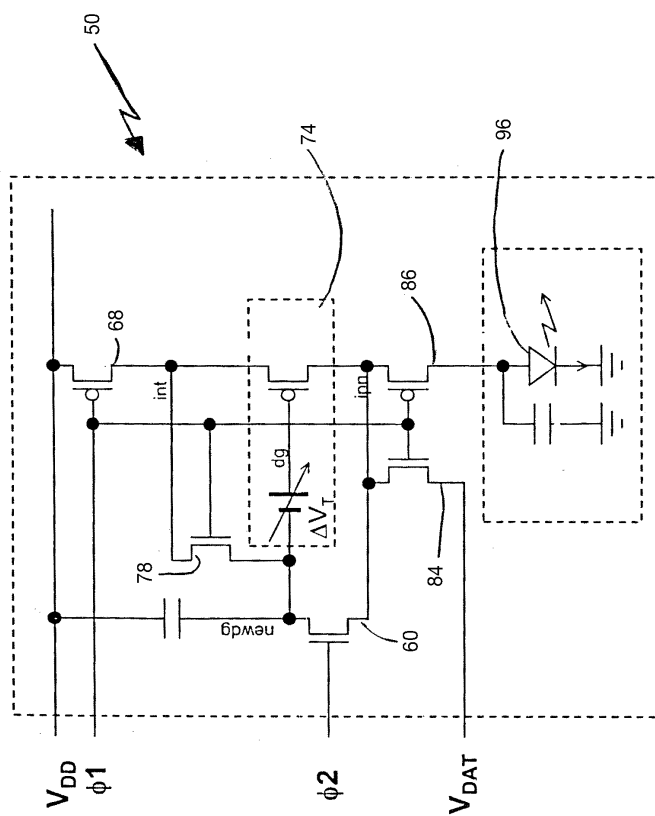
도면7



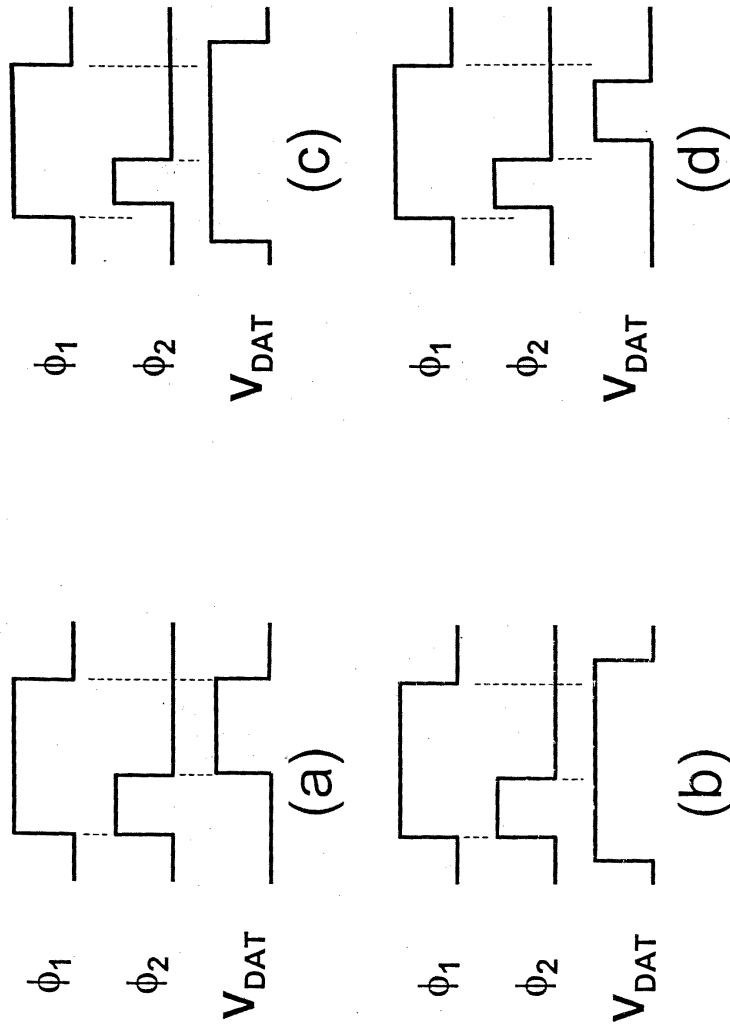
도면8



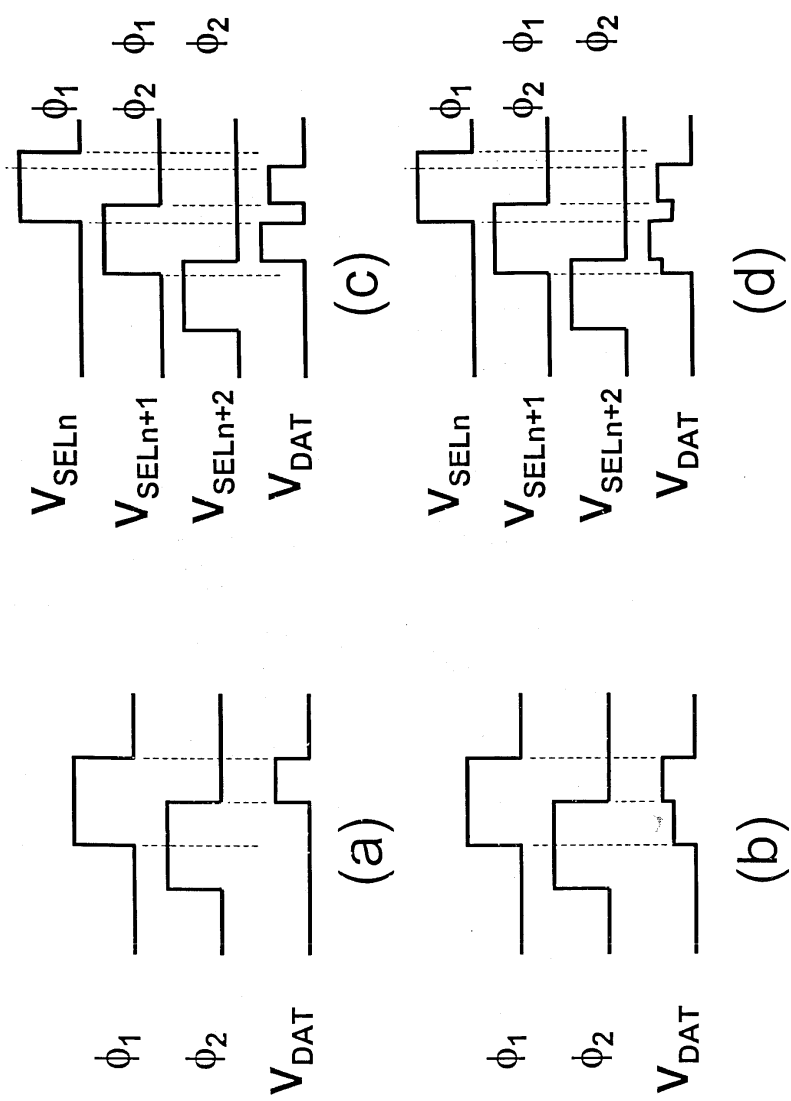
도면9



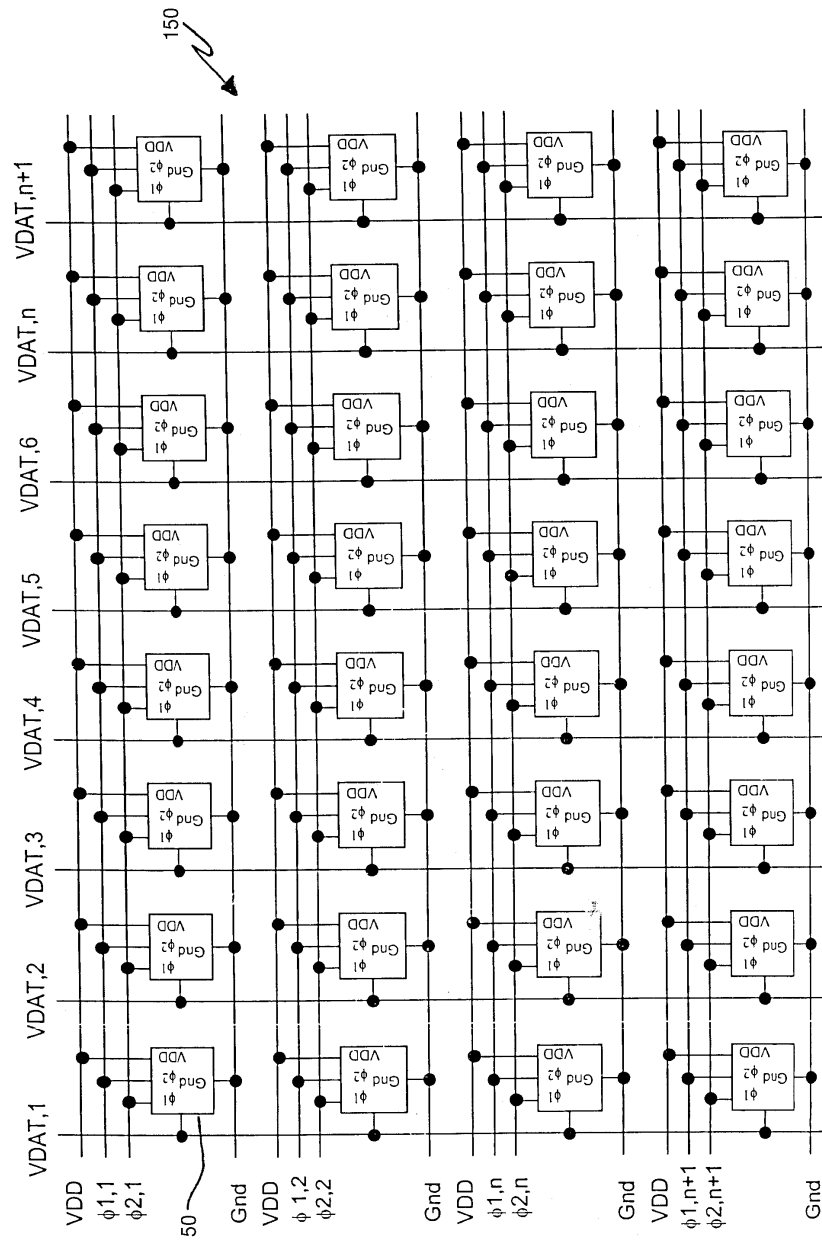
도면10



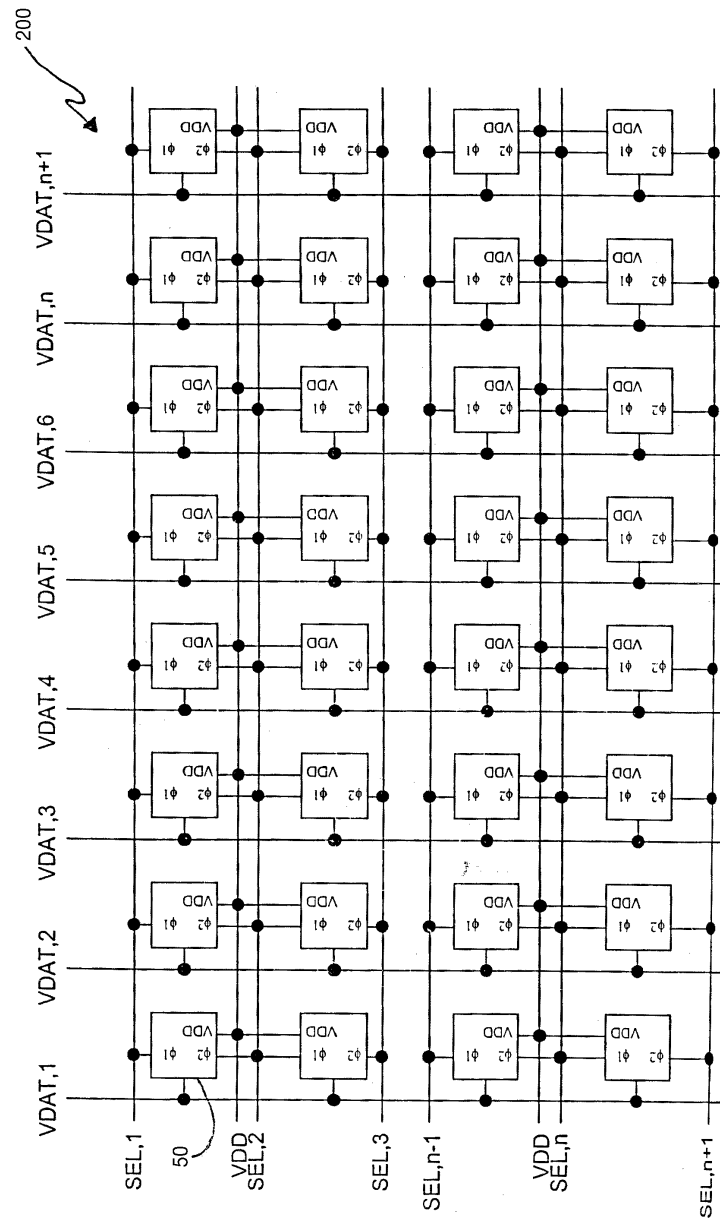
도면11



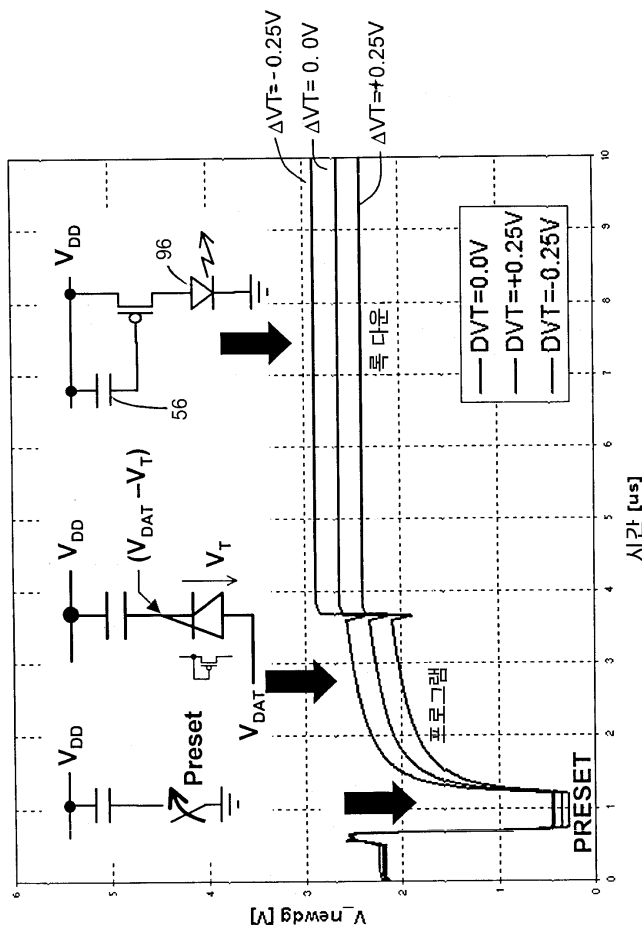
도면12



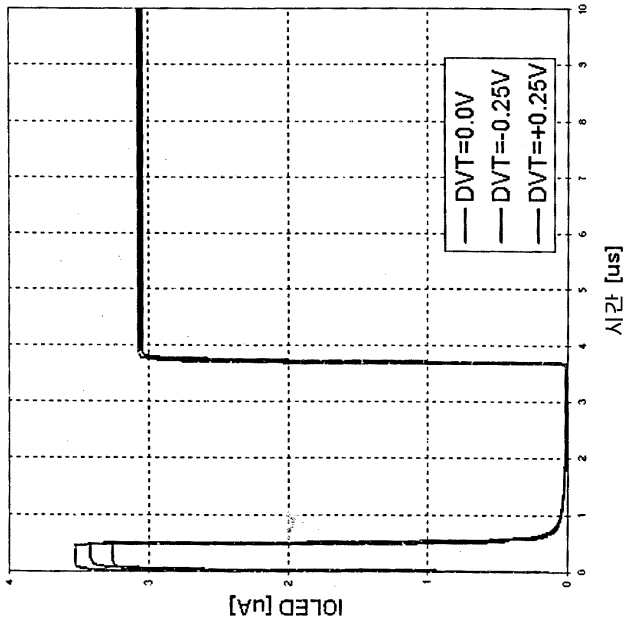
도면13



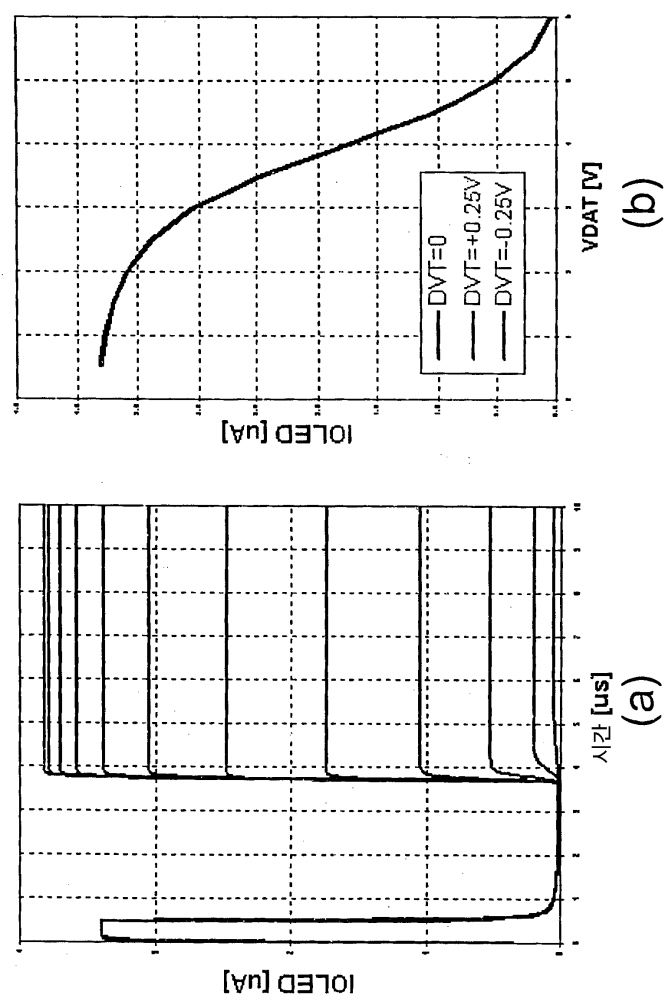
도면14



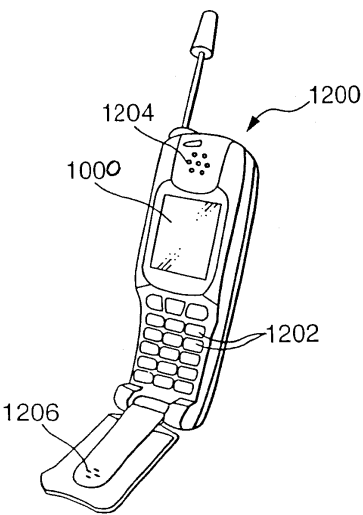
도면15



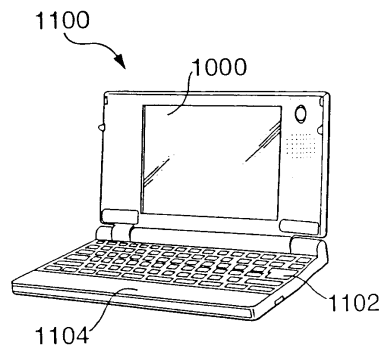
도면16



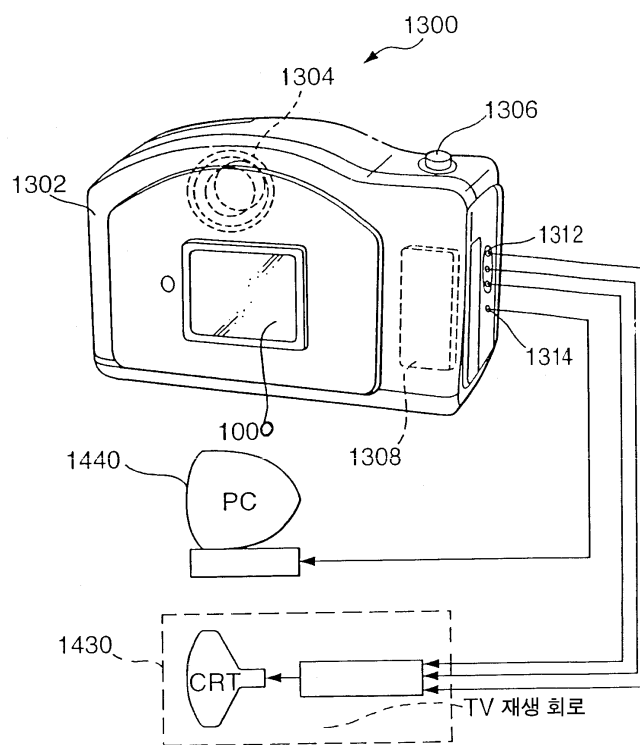
도면17



도면18



도면19



专利名称(译)	像素电路		
公开(公告)号	KR1020060043376A	公开(公告)日	2006-05-15
申请号	KR1020050017727	申请日	2005-03-03
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生株式会社		
当前申请(专利权)人(译)	精工爱普生株式会社		
[标]发明人	TAM SIMON		
发明人	TAM, SIMON		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G2300/0842 G09G2310/0262 G09G2320/043 G09G2320/0252 G09G2320/0233 G09G3/3233 G09G2300/0819 G09G2300/0426		
代理人(译)	MOON , KI桑		
优先权	2004004919 2004-03-04 GB		
其他公开文献	KR100713679B1		
外部链接	Espacenet		

摘要(译)

已知补偿用于驱动诸如电流驱动有机发光元件的发光元件的像素电路中的驱动晶体管的阈值电压的变化。然而，可以减慢这种像素电路的编程和初始化，并且需要多条控制或信号线。本发明的一个目的是提供一种构成用于二极管连接的驱动晶体管的n沟道晶体管的像素电路和一种用于减少信号和控制线数量的装置。4 指数方面 像素，阈值电压，二极管连接，晶体管

